

# 半导体芯科技

**S/S** **SILICON**  
**SEMICONDUCTOR**  
Connecting the Silicon Semiconductor Community

# • CHINA

## 电子材料 比对鉴定分析 17

实现下一代RF滤波器制造 22

显示塑封材料的真实特性 33

MEMS和先进IC得益于定 35  
制晶圆清洗



微信公众号



# SEMICON TAIWAN®

LEADING THE SMART FUTURE

国际半导体展

2019  
9.18-20

TaiNEX 1  
台北南港展览馆一馆

领航下一个60年产业荣景  
强化连结 × 加深合作 × 引领创新

异质整合 | 智能制造 | 循环经济  
参观者 50,000+ | 国际论坛 20+ | 展区 21  
参展厂商 700+ | 摊位 2,200+

科技菁英领袖引领潮流  
前瞻市场技术走向



林百里 | 廣達電腦 董事長



劉揚偉 | 鴻海科技 董事長



Michael Campbell | 高通 資深技術副總



劉德音 | 台積電 董事長



吳田玉 | 日月光 總經理暨執行長



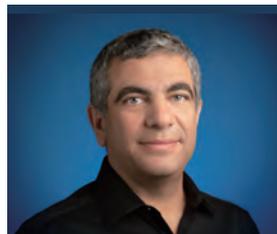
盧超群 | 鈺創科技 董事長暨執行長



黃崇仁 | 力積電 董事長



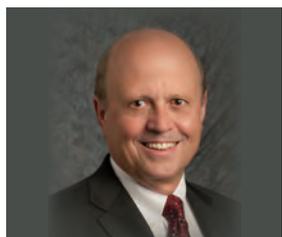
盧志遠 | 旺宏電子 總經理



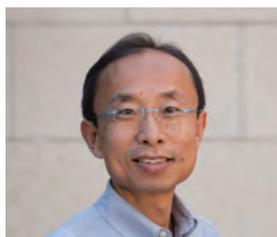
Shahriar Rabii | Facebook 副總經理



Berthold Hellenthal | Audi 半導體策略長



Walden C. Rhines | 明導國際 榮譽執行長



黃漢森 | 台積電 副總經理



鄭顯聰 | 蔚來汽車 聯合創始人



Diana Kelley | 微軟 資安技術長



William Chen | HIR Chair



Luc Van den hove | imec 執行長暨總經理



劉德成 | 新加坡國立研究基金會 總裁



Emmanuel Sabonnadiere | 電子暨資訊技術實驗室 執行長



彭裕民 | 工業技術研究院 副院長



Ian Smythe | Arm 市場行銷副總裁

活动联系窗口

登录观展 Allis Huang | 8863-560-1777 #316 | semicontaiwan@semi.org  
论坛报名 Megan Lin | 8863-560-1777 #506 | mlin@semi.org

即刻登录免费入场!现场还有万元大奖等你来抽

f SEMI 國際半導體產業協會 Q LINE 加好友 @semitaiwan



指导单位 經濟部

主办单位 SEMI 國際半導體產業協會

协办单位

TAITRA TSIA

同期举办

SMART MANUFACTURING EXPO TAIWAN

TSIP GLOBAL SUMMIT 2019

SMC STRATEGIC MATERIALS CONFERENCE TAIWAN

# MPM Edison 打印机

最精准的印刷机  
用于提高半导体的  
良率



在0201公制元器件上  
经过验证的印刷工艺  
能力>2CPK

半导体市场中的元件小型化挑战了具有薄发模板孔径和超细间距的印刷设备。MPM® Edison™ 可以满足这些挑战, 经过验证的印刷工艺能力大于2 Cpk, 适用于0201公制器件。

产品将于 2019年9月18日至20日, 在 Semicon Taiwan 台北南港展览馆展示, 欢迎莅临 ITW EAE 展台 I3108 (一楼) 获取更多信息。

# Camalot Prodigy 点胶机

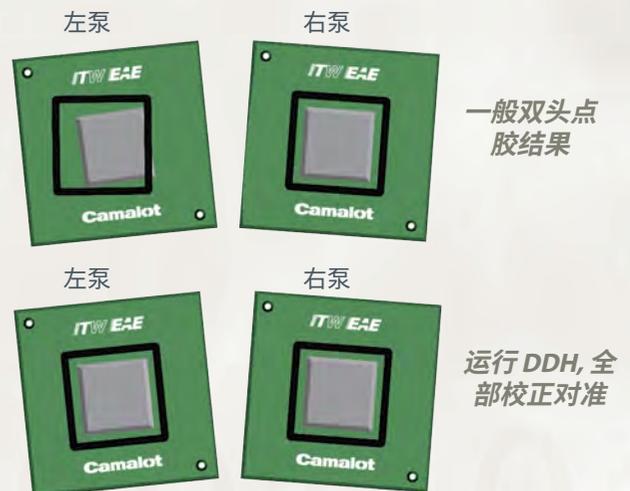
更加灵活的高速、  
超精准点胶机

最新:50 英寸双通道选项



Dynamic Dual Head™ (DDH)  
动态双头

无论零件到零件的旋转如何, 双头都能同步分配两个泵。与紧凑, 快速和灵活的 NuJet™ 泵, 达到最严密的控制。



Electronic Assembly Equipment

ITW EAE

请浏览 [www.itweae.com](http://www.itweae.com), 获取更多信息。

A division of Illinois Tools Works

## 目录 CONTENTS

### 封面故事 Cover Story

#### 17 电子材料比对鉴定分析：利用分析结果提升半导体制造水平 Fingerprinting Analysis on Electronic Materials: Using all the Evidence to Advance Semiconductor Manufacturing

利用客观数据来改进业务流程，这种方法在半导体制造领域已运用到极致。林德公司将一种先进而全面的化学计量方法“比对鉴定”用于电子材料分析。为了在工业化学材料来源和零缺陷原子级制造之间严把质量关，必须控制化学材料的质量，在本文中，我们通过真实的生产示例，展示如何在整个电子材料供应链上应用这些先进的方法。

- Carl Jackson, 林德公司电子产品研发主管



### 编辑寄语 Editor's Note

- 4 台积电与英特尔引领 3D 封装新技术  
TSMC and Intel are leading new 3D packaging technology  
- 赵雪芹

### 产业报道 Industry News

- 5 奥林巴斯数码显微镜新品 DSX1000 献礼百年华诞  
Olympus launched new digital microscope DSX1000 dedicating to its 100th anniversary
- 6 泛林集团晶圆应力管理解决方案支持 3D NAND 技术发展  
Lam Research wafer stress management solutions for 3D NAND technology
- 8 KLA 发布全新缺陷检测与检视产品组合  
KLA launched new defect detection and inspection product portfolio
- 9 全球 FAB 设备支出 2020 年开始以 20% 的速度增长  
Global spending on FAB equipment will start growing by 20% in 2020

#### 关于雅时国际商讯 (ACT International)



雅时国际商讯 (ACT International) 成立于1998年，为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品—包括杂志和网上出版物、培训、会议和活动—为跨国公司和中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站，以及各种技术会议，服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港，在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

#### About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photronics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

## 目录 CONTENTS

### 观点 Viewpoints

- 10 大数据时代的新型存储器制造难题与解决方案  
New memory manufacturing problems and solutions in the era of big data
- 13 瑞萨电子为 AI 芯片提供全新计算存储一体化技术  
Renesas provides new computing and storage integrating technologies for AI chips
- 15 罗姆打造 SiC 器件专用测试实验室  
A dedicated lab for the specialized testing of SiC devices from ROHM

### 技术 Technology

- 22 晶圆键合：实现未来的 RF 滤波器制造  
Wafer bonding enables future RF filter manufacturing  
- Thomas Uhrmann 博士, EV Group
- 28 用于先 RDL 扇外型封装的牺牲激光脱模材料  
Sacrificial Laser Release Materials For RDL-First Fan-Out Packaging  
- Ramachandran K. Trichur, Rama Puligadda, Tony D. Flaim; Brewer Science, Inc.
- 33 显示塑封材料的真实特性  
Keeping mold compounds honest  
- Tom Adams, Nordson-Sonoscan 公司顾问



22

### 专栏 Conlunm

- 35 MEMS 和先进 IC 得益于定制晶圆清洗  
MEMS, advanced ICs benefit from customised wafer cleaning  
- Suraiya Nafis, PVA TePla America 公司半导体设备销售主管
- 38 汽车晶圆厂中的偏移监控  
Partition quarantine of offset monitoring in Fab for auto industry  
- David W. Price, Jay Rathert, Douglas G. Sutherland, KLA 公司



33

### 40 广告索引 Ad Index

#### 关于《半导体芯科技》

《半导体芯科技》(原半导体科技) 中国版 (SiSC) 是全球最重要和最权威的杂志 Silicon Semiconductor 的“姐妹”杂志, 由香港雅时国际商讯出版, 报道最新半导体产业新闻、深度分析和权威评论。为中国半导体专业人士, 提供他们需要的商业、技术和产品信息, 帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国半导体产业, 包括 IC 设计、制造、封装及应用等。

#### About Silicon Semiconductor China

Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology & product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMS, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

社长 Publisher

麦协林 Adonis Mak  
adonism@actintl.com.hk

主编 Editor in Chief

赵雪芹 Sunnie Zhao  
sunniez@actintl.com.hk

出版社 Publishing House

雅时国际商讯 ACT International  
香港九龙 B,13/F, Por Yen Bldg,  
长沙湾青山道478号 478 Castle Peak Road,  
百欣大厦 Cheung Sha Wan,  
13楼B室 Kowloon, Hong Kong  
Tel: (852) 2838 6298  
Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988571

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 59233884

UK Office

Angel Business  
Communications Ltd.  
6 Bow Court,  
Fletchworth Gate,  
Burnsall Road, Coventry,  
CV56SP, UK  
Tel: +44 (0)1923 690200  
Chief Operating Officer  
Stephen Whitehurst  
stephen.whitehurst@angelbc.com  
Tel: +44 (0)2476 718970



# 台积电与英特尔引领3D封装新技术

随着人工智能、物联网、5G 通信等技术和应用的迅速发展，系统运算复杂程度日益增加。近几年，业界不断尝试通过先进封装技术寻求解决方案，把不同世代的处理器、存储器、加速器整合到一起，从系统层面上实现最优的性能。因此，3D 封装自然成为许多厂商重点发展的技术。

2019 年 6 月，台积电在日本 VLSI 技术及电路研讨会中，针对 HPC 芯片封装技术，提出新型态 SoIC(System on Integrated Chips) 的 3D 封装技术论文，透过微缩凸块密度，提升 CPU/GPU 处理器与存储器间整体运算速度。台积电期望借由 SoIC 封装技术，作为其 InFO(Integrated Fan-out)、CoWoS(Chip on Wafer on Substrate) 后端先进封装持续延伸的全新解决方案。

HPC 芯片封装必须考量封装所需之体积与芯片效能的提升，因此，HPC 芯片封装技术的发展趋势，除了 FOWLP 与 2.5D 封装外，将朝向技术难度更高的 3D 封装技术。

所谓 3D 封装技术，主要为求再次提升 AI 之 HPC 芯片的运算速度及能力，试图将高频宽存储器与 CPU/GPU/FPGA/NPU 处理器彼此整合，并藉由硅通孔技术，将两者垂直叠合在一起，减小彼此的传输路径、加速处理与运算速度，提高整体 HPC 芯片的工作效率。

现行 3D 封装技术，由于必须垂直叠合 HPC 芯片内的处理器及存储器，因此，开发成本比 FOWLP 和 2.5D 封装高出许多，制程难度也更复杂、成品良率较低。目前，台积电已宣布将于 2020 年量产 SoIC 和 WoW(Wafer on Wafer) 的 3D 封装技术。

2019 年 7 月，在 SEMICON West 大会上，英特尔公司介绍了三项全新的先进芯片封装技术：① Co-EMIB - 利用高密度互连技术，将 EMIB(嵌入式多芯片互连桥接) 2D 封装和 Foveros 3D 封装技术结合在一起，实现高带宽、低功耗，以及有竞争力的 I/O 密度。

Co-EMIB 能连接更高的计算性能和能力，让两个或多个 Foveros 元件互连，从而基本达到 SoC 性能，还能以非常高的带宽和非常低的功耗连接模拟器、内存和其他模块。

Foveros 3D 封装是英特尔在 2019 年初提出的全新技术，首次为 CPU 处理器引入 3D 堆叠设计，可以实现芯片上堆叠芯片，而且能整合不同工艺、结构、用途的芯片，相关产品将从 2019 年下半年开始陆续推出。

② ODI (Omni-Directional Interconnect) - 全方位互连技术，为封装中小芯片之间的全方位互连通信提供了更大的灵活性。ODI 封装架构中，顶部的芯片可以像 EMIB 下一样，与其他小芯片进行水平通信，还可以像 Foveros 下一样，通过 TSV 与下面的底部裸片进行垂直通信。直接从封装基板向顶部裸片供电，比传统硅通孔更大、电阻更低，因而可提供更稳定的电力传输，同时通过堆叠实现更高的带宽和更低的时延。

③ MDIO - 基于高级接口总线 (AIB) 物理层互连技术的全新裸片间接口技术。MDIO 技术支持对小芯片 IP 模块库的模块化系统设计，能效更高，响应速度和带宽密度可以是 AIB 技术的两倍以上。

英特尔强调，这些全新封装技术将与 Intel 的制程工艺相结合，成为芯片架构师的创意调色板，自由设计创新产品。

作为芯片制造过程的最后一步，封装在电子供应链一直发挥着极为关键的作用。随着台积电、英特尔等主流厂商相继推出新的 3D 封装技术，将会引发新一波 3D 封装技术风潮，相信更多半导体厂商将很快跟上此波 3D 封装技术的发展。

赵雪芹

# 奥林巴斯数码显微镜新品DSX1000 献礼百年华诞

2019年6月21日，奥林巴斯数码显微镜新品DSX1000中国首发仪式在青岛隆重举行。凭借在速度和精度等方面的卓越性能，DSX1000得到了现场专业人士的高度评价。值得一提的是，本次发布会不仅是DSX1000新品在中国的首发活动，也是对奥林巴斯百年华诞的一次献礼。科学事业统括清水嘉毅总经理、近200位行业用户，以及近十家行业媒体共同见证了这一重要时刻。清水总经理以奥林巴斯百年为主题开场致词，他表示，“此次机型的更新将更加提升奥林巴斯工业显微镜的品牌自信心。”

诞生于1919年的奥林巴斯，已在时代的年轮里前行一个世纪。通过倾听用户声音，以及不断积累沉淀、改革创新，百岁企业奥林巴斯始终保持着活力。此次重磅发布的DSX1000即是奥林巴斯根据用户实际需求对数码显微镜进行优化的新成果。可以说，该新品融合了奥林巴斯匠心与创新精神，也体现了奥林巴斯对“实现世界人民的健康、安心和幸福生活”企业使命的一贯坚守。未来，奥林巴斯仍会以用户为核心，开发更多具有价值的工业显微镜产品，为中国半导体产业的发展提供充足动力。

## 数码技术和光学技术的巅峰

奥林巴斯针对市场需求曾于2012年推出DSX系列数码显微镜，该系列代表了奥林巴斯数码技术和光学技术的巅峰，自上市以来深受用户信赖。时隔7年，奥林巴斯DSX系列再添新成员，DSX1000的加入将进一步丰富奥林巴斯数码显微镜产品矩阵。

DSX1000延续了上一代的设计理念，秉承奥林巴斯对自身产品的一贯定位：提供有保证的准确度和重复性检测分析。用户只需简易操作，即可实现对各种样品的3D观察、测量等一系列操作，并快速得到可信的观察结果。

特别是DSX1000数码显微镜独具六种观察方式：明场、暗场、MIX(BF+DF)、微分干涉、偏光、偏射观察方法，这六种观察方法集



新品揭幕

成在DSX1000的光路中，采用了一键式电动切换的方式，在软件和硬件中都可以操控，非常的方便。不需要更换部件来实现多种观察方法的灵活切换。

DSX1000相较于奥林巴斯旧款的显微镜而言，其特别的优势及技术突破包括：

1. DSX1000 一台设备支持低倍到高倍，倍率范围为：20X-7000X。
2. DSX1000 具备一键式3D扫描功能，点击一个拍摄按钮即可拍摄3D图像。智能扫描和自动测量，扫描速度比以前提升了10倍。
3. 针对DSX1000开发了大景深高数值孔径的物镜，通常显微镜的特点是景深大，分辨率就会降低。针对DSX1000奥林巴斯开发了大景深高分率的物镜，是在这款设备上的技术突破。

4. 一键式观察方法和物镜的切换，全倍率支持所有的观察方法，瞬间发现缺陷和完成解析工作。

5. 采用远心光学系统，保证准确度和重复性，客户可以放心的进行测量。

## 为半导体等行业带来更多助力

作为奥林巴斯数码技术和光学



新品DSX1000数码显微镜

技术结合的巅峰，DSX1000 数码显微镜具有数字化优势，可以满足半导体、自动化、汽车制造、生物医药等高端行业的各种精密检测和分析的需求。比如，支持宏观和微观分析检查，检测速度快，保证准确度和重复性，缩短检测时间，一个机多用，具备立体显微镜、金相显微镜、超景深显微镜、3D 测量仪等功能，高速数字化生产检验，快速测量检出缺陷，一键式出图像和测量数据及报告，形成大数据系统，随时可以进行管理和调用。

随着 5G、物联网、人工智能、消费电子、汽车电子等产业的进一步兴起，半导体市场日益扩大，DSX1000 这一以“奥林巴斯尖端光学技术”为基因的“全能”数码显微镜问世，将为半导体、材料、电力、航空、汽车、钢铁、机械等行业的研发、生产、质检等多个方面提供更多高能助力。

奥林巴斯接受媒体采访时表示：诞生于 1919 年的奥林巴斯，自 1920 年自主研发了日本第一台商用显微镜“旭号”开始，一直在显微镜领域攻坚克难，进行光学技术的创新，引领显微镜的发展。DSX 系列显微镜提出了光学数码显微镜显微镜的新概念，将奥林巴斯引以为傲的核心技术——光学与数码完美结合，代表了显微镜方面光学技术和数字技术融合的未来发展趋势。显微镜作为科学研究与制造领域的必备检测仪器，今后也必须顺应物联网、5G、AI 等新科技时代的发展要求。要做到这一点，我们的产品必须要实现高速、高精度和智能化。

奥林巴斯于 1987 年在北京设立了办事处，之后一直扎根于中国市场。如何为市场提供更好的产品，是我们始终需要思考的问题。想要走的更远，

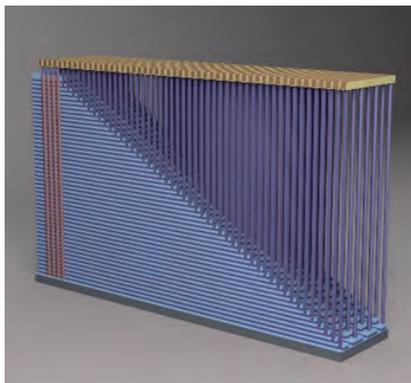
只提供“好”的产品还远远不够。我们还需要倾听来自一线生产者和用户的声​​音，并把这些声音和意见反馈到产品中，不断积累沉淀，不断改革创新。这次发布的 DSX1000 数码显微镜，就是在倾听用户声音、了解用户需求的基础上研发的，也是奥林巴斯匠心与创新精神融合的产物，更是奥林巴斯对“实现世界人民的健康、安心和幸福生活”企业使命的一贯坚守。

奥林巴斯已经走过百年辉煌历程，我们成功的关键在于创新。为了给用户提供更好的产品、更好的服务，我们不断开拓创新，同样也收获了用户的好评与信任。未来，奥林巴斯仍会以用户为核心，开发更多具有价值的工业显微镜产品。未来，创新将伴随着奥林巴斯继续一路前行。下一个百年，奥林巴斯期待和中国用户一起进步。◆

## 泛林集团晶圆应力管理解决方案 支持 3D NAND 技术发展

**全**球领先的半导体制造设备及服务供应商泛林集团宣布推出全新解决方案，帮助客户提高芯片存储密度，以满足人工智能和机器学习等应用的需求。通过推出用于背面薄膜沉积的设备 VECTOR® DT 和用于去除背面和边缘薄膜的湿法刻蚀设备 EOS® GS，泛林集团进一步拓展了其应力管理产品组合。

高深宽比沉积和刻蚀工艺是实现 3D NAND 技术持续发展的关键因素。随着工艺层数的增加，其累积的物理应力越来越大，如何控制由此引



泛林集团推出品圆应力管理解决方案以支持 3D NAND 技术的持续发展

起的晶圆翘曲已成为制造过程中的一个主要挑战。严重的晶圆翘曲会影响

光刻焦深、层与层之间的对准、甚至导致图形结构畸变，从而降低产品的良率。为了提高整体良率，需要对整个制造工艺中多个步骤在晶圆、晶片和图形层面的应力进行细致管理，甚至因此放弃一些可提升产品性能的工艺步骤。

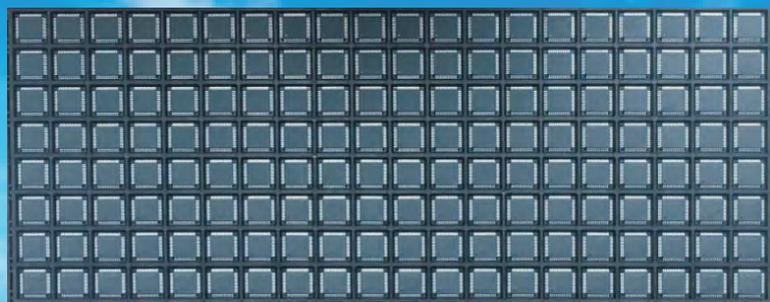
VECTOR DT 系统是泛林集团等离子体增强化学气相沉积 (PECVD) 产品系列的最新产品，旨在为控制 3D NAND 制造中的晶圆翘曲提供一种高性价比的解决方案。在完全不接触晶圆正面的情况下，VECTOR DT

# OPS

# 優普士電子（深圳）有限公司

OPS Electronic (Shenzhen) limited

## 獨家同步整盤燒錄/測試系統



## 服務據點

崇基集團總公司內湖辦事處  
電話: +86-2-7720 1881 +886-2-7720 2882  
地址: 臺北市內湖區堤頂大道二段 475 號 9 樓

日本崇誠株式會社  
電話: +81 66353- 2780 +81 66353- 2781  
地址: 大阪市北區長柄中 3-13- 10

優普士電子（蘇州）辦事處  
電話: 0512-67379720  
地址: 江蘇省蘇州市工業園區淞北路 45 號 3 幢 308 室

優普士電子（深圳）有限公司  
電話: 0755- 27707166 0755- 27705764  
地址: 深圳市龍華新區大浪街道華寧路（西）恒昌榮  
星輝科技工業園 C 棟 5 樓

可在晶圆背面沉积一层可调节、高应力、高质量的薄膜，一步到位地拉平翘曲的晶圆，改善光刻结果，减少由翘曲引起的诸多问题。VECTOR DT 问世之初便得以广泛采用，随着主流 3D NAND 产品向 96 层以上推进，其机台安装数量将会持续增长。

除了沉积高应力薄膜，泛林集团还提供了背面刻蚀的技术，客户可根据工艺需要，在 3D NAND 制造流程中灵活地调整晶圆应力。泛林集团的湿法刻蚀产品 EOS GS 拥有业界领先的湿法刻蚀均匀度，能在充分保护晶圆正面的前提下，同时去除背面和边缘的薄膜，与 VECTOR DT 形

成有力互补。作为晶圆翘曲管理解决方案的一部分，泛林集团的 EOS GS 也被全球存储芯片制造商广泛采用。

泛林集团副总裁兼沉积产品事业部总经理 Sesha Varadarajan 表示：“随着客户产品的存储单元层数持续、大幅的增加，累积应力和晶圆翘曲会超过光刻设备处理能力的极限。为了达到预期良率，实现单位字节成本降低的路线图，将应力引起的畸变降至最低至关重要。伴随 VECTOR DT 和 EOS GS 产品的推出，我们扩大了现有的应力管理解决方案组合，能够全面管理晶圆生产中的应力，支持客户纵向技术的持续发展。”

## KLA发布全新缺陷检测与检视产品组合

**K**LA 公司近日发布 392x 和 295x 光学缺陷检测系统和 eDR7380™ 电子束缺陷检视系统。这些全新的检测系统是 KLA 公司旗舰产品系列——图案晶圆平台的进一步拓展，其检测速度和灵敏度均有提升，代表了光学检测的新水准。全新电子束检视系统的创新使其自身价值进一步稳固，并成为缺陷和发现其产生根源之间的必要一环。对于领先的 3D NAND、DRAM 和逻辑 IC，该产品组合将缩短整个产品周期，加快其上市时间。

离子照射技术，传感器架构和整合芯片设计数据等方面都取得实质性的进步，其灵敏度、产量和良率相关的缺陷分类等功能都是业界翘楚。因此，与领先业界的前一代产品相比，新系统可以更为迅速地发现缺陷并提升良率，同时提供更为全面的在线监控。对于包括 EUV 光刻质量控制在内的各种检测应用，392x 和 295x 系统可以提供不同的波长范围并涵盖从浅沟槽隔离到金属化的所有制程层。

凭借一流的图像质量和通过一次测试获得完整缺陷分



“为了有利润地制造下一代内存和逻辑芯片，对所需的制程控制要求之高也是前所未有的，” KLA 国际产品部执行副总裁 Ahmad Khan 说。“元件结构变得更小、更窄、更高、更深，并且形状更为复杂以及材料更为新颖。将缺陷与其他无害的物理变化分开——也就是从噪声中分离出所需信号——已成为一个非常棘手的难题。我很高兴地宣布我们的光学和电子束工程团队开发了一系列创新的系统，将缺陷的检测和检视相结合，这将推动我们的行业继续向前发展。”

392x 和 295x 光学图案晶圆缺陷检测系统在宽光谱等

布图的独特能力，eDR7380 电子束晶圆缺陷检视系统可以在产品开发中更加迅速地捕获缺陷源，同时在生产制造中更快地检测偏移并且获取更为准确及可操作的数据。该系统能够对脆弱的 EUV 光刻工艺层进行检视。与 KLA 检测仪的独特结合可以缩短获取结果的时间，促进多种的 KLA 特定应用的使用，并通过智能采样和高效缺陷数据交换提升检测的灵敏度。

392x、295x 和 eDR7380 系统都可用作新系统或者对上一代的 39xx、29xx 或 eDR7xxx 系统进行升级。这些系统均具有未来的可扩展性，从而保护晶圆厂的资本投资。

# 全球FAB设备支出2020年开始以20%的速度增长

**根** 据国际半导体产业协会 SEMI 发布的 2019 年第二季度世界晶圆厂预测更新，全球晶圆厂 (FAB) 设备支出在 2019 年下降 19% 至 484 亿美元后，将在 2020 年反弹，增长 20% 至 584 亿美元。

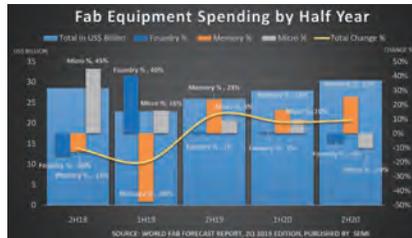
2020 年投资增幅是从今年早些时候的 27% 增长预测下调，2019 年支出下降 19%，比之前预计的下降 14% 更多。尽管预测 2020 年将健康增长，但 FAB 支出仍将比 2018 年的投资减少 20 亿美元。

仅 Memory 领域支出预计将在 2019 年的衰退中占很大比例，下降 45%，但应该在 2020 年实现 45% 的

强劲复苏，达到 280 亿美元。2020 年 Memory 投资的增长将同比增长超过 80 亿美元，推动 FAB 支出整体扩张。然而与 2017 年和 2018 年的支出水平相比，2020 年的 Memory 投资仍将大大减少。

在今年 Memory 支出下降的两个反向趋势中，预计 Foundry 的投资将增加 29%，微处理器增长超过 40%，这得益于 10nm MPU 的推出。值得注意的是，整个微处理器支出与代工和内存投资相比相形见绌。

全球 FAB 厂预测更新 (The World Fab Forecast update) 跟踪了 2018 年至 2020 年的 440 个 FAB 厂和产线的投资项目。SEMI 半年的数据



回顾显示，2019 年上半年 Memory 支出将下降 48%，3D NAND 和 DRAM 投资分别下降 60% 和 40%。

尽管一个细分领域出现了大幅下降，但 2019 年上半年的总体支出将被领先代工厂的投资增长 40% 部分抵消。由于 MPU 是其关键驱动因素，预计上半年微处理器支出将增长 16%，下半年将再增长 9%。



CANRILL OPTICS  
Infos  
www.canrill.com



光 刻 机 专 用 远 心 镜 头

# 大数据时代的新型存储器制造难题与解决方案

现代社会已经进入大数据、物联网时代——一方面，数据呈爆炸式增长，芯片就必须需要具备巨大的计算能力；另一方面，依据传统摩尔定律微缩的半导体技术所面临的挑战越来越大、需要的成本越来越高、实现的性能提高也趋于放缓。

据统计，现在一个人一天可能产生的数据大概是1GB，但一辆无人驾驶汽车一天产生的数据量是4000GB，是前者的4千倍。从去年（2018）开始，我们看到机器产生的数据已经超过了人类产生的数据，这是人类历史上的第一次。预计到2022年，机器产生的数据将会是人类产生的数据的9倍之多。而所有的数据，包括无人车、智慧城市、智能家居……等所有机器产生的数据都要从终端、边缘，通过各层传输、计算，到云端、大数据中心，然后再计算、最终返回到终端，所有过程都需要巨大的计算能力。

随着人工智能（AI）、物联网（IoT）、5G通信等技术和应用的迅速发展，数据的产生已经呈指数级增长。以前我们主要是受计算能力限制，就是受处理器限制，而过去几十年摩尔定律推动了处理器性能的极大提升，现在的计算能力更多的受限于数据在处理器和存储器之间的读取和传输。由于数据的海量增长，现有的计算架构已经无法满足进一步发展的需要，于是我们更多的关注存储器的发展。传统存储器已经限制了计算能力的提高，面临多重困难和挑战。而以MRAM、ReRAM和PCRAM为代表的新型存储器，虽然能够带来独特的优势，但由于这些存储器均采用新型材料，实现大规模量产成为了一大难题。

## 存储器未来如何发展

应用材料公司金属沉积产品事业部全球产品经理周春明博士说：“DRAM、SRAM、NAND这些传统的存储器，已经有几十年历史了，虽然现在它们还在一直在向前发展，不断更新换代，尺寸越来越小，成本越来越低，性能越来越强。但是，全新的存储器MRAM，ReRAM，PCRAM，相对于传统存储器来说，具有很多方面独特的优势，能够在计算系统层级实现更优的计算性能、功耗和成本。”

“谈到半导体产业，PPAC（性能、功耗、面积、成本）

是一个最核心的关键参数。虽然过去几十年摩尔定律一直在推动我们计算性能不断提高，但是现在芯片的性能、功耗、成本，其实面临着很多的挑战。”周博士进一步说，“摩尔定律实际上不仅仅就是计算能力，不仅仅就是晶体管数，更主要的还是性能、功率、面积跟成本的综合（PPAC），这是最关键的因素。摩尔定律现在准确的定义是： $PPAC = \text{性能} \div \text{功率} \div (\text{面积} \times \text{成本})$ ，这个公式算出来是两倍的话，那就是一个更先进的节点。”

周博士表示：“有好多因素决定制程从一代到下一代。通过传统二维的方法缩减晶体管尺寸已经很难再有大的突破，但是，有更多新的方法去实现PPAC整体的提升。第一是新的架构，比方TPU、GPU，可以作为一个加速器来提高计算，尤其是在云端的计算性能。第二是新的结构，比方说：NAND传统存储器，从二维到现在的三维。可以一直堆叠，虽然有挑战，但是突破了两维的限制。第三就是新材料，以前在元素周期表里面只有几个元素被用在半导体里面，现在已经用到了很多新材料，版图变得越来越大。比如后端的互联，原来一直是铜，现在也用到钴，可以显著提高晶体管的性能。所以，新材料在提升整个PPAC方面，可以起到非常大的作用。还有新微缩技术，现在可以看到最先进的就是紫外光刻EUV，但其实从材料工程角度，还有更多的方法去实现。比方说，通过一些自对准微处理技术，不依赖光刻的新微缩方法，也可以实现晶体管尺寸的下降。最后是先进封装技术，就是通过先进的封装技术，把不同世代的处理器、存储器、加速器等整合到一起，从系统层面上实现最优的性能。但是，对于所有这些方法来说，材料工程其实是一个基础，这正是应用材料公司的专长。我们做的事情，就是以材料工程解决客户的关键技术问题，然后帮助客户实现他们的产品。”

应用材料中国公司首席技术官赵甘鸣博士表示：“现在最热门的是人工智能（AI），人们说‘All in AI’。但是不管是人工智能、物联网、或是大数据，都是从软硬件层面、从应用场景、或是从商业模式去讨论，而应用材料公司强调的是从底层上怎么去实现AI的发展。我们看到由大数据驱动的人工智能，推动了巨大运算的需求，从而造成了

硬件开发和硬件投资的复兴。从应用材料公司本身角度讲，我们公司的研发投资从过去的每年平均至少 10 亿美金增加到 2018 年的 20 亿美金，就是想加速硬件的开发，然后从底层、从硬件角度，去帮助这些 AI 公司实现各种应用。”

“硬件开发与投资的复兴包括许多方面，比方‘加速器’，TPU，GPU。再就是‘近存储器计算’（Near Memory Compute）。”如同周博士所表示，现在的计算能力不再是单独的由处理器的能力来决定，因为处理器跟存储器之间来回的传输数据，这样的瓶颈造成了计算能力不能再往上推。而“近存储器计算”就是用大量的“高带宽、大容量”，把存储器跟计算处理器更紧密连在一起，这样就可以在系统层级推动计算性能的提高。这些可以用现有的 DRAM、NAND、SRAM 架构模块去实现，因此预计从现在到未来两年，可以看到很多这样“近存储器计算”的架构。

谈到新型存储器，主要包括：MRAM、ReRAM、PCRAM。为什么新型存储器很重要？因为跟传统的存储器相比，它们有很多独特的功能和优势。用新型的存储器跟现在传统的存储器结合，就可以实现更好的“近存储器计算”。同时，这些新型存储器又可为将来的发展，也就是“存储器内计算”（In-Memory Compute）打下基础。“存储器内计算”就是把存储跟处理整合到一起，存储就是计算、计算就是存储，这样两者之间就没有数据传输，没有数据传输就没有延时、没有功耗。所以，“存储器内计算”可以在性能和功耗上达到显著提升。周博士表示：“预计未来两年到五年，‘存储器内计算’会逐步的发展和运用。而最先进的可能是一些新型类脑计算，叫‘高性能计算’，这项技术可能需要更长的时间才能实现。IBM 和英特尔已经在这方面投入了很多研发。”

### 新型存储器 MRAM, ReRAM, PCRAM

新型存储器 MRAM, ReRAM, PCRAM 是未来“近存储器计算”、“存储器内计算”和“高性能计算”的基础和保证，周博士详细介绍了几种新型存储器的特点和应用。

MRAM 是磁性随机存取存储器，采用硬盘驱动器中常见的精密磁性材料，具有快速存取和非易失性能。它的架构非常简单，它的存储单元直接嵌入到逻辑的电路里面，不额外占用“硅”的面积，因此可以做得非常小，一个晶体管即可控制一个存储单元。同时，因为 MRAM 在待机时不耗电，因此，用 MRAM 替代 SRAM 和闪存，就可以

实现低功耗、高性能，这对于物联网中的边缘终端非常重要。将 MRAM 集成到物联网芯片的后端互连层中，相比于现有利用 SRAM 和 eFlash 架构，能够实现更小的裸片尺寸和更低的成本。

PCRAM 是相变随机存取存储器，采用的是 DVD 光盘中常见的相变材料，通过将材料状态从非晶态更改为晶态对数据位进行编程。ReRAM 是电阻随机存取存储器，采用的工作原理类似保险丝的新材料制成，能够在数十亿个存储单元中选择性地形成细丝来表示数据。ReRAM 和 PCRAM 还有望实现和编辑多个电阻率中间形态，以便在每单个存储器单元中存储多位数据。

ReRAM 和 PCRAM 这两类存储器可以跟 MRAM 一样，做嵌入式应用。但是，更有吸引力的地方在于，ReRAM 和 PCRAM 与 NAND 存储器类似，可以实现 3D 结构排列，存储器制造商可以在更新换代过程中逐步增加层数，从而稳定地增大容量、降低存储成本。ReRAM 和 PCRAM 的成本可以明显低于 DRAM，并能够提供比 NAND 和硬盘驱动器更快的读取性能。这使得 ReRAM 和 PCRAM 在云计算、大数据中心方面非常有吸引力。

ReRAM 还是未来存储器内计算架构的首选产品，在这一架构中，计算元件将集成到存储器阵列中，协助克服与 AI 计算相关的数据传输瓶颈。

随着当今的数据产生呈指数级增长，对于云数据中心连接服务器和存储系统的数据路径，其速度和功耗也需要实现跨数量级的改进。ReRAM 和 PCRAM 是低功耗、高密度的高速非易失性存储器，可作为“存储级存储器”来填补服务器 DRAM 和存储器之间不断扩大的性价比差距。

### 应用材料公司解决新型存储器制造难题

虽然以 MRAM、ReRAM 和 PCRAM 为代表的新型存储器能够带来独特的优势，但由于这些存储器需要采用新型材料，制造上面临许多独特的挑战，至今很难实现大规模量产，亟需在制造方面取得突破性进展。

近日，应用材料公司推出了可实现这些新型存储器大规模量产的两个创新型解决方案 Endura<sup>®</sup> Clover<sup>™</sup> MRAM PVD 平台和 Endura<sup>®</sup> Impulse<sup>™</sup> PVD 平台，有望大大加速面向物联网和云计算的新型存储器的工业应用进程。

周博士介绍：“准确的说，这不是两个产品，而是两个‘集成式’或者‘整合式’的材料解决方案。应用材料

公司一直强调，我们不是仅做‘一步’，而是凭借广泛的产品组合在最大程度上整合我们所有的技术，打造前所未有的新型材料工程技术平台，来帮助客户加快他们的产品进程，提高他们的产品性能。这些集成化平台充分展示了新材料和 3D 架构能够发挥关键的作用，并以全新的方式帮助计算行业优化性能、提升功率并降低成本。”



应用材料公司 Endura® Clover™ MRAM PVD 平台

应用材料公司的新型 Endura® Clover™ MRAM PVD 平台由 9 个特制的工艺反应腔组成，这些反应腔全部集成在高度真空的无尘环境下。这是业内首个用于大规模量产的 300 毫米 MRAM 系统，其中每个反应腔最多能够沉积五种不同材料。MRAM 存储器需要对至少 30 层的材料进行精确沉积，其中有些层的厚度比人类的发丝还要薄 500,000 倍。即使仅有原子直径几分之一工艺变化，也会极大地影响器件的性能和可靠性。Clover MRAM PVD 平台引入了机载计量技术，能够以亚埃级灵敏度对所产生

的 MRAM 层的厚度进行测量与监控，从而确保实现原子级的均匀度并规避接触外界环境的风险。

周博士说：“Endura® Clover™ MRAM PVD 是应用材料公司有史以来最精密的芯片制造系统。我们的 Clover™ PVD 专门为复杂的 MRAM 沉积而设计，精度可达亚原子级别。MRAM 磁性隧道结中的氧化镁阻挡层对器件性能起关键作用。我们独特的 Clover™ PVD 氧化镁系统能够提供高质量的氧化镁阻挡层，实现 MRAM 更低功耗和更高耐久度。”

应用材料公司专为 PCRAM 和 ReRAM 打造的 Endura® Impulse™ PVD 平台包含多达九个真空工艺反应腔，并集成了机载计量技术，能够对这些新型存储器中使用的多组分材料进行精确沉积和控制。

周博士介绍：Endura® Impulse™ PVD 能够对 PCRAM 和 ReRAM 存储器中使用的新材料进行非常均匀的沉积，实现卓越的成分和厚度控制，是最大程度提升器件性能、可靠性和耐用性的关键所在。

“全新的 Endura® Clover™ MRAM PVD 和 Endura® Impulse™ PVD 制造系统能够以原子级的精度沉积新型材料，从而解决了新型存储器生产的核心难题。这是应用材料公司迄今为止开发的最精密的系统，是实现新型存储器大规模量产的创新型解决方案。希望我们的产品能够加速这些新型存储器在非常热门的物联网、云计算领域中的运用。在大数据时代，通过新型存储器实现新计算架构，提升计算效能，实现人工智能在各种场景更多的应用，这是这两个新产品最终想要实现的目标。”周博士说。◆

(Sunnie Zhao 报道)



应用材料公司专为 PCRAM 和 ReRAM 打造的 Endura® Impulse™ PVD 平台

欢迎访问

半导体芯科技网站

[www.siscmag.com](http://www.siscmag.com)

半导体产业新闻、深度分析、权威评论  
为中国半导体行业提供全方位的商业、技术和产品信息。

# 瑞萨电子为AI芯片提供全新 计算存储一体化技术

瑞萨电子株式会社推出全新 AI 加速器，可高速且低功耗地执行 CNN（卷积神经网络）处理，向下一代瑞萨嵌入式人工智能（e-AI）迈进，加速端点设备智能化。采用该加速器的测试芯片可实现效率达到 8.8 TOPS/W（每秒每瓦万亿次操作），达到业界极高水平。瑞萨加速器基于计算存储一体化(PIM)架构，即当读取存储器数据时，在存储器电路中执行乘法和累加运算。

为构建全新 AI 加速器，瑞萨推出了以下三种技术。一是可执行大规模 CNN 计算的三进制 (-1,0,1) SRAM 结构 PIM 技术。二是与比较器配合使用的 SRAM 电路，可在低功耗下读取存储器数据。三是能够防止在制造过程中因工艺变化而导致的计算错误。将以上技术结合，既能缩短深度学习处理中的存储器访问时间，又可降低乘法和累加运算所需的功率。因此，当通过手写字符识别测试 (MNIST) 进行评估时，新加速器在保持 99% 以上准确率的同时，达到了业界最高能效等级。

## 下一代AI芯片技术的关键特性：

可根据所需精度调整计算位数的三进制 (-1,0,1) SRAM 结构 PIM 技术

三进制 (-1,0,1) SRAM 结构 PIM 技术采用三元存储器与简单数字计算块相组合，保证硬件数量增加的同时将计算误差降至最低。同时，允许根据所需精度进行位数切换（如 1.5 位（三进制）和 4 位计算之间）。可针对不同用户需求支持不同的精度及运算规模，用户可优化精度与功耗间的平衡。

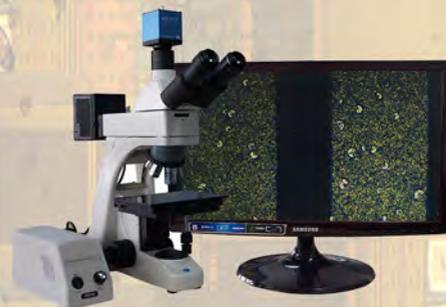
结合比较器和复制单元的高精度 / 低功耗存储器数据读取电路

当采用 PIM 架构时，通过检测 SRAM 结构中的位线电流值以读取存储器数据。尽管使用 A/D 转换器进行高精度位线电流检测是有效的，但这种方法功耗高且芯片面积较大。因此，瑞萨将比较器（1 位感测放大器）与复制单元相结合，方便灵活控制电流，从而开发出高精度的存储器数据读取电路。此外，由于神经网络操作所激活节点（神经元）数量非常少（约 1%），通过关闭未激活节点（神经元）读取电路以实现更低的运行功率。

消除制造过程中因工艺变化导致计算误差的规避技术

由于制造过程中的工艺变化，导致 SRAM 结构中位线电流值产生误差，从而造成存储器读取数据时出现错误。为解决这个问题，瑞萨在芯片内部覆盖了多个 SRAM 计算电路模块，由制造工艺变化最小的模块执行计算任务。由于激活节点只是所有节点中的一小部分，因此激活节点被有选择地分配给制造过程变化最小的 SRAM 计算电路模块执行计算。从而将计算误差降至几乎可忽略的水平。

现在，瑞萨正立足于此开发并推出新型尖端技术，致力于通过在物联网边缘及端点采用 AI 技术来增强智能，为实现智能社会做出贡献。



（支持15" 工作台

2000万有效像素

支持扫码追溯，链接MES系统）

工具金相显微镜系统



（邦定弧高测量

三轴精密量测晶圆智能检测）



深圳市华显光学仪器有限公司

0755-81753034

cy@china-eoc.com

光学解决方案，我们帮您做的更好！

http://www.china-eoc.com

# 全球独家

## 芯片制造黄光室专用照明 —— LED黄光平板灯

适用于芯片制造、晶圆代工、  
硅晶圆磊晶、TFTLCD、  
DRAM、IC封装、  
PCB及印刷等各种需要曝光  
微影制程场域的黄光室



### 六大特点：

#### 1、光谱520nm以下波长滤光

光谱在520nm以下滤光，无蓝光、无UV光，最接近传统T8荧光灯管，避免光阻异常曝光，确保芯片制程稳定

#### 2、超高光效超级省电

超高光效超级省电，以代替3支T8荧光灯管的DCL10640YL为例，功率38W可替代3支T8 120W，光通量3500lm，光效92.65lm/W，省电效果达到68%，一盏灯具每天可省1.96度电，每年省718度电

#### 3、低眩光无频闪

低眩光无频闪，达到人因照明要求的低眩光舒适需求，并避免频闪影响视觉与不舒适感

#### 4、LED寿命长达50,000小时

LED寿命长达50,000小时，大幅减少频繁更换灯管所需的工时/耗材与潜在造成的污染

#### 5、可客制化，依需求尺寸定制

旧有的上掀式灯具可以方便替换，不需要拆掉上掀式灯具即可简单更换，不影响无尘室的正压与洁净度，而且可以针对客户需求定制各种尺寸灯具，以因应无尘室各种尺寸的灯具

#### 6、电源抗突波设计

针对芯片制造专用电压277V，电源设计抗突波可承受受到300V，确保灯具在芯片制造环境中稳定使用

AREX广中电子创立于1994年，是国家级高新技术企业，为王雪红独资公司。

公司现有员工700余名，占地30000余平米，分别在台湾、上海设有光电学研发机构，拥有核心自主研发专利近百项，并领先业界通过3C、BSMI、CE、UL、SGS、DLC、Lighting Facts等权威认证。

作为国内首家LED平板灯研发制造公司，AREX广中深耕工厂照明领域。照明规划师会亲自为客户提供售前免费的专业光学模拟规划、计算灯具成本回收年期、打样、试装及售后保固服务，让您拥有完善的服务体验。

[www.arelux.com](http://www.arelux.com)



**AREX**  
广中电子

地 址：上海市嘉定区丰茂路889号  
林先生：182 2174 3730

# 罗姆打造SiC器件专用测试实验室

最近，罗姆在其欧洲分公司附近打造了一个全新“电力电子实验室”。该实验室的主要设计目的是进行SiC器件测试。

Aly Mashaly, ROHM Semiconductor GmbH

当今世界，新生代产品的蓬勃发展——比如电动汽车及充电站基础设施、太阳能和风力发电厂、工业机械产品等——使得功率半导体的需求激增。功率半导体器件需要满足能源效率要求，而这些要求必须在开发的早期阶段进行测试和验证。同时，器件的开关速率和应用电压也在持续增加。

由于其技术特点，宽禁带功率器件（比如 SiC）脱颖而出。但是 SiC 的高速开关速度也意味着需要专门的测试。只有专用测试装置才能为开发人员提供将 SiC 器件集成到其产品中所需的精确结果。

作为 SiC 技术的市场领导者，罗姆始终致力于为客户提供最佳的应用支持。为此，罗姆近期在其位于德国杜塞尔多夫附近的欧洲分公司打造了一个全新“电力电子实验室”，专门用于分析电力电子器件和系统。该实验室占地 300 平方米，其主要目的是提高产品的可用性，让产品和系统更易于使用，并紧密匹配客户的需求和要求。

系统工程师在所有开发阶段都会面临诸多挑战：电力电子技术目前的趋势是更高的功率密度和更高的可靠性，同时实现比以往更高的效率，这为热管理等设计阶段带来

新的挑战。同时，系统要求的复杂性不断增加，而资源和项目时间有限。毫无疑问，今天的系统工程师倾向于选择最简单的方法来设计电路。因此，工程师需要数据向他们展示如何以最佳方式在其应用中使用宽禁带功率器件。换句话说，为了实现最可靠、最简单、成本最低的解决方案，他们需要参考数据。

## 宽禁带功率器件开发的挑战

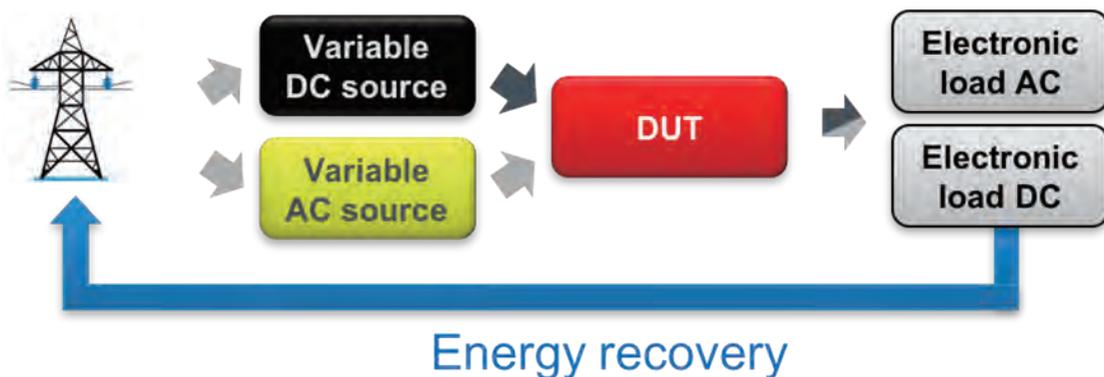
宽禁带功率器件开发人员同样面临多种挑战。举个例子，每个宽禁带功率器件都有一个数据表，每块功率板都有系统要求。但是，数据表有时并没有覆盖最终应用所需的工作点。

这是因为功率半导体可能会用于不同的应用领域，因此关键参数不同。不同的应用场景负载（直流电机、交流电机、电池等）不同，电源（电池、电网等）也不同。如果最终产品用于世界各地，还需要考虑不同的环境条件以及不同的电网性能等重要因素。

为了应对所有这些挑战，工程师需要应用级的本地技术支持。这正是罗姆全新电力电子实验室（Power Lab）



罗姆全新“电力电子实验室”旨在为客户提供有关宽禁带功率器件的最佳应用级技术支持。



功率测试台将能量反向反馈到电网中，从而最大程度地减少能量消耗。

的目的所在：通过分析功率器件和电力电子系统，为客户提供应用级的最佳技术支持。该实验室既可以测试分立 SiC 器件也可以测试完整的电力电子系统。

在电力电子实验室（Power Lab）项目的初期规划阶段，我们首先执行了详尽的用例分析。整个项目始终把目标应用场景和客户放在首位。同时，我们还考虑了欧洲安全标准。电力电子实验室（Power Lab）的团队在电力电子应用和实验室方面拥有数年的丰富经验。结合现代测量技术和设备，我们能够确保几乎每个项目都能成功。

### 创建电力电子实验室（Power Lab）

开始规划该实验室时，罗姆必须考虑很多因素：确定配备最先进技术的测试台，首要考虑设备质量和安全性。同时，使用灵活性也非常重要。为了向客户提供快速和高质量的支持，我们需要灵活的模块化设计测试装置。这也让电力电子实验室（Power Lab）能够适用于未来产品并符合市场发展趋势。

于是，我们很快意识到该电力电子实验室（Power Lab）无法通过现成产品实现，必须从头打造。确定测试台之后，罗姆必须决定是委托经验丰富的设计公司进行设计，还是由罗姆工程师自行设计该电力电子实验室。经过精确分析，罗姆选择了后者。通过这种方式，确保测试台的高质量和高可靠性更加容易；同时由于公司内部掌握这些技术，将来改造也更加简单。

经过几个月的辛苦建设，电力电子实验室（Power Lab）于 2017 年底投入使用。现在，罗姆可以表征其所有半导体元件的电气性能，比如 SiC MOSFET、SiC 二极管、IGBT、Si 功率 MOSFET 和栅极驱动器，测试电压高

达 8000V DC。为此及其他目的，实验室配备了多个带有独立高压区域的测试台。

### 从电气特性到热特性测试

电气特性测试台旨在表征 MOSFET 和 IGBT。这些试验台能够在 1500 V 高压下测量器件的开关时间和损耗、传导损耗和短路特性。模块化概念确保了高灵活性，因此我们可以测试不同的封装（THD、SMD、模块、客户板）。高压测试台可以在高达 8000V DC 的电压下对器件进行表征。高压台位于单独的房间内，以便在运行过程中保护测试仪。

凭借功率测试台，转换器（AC/DC、DC/DC、DC/AC 和 AC/AC）可在高达 15 kVA 的实际应用条件下进行测试。此外，该测试台还可以使用功率分析仪对效率和损耗进行高精度测量。测试台配备了交流电源（电网仿真器）和各种电子负载（交流和直流）。最大测试电压为 1500VDC 和 400VAC。另外，测试台配备了再生功能，允许将部分使用过的能量反馈到电网中，从而在测试期间实现较低的总能量消耗。

热特性测试台用于分析功率器件的热性能。待测器件（DUT）可以是模块或分立器件、电子板，也可以是完整的电力电子系统。该测试台搭载了高电流连续供电电源。实验室还配备环境试验箱，允许在特殊条件下测试器件：其测试温度范围为 -40℃ ~ +180℃，测试湿度范围为 10% ~ 98%。

对于内部开发的电路、PCB 或参考设计的绝缘测试，我们还为工程师提供了另外一个测试台。该测试台的电源可缓增到 6 kV 和 10 mA。举个例子，此设备可用来测试隔离式栅极驱动板的间隙和爬电距离。◆

# 电子材料比对鉴定分析： 利用分析结果提升半导体制造水平

“如果你无法衡量它，你就不能管理它”是一句经常被引用的商业格言，出自上世纪 50 年代一位享有盛誉的运营管理大师之口，当时半导体时代才刚开始起步。Peter Drucker 是这种新管理方法最重要的倡导者之一，即日益需要利用客观数据来改进业务流程。在半导体制造领域，这种方法已运用到极致，通过一系列的测量、创新、改进，能够使半导体行业的晶体管缩小一百万倍。但在当今数据以指数级增长的时代，知道哪些数据重要，以及如何将不同数据源组合在一起，以获取决策所需的信息，这一点至关重要。

本文将介绍林德公司如何将一种先进和全面的化学计量方法用于电子材料，我们称之为比对鉴定 (fingerprinting)。为了在工业化学材料来源和零缺陷原子级制造之间严把质量关，我们必须控制化学材料的质量，在本文中，我们通过真实的生产示例，展示如何在整个电子材料供应链上应用这些先进的方法。

## 电子材料：来自化学工业的半导体原材料

电子材料是用于半导体制造的分子组成部分。这些材料对所有半导体制造工艺都至关重要 (图 1)，前沿公

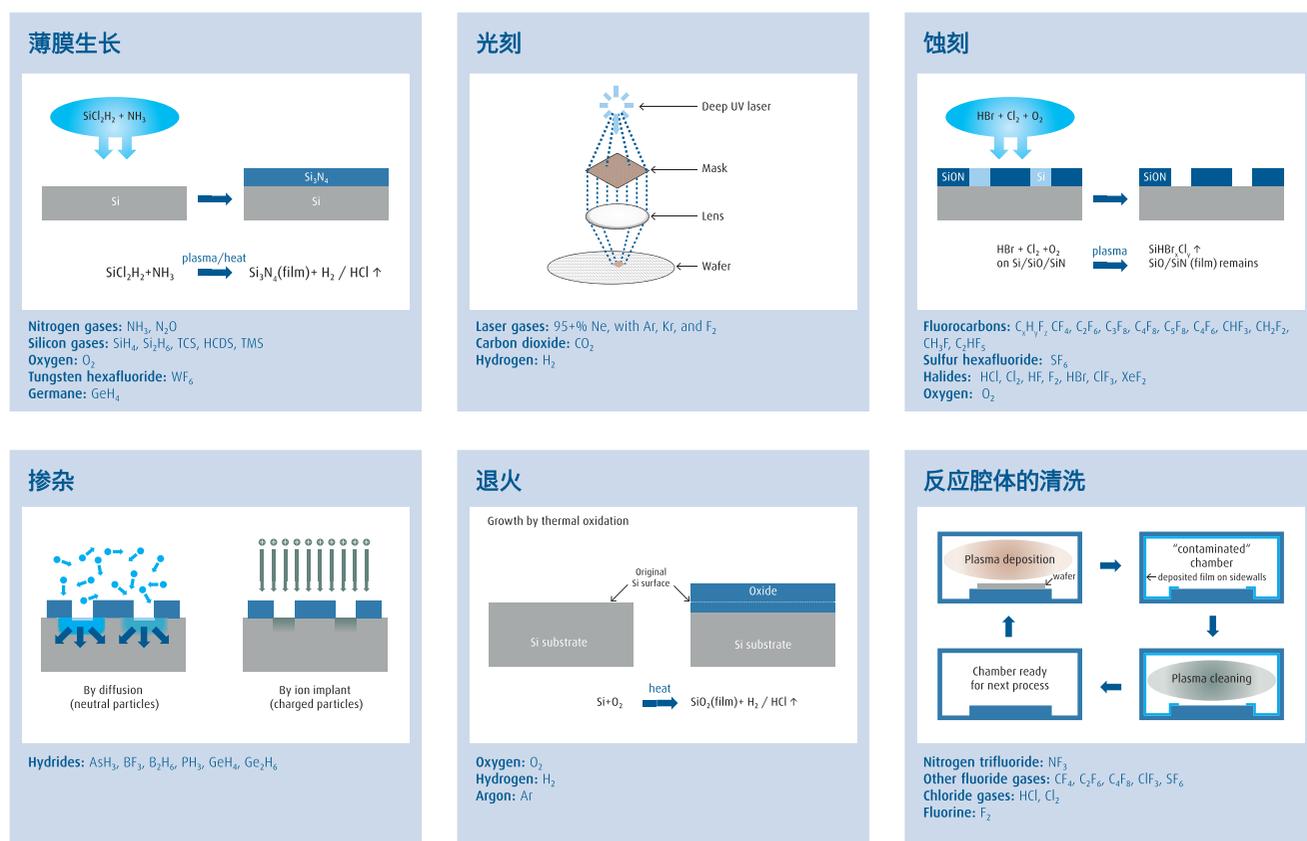


图 1. 主要的半导体工艺都广泛采用各种电子材料组合。

作者：Carl Jackson，林德公司电子产品研发主管

司和设备供应商经常称他们为驱动未来创新的关键因素之一。当前使用的很多材料（例如硅烷、氨和氯化氢）自半导体行业起步以来一直都在使用，随着晶体管尺寸不断缩小，对这些材料的纯度要求也日益严格。另外，镓和锑等很多新材料也在快速开发和引入，旨在应对客户日益面临的更大挑战，不断提高电子设备速度，降低功耗和成本。将任何新材料引入制造工艺之前，必须针对该材料的整个供应链开发量测方法。

所有这些材料几乎都源自工业或开采矿源，而不是专门合成供电子产品使用。大规模制造的成本优势推动了这种供应需求。如图 2 所示，常用材料的工业需求远高于电子行业需求。但是，大多数工业应用和半导体制造之间存在巨大的质量差异。电子材料供应商面临的挑战是确定稳定的电子材料来源，并与供应商合作，让他们了解半导体行业的质量控制要求，以及纯化和包装这些材料供电子制造厂使用。通过在每个环节进行分析测量，以确保达到供应链的供应要求。

### 化学分析是确保获得半导体级质量电子材料的主要手段

早在 Peter Drucker 为企业管理做出重大贡献之前，19 世纪的科学家 Lord Kelvin 就指出：“测量出真知。”化学分析和化学科学一直在共同发展，相互促进。早期的电子材料分析技术主要关注环境污染中的几种杂质，即水份、氧气和微粒。这些杂质通常使用各种专用分析仪进行测量。

随着工艺流程变得更加复杂，测量更多的杂质对于电子材料的表征和控制至关重要。现在通常使用能够识别和测量多种不同杂质的光谱技术。图 3 显示了其中最重要的三种技术，并提供了使用相应技术通过比对鉴定区分两种简单类似杂质的示例。

在所有电子材料中，可能同时存在许多不同的杂质，即使按照我们行业的标准，大多数杂质的含量也很微小。

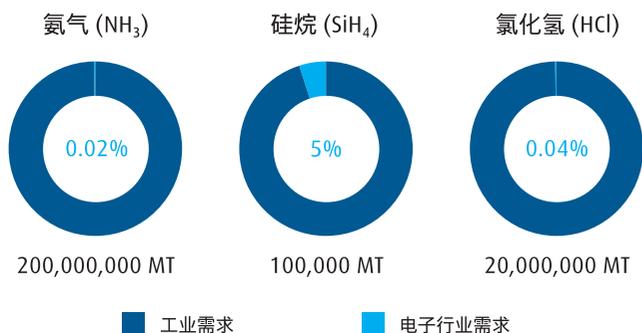


图2. 全球电子材料需求只是工业生产材料需求的很小一部分。



Linde analytical chemists discuss results

通常，只测量其中一部分最常见、影响最大的杂质，作为上游供应链控制和下游工艺控制的指标。这些指标构成了材料的商定规格，每个包装或批次材料在装运会附带这些测量结果的清单，称为分析证书 (CoA)。

近年来，电子材料供应商与先进的器件制造商展开合作，增强质量控制的反馈机制。装运控制是指改进质量反馈机制，我们在其中持续评估和改进产品杂质和其他指标的统计变化，从而达到超出 CoA 规格的质量，提供更高价值的材料产品。

### 比对鉴定：编译数据

比对鉴定是一种广谱化学分析方法，它利用一系列仪器和分析技术来提供完整的材料表征或特定图谱。这种方法不仅仅用于 CoA 上指定的杂质、或者已知杂质，未知杂质也可以用。当然，它采用 FTIR (傅里叶变换红外光谱)、GC (气相色谱分析法) 和 MS (质谱分析法) 来同时检测各种不同的杂质，再结合其他测量方法，全面了解材料的特征。

对于可检测出但没有完全识别或表征的杂质，比对鉴定是一种特别有用的方法。随着复杂分子被引入半导体制造中，这种情况日益普遍，并且这些复杂材料具有类似的复杂杂质。这些杂质甚至离开了大批量材料就可能不稳定，也没有任何标准物质可用于校准它们的浓度。使用比对鉴定技术，我们可通过制造流程中的不同点，或随着时间的推移，检测不同来源的材料整体成分的相对变化。它允许

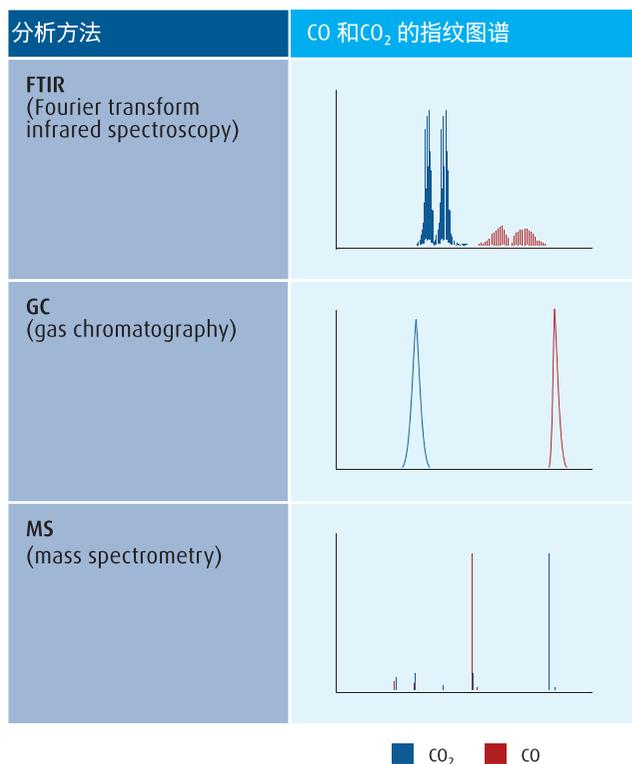


图3. 用于电子材料分析的三种最常见光谱方法，以及一氧化碳 (CO) 和二氧化碳 (CO<sub>2</sub>) 的比对鉴定示例。

我们同时控制多个变量，控制供应链上的所有点。完全实现时，比对鉴定技术可以持续改进从装运到控制的目标。

多年以来，在出现质量偏差的情况下，我们一直在使用这种方法帮助进行根本原因分析。随着新分析方法的发展，

当计量设备需要进行复杂的搭配时，还需要定制的项目专用方法。

近期我们在两方面发生了巨大变化。首先，我们在中国台湾建立了电子材料实验室，能够更高效地将比对鉴定应用于我们产品组合中的超过 50 款产品。第二个更重大的变化是，我们现在不仅将相同的计量功能应用于复杂问题诊断，还用于制造价值链中的每个环节。

- **原材料表征**：在开发阶段，我们能够确定和验证原材料的首选来源，我们能够利用远比供应商更强大的技术，来监控供应商的质量控制。
- **提纯**：化学分析引导我们开展提纯技术开发，确保生产线始终处于控制状态，并随着时间推移持续改进。
- **分析**：正如我们开发自己的提纯工艺一样，我们也必须开发自己的分析方法。比对鉴定指引我们从很多不同角度来看待挑战。在生产方面，我们可以让客户确信 CoA 规格展现了我们对产品整体情况的控制。
- **包装、物流和贮存寿命**：我们的质量责任并未止步于生产，而是延伸到产品监管，包括我们产品的包装、运输和整个生命周期。

### 案例研究：利用数据为材料增值

- **案例研究 1**：复杂的碳氟化合物材料使采购、提纯和分析更具挑战性  
长期以来，碳氟化合物一直用作电子制造中的刻蚀材

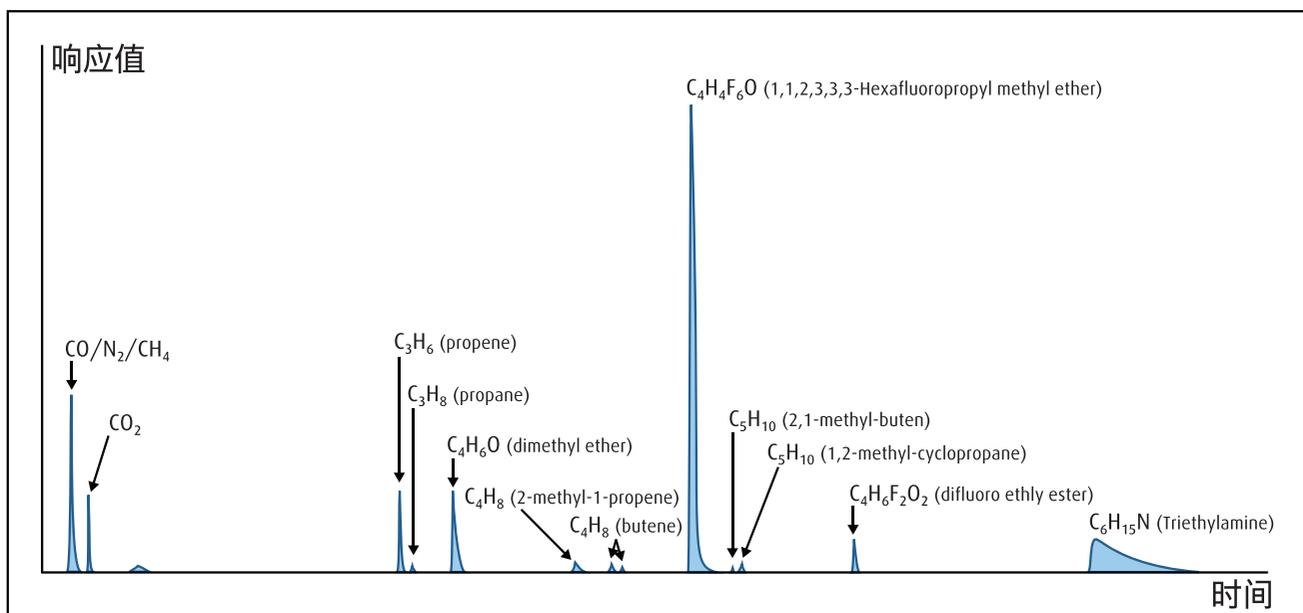


图4. 高级碳氟化合物的候选原材料来源，可通过结合使用GC和MS方法识别复杂的杂质混合物。

料。当它被刻蚀设备中的等离子激活时，会产生化学活性的氟离子和自由基，它与很多薄膜材料发生反应，形成挥发性产物，然后通过真空泵抽除。最初，我们使用的刻蚀剂主要是更简单、更常见的材料，例如  $CF_4$  和  $C_2F_6$ 。而现在，我们使用更加复杂的材料，例如  $C_4F_6$ 、 $C_4F_8$  和  $C_5F_8$ ，旨在提高选择性，以便优先去除一种材料，而留下需要的另一种材料。

这些碳氟化合物越复杂意味着各种来源可能包含更多的杂质，提纯和分析更具挑战性。图 4 显示了可能用于我们工艺的原材料，我们结合使用 GC 和 MS 技术来分离和识别存在的很多杂质。我们使用比对鉴定来选择和验证材料来源；开发我们专用的提纯技术；进一步开发高级混合分析技术，以确保从装运到控制整个过程的质量。

● **案例研究 2：一氧化碳** – 一种简单的分子，含有极少量但影响极大的金属杂质

一氧化碳 (CO) 也用于刻蚀工艺，旨在进一步提高选择性。供应 CO 的挑战在于它与许多常见金属（例如铁和镍）会发生反应，形成含有气相金属的化合物，称为羰基金属。由于羰基金属是易挥发分子，因而可以畅通无阻地通过粒子过滤器。

先进工艺对金属杂质极其敏感，现在对于羰基镍和羰基铁的规格要求均低于 100 个万亿分之一 (ppt) 单位。当前市面上分析仪的检测极限不支持 ppt 级别的羰基测量，

此外，采样系统和分析仪本身也会与一氧化碳发生反应，产生的羰基水平高于待分析材料中的羰基水平。

出于这个原因，我们将分析系统限定在不会产生羰基的浸湿材料，可以优先捕捉和聚集羰基金属。此外，我们还开发了先进的合成方法，具有很高的分辨率和灵敏度，可实现对这些杂质的检测和测量，达到很低的 ppt 范围。

● **案例研究 3：硅烷和隐藏杂质**

硅烷是含硅薄膜沉积的最基本前驱体，已在电子制造领域使用数十年，不仅用于半导体，还用于显示屏和光伏板。但是，即便有了良好表征的材料来源和工艺，新的挑战也会出现。

我们除了开发新技术来检测低于当前行业检测标准的杂质水平（例如上面的 CO 例子），还在解决使用标准工业计量技术会有效隐藏未知杂质的难题，这种现象称为基体干扰。

我们使用具有独特重叠功能的不同分析技术，来查找各种分析物，确保被基体干扰隐藏的杂质不会被遗漏。对于硅烷，GC 是用于识别杂质的主要分析技术。但是，由于某些轻质烃具有与硅烷相似的沸点和蒸气压力曲线，它们很难在提纯工艺中分离。遗憾的是，这也意味着它们很难在 GC 分析中区分。

在这种情况下，虽然光伏板客户获得的产品符合所有商定的规格，但由于含有一种未检测出的烃类杂质，客户



Inside view of Linde Electronics R&D Center analytical laboratory

设备的工艺性能导致生产出的光伏板功率较低。为了解决这个问题，我们开发了一种补充的 FTIR 方法来分析硅烷，可从不同角度检测材料。这使我们能够将这些新测量结果与原始 GC 结果相结合，并检测出极低量的烃类杂质，然后我们升级了提纯系统将其去除。有关我们如何识别其中某一种污染物的示例请参见图 5。

#### ● 案例研究 4：乙硼烷分析展现对装运和贮存的质量控制

乙硼烷 ( $B_2H_6$ ) 既作为硅掺杂的硼源使用，也用于改变钨沉积工艺。我们使用的多种材料都可能在运送和贮存过程中改变它们的成分和纯度。乙硼烷这种产品是对我们客户至关重要的材料，但如果运输方式不当，特别是如果乙硼烷包装在运输或贮存过程中暴露在高温下，则可能会不太稳定。

可能形成的杂质是它自身发生反应的结果，形成了名为高硼烷的更大分子的化合物，其中包含更多的硼和氢原子。这些高硼烷可能导致严重的客户工艺问题。遗憾的是，它们很难使用当前最先进的分析技术来测量。高硼烷没有任何化学标准物质，这进一步增加了挑战。

通过与客户合作，我们开发了一种技术，能够直接检测高硼烷的十亿分之一 (ppm) 含量水平。使用 FTIR、GC-FID 和 GCMS 的传统方法无法检测出我们特意加入到产品中来模拟生产问题的高硼烷。相反，使用非常先进的 GC-ICP-MS 组合技术，我们率先区别和识别了工程材料中的高硼烷。这种技术非常强大，使用了与半导体沉积和刻蚀工艺中相同的电感耦合等离子技术 (ICP)，但对于电子材料生产而言，它并非始终是最稳定可靠的技术。然后，我们将第一批结果与更耐受生产环境的纯 GC 技术交叉关联。

### 结论：继续测量和改进

测量、了解、改进。Lord Kelvin 和 Drucker 的思想见解仍然在指引着我们，促使我们不断改进，帮助客户实现创新路线图。在电子材料的供应方面，工业原材料来源和超高精度原子级制造之间的差距日益扩大，我们必须努力弥合这两者之间的差距。化学分析是我们了解我们产品和工艺最有力的工具，我们仍会持续不断地改进。

林德开创了电子材料比对鉴定分析技术的先河。我们深知，材料的开发是我们主要客户的一个关键推动因素。通过对我们在亚洲和美国的世界级分析成果和开发设施进行投资和利用，林德将持续开发一些对行业发展具有很大

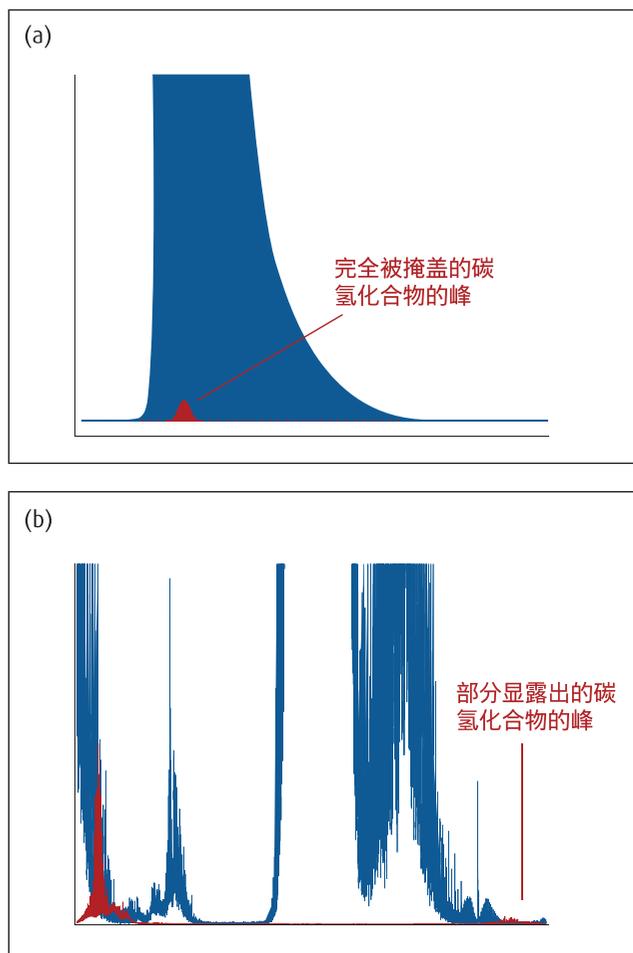


图5. (a) 主要GC生产方法 - 100 ppm 烃类指纹图谱 (红色) 完全被纯硅烷 (蓝色) 掩盖。(b) 补充FTIR方法 - 烃类指纹图谱部分显示。我们能够将这个部分指纹与乙烯的参考指纹匹配，在100 ppm含量下进行测量。



Linde Electronics R&D Center in Taichung, Taiwan

影响力的材料。将来我们还会继续投资、开发和实现新的技术。◆



# 晶圆键合：实现未来的RF滤波器制造

不断增长的对更快速移动数据访问和智能集成策略的需求，正在产生影响RF滤波器设计者和制造商的全新和更大的要求。EVG集团研究了通过使用先进晶圆键合技术支持的新材料和封装方法，实现了加速SAW器件生产的方法。

作者：Thomas Uhrmann博士，EV Group



**移**动技术已经成为经济增长的主要动力，并以深刻的方式改变了我们的日常生活。随着时间的推移，移动技术在全球范围内的应用和发展也在不断增加，这主要是通过新型电子设备和新的应用得以实现。到2021年，智能手机的出货量规模预计将达到每年近18亿[1]。毫不奇怪，全球移动流量增长也在快速增长，预计到2021年流量使用量将达到每月49艾（1艾=260）字节[2]。这些趋势将导致不断增长的带宽需求和更加拥挤的频谱。

从3G到4G和4G LTE宽带无线技术的发展已经帮

助实现了多兆带宽、更有效地使用无线网络、减少延迟及提高移动性，从而最终实现了更快的下载速度。这反过来又推动了对先进滤波技术需求的急剧增长，目前一些高端、功能丰富的手机采用了50多种射频（RF）滤波器[3]。向5G的转换，不仅受消费者对图形处理密集型应用的更多需求驱动，如增强/虚拟现实（AR/VR），还有物联网（IoT），触觉互联网，工业2.0/IIoT，智能电网/能源和自动驾驶汽车等的需求驱动，而5G将进一步推动新的滤波器要求[4]。这些包括不同的频率（以及更多频率），以及单个滤波器波段中更陡的裙摆，从而减少波段间的串扰，提高频率精度。

RF滤波器同时需要更小、更便宜，并且具有逐步增加的功能，以便支持消费者移动设备的这些不断增长的需求。然而，声表面波（SAW）滤波器由于用来制造它们的基板材料的物理特性，难以在尺寸上进行缩小。材料/基板级别以及封装方面的机遇已经在呈现，这些都使得RF滤波器制造商能够降低RF滤波器成本，减小占用的面积，并增加滤波器功能。这些基于包括：

- 在硅上采用具有改进电气性能的基板，如钽酸锂（ $\text{LiTaO}_3$ ，也称为LTA）和铌酸锂（ $\text{LiNbO}_3$ ，也称为LN）。
- 采用晶圆级封装来降低成本，减少占用面积并提高器件性能，比如提高元器件的坚固性/保护性，甚至气密密封。

在实现SAW滤波器制造中的硅上LTA和LN等新材料的集成方面，晶圆键合发挥着重要作用。本文将探讨硅基LTA和LN上SAW滤波器封装和基板处理所需的几种晶圆键合技术。

### 新基板组合的晶圆键合考虑因素

体材LTA和LN基板具有独特光学、压电和热电特性，使其对于诸如RF滤波器的SAW应用极具价值。然而，LTA和LN非常昂贵并且是很脆的材料，这使得它们很容易破裂，从而导致很大的损失。另外，LTA和LN是各向异性材料，在不同方向上具有不同的线性膨胀系数。使用这些材料构建的RF滤波器具有温度产率漂移，这使得将滤波器保持在指定频带上非常具有挑战性。因此，滤波器芯片必须具有较大的物理宽度，也就是在滤波器上沉积的叉指结构的间隔相对较宽，这是用于补偿与温度相关的位移并在指定波段上进行保持，同时保持良好的滤波性

能，使其只有很小甚至没有信号退化。

为了解决这种热膨胀和频带漂移问题，可以将薄的 LTA 或 LN 层键合到体硅基板上，随后进行晶圆堆叠工艺、切割和封装，而不是在体 LTA 或 LN 基板上制造 RF 滤波器。与 LTA 和 LN 不同，硅是各向同性的，由此基板在每个方向上以相同的速率膨胀。在典型的硅上 LTA 叠层中，LTA 层可以薄至 1 微米或甚至更薄，而最终滤波器中的硅层要比这厚 100 倍以上。至此，代表着热膨胀方程中较大的部分，硅稳定了滤波器的热性能。这使得滤波器不会轻易对温度变化和寄生效应产生较大反应。这样可以使滤波器和频段选择的厚度更窄，更精细，保持频率锁定到更细致的频段。这种方法具有额外的成本和良率方面的好处。例如，由于与 LTA 和 LN 相比，硅是一种便宜得多的材料，因此可以降低滤波器的总成本。同时，硅是一种晶圆厂中已经非常成熟的材料，并且也可以很容易与批量生产环境相结合。

### 晶圆键合的挑战

直接晶圆键合是一种键合方法，能够将两种具有不同晶格和热膨胀系数 (CTE) 的不同材料进行组合，而无需任何额外的中间层。基于通过升高表面温度和施加压力而建立两个表面之间化学键的键合工艺，可用于实现硅上 LTA/LN。但是，直接晶圆键合有几个关键的考虑因素：

- **表面粗糙度**：过度粗糙会抑制晶圆的充分接触，导致键合强度低或完全没有键合到一起。
- **清洁度**：晶圆表面的颗粒会导致空隙，这是由于在该晶圆区域没有表面接触。
- **CTE 不匹配**：在高键合温度下，CTE 不匹配会引入应力，导致晶圆翘曲，甚至可能导致碎裂。

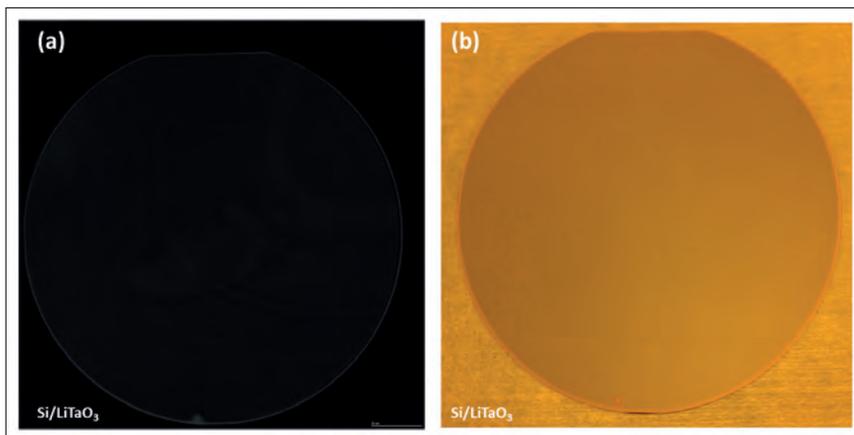


图1. 使用低温等离子体激活的硅上键合钽酸锂 (LTA) (a) 扫描声学图像，(b) 键合晶圆对的照片。

相比于硅晶圆制造，目前制造 LTA 和 LN 晶圆的方法通常不太先进。例如，经常使用亮度抛光代替化学机械抛光 (CMP)，这不足以在键合之前很好地调节晶圆的表面。此外，两种材料的 CTE 与硅显着不同 (LN 为 3 倍，而 LTA 取决于方向，为 4-6 倍) [5]。结果就是，即使在低于 200℃ 的温度下，键合也可能会导致碎裂，从而导致很大的良率降低。然而，在键合到 LN/LTA 层之前，用等离子体处理硅衬底的表面，允许退火温度降低到 100℃，这反过来会消除空隙和碎裂 (图 1)。此外，在等离子体活化之前的预清洁步骤，可以消除表面粗糙度和颗粒，以确保最大的键合良率 [6]。因此，等离子体激活的晶圆键合提供了制造温度补偿 SAW 滤波器的理想工艺。图 2 示出了典型的等离子体激活的晶圆键合工艺流程。

### 模块化推动新的 RF 封装要求

封装对 RF 滤波器的尺寸影响很大。为了支持滤波器缩小尺寸，RF 滤波器 (包括基于 LTA 和硅上 LN 的滤波器) 的未来封装需求正在通过行业“模块化”趋势进行推动，其中各个 RF 滤波器组件都集中到滤波器组模块中，而不是采用单独集成。然而，对于最早的蜂窝电话，不同的区

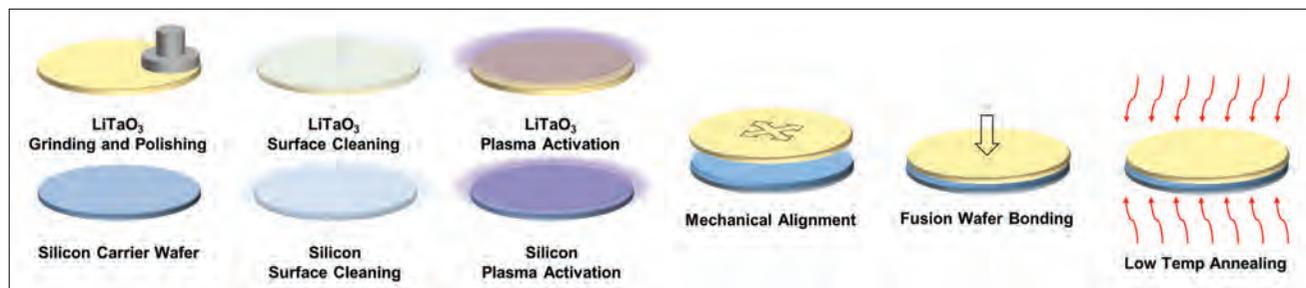


图2. 等离子体激活的晶圆键合工艺流程示例。

域代码采用单独的频带滤波器，并且都是单独封装，更近期的模型正在整合可以包含国家或地区的所有区域代码的模块。由此得到的模块是一个分立器件，目前为了包含其中的所有功能，最终都会变得非常庞大。

模块化是由多种因素共同促进产生的，包括行业整合和客户细分，这促使无线芯片制造商收购组件制造商，以此作为获得竞争优势和更大市场份额的手段。最近的例子包括 Qualcomm-TDK 合资公司 RF360 的成立，Avago 对 Broadcom 的收购，以及 RFMD 和 TriQuint 的合并，从而形成了 Qorvo。这就促成了前端模块市场的形成，其中只包括很少的主要参与者和首选客户（手机设备制造商）。对于智能手机制造商而言，模块化的一个主要好处是他们可以管理单个供应商。对于 RF/ 无线设备制造商而言，设计获胜者的最大好处是获得更大的业务。然而，对于那些设计失利的公司来说，这正好相反，因为他们有失去整个射频市场更大份额的风险。

当然，模块化不仅仅是将更多滤波器封装到器件中。滤波器本身也变得越来越复杂。例如，在同一芯片上的相同区域上制造若干不同的频带。先进的可穿戴设备（如具有无线连接功能的智能手表）有严格的实用面积要求，无法接受过于庞大的滤波器模块。智能手机在产品厚度和提高能效方面也有严格的要求。

通过晶圆级芯片级封装 (WLCSP) 缩小这些封装的尺寸，对于支持这些应用至关重要。WLCSP 为 RF 滤波器提供了许多好处：

- 较小的封装 -WLCSP 不需要键合引线或插接件，这使得超紧凑的

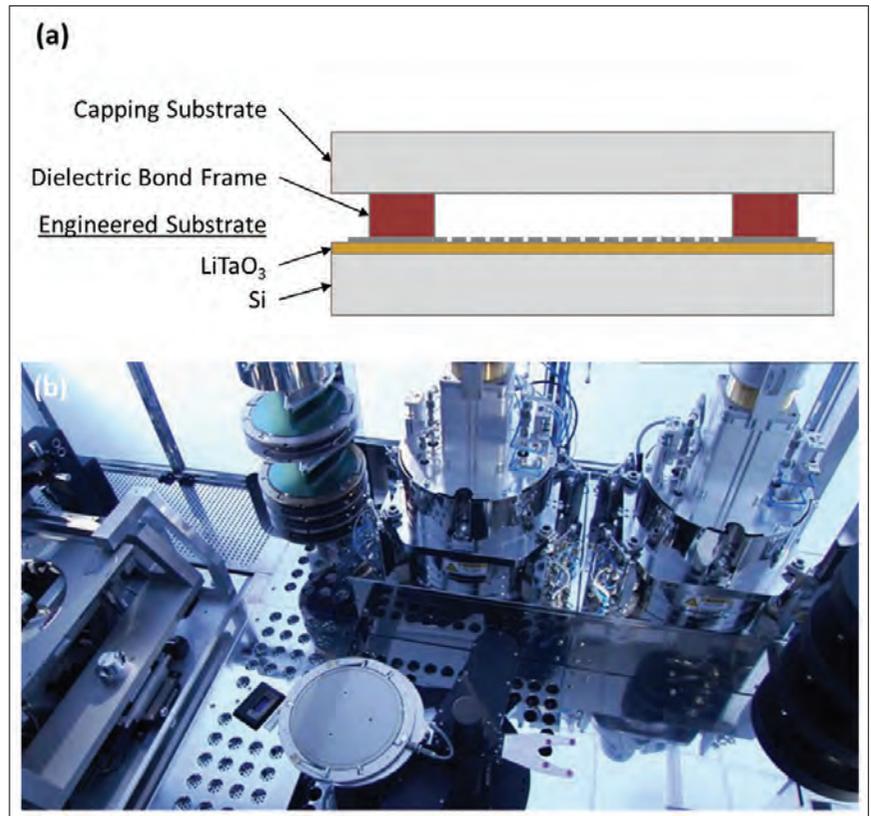


图3a. SAW滤波器的示例；图3b. 粘结晶圆键合腔室的内部视图。

封装成为可能。

- 增加功能密度 - 与直接安装在印刷电路板上相比，更小的封装可以实现更小的滤波器组以及滤波器堆叠，从而提高功能的集成密度。
- 提高性能 - 通过介质应变缓冲器可以在封装中完成对 RF 噪声和温度引起的漂移效应的补偿，从而为特别为 RF 滤波器提供更好的信号质量。
- 更低的成本 -WLCSP 是批量的制造封装工艺，所以可以进行更高产能的制造，这最终将驱动每单位器件的成本下降。
- 密封封装 -WLCSP 可以使用封盖晶圆进行器件晶圆的封装，从而保护滤波器的有源区域，或者通过在封盖晶圆上采用粘结结构来密封平面晶圆。

### RF WLCSP的晶圆键合

对于 SAW 滤波器的情况，需要围绕器件外部的聚合物框架，以便在 LTA/LN 衬底上制造的叉指式换能器 (IDT) 和封盖晶圆的表面之间形成空腔。这允许声波在器件晶圆的顶部表面上自由移动。IDT 是简单的光刻叉指结构，不会被氧化，因此不需要气密密封。从这个角度来看，与体声波 (BAW) 滤波器和许多 MEMS 器件相比，SAW 滤波器的设计要求相当宽松。因此，从技术和成本角度来看，粘结剂 / 聚合物晶圆键合是 SAW 滤波器的理想键合方法。图 3a 示出了典型的 SAW 滤波器，而图 3b 示出了粘结晶圆键合腔体内部的俯视图。

与其他键合方法相比，粘接是一个非常简单的工艺，需要较少的晶圆制备步骤，如图 4 所示。这是一个低

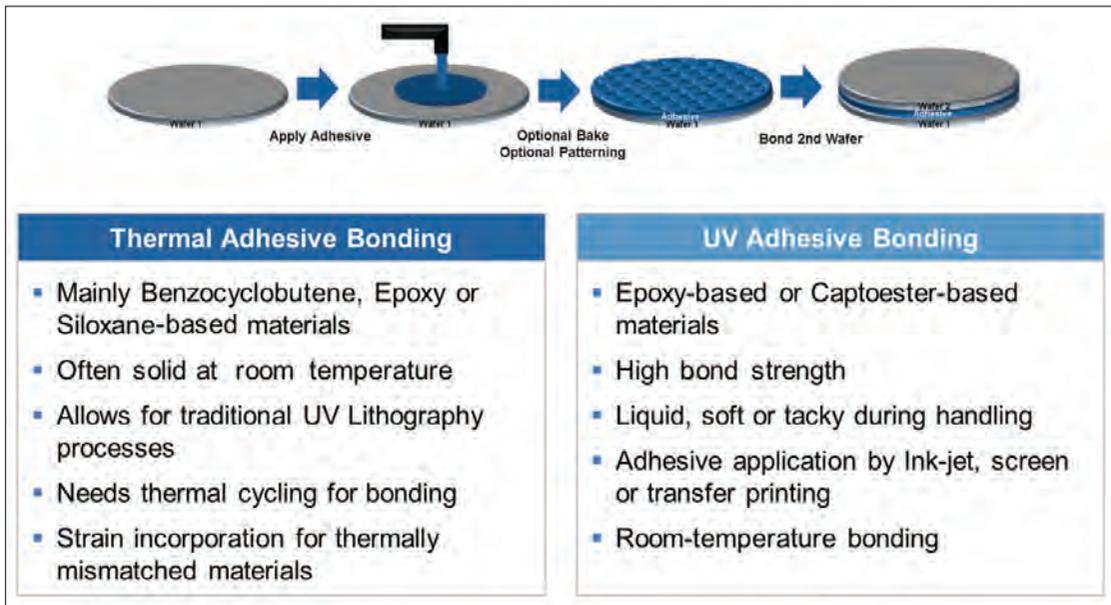


图4. 粘结晶圆键合工艺流程以及热键合和UV键合的比较。

温工艺（通常为 200-300°C），在键合腔室内需要较少的时间来升高温度。这使得实现了更高的键合腔室利用率和更快的键合工艺。同时，低温键合工艺允许使用更多种类的键合材料。粘结晶圆还对晶圆的下层形貌具有高的耐受性，以及对于整体表面质量和颗粒污染相对宽松的要求。

当使用体 LTA 或 LN 基板进行 SAW 制造时，封盖晶圆采用相同的材料，以确保 CTE 匹配。然而，对于 LTA 或硅上 LN 基板，封盖晶圆的组分就不再局限于这些昂贵的衬底了。制造商可以自由地将硅或甚至玻璃基板用于封盖层，这将可以显著降低制造成本。玻璃也可以在室温下使用紫外（UV）波长来键合成封盖的晶圆。

### 未来的发展领域

正如我们在本文中所讨论的，基板特性工程对于温度补偿 SAW 滤波器至关重要。除了低温、热活化粘结晶圆外，由于对光子晶圆键合的需求不断增长，粘结晶圆研究也更加关注光子交联粘结晶圆，从而有可能实现硅基液晶（LCOS）显示器，光子传感器和晶圆级光学组件（WLO）的生产。基于紫外线的晶圆键合可实现室温键合，从而没有任何应变的形成，并可实现高产能工艺，还可以通过精确的环境控制封装不同的材料和气体。

### 小结

移动数据流量的增长以及移动设备智能集成的增长

趋势，正在推动 RF 滤波器技术来满足更高的要求。SAW 滤波器在智能设备中的数量和复杂性都在增加，从而促使进行模块化和整合，这从根本上改变了 RF 移动通信的市场。SAW 滤波器制造中晶圆键合需要新的材料和封装方法支持，从而能够支持这些发展趋势。等离子体激活晶圆键合就是一种实现支持的技术，可以用于在新材料组合上制造 SAW 滤波器，提供更高的性能和更低的成本，例如钽酸锂和硅上铌酸锂。在考虑新的封装方法（如 WLCSP）时，粘结晶圆是可选的键合方法，这些方法可以提供更高的密度，更高的性能、可扩展性和更低的成本。◆

### 扩展阅读

1. IDC Worldwide Quarterly Mobile Phone Tracker, March 1, 2017
2. Cisco® Visual Networking Index (VNI) Global Mobile Data Traffic Forecast Update, 2016-2021 White Paper, March 28, 2017
3. 同上
4. J. Kimery, "Is 5 G for Real?", EDN, November 2, 2017
5. CCW Ruppel, "Acoustic Wave Filter Technology-A Review", IEEE Trans Ultrason Ferroelectr Freq Control. 2017 Sep;64(9):1390-1400
6. N. Razeq and V. Dragoi, "New developments in plasma activated bonding for various materials combinations", Proc. Wafer Bond Conference 2015



# SM-580 在线离心清洗机 On-line Centrifugal Cleaning Machine

## 产品特点:

- 采用工控机控制设计，编程功能强大，操作界面友好；
- 采用二流体清洗，清洗精度高，对产品零损伤，纯水消耗量极少；
- 高速离心设计，转速可调节 100-1500R/min，避免二次污染；
- 完全采用超纯水清洗，配备二级空气过滤系统；
- 光纤感应检测系统，避免来料重叠；
- 整机镜面不锈钢，外观精美

## Product features:

- Design of industrial computer control system, the programming function is powerful and the operation interface is friendly.
- The two-fluid cleaning method has high cleaning accuracy, zero damage to the product and pure water consumption is minimal.
- High-speed centrifugal design with adjustable speed of 100-1500R/min to avoid secondary pollution
- Completely Ultra-pure water cleaning, equipped with two-stage air filtration system
- Fibre-optical induction detection system to avoid overlap of incoming materials
- Whole machine body mirror stainless steel, exquisite appearance

该设备主要用于无尘环境下清洗:

Holder、CMOS本体、LENS、VCM、CCD等表面微尘颗粒。

The equipment is mainly used for cleaning in dust-free environment:

Holder, CMOS camera, LENS, VCM, CCD and other surface dust particles.

## 深圳市山木电子设备有限公司 SHENZHEN SAM ELECTRONIC EQUIPMENT CO.,LTD

地址: 广东省深圳市宝安区石岩街道石新社区宏发工业园13栋一楼  
电话(Tel): 0755-27620900/0902/0919 13760471958  
传真(Fax): 0755-27620901 邮箱E-mail: sales@china-sam.com

## 华东分公司

江苏省昆山市玉山镇宝益路78号吉隆厂区一号楼2楼  
电话: 0512-57663563 13962167711  
传真: 0512-57738321 邮箱: suzhou@china-sam.com



www.china-sam.com



# 用于先 RDL 扇外型封装的牺牲激光脱模材料

半导体行业正处于一个新的时代，在过去数年，集成电路的发展一直以摩尔定律为指导原则。但是将来的器件发展，将能更快实现缩减成本和性能改进。7 纳米以下节点的扩展成本正在大幅上升，下一代光刻解决方案需要大量的资本设备投资和研发成本。由于消费电子产品、移动设备、云计算、汽车以及各种其他应用领域所需产品和服务的显著进步，对于更高性能、更小外形、更密集集成和更低成本器件的需求不断增加。半导体行业在不断推进集成电路扩展的同时，也转向采用先进的封装技术提高性能和集成度，并降低成本。

异质集成 (heterogeneous integration) 的挑战之一是弥合裸片级 (die level) 封装与板级 (board level) 封装的可用 I/O 差距。裸片级封装方面，随着 I/O 密度的增加，芯片尺寸在不断缩小，因此需要创新型的封装技术，以将

芯片与高 I/O 密度板连接。各类日新月异的封装技术在设备异质集成中扮演着重要角色，其中扇外型晶圆 (WLFO) 封装技术在众多新兴工艺中成为主导。WLFO 工艺已商用多年，其采用简单的单芯片设计，重组晶圆一侧的单个再分布层 (RDL)，使厚重构晶圆轮廓上的硅区域稀疏，从而使原本较厚的封装更薄。

最近，为解决最终用户的性能、集成和外形需求，扇外型封装的设计和工艺复杂性不断增加 (其中涉及多芯片封装、集成无源器件、多 RDL 层以及 3D 扇外型封装)，同时 x、y 和 z 方向的封装尺寸也不断减少。随着芯片尺寸、工艺复杂性、封装复杂性的不断增加，产量成为扇外型封装工艺的关键要素。传统的扇外型工艺采用“先芯片/后 RDL”的方法，采用良好芯片模具构建重组晶圆，然后在重组晶圆的顶部堆积 RDL。随着重组晶圆和 RDL 的复杂

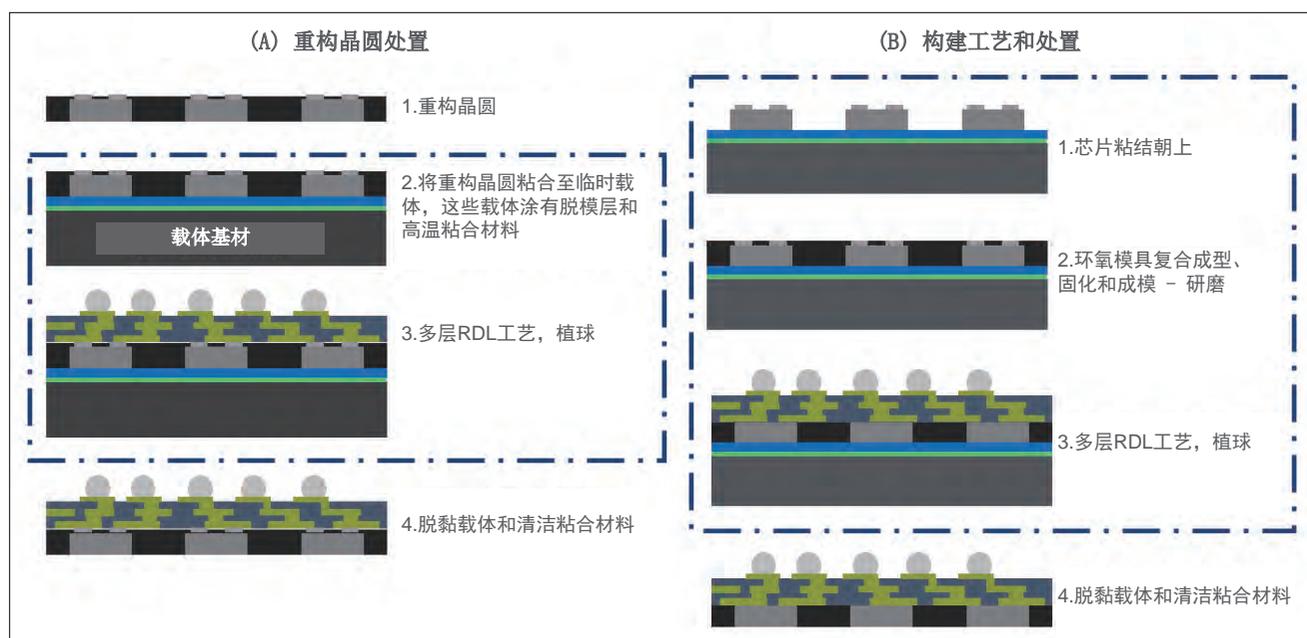


图 1. 显示先芯片工艺 (使用载体辅助方法) 两种主要方法的通用工艺流程。(A) 重组晶圆处置，(B) 创建工艺和处置。虚线框区域显示了临时粘合材料在该工艺中的作用。

作者：Ramachandran K. Trichur, Rama Puligadda, Tony D. Flaim; Brewer Science, Inc.

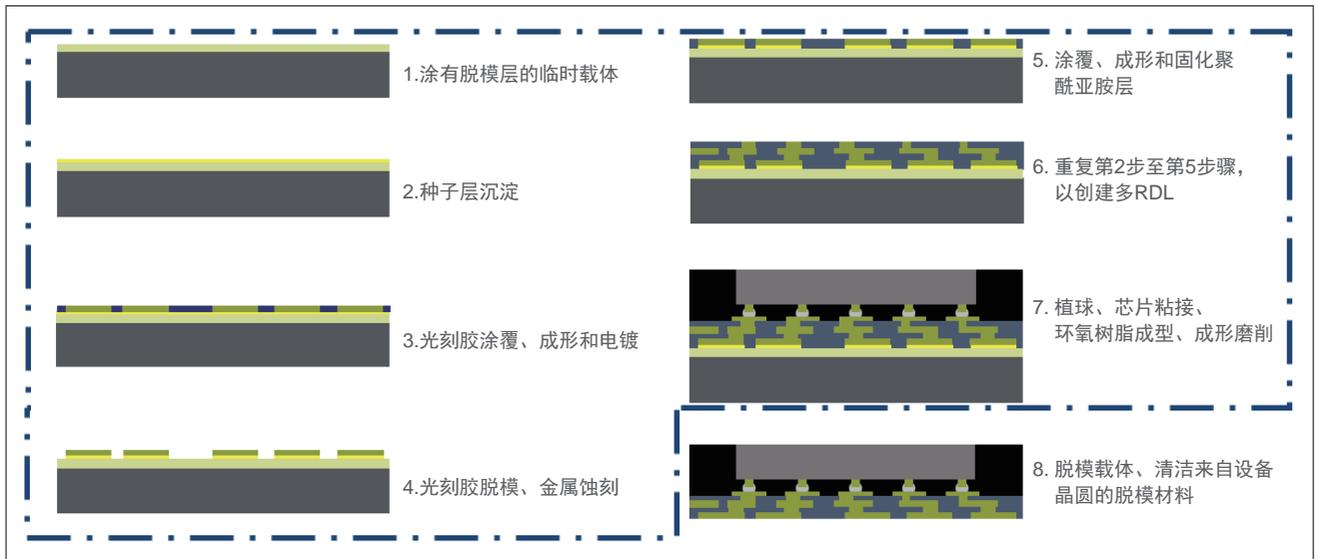


图 2. 先 RDL/后芯片工艺流程示意图，虚线框区域显示了临时粘合材料在该工艺中的作用。

性不断增加，当良好芯片（KGD）位于不良 RDL 位置时，该工艺易受 RDL 层产量损失的影响。产量损失可能由几项因素造成：模移、热膨胀不匹配、光刻对准不良等。其在封装过程中造成大量 KGD 损失。

为避免封装期间的 KGD 损失，开发出“先 RDL/后芯片”封装工艺，即先将 RDL 置于载体晶圆，然后将 KGD 置于已知良好 RDL 位置顶部，从而避免 KGD 损失。该“先 RDL/后芯片”工艺还可为 RDL 提供其他更细化线/尺寸空间优点，为更密集的设备集成提供复杂路由。本文中，我们向您介绍牺牲激光脱模材料，该材料通过解决工艺中遇到的部分关键挑战，支持 RDL 优先扇出型封装的开发。

### FOWLP 技术

如上述，扇出型晶圆封装 (FOWLP) 技术大致分为两种工艺类型，即先芯片/后 RDL 扇出型和先 RDL/后芯片扇出型。两种工艺路径中的高级集成方案都需要使用临时粘合材料的载体辅助工艺。

#### 先芯片/后 RDL FOWLP

先芯片扇出型工艺采用晶圆重构工艺，在该工艺过程中，选取来自原始设备晶圆的已知优质芯片，并将其放置到基材上，然后用环氧树脂成型化合物包覆成型并固化，以形成被称为重构晶圆的异质高应力基材。如果重构晶圆厚度少于 350 微米，由于内部应力较大，因此晶圆出现严重弯曲，而高温临时粘接材料可通过工艺流程<sup>[1]</sup>支持重

构晶圆，以减少弯曲，以在 RDL 构建期间的光刻校准时，减少设备的处置问题和注册错误。

先芯片工艺流程包含两种通用工艺路线，即重构晶圆处置和创建工艺及处置。图 1 所示为两种工艺路线的一般流程示意图。两种路线的主要差异在于重构晶圆重建。在工艺路线 A，即重构晶圆处置中，将晶圆置于独立载体，然后转至涂有高温临时粘合材料的第 2 载体，以及后续 RDL 创建和装配的玻璃层。在工艺路线 B，即芯片装配、重构、RDL 创建和装配工艺发生的场所是涂有高温兼容



图 3. 先 RDL 工艺牺牲脱模层的关键要求。

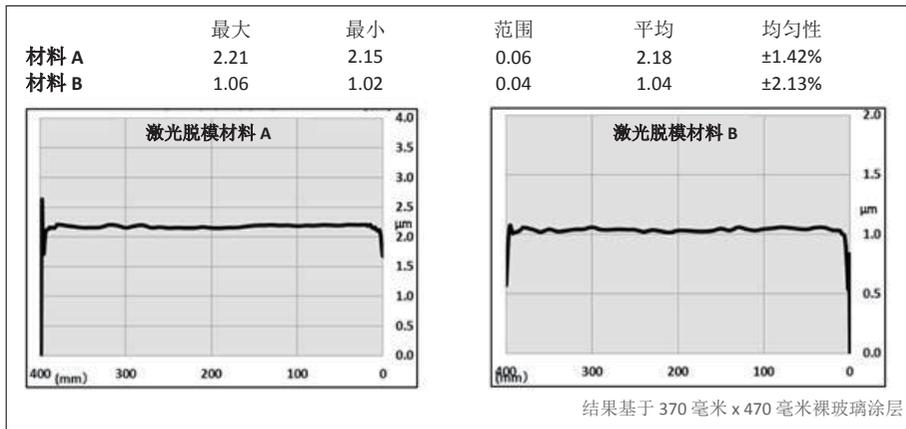


图 4. 使用槽模涂层工艺的牺牲脱模材料 A 和 B 面板级均匀性。

临时粘合材料的单独载体和脱模层。

用于芯片优先类工艺的主要临时粘合材料问题包括翘曲控制、模移、温度稳定性等，这些已在以前的出版物中陈述<sup>[2]</sup>。先芯片扇出型工艺现已大量使用，其越来越多地用于支持移动电子应用。

#### 先 RDL/ 后芯片 FOWLP

图 2 所示为先 RDL FOWLP 工艺示意图。据此，RDL 层的工艺以及芯片粘结工艺在涂有牺牲脱模层的临时载体上完成。通常，玻璃载体涂有脱模层，然后完成一系列工艺步骤，以创建 RDL 层。重复这些步骤多次，以创建多层 RDL 结构。RDL 工艺完成后，晶圆先经装配工艺步骤（芯片粘结、成型和模具研磨）处理，而后载体脱模。先 RDL 工艺的首选晶圆级封装载体脱模方法采用激光脱模机制。许多代工工厂和 OSAT 正在开发该工艺，以用于晶圆级封装和面板级封装的高级集成。

### 先 RDL 工艺牺牲脱模材料的关键要求

载体上涂有牺牲激光脱模层，随后的再分层操作、芯片装配、组装和成型工艺均在该层进行。该材料用作构建所有其他层的基础材料，而非用于单一的粘合剂层或脱模层功能。与先芯片工艺相比，先 RDL 工艺对牺牲脱模层的要求更严格，原因是在 RDL 成型的早期阶段，脱模层的整个表面都可以处理化学品。根据具体的工艺流程，脱模层需要对金属种子层和 / 或聚合物介电层具有良好的粘附性。脱模层还必须具有良好的耐化学性，以抵御光刻化学品、金属蚀刻化学品和开面测试中的其他各类溶剂。并且，脱模层需要可在聚酰亚胺固化步骤中经受长时间的高温处理，并且避免在高温和高压芯片粘结工艺和环氧模

制期间流动。图 3 所示为先 RDL 工艺牺牲脱模层的关键要求。务必注意：称该材料为牺牲激光脱模层没有捕捉到该材料的所有必要功能。

#### 涂层工艺

牺牲激光脱模层必须与晶圆级和面板级涂层技术兼容。这些材料在整个基材上具有均匀的 TTV，应提供优异的涂层质量。涉及的部分风险包括针孔缺陷、

去湿斑点、厚度不均匀等。该涂层的异常将对下游工艺产生不利影响。

例如，针孔缺陷和去湿斑点可能导致后续在脱模层顶部涂覆的层 - 即聚酰亚胺 (PI) 层或 PVD 金属 - 直接通过针孔和去湿斑点与载体基材接触。由于载体和金属或 PI 层间无脱模层，无法在缺陷区域完成脱模功能，因此将导致脱黏性能不佳。如果脱模层涂覆不均匀的厚度，其将影响脱模功能，并且可能影响脱模层的激光吸收能力，导致脱黏工艺中高能激光传输到有源器件表面，从而对设备造成潜在损害。

由 Brewer Science 开发的牺牲激光脱模层可与晶圆级应用的旋涂工艺、以及面板级应用中的槽模涂层工艺兼容。这些材料具有出色的均匀性，无任何缺陷，适用于涂覆至玻璃晶圆和面板。图 4 所示为使用槽模涂层工艺的牺牲脱模材料 A 和 B 面板级均匀性。

#### 粘附性

牺牲激光脱模材料必须对以下材料具有强大粘附性：玻璃、聚酰亚胺等有机物以及通过 PVD 工艺沉积的 Ti

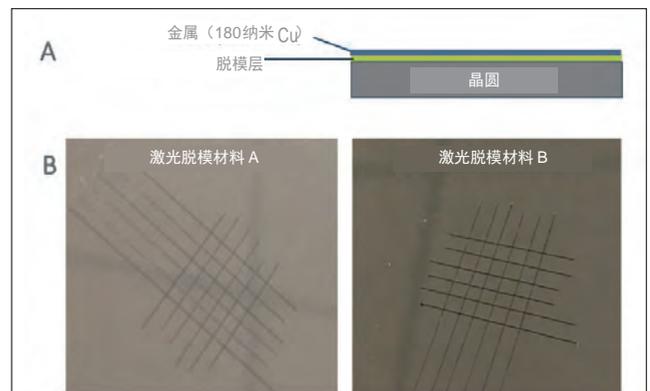


图 5. (A) 粘附性测试的测试结构示意图 (B) 脱模材料 A 和 B 的 Cu 交叉影线粘附测试结果。

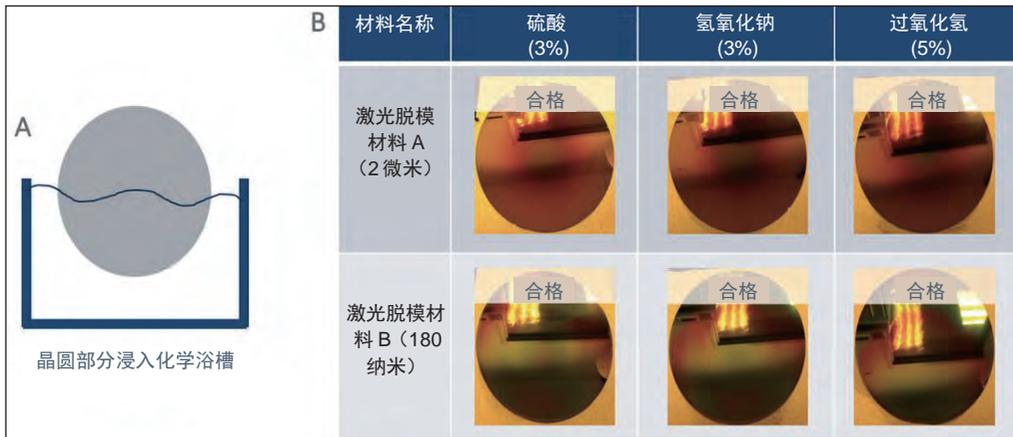


图 6. 耐化学性研究 (A) 部分浸入化学浴中的晶圆示意图 (B) 暴露于化学品后涂有激光脱模材料 A 和 B 的晶圆图片。

和 Cu。如粘附强度不佳，则在装配流程中，将导致再分布层或内置设备基材分层。除脱模层特性外，特定的金属沉积过程对粘合强度有影响。应遵循关于金属沉积的最佳实践标准，以改善脱模层粘附性。

我们使用 ASTM-D3359 标准化的交叉影线胶带测试方法，测试我们的激光脱模材料 A 和 B 对 PVD Cu 的粘附性。图 5 所示为两种材料的 Cu 交叉影线粘附性测试结果。如粘附性不佳，则可能导致交叉影线图案创建的 Cu 正方形剥离，但是胶带测试结果显示，所有 Cu 正方形均对脱模层具有出色的粘附性。

热稳定性和机械稳定性

牺牲脱模层在创建流程中的关键要求包括热稳定性和机械稳定性。置于脱模层顶部的 RDL 层中，要求 1-3 小时范围内的每层固化温度超过 250℃。因此，3 层 RDL 结构可使脱模层暴露在高温工艺循环中多达 9 小时。热循环期间，脱模层不得软化或分解，必须保持刚性和稳定。

牺牲激光脱模材料 A 和 B 必须为热稳定性和机械稳定性材料。材料 A 是一种热塑性塑料，其玻璃化转变温度 ( $T_g$ ) 高达 320℃，热分解温度

( $T_d$ ) 为 410℃。材料 B 是具有 270℃ 的  $T_d$  的热固性材料，并且在低于  $T_g$  的温度范围内不显示  $T_d$ 。由于材料具有上述特性，因此其在高温 PI 固化流程中不会软化或分解。

化学稳定性

该牺牲脱模层需要可承受严酷的化学条件，其多数为开面，脱模层可与部分工艺化学品直接接触，包括在 RDL 堆积期间的湿法蚀刻化学品。典型的化学品包括溶剂、金属蚀刻化学品、抗蚀剂剥离剂、电镀化学品和其他装配工艺化学品。脱模层在工艺流程中不得溶解、损失厚度，不得污染化学浴槽。耐化学性的常见研究方法是目视检查，化学品接触前后的脱模层厚度测量，以及涂覆脱模层的基材浸没前后对电镀速率或工艺浴蚀刻速率变化的测量，以检测是否有任何污

染物或脱模层浸入浴槽内。

我们通过以下方法研究了脱模层的化学稳定性：在 Si 晶圆涂覆脱模层，然后将晶圆浸入化学品，然后目视检查和 / 或测量厚度。对于包含目视检查的测试，仅需将一半的晶圆浸没在化学品内，观察浸没区域对涂层的任何不利影响（颜色变化、粘附力损失、厚度损失等），将其与未浸没化学品的区域进行对比。图 6 所示为激光脱模材料 A 和 B 的化学品接触研究结果。表 1 所示为材料 A 的其他耐化学性研究。

激光脱黏

激光脱黏是先 RDL 工艺的首选脱黏方法，是全置设备晶圆脱模的关键工艺。该工艺中的任何偏移或缺陷都可能导致成本高昂的晶圆器件损失。激光脱黏工艺的重点是对晶圆器

化学品	浸入前厚度	浸入后厚度	备注
NMP 90℃ 25分钟	2.44±0.19 微米	2.61±0.11 微米	合格
2% 氨10分钟	2.39±0.03 微米	2.34±0.03 微米	合格
2.5% 四甲基氢氧化铵10分钟	2.24±0.13 微米	2.24±0.32 微米	合格
丙二醇甲醚醋酸酯10分钟	2.29±0.33 微米	2.31±0.33 微米	合格
Buffer HF 3 毫米	2.27±0.01 微米	2.27±0.02 微米	合格

表 1. 使用激光脱模材料 A 扩展耐化学性研究。

材料	厚度	气体 (seem)	时间 (秒)	功率 (W)	压力 (mTorr)	直流偏置	结果
材料 A	2 微米	O <sub>2</sub> -50	600	150	100	396	清洁
材料 B	180 纳米	O <sub>2</sub> -50	60	150	100	396	清洁

表2. 激光脱模材料 A 和 B 的等离子清洁配方。

件无损坏, 实现最小残留物的脱黏工艺。文献表明, 在紫外线激光脱黏时, 消融的主要原因是有机激光脱模材料的光化学分解, 而非使用较长波长激光源在消融中发生的光热分解。牺牲激光脱模层可吸收紫外激光, 并通过化学解离, 从器件晶圆脱模载体。光化学消融工艺可减小对器件晶圆的热影响, 消融发生在载体和激光脱模材料的接口处。Brewer Science 开发的牺牲激光脱模材料可与市场上所有常用晶圆和面板脱黏紫外激光脱黏工具 (308 纳米、343 纳米、355 纳米) 兼容。图 7 所示为使用 355 纳米激光波长的材料 A 和 B 的脱黏结果。

#### 脱黏后清洁

激光脱黏工艺完成后, 必须清洁晶圆器件的所有脱模层残留。材料 A 为热塑性脱模层, 可与溶剂清洁工艺和等离子清洁工艺兼容。材料 B 为热固性脱模层, 可与等离子清洁工艺兼容。脱黏清洁工艺的重点是: 通过具有成本效益的短期清洁程序, 完全移除残留物。

我们使用平行板等离子蚀刻机清洁材料 A 和 B 的激光脱黏残留物。表 2 所示为等离子清洁配方。两种材料都易于通过氧等离子体清洁。材料 A 还可以使用 MP 或二氧

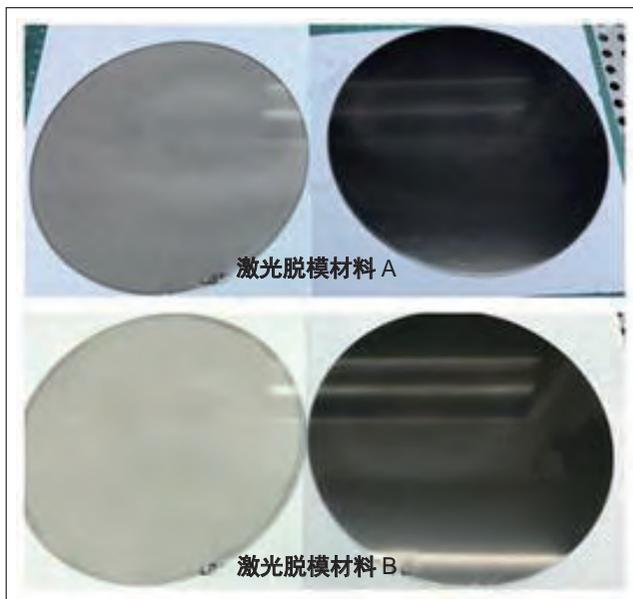


图 7. 使用 355 纳米激光源的激光脱模材料 A 和 B 的脱黏。

戊环作为清洁溶剂, 采用旋转或喷雾清洁工具清洁。

#### 总结

根据上述先 RDL 扇外型工艺要求清单可以轻易了解到, 激光脱模层是实现先 RDL 工艺的关键材料之一。本文以我们最新的脱模材料 A 和 B 为示例, 但是我们也开发了部分其他配方和厚度的变体, 以满足单独的客户和工艺流程需求。此类材料变体用于在我们的合作伙伴处演示我们的全流程先 RDL 工艺流程, 该全流程工艺的结果也已在最近发布 [3]。使用内置多层 RDL 的玻璃载体对晶圆级封装进行试验, 随后进行芯片粘结、成型、脱黏、清洁和芯片切割。测试最终设备的电气性能, 以确认激光脱黏流程中无芯片或电路损坏。

随着我们超越摩尔定律的时代, 进入“摩尔加”时代, 所有电子设备都集成了多种功能, 用于传感、处理、数据传输、显示等。据此, 异构集成和系统级封装 (SiP) 技术在满足最终用户需求方面发挥着重要作用。移动电子设备、物联网应用及其他互联服务将继续推动半导体产品的性能要求变化, 而高级集成电路封装工艺将越来越可满足这些需求。作为高级材料供应商和半导体供应链的组成部分, 我们很理解, 材料的转型创新是维持和支持下一代电子设备发展的关键。◆

#### 参考文献

1. J. Campos et al, "Temporary wafer carrier solutions for thin FOWLP and eWLB-based PoP", Chip Scale Review, Jan-Feb, 2016.
2. Ramachandran K. Trichur et al, "Process Challenges for Temporary Bonding Materials used in Advanced Fan-Out Device Packaging". Chip Scale Review, Jul-Aug, 2017.
3. Wei-Wei Shen et al, "Process Development and Material Characteristics of TSV-Less Interconnection Technology for FOWLP," 67th Electronic Components and Technology Conference; May 30 – June 2, 2017; Florida, USA.

#### 作者简介

**Ramachandran K. Trichur** 获得了辛辛那提大学电气工程专业的硕士学位以及巴拉迪大学电气工程学士学位, 目前是 Brewer Science Inc. 的业务开发总监, 电子邮件: rtrichur@brewerscience.com

**Rama Puligadda** 获得了辛辛那提大学电气工程专业的硕士学位, 以及印度理工学院化学及高分子科学与技术学士学位, 目前是 Brewer Science, Inc. 高级技术研发执行总监。

**Tony D. Flaim** 获得了苏里大学罗拉分校的物理化学专业博士学位, 密苏里大学哥伦比亚分校医学预科学士学位, 目前是 Brewer Science, Inc. 的首席技术官。



## 显示塑封材料的真实特性

塑封材料 (mold compound) 性能的轻微变化就可能造成轻微甚至灾难性的损害，对此，声学测试可以提供早期的干预。

作者：Tom Adams，Nordson-Sonoscan公司顾问

**电**子组装商都会定期收到一定数量的特定组件，他们期望一批货物与下一批货物在所有方面都是相同一致的。通常很少有组件会存在通过目视检查就可以发现的外部损坏。相对来说，较多的情况是，一些组件可能会有能够通过非破坏性声学微成像发现的内部结构缺陷。针对这两种情况，他们都可以在组装时去除有缺陷的部件，从而可以避免现场失效。内部结构缺陷具有各种名称：空洞、裂缝、分层、键合不良和各种导致电气失效的方式，但是，通过声学微成像工具，非破坏性地显示内部结构特征，人们可以很容易找到它们。

然而，还会存在另一种类型的缺陷，不能通过成像检测到它们，但是这些缺陷却会造成广泛的损害。这种情况是组件制造商在所运输的组件中，使用了不同的塑封材料 (mold compound, 铸模化合物)。塑封材料看起来和之前出货时所使用的材料一样，但实际上有着不同的物理特性，可能会在回流焊和各种工作环境中产生不同的反应。这些组件可能会造成严重的可靠性问题。有时候，不同的塑封

材料可能是无害的。尽管可能存在一些有限的内部损害例如分层，但不同塑封材料的物理特性可能与指定的塑封材料相似，能够承受回流及其预期的使用寿命，而不会导致显著数量的失效。

更可能的情况是，所使用的塑封材料与预期的塑封材料有着显著的不同。组件可以通过回流焊接，几乎没有发现问题。如果一些组件在回流后声学成像，它们可能会显示出分层，但无法确定分层是由塑封材料的未预期的物理特性引起的。然而，塑封材料的性质可能会产生机械应力和其他问题，这些问题只有在现场失效时才会变得明显。(实际上，如果使用了对的塑封材料，但是过了保质期，也可能发生类似的失效。)

进货过程中检测塑封材料的变化是很困难的，因为两种塑封材料可观察到的特征差异是如此之少。幸好，Sonoscan 开发出一种测量塑封材料的声学阻抗和声学衰减的流程。得到的结果可用于鉴定塑封材料，以判断与先前发货的塑封材料的给定组分是否有显著的不同。

## 声学阻抗

声学阻抗是材料密度（单位 g/cc）和材料声速（单位 m/sec）的乘积。Sonoscan 的 C-SAM 声学微成像工具可以直接测量材料的声学阻抗，只需在其表面发送超声脉冲并接收和分析返回的回波进行分析 [图 1]。回声仅来自物质界面。在组件的主体内，界面主要在两个固体之间，或者对于空隙和类似的间隙型缺陷的情况，则在固体和缺陷内的空气之间。在测量塑封材料的声学阻抗时，界面位于塑封材料的表面和水之间，水用于将换能器耦合到塑封材料。由于试验过程中，界面处的水的声学阻抗（密度 x 声速）没有变化，因此，很容易确定塑封材料的声学阻抗。

塑封材料的声学阻抗值从大约 2.0 兆瑞雷尔到大约 8.0 兆瑞雷尔不等，但测量组件表面上单个点的声学阻抗是不够的。给定位置的精确读数部分取决于该位置处填料颗粒的数量和分布。由于填料颗粒分布不是均匀的，通常的做法是在组件表面的五个位置发送超声波脉冲，一个或多或少靠近中心，另外四个角中每个角一个。这些位置没有严格地固定。目的仅仅是获得足够的读数，从而抵消由于不均匀的填料颗粒分布和表面不规则性引起的变化。基于同样的原因，尽量避开了部件的边缘，铸模标记和印刷区域。

所用的换能器通常采用 15MHz 的频率。声学微成像工具换能器的频率范围从 5MHz（大光斑尺寸，低分辨率，良好穿透）到 400MHz（非常小的光斑尺寸，非常高的分辨率，有限的穿透）。无论使用何种频率传感器或光点尺寸如何，塑封材料的声学阻抗

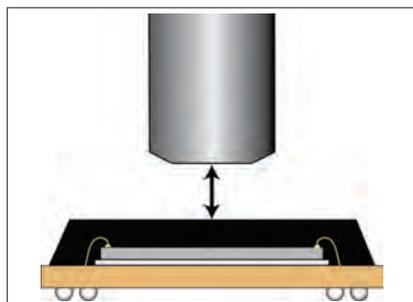


图1. 单个组件进行声学测试。

都不会改变。但由于实际原因，使用了相对低频的 15MHz 换能器，因为它的大光斑尺寸可以均衡填料颗粒分布导致的变化。使用 400MHz 传感器测量组件的声学阻抗也是有可能的，但是在提供卓越成像分辨率的同时，微小光斑尺寸将使任务花费更多时间才能够达到相同的结果。

较高的频率也会导致超声波更容易受组件上任何的表面变化所干扰。执行测试的技术人员手头上有先前批次下相同组件的平均声学阻抗。假设当前测试的给定组件的五个声学阻抗读数是 4.39, 4.72, 4.18, 4.25 和 4.53 兆瑞雷尔。这 5 个读数的平均值是 4.41 兆瑞雷尔。如果该组件的长期平均值接近这个数值，4.51，那么新批次中使用不同塑封材料的可能性就很小。如果五个数字中的一个与其他四个数字显着不同（例如，如果上面示例中的一个数字是 5.22），那么技术人员可以再在第六个位置进行一次脉冲测

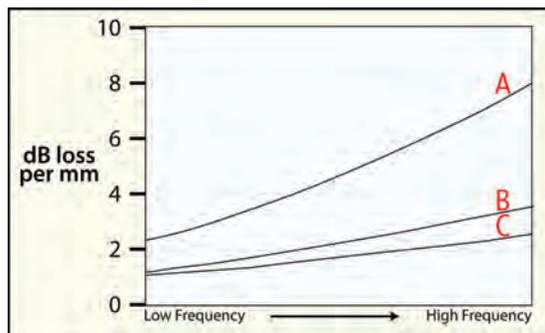


图2. 超声频率越高，声学衰减越大。

试，以查看它是否偏离其他五个。技术人员也可能会测试该次进货批次中的更多组件。如果变化很小，他可能会比较满意，认为没有任何的不妥。但为了更加安全，他将进行第二次测试，以量化组件的声学衰减。

## 声学衰减

当超声波通过材料传播时，它逐渐被材料吸收和散射，信号变弱。不同材料的衰减存在很大差异。金刚石几乎不衰减任何超声波，单晶硅几乎也处于同一水平。在标尺的底部是橡胶，它可以在超短距离上吸收超声波，因此只有非常薄的样品才能成像，即使如此 C-SAM 已经成功用于观测电缆橡胶涂层下面的空隙。

为了测量组件的声学衰减，C-SAM 换能器从组件的顶部表面发射超声脉冲发射进入到组件。脉冲向下传播到第一层材料界面，经历一定的衰减和散射，然后穿过塑封材料。它通过界面反射并返回换能器，并在通过返回行程时进一步衰减。

当它在百万分之几秒后返回换能器时，我们通过计算每毫米的 dB 损耗来测量其幅度。（当部分脉冲通过界面传输时，材料界面也会发生一些损失，但这种损失很容易根据界面上两种材料的特性计算出来。）与低频超声相比，高频超声在给定材料中的给定距离上会被更快地吸收。例如，可以通过将 400MHz 换能器的超声脉冲到硅芯片的背面，从而检查倒装芯片的焊料凸点黏附，但 400MHz 的应用受到很大的限制，因为它可以通过大多数其他的材料而快速衰减。图 2 显示了三种塑封材料的每毫米传输损失。穿过样品 A 的低频超声

下转第37页

# 一种工具 并非 处处适用

## MEMS和先进IC得益于定制晶圆清洗

尽管加工步骤之间的硅晶圆湿洗工艺的出现可回溯到半导体工业伊始，但是如今的先进集成电路（包括 MEMS 和倒装式芯片器件）仍能获益于专为更好地清除残留污染物而设计的最新等离子体蚀刻机。

作者：Suraiya Nafis，PVA TePla America 公司半导体设备销售主管

**在**集成电路（IC）的制造过程中，需完成许多沉积和蚀刻步骤以构建必要的内部结构；在加工流水线上的晶圆站（wafer stops）之间执行清洗操作是很常见的。其中最常见的是“灰化”或剥离（用以除去蚀刻晶圆上的光刻胶），以及用于去除任何残留物的“除渣”工艺。

虽然在湿法工艺策略中可使用溶剂来去除光刻胶，但是，由于可降低化学处理和购置成本，所以人们常常会寻找那些允许使用干法处理的替代方案。在针对干法处理的替代方案当中，包括了将离子化能量应用于晶圆灰化和浮渣清除的等离子体蚀刻机。当今的蚀刻机更加先进且自动化程度更高，不过，这种设备在半导体工业的早期就已经存在了。自那以后，等离子体处理的应用范围有所扩大，纳入了聚合物、SU-8 和牺牲层的去除。另外，等离子体蚀刻还被用于晶圆清洗、芯片载体清洗、封装和倒装焊底

充胶，以及晶圆应力释放、芯片侧愈合（CSH）和超薄晶圆钝化等技术。

考虑到市场的成熟度和处理方法的精细化，等离子体蚀刻机至少在前端是相对标准化的，具有固定格式和现成有售的选项。然而，随着更多后端应用的添加，以及使用类似制造技术和工具的 MEMS、微流控器件、电力器件、HB-LED、PLED 和光伏等领域的爆炸性增长，现在需要更多的半定制解决方案，以适应不同的尺寸、衬底，以及不同制造商目前面临的其他挑战。

### 等离子体灰化和除渣

等离子体灰化是通过“燃烧”有机物去除光刻胶的过程。采用一种处理工具，在低压力条件下，将氧气或氟气暴露在高能无线电波中，从而使其电离，产生单原子等离

子体。此过程在真空下进行，以产生等离子体，将光刻胶变成灰烬。

通常在晶圆上进行的等离子体灰化有两种形式。高温灰化或剥离是为了除去尽可能多的光刻胶，而“除渣”工艺则用于去除残留的光刻胶。这两种工艺的主要区别是晶圆在灰化室中暴露的温度。

据 PVA TePla America（一家设计等离子体系统的领先系统工程公司）半导体设备销售主管 Suraiya Nafis 说，客户面对众多的选择，包括在基于射频的设计和基于微波的设计之间做出决定，以及确定满足特定制造商的要求所需达到的定制化水平。

PVA TePla America 专注于先进的等离子体系统，在美国、欧洲和亚洲等地的市场上拥有 50 多年的悠久历史。该公司最初名为 International Plasma Corporation (ICP)，后来通过收购和合并发展成为 Dionex、Gasonix、Metro Line 和 TePla。

如前文所述，作为晶圆清洗过程的基本步骤，高能无线电波使氧气或氟气电离。对于去除光刻胶来说，选择基于射频的装置还是基于微波的装置是设备采购商必需做出的至关重要的决定。在去除了光刻胶之后，底层也许会变得很敏感，如果没有做出正确的选择，则有可能被损坏。

Nafis 说：“有些器件对等离子体损伤是很敏感的。如果器件不敏感，可以选用 射频发生器，但是，倘若器件敏感，则可选用微波发生器。”

一般来说，基于射频的装置是剥离光刻胶的优选方案。射频等离子体通过一个物理过程对表面进行蚀刻，该物理过程基本上通过用等离子体在特定方向轰击表面来实现。

Nafis 说，另一方面，基于微波的装置则提供了一种“较为温和”的方法，因为等离子体应用并不具有相同的物理特性。相反，微波主要提供一种各向同性的化学方法，这意味着，它会渗透到每个地方。这也使微波装置成为从倒装式芯片器件背面去除材料更为理想的方法，此类芯片无法通过直接的物理轰击进行加工。

另外，微波也特别适用于去除 SU-8，后者是一种常用的环氧基负性光刻胶。当使用像 SU-8 这样的负性光刻胶时，暴露在紫外线下的一部分会聚合，而薄膜的其余部分仍可溶解并会被冲走。SU-8 是为提供微流体、MEMS 和其他微电子应用所需的高分辨率掩模而专门开发的。

Nafis 解释说：“SU-8 光刻胶的许多优点之一是其化学稳定性，这也使得它难以去除。”

因此，Nafis 说，PVA TePla 必须开发一种可使用干等离子体灰化除去 SU-8 的工艺和技术。采用微波能量的原因是由于微波具有各向同性的蚀刻特性，可用于去除牺牲层和底切顶层。另一个关键因素是更精确的温度控制；在过去，等离子体蚀刻机经常测量温度，但极少提供（或根本不提供）控制功能。Nafis 说：“微波等离子体剥离器必须具有非常精确的温度控制能力，因为如果温度过高，SU-8 将变得非常坚硬、甚至更难去除。”

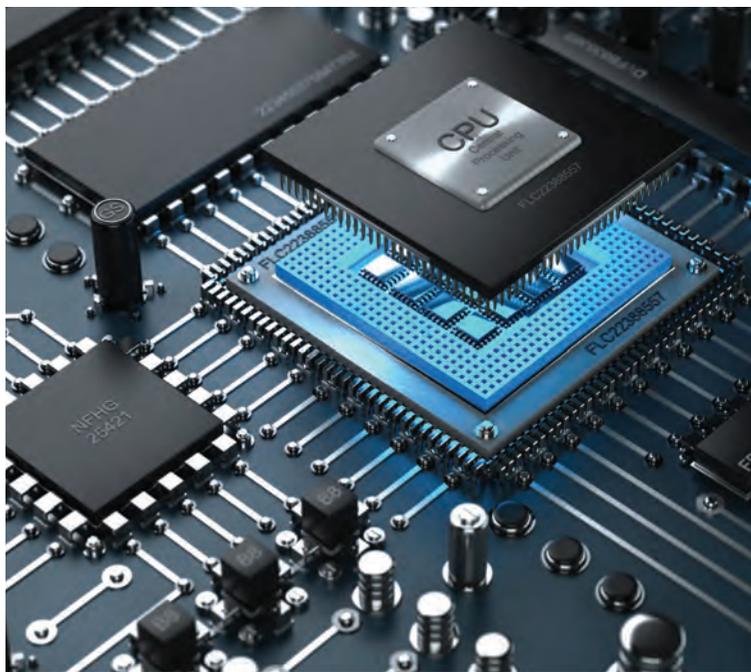
Nafis 说，除了在基于射频和基于微波的系统之间做出选择之外，灰化和除渣需要不同的处理类型，其中一种更适合单晶圆处理要求，而另一种则最适合批量处理。

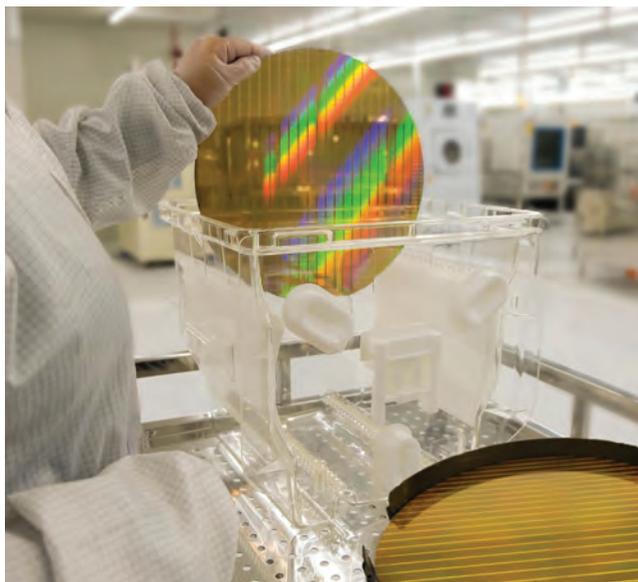
与光刻胶剥离不同的是，除渣用于在更精确的工艺中去除少量的材料。在此过程中，保持晶圆的尺寸不受影响是很重要的。这意味着必须一次对一片晶圆进行除渣。

Nafis 说：“除渣作为单晶圆加工工艺可提供比批量处理更精确的控制，而且除渣仍然能够以相对较高的速度进行。”

## 等离子体清洗

在晶圆处理过程中，灰化和除渣本质上是类似于清洗的过程。两者均涉及到有机物的去除。出于这种考虑，等离子体也被用于去除玻璃和蓝宝石载体晶圆上的颗粒和其他污染物，在超薄硅晶圆的制造过程中，这些颗粒和其他污染物被用来提供平面支撑。





在制造过程中，硅晶圆和载体晶圆会暂时粘结在一起，以简化下游流程步骤。在工艺流程完成后，紫外（UV）激光脱胶将两个衬底分离，留下仅 50 微米厚的硅晶圆。由于玻璃和蓝宝石衬底会很昂贵，因此理想的做法是对其进行清洗后再使用。

Nafis 说：“目前，载体晶圆的清洗主要是通过使用溶剂的湿法工艺进行的，因此成本要高得多，而且，在清洗

之后，必须处理掉化学物质。使用等离子体的干法处理在清洗载体方面要容易得多，因为它可以去除所有的粘合剂。”

### 定制化

Nafis 说，最终的教训是：等离子体工具并不是万能的。每个应用通常都有一系列非常不同的需求。然而，由于半导体制造具有非常多的固定格式，一些供应商只提供现成的选项，几乎不会提供定制方案。他表示：“如果你有任何固定格式以外的东西，那么让一些供应商投入时间去进行工程设计就有点难了”。

对于像 PVA TePla 这样愿意进行定制的公司，设备制造商必须对研发工程师、设施和设备进行投资，以提出合适的解决方案，从而使客户拥有优势。其中包括能够提供单晶圆或批处理系统、基于射频或微波的系统、各种大小的腔体和解决方案（从手动、半自动化到全自动化、高速生产系统）。甚至诸如固定装置、装卸系统类型、温度控制，以及在单个系统中处理多种尺寸晶圆的的能力等细节也起着至关重要的作用。

Nafis 说：“当客户来找我们时，他们常常不知道他们需要什么工具。于是，我们弄清了有关其应用的情况，从而能够推荐最有效且与他们的预算最适合的工具。”

上接第34页

Sample	Acoustic Impedance	Acoustic Attenuation
1	4.98	2.14
2	6.32	1.84
3	4.79	2.29
4	5.51	3.27
5	5.23	1.83
6	4.93	2.65
7	6.25	2.86
8	6.40	2.12
9	5.86	2.28
10	7.14	2.57

图3. 十种塑封材料的声学阻抗和声学衰减值。

波每 mm 仅损失约 2dB，但更高频率的每毫米损失高达 8dB。随着频率的增加，其他两种塑封材料的损耗增加得远没有这么快，这意味着使用这些塑封材料的较厚组件也可以成像，而较薄组件则可以通过更

高的频率换能器成像，从而能够获得更好的分辨率。

声学衰减测量以非常显著不同的方式补充了声学阻抗测量的不足。两种塑封材料的声学阻抗值可以非常接近，例如 5.24 和 5.35，这并不罕见。但在几乎所有材料的声学衰减与声学阻抗都无关。当技术人员测量进货批次组件中的两个值，并发现这些值都非常接近于先前批次的相同组件的记录值时，与以前批次中塑封材料相比，进货批次

几乎不可能包含具有任何材料属性不同的塑封材料。

但是存在某些塑封材料，其声学阻抗和声学衰减值非常接近另一种塑封材料。在图 3 中可以看到一些这种现象的例子，其中即使非常细心读出特定塑封材料之前的读数，也不能将其与另外一种化合物区分开，如果想象这种化合物用到了来货组件中，用户可能希望检查一些回流后的声学组件，以便探测不经意的缺陷。

在某些情况下，两个值似乎都会在特定组件中失控。Sonoscan 实验室经常会对组件的两个面都进行成像，有时就会在两个面上发现截然不同的值。其原因是：该组件是伪造品，其顶部表面已经打磨并用某种材料“打顶”，而该材料的性质与原始塑封材料毫无关系。

但是，这里描述的两个快速测试的主要作用，是在麻烦出现之前发现问题。由于塑封材料的微妙变化引起的最终损害，可以导致从轻微到灾难性的任何情形，而声学测试则提供了早期的干预。

注：C-SAM 是 Sonoscan 公司的注册商标。

# 汽车晶圆厂中的偏移监控

Process Watch系列文章探讨了半导体行业制程控制的关键概念：缺陷检测、量测和数据分析。本文是汽车行业半导体元件制程控制策略的系列文章之第四篇。

作者：David W. Price, Jay Rathert, Douglas G. Sutherland, KLA公司

**本**系列的前三篇文章 1-3 探讨了汽车半导体制造商为了更好地满足客户挑战性的质量要求所能够采取的方法。首篇文章（发表于《半导体芯科技》2019年2/3月刊）探讨了汽车 IC 可靠性故障所带来的影响以及抗击这些故障所需要的“零缺陷”理念。第二篇文章（发表于《半导体芯科技》2019年4/5月刊）讨论了汽车晶圆厂针对减少工艺缺陷所实施的持续改进计划和策略，因为这些缺陷可能产生芯片可靠性的问题。第三篇文章（发表于《半导体芯科技》2019年6/7月刊）着重探讨了针对捕获潜在（可靠性）缺陷所需的提升工艺控制灵敏度的要求。本篇文章旨在探讨整个汽车晶圆厂的制程偏移监控策略，以便快速找到并剔除不合格的材料。

制造汽车 IC 的半导体工厂通常提供整套汽车服务（ASP）。这些 ASP 提供个性化的工艺 - 其中包括更多工艺控制和工艺监控等，或保证使用最佳的工艺设备。ASP 的目标是协助确保所生产的芯片可以满足汽车行业严格的可靠性要求。

但即便采用整套汽车服务，偏移也在所难免，因为它存在于任何受控工艺之中。认识到这一点，汽车半导体厂特别注意为其关键工艺层建立综合控制计划，这也成为其工艺失效模式和影响分析（PFMEA）的一部分。控制计划详细说明了受到监控的工艺步骤及其监控方式 - 包括指定的检测灵敏度、采样频率以及所采用的确切工艺控制系统信息等细节。精心设计的控制计划能够检测到所有偏移，并防止“独特的”晶圆因采样不足而漏网并溜出厂门。此外，该计划将清楚地指出每一次制程偏移中哪些晶圆受到了影响，从而

可以将其隔离并更充分地处置 - 确保不合格的器件不会被无意地运出厂。

为了实现这些目标，整套汽车服务的控制计划与消费产品 IC 生产的控制计划相比往往需要更全面的检测和量测。在晶圆厂中，对采用同一设计规则的汽车和非汽车产品的工艺控制进行基准数据分析，其结果表明晶圆厂为汽车产品采用了更多的缺陷检测步骤以及更多类型的工艺控制（检测和量测）。数据显示就平均而言：

- 汽车流程所采用的缺陷检测步骤大约多 1.5 到 2 倍
- 汽车流程使用更加频繁的采样，不仅是批次采样百分比更高而且每批次采样晶圆也更多
- 汽车流程使用更高的灵敏度以捕获较小缺陷，因此可能会对可靠性产生影响。

这些因素的综合影响导致典型的汽车晶圆厂需要比消费产品制造同行增加 50% 的工艺控制能力。仔细观察一下会看到这些能力的确切部署方式。

图 1 显示了在同一晶圆厂中汽车和非汽车工艺流程的检测点之间的批次数量示例。由于检测步骤数量更多，如

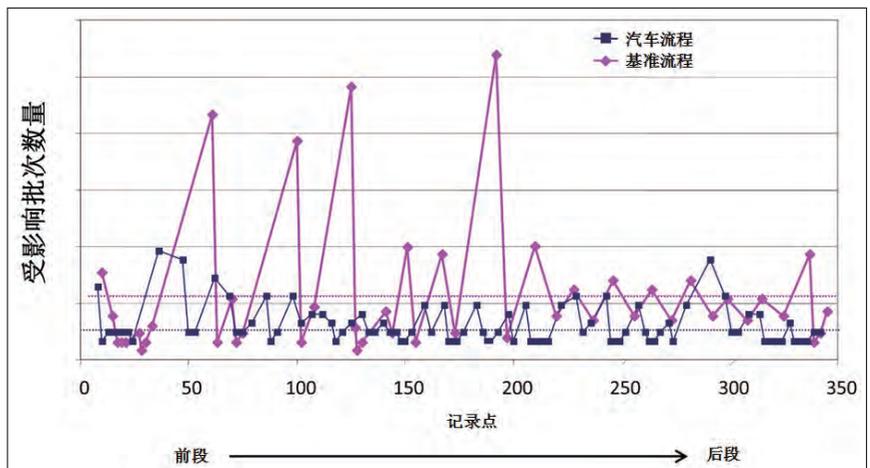


图1. 显示了汽车工艺流程（蓝色）和非汽车（基准）工艺流程（粉红色）对比检测点之间受影响的批次数量示例。汽车工艺流程在FEOL有更多的检测点，因此在偏移发生时受影响的批次数量较少。

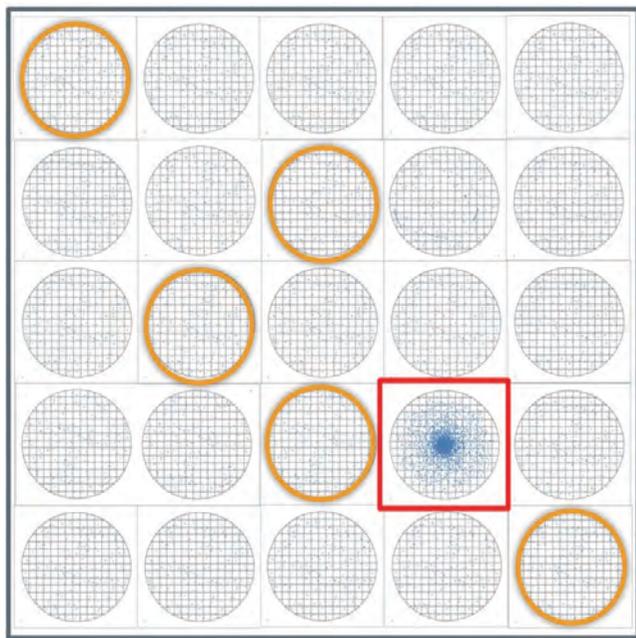


图2. 每批5个晶圆（黄色圆圈）的传统采样计划可能不会检测到单个独特的晶圆偏移（红色方块）。高产能宏缺陷检测设备弥补了采样不足带来的风险，防止漏网之鱼。

果存在缺陷偏移，则可以在汽车流程中更快地发现。而迅速发现偏移则可以减少受影响的批次数量：少量并更为明确的批次中有更多的缺陷，这有助于满足汽车芯片可追溯性的要求。然后这些偏移批次被单独隔离并进行100%的高灵敏度晶圆检测，以便决定其处置方式是释放、报废或在适用时降级至非汽车应用。

整套汽车服务中的额外检测点也带来更多的益处，因其缩小了偏移潜在原因的范围，所以寻找偏移根本原因就变得更为简便。缩小潜在原因的范围也有助于8D调查更为迅速有效<sup>4</sup>，方便寻找并解决问题。与看似显而易见的预测相反，因为减少了生产线上的变化，增加检测点数量反而会减少生产周期时间<sup>5</sup>。

虽然提高检测能力有助于对工艺偏移进行监控和控制，但汽车IC质量仍存在着风险。因为每个晶圆在晶圆厂中通过众多工艺反应腔室的路径可能各不相同，所以数百个工艺步骤中的微小变化和微小变化的总和可能会产生“独特”的晶圆。这样的晶圆很容易通过一个严重依赖于次级采样的控制计划，让受影响的芯片进入供应链。为解决这一问题，许多汽车晶圆厂正在将高产量宏观缺陷检测设备加入其设备组合中，对于每一批次进行更多晶圆的扫描。这一举措显著提高了捕获独特晶圆并防止其进入汽车供应链的可能性。

新一代宏观缺陷检测设备<sup>6</sup>可以将许多老一代明场和暗场晶圆缺陷检测设备的灵敏度和缺陷捕获能力结合到一个平台之中，并且可以每小时运行近150个晶圆，从而降低拥有成本。在采用较大设计技术节点的200mm晶圆厂中，该检测产能的提升通常可以捕获以前未能检测到的多个低水平偏移，如图2所示。

在先进设计技术节点的晶圆厂中，宏观缺陷检测设备缺乏必要的灵敏度，因而无法取代宽带等离子和激光扫描晶圆缺陷检测设备在传统生产线监控和图案晶圆偏移监控中所占据的角色。然而，它们的高产能已经使其在增强现有采样计划和捕获独特晶圆的晶圆级缺陷分布特征等方面发挥了重要的作用。

汽车控制策略的最新发展是采用晶粒级别的缺陷检测筛选。该项技术其中的一种，称为在线缺陷部件平均测试（I-PAT™），使用异常值检测技术来进一步增强晶圆厂的识别能力，找出那些可能通过电气测试但由于潜在的缺陷而在未来产生可靠性失效的晶粒。我们将在本系列的下一篇文章中详细讨论该方法。◆

### 关于作者：

David W. Price 博士和 Jay Rathert 是 KLA 公司的资深总监。Douglas Sutherland 博士是 KLA 公司的首席科学家。在过去的15年，他们直接与50多家半导体IC制造商合作并提供协助，针对各种特定市场优化制造商的整体制程控制策略，包括汽车可靠性策略、传统晶圆厂开销、风险优化、以及针对先进的技术节点进入市场的方案。Process Watch 系列文章总结了他们在参与合作中所观察到的一些普遍适合的经验。

### 参考文献

1. Price, Sutherland and Rathert, “Process Watch: The (Automotive) Problem With Semiconductors,” Solid State Technology, January 2018.
2. Price, Sutherland and Rathert, “Process Watch: Baseline Yield Predicts Baseline Reliability,” Solid State Technology, March 2018.
3. Price, Sutherland, Rathert, McCormack and Saville, “Process Watch: Automotive Defect Sensitivity Requirements,” Solid State Technology, August 2018.
4. 8D investigations involve a systematic approach to solving problems. [https://en.wikipedia.org/wiki/Eight\\_disciplines\\_problem\\_solving](https://en.wikipedia.org/wiki/Eight_disciplines_problem_solving)
5. Sutherland and Price, “Process Watch: Process Control and Production Cycle Time,” Solid State Technology, June 2016.
6. For example, see: <https://www.kla-tencor.com/products/chip-manufacturing/defect-inspection-review.html#product-8-series>

Advertiser	广告商名称	网址	页码
广中电子		www.arelux.com	14
Can-Rill	灿锐	www.canrill.com	9
华显光学		www.china-eoc.com	13
山木电子		www.china-sam.com	27
IC China	全球IC企业家峰会暨第十七届中国国际半导体博览会	www.IC-China.com.cn	BC
ITW EAE		www.itweae.com	1
SEMICON Taiwan		www.semicontaiwan.org	IFC
优普士			7

## 欢迎投稿

《半导体芯科技》(Silicon Semiconductor China) 是针对中国半导体市场的行业杂志, 是全球知名权威杂志的《Silicon Semiconductor》“姐妹”杂志, 由香港雅时国际通讯以简体中文出版发行。

本刊针对中国半导体市场特点, 精选《Silicon Semiconductor》的文章, 并采编报道国内外半导体业界新闻、深度分析和权威评论, 为中国半导体行业提供全方位的商业、技术和产品信息。内容覆盖半导体制造工艺技术、封装、设备、材料、测试、MEMS、平板显示器等, 服务于中国半导体产业, 从 IC 设计、制造、封装到应用等各个方面。

本刊欢迎读者和供应商投稿, 采用的稿件将在印刷版本或者网上刊登。

### 文章投稿指南

1. 主题突出、结构严谨、短小精悍, 中文字数以 3000 字左右为宜。
2. 文章最好配有 2-4 幅与内容有关的插图或表格。插图、表格按图 1、图 2、表 1、表 2 的次序编号, 编号与文中的图表编号一致。
3. 请注明作者姓名、职务及所在公司或机构名称。作者人数以四人为限。
4. 文章版权归作者所有, 请勿一稿多投。稿件一经发表如需转载需经本刊同意。
5. 请随稿件注明联系方式 (邮编、地址、电话、电子邮件)。

本刊优先刊登中文来稿 (翻译稿请付英文原稿)。

投稿邮箱: sunniez@actintl.com.hk

### 新产品投稿指南

1. 新产品必须是在中国市场新上市、可以在中国市场上买到。
2. 新产品稿件的内容应包含产品的名称、型号、功能、主要性能和特点、用途等。
3. 新产品投稿要求短小精悍, 中文字数 300 字左右。
4. 来稿请附产品照片。最好是在单色背景下的产品实物照片, 照片分辨率不低于 300dpi。
5. 来稿请注明能提供进一步信息的人员姓名、电话、电子邮件。

## 行政及销售人员 Administration & Sales Offices

### 行政人员 Administration

#### HK Head Office (香港总部)

#### ACT International (雅时国际通讯)

Unit B, 13/F, Por Yen Buiding,  
No. 478 Castle Peak Road,  
Cheung Sha Wan, Kowloon, Hong Kong  
Tel: 852 28386298

#### Publishing Director (出版总监)

Adonis Mak (麦协林), adonism@actintl.com.hk

#### Editor-in-Chief (总编辑)

Sunnie Zhao (赵雪芹), sunniez@actintl.com.hk

#### Sales Director (销售总监)

Sky Chen (陈燕), skyc@actintl.com.hk

#### General Manager-China (中国区总经理)

Michael Tsui (徐旭升), michaeltsui@actintl.com.hk

#### London Office

Hannay House, 39 Clarendon Road  
Watford, Herts, WD17 1JA, UK.  
T: +44 (0)1923 690200

#### Coventry Office

Unit 6, Bow Court, Fletchworth Gate  
Burnsall Road, Coventry, CV5 6SP, UK.  
T: +44 (0)2476 718 970

#### Publisher & Editor-SiS English

Jackie Cannon, jackie.cannon@angelbc.com  
+44 (0)1923 690205

### 销售人员 Sales Offices

#### China (中国)

#### Shenzhen (深圳)

Jenny Li (李文娟), jennyl@actintl.com.hk  
Gavin Hua (华北平), gavinH@actintl.com.hk  
Tel: 86 755 2598 8571

#### Shanghai (上海)

Hatter Yao (姚丽莹), hattery@actintl.com.hk  
Helena Xu (许海燕), helenax@actintl.com.hk  
Amber Li (李歆), amberL@actintl.com.hk  
Tel: 86 21 6251 1200

#### Beijing (北京)

Cecily Bian (边团芳), cecilyB@actintl.com.hk  
Tel: 86 135 5262 1310

#### Wuhan (武汉)

Sky Chen (陈燕), skyc@actintl.com.hk  
Tel: 86 137 2373 9991  
Eva Liu (刘婷), eval@actintl.com.hk  
Tel: 86 138 8603 3073  
Grace Zhu (朱婉婷), graceZ@actintl.com.hk  
Tel: 86 159 1532 6267

#### Hong Kong (香港特别行政区)

Mark Mak (麦协和), markm@actintl.com.hk  
Tel: 852 2838 6298

#### Asia

#### Japan (日本)

Masaki Mori, mori-masaki@ics-inc.co.jp  
Tel: 81 3 6721 9890

#### Korea (韩国)

Lucky Kim, semieri@semieri.co.kr  
Tel: 82 2 574 2466

#### Taiwan, Singapore, Malaysia

(台湾, 新加坡, 马来西亚)  
Regional Sales Director  
Mark Mak (麦协和), markm@actintl.com.hk  
Tel: 852 2838 6298

#### US (美国)

Janice Jenkins, jjenkins@brunmedia.com  
Tel: 724 929 3550  
Tom Brun, tbrun@brunmedia.com  
Tel: 724 539 2404

#### Europe (欧洲)

Shehzad Munshi, Shehzad.Munshi@angelbc.com  
Tel: +44 (0)1923 690215  
Jackie Cannon, Jackie.cannon@angelbc.com  
Tel: +44 (0) 1923 690205



开放发展 合作共赢  
Open for development Cooperate for win-win

# 全球 IC 企业家大会 暨第十七届中国国际半导体博览会

Global IC Entrepreneurs Conference  
& The 17<sup>th</sup> China International Semiconductor Expo

2019.9.3-5

中国·上海 新国际博览中心

IC CHINA 2019

**指导单位** 工业和信息化部 上海市人民政府

**主办单位** 中国半导体行业协会  
中国电子信息产业发展研究院

**承办单位** 北京赛迪会展有限公司  
中国电子报社  
上海市集成电路行业协会

**联系我们**

电 话：010-68207449、88558152

电子邮箱：icchina@csia.net.cn



[www.IC-China.com.cn](http://www.IC-China.com.cn)



# 您的技术信息平台

一系列产品—包括国际专业技术杂志的  
中文版、网上出版物、会议、培训和活动

[www.actintl.com.hk](http://www.actintl.com.hk)

雅时国际商讯 (ACT International) 成立于1998年, 为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品—包括杂志和网上出版物、培训、会议和活动—为跨国公司及中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站, 以及各种技术会议, 服务于机器视觉设计、电子制造、镭射/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港, 在北京、上海、深圳和武汉设有联络处。

香港  
852-28386298

深圳  
86-755-25988571

上海  
86-21-62511200

北京  
86-10-84844007

武汉  
86-27-59221554

