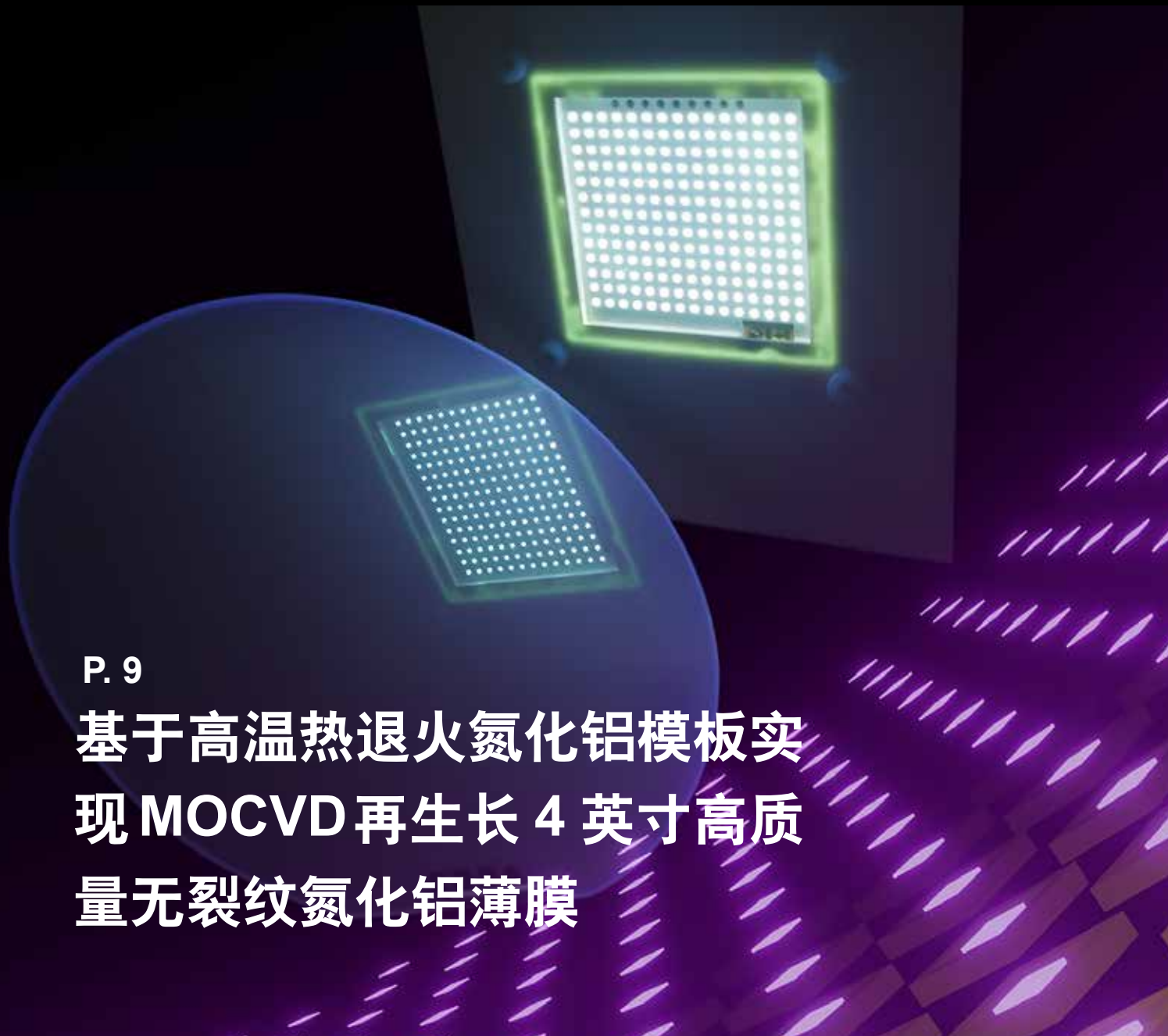


# 化合物半导体



COMPOUND  
SEMICONDUCTOR  
CONNECTING THE COMPOUND SEMICONDUCTOR COMMUNITY

• CHINA



P. 9

基于高温热退火氮化铝模板实现 MOCVD 再生长 4 英寸高质量无裂纹氮化铝薄膜

[www.compoundsemiconductorchina.net](http://www.compoundsemiconductorchina.net)

2021年12月 / 2022年1月



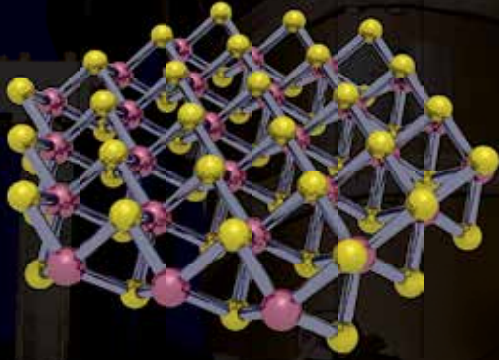
P.13  
功率整流器：高压氮化镓胜过碳化硅

P.17  
点缺陷：蓝光LED效率的终极杀手

P.22  
用于芯片级光谱的锁模梳状激光器

P.27  
用于SiC功率MOSFET的卓越工艺

# RIBER's COMPACT 21 SERIES



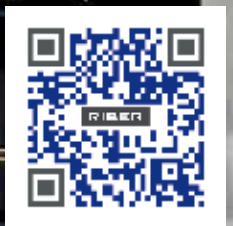
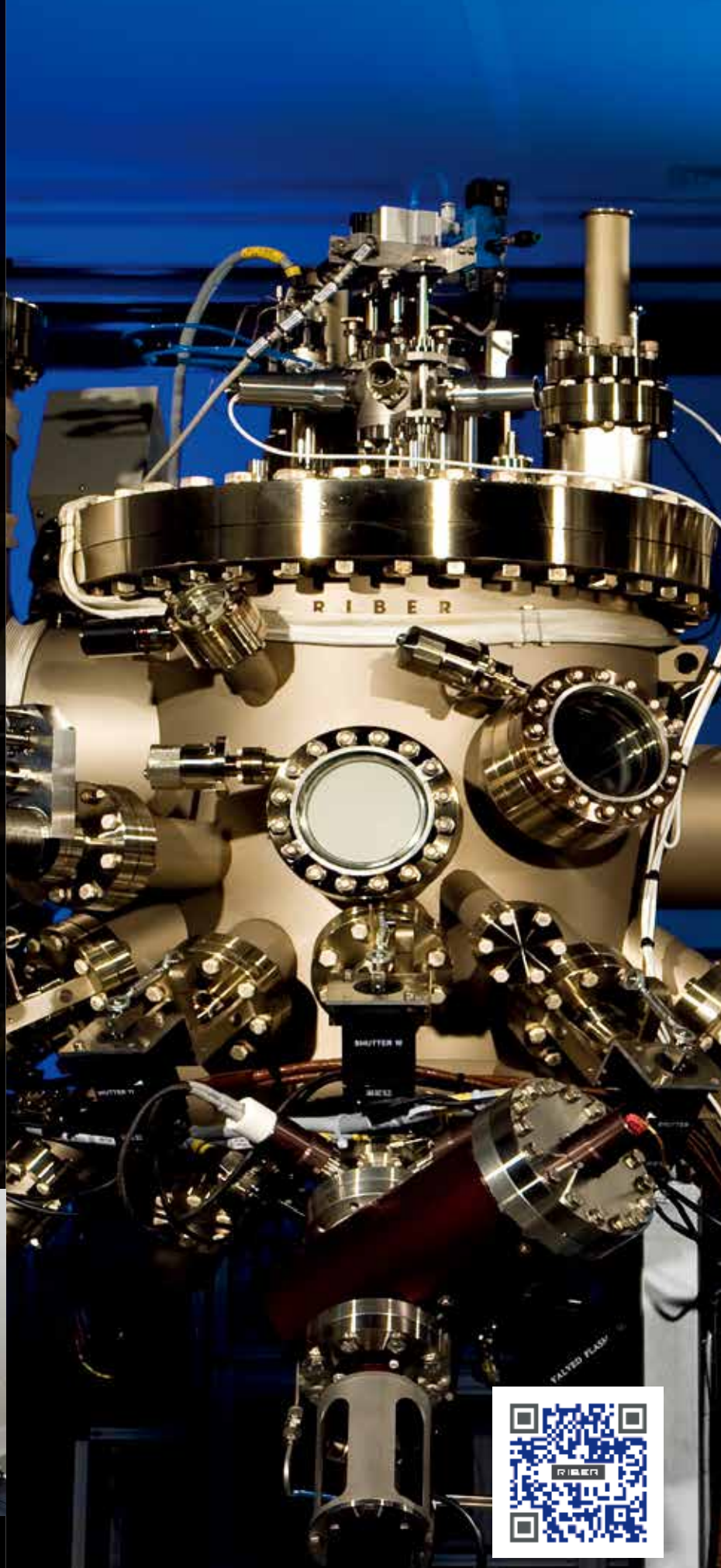
扩展您的研究  
领域

小巧灵活

易于使用

高度集成

低使用成本



**RIBER**

INNOVATIVE SOLUTIONS FOR SEMICONDUCTOR INDUSTRY

info@riber.com  
www.riber.com



国际授权翻译  
国内发行高新科技杂志  
8本杂志免费送一年  
(6期/印刷版)  
包揽全年行业资讯



[www.actintl.com.cn](http://www.actintl.com.cn)



免费  
订阅

扫一扫添加  
ACT读者服务号免费订阅

雅时国际商讯 (ACT International) 成立于1998年, 为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品 - 包括杂志和网上出版物、培训、会议和活动 - 为跨国公司及中国企业架起了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站, 以及各种技术会议, 服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制等领域的约二十多万专业读者及与会者。

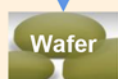


**LODAS-CI8**  
次世代晶圆缺陷検査

第三代半导体  
碳化硅锭·衬底·外延  
缺陷検査  
新常識 一台三役



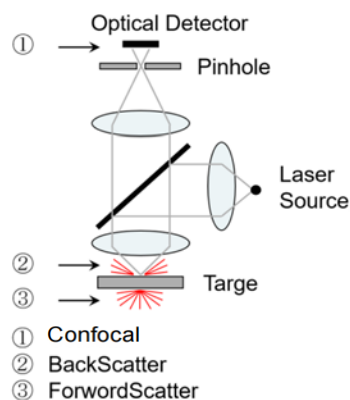
碳化硅锭  
内部缺陷検査



衬底  
表面划伤、颗粒



Epi  
结晶缺陷、颗粒



LODAS Hybrid Inspection

独创的激光検査方式  
带您  
打破常識·穿越瓶頸

LODAS系列产品已被日本、韩国、国内以及台湾地区多家公司采用。

日本 (总部)  
列真株式会社: LAZIN CO., Ltd  
地址: 〒140-0003 东京都品川区八潮1-1-2 八潮中一大厦3F  
TEL: +01-03-6451-4379  
FAX: +01-03-6451-4469  
Email: info@lazin.jp  
Http://lazin.jp

中国分公司  
山东列真激光科技有限公司  
地址: 中国山东省济南市高新区创新谷园区72-1205-3  
TEL: +06-13156150110

## 封面故事 Cover Story

### 09 基于高温热退火氮化铝模板实现MOCVD再生4英寸高质量无裂纹氮化铝薄膜

#### Four-inch high quality crack-free AlN layer grown on a high-temperature annealed AlN template by MOCVD

在本工作中, 基于物理气相沉积与高温热退火技术, 我们首次实现了四英寸无开裂高质量氮化铝薄膜。得益于高温热退火过程中的重结晶过程, 氮化铝模板(002)与(102)晶面X射线衍射摇摆曲线的半高宽分别低至62和282 arcsec。而经过MOCVD进行AlN再生生长过程后, 尽管再生生长之后的氮化铝模板总共仅有700 nm的厚度, 其依然呈现了极高的晶体质量, 有效地避免了基于侧向外延技术所引入的问题: 通常为了实现平整的表面与足够高的晶体质量, 整个侧向外延过程通常需要3~4 μm氮化铝的外延生长。综上所述, 4英寸高质量无裂纹氮化铝单晶模板提供了将UVC-LED匹配氮化镓基蓝光LED工艺制程的可能性, 并将极大的提高UVC-LED的良率与降低生产成本。

- 刘上锋, 袁冶, 盛珊珊, 王涛, 张晋, 黄黎杰, 张小虎, 康俊杰, 罗巍, 李永德, 王后锦, 王维昀, 肖川, 刘尧平, 王琦, 王新强

## 编者话 Editor's Note

### 04 第二代半导体之GaAs

#### The second generation semiconductors: GaAs

- 陆敏

## 业界动态 Industry

### 05 苏州纳米所孙钱团队在硅衬底GaN基纵向功率器件方面取得新进展

#### Sun Qian's team from Suzhou Institute of Nanotechnology has made new progress in GaN-based vertical power devices on silicon substrates

### 06 横向氧化镓 MESFET 功率超前

#### Lateral gallium oxide MESFET power leading

### 06 GaN快充将于2025年占领一半市场

#### GaN fast charging will occupy half of the market in 2025

### 07 业内大咖共聚2021先进半导体创新发展论坛 (还看大湾区优势) 已圆满落幕!

#### The 2021 Advanced Semiconductor Innovation and Development Forum (also looking at the advantages of the Greater Bay Area) has been successfully held!

### 08 Wolfspeed 与致瞻科技采用SiC技术提升燃料电池汽车性能

#### Wolfspeed and Zinsight-tech Adopt SiC Technology to Improve Fuel Cell Vehicle Performance

#### 关于《化合物半导体》

《化合物半导体》中国版(CSC)是全球最重要和最权威的杂志Compound Semiconductor的“姐妹”杂志, 亦是中國唯一专注于化合物半导体产业的权威杂志, 重点介绍国外先进技术和产业化经验, 促进国内产业发展, 为国内读者提供化合物半导体行业的专业知识。内容涵盖晶体的特性研究, 器件结构的设计, 生产中用到的材料、设备、软件、测量、厂房设施, 以及有关市场分析和动态。

#### About Compound Semiconductor China

Compound Semiconductor China (CSC) is the 'sister' title to Compound Semiconductor - the world's most respected and authoritative publication. It is also the unique and authoritative publication dedicated to the Compound Semiconductor industry in China, introduce advanced global technology information and manufacturing experience, support the growth of the industry in the China market. Our content covers the technology development of crystal characteristic, design of IC structure, and materials, equipment, software, metrology, facilities for manufacturing, as well as market analysis & trends.



扫一扫  
免费下载电子书

08 Qorvo收购UnitedSiC  
Qorvo acquires UnitedSiC

技术 Technology

13 功率整流器：高压氮化镓胜过碳化硅  
Power Rectifiers: High-voltage GaN trumps SiC  
- 来自弗吉尼亚理工大学的张玉浩和肖明，以及来自南加州大学的王涵

17 点缺陷：蓝光LED效率的终极杀手  
Point defects: the ultimate blue LED efficiency killers  
- 托马斯·韦瑟利 (THOMAS WEATHERLEY)，卡米尔·哈勒 (CAMILLE HALLER)，姚晨 (YAO CHEN)，詹弗兰·圣卡林 (JEANFRANÇOIS CARLIN)，拉斐尔·L·巴特 (RAPHAËL BUTTÉ) 和来自EPFL的尼古拉斯·格兰杰 (NICOLAS GRANDJEAN)

22 用于芯片级光谱的锁模梳状激光器  
Mode-locked comb lasers for chip-scale spectroscopy  
- 根特大学IMEC的STIJN CUYVERS、BAHAWAL HAQ、GUNTHER ROELKENS、KASPER VAN GASSE和BART KUYKEN

27 用于 SiC 功率 MOSFET 的卓越工艺  
A superior process for the SiC power MOSFET  
- TSUNENOBU KIMOTO, Keita Tachiki, 来自 KYOTO UNIVERSITY

33 混合键合：金的使用  
Hybrid bonding: Going for GOLD  
- JOHN GHEKIERE, 来自 CLASSONE TECHNOLOGY

科技前沿 Research Review

37 横向氧化镓MESFET前沿进展  
Lateral gallium oxide MESFETs power ahead

38 使用多结LED减小droop效应  
Diminishing droop with multi-junction LEDs

39 伪衬底有望生产出更好的红色微LEDs  
Pseudo-substrates promise to produce better red microLEDs

40 广告索引 Advertisement Index

关于雅时国际商讯 (ACT International)

ACT 雅时国际商讯 (ACT International) 成立于1998年，为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品 -- 包括杂志和网上出版物、培训、会议和活动 -- 为跨国公司与中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站，以及各种技术会议，服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港，在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photonics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan. www.actintl.com.hk

TSD 特思迪  
Beijing TSD Semiconductor Co., Ltd.

用心做设备 助力中国芯  
减薄·抛光·CMP

扫码关注我們

010-64778430  
www.tsd-semicon.com  
北京市顺义区顺强路1号  
北京特思迪半导体设备有限公司

## 第二代半导体之 GaAs

根据 Yole 数据显示, 2019 年下游 GaAs 器件的市场总产值为 88.7 亿美元, 预计到 2023 年, 全球砷化镓器件市场规模将达到 142.9 亿美元, 2019-2024 年 GAGR 为 10%。

GaAs 是 III - V 族化合物半导体材料家族中重要成员之一, 它与 InP 一起担负起了第二代半导体的重任。是至今研究的最多的化合物半导体, 也是在照明领域之外, 应用最多的化合物半导体。近几年, 因手机 VCSEL-3D 传感及 5G 手机射频应用而再次被业界所关注。GaAs 生长方法是常规的熔体法, 根据设备结构及籽晶位置不同主要有水平布里奇曼法 (Horizontal Bridgman method, HB)、液封直拉法 (Liquid Encapsulation Czochralski method, LEC)、垂直温度梯度法 / 垂直布里奇曼法 (Vertical Gradient Freeze method / Vertical Bridgman method, VGF/VB) 和蒸汽压控制直拉法 (Vapor pressure controlled Czochralski method, VCZ)。GaAs 几种单晶生长方法中, HB 法由于晶体直径和晶圆形状受到限制、很难生长半绝缘的 GaAs 单晶, 不适用于制备用于高频、高功率器件的单晶衬底; VCZ 法尽管位错密度低晶体直径扩展性好, 但由于晶体长度受限制、叠加工艺成本较高, 不适合于规模生产; VGF/VB 法规避了 LEC 和 VCZ 等工艺的缺点, 又能够实现高质量 GaAs 单晶生长, 是目前主流的产业化方法。

与锗、硅材料相比, 化合物半导体 GaAs 与 InP 一样, 具有直接带隙结构, 高的电光转换效率, 电子迁移率高, 易于制成半绝缘材料, 工作温度高, 强的抗辐射能力等许多优点。这些特性决定了 GaAs 材料在发光显示、微波通信、激光传感、制导 / 导航、卫星等民用和军事等领域的应用十分广阔。按照器件处理信号类型分主要包括三大类:

1、光电应用: 主要用于制造红橙黄及近红外 LED 及 LD (包括边发射 EEL 及面发射 VCSEL 激光器)。广泛应用于遥控、手机传感、光盘等计算机外设、照明及装饰标识指示等诸多光电子领域; 军事领域中也是激光制导导弹的重要材料, 曾在海湾战争中大显神威, 赢得“砷化镓打败钢铁”的美名。综上所述, 随着光电子产业和自动化的发展, 用作显示器件 LED、测距、玩具、条形码识别等应用的高亮度发光管、可见光激光器、近红外激光器、量子阱大功率激光器等均有极大的市场需求。

2、RF 应用: 主要用于制造射频 PA、LNA 及 RF 开关器件。广泛应用于高速数字电路、微波单片电路、光电集成电路。光纤通信中, 高速光通信传输系统, 其光通信收发系统均需采用砷化镓超高速专用电路。由于 GaAs 单片集成电路具有噪声低、速度快、低电压、功率转换效率高等特点, 因而被看作移动通信的首选电路。特别是全球定位系统的应用, GaAs 单片集成电路有着极大的市场。

3、光伏电池应用: 主要用于制作高温抗辐射的航天太阳能电池。现在正在研制多结砷化镓太阳电池, 如 Si/Ge/GaAs 结构的异质外延电池, 正在不断发展中, 控制各层厚度, 适当变化结构, 可使太阳光中各种波长的光子能量都得到有效利用, 目前效率已接近 40%。随着航天及深空产业的发展, GaAs 基高效太阳电池的用量也十分大。

当前 VCSEL 激光器, 在手机前置 3D 感应、后置 LiDAR 激光雷达及汽车 LiDAR 激光雷达等应用蓄势待发; GaAs 也正主导着 sub-6G 5G 手机射频 PA, 根据 Qorvo 报告, 5G 手机中射频开关从 4G 手机的 10 个增加至 30 个、功率放大器平均单机价值从 4G 手机的 3.25 美元增加至 7.5 美元; Wifi PA 和小基站 PA 也因数据流量需求的激增而快速放量, 所有这些需求都将带动砷化镓器件市场规模的增长, 砷化镓必将迎来新的增长浪潮。



社长 Publisher

麦协林 Adonis Mak

adonism@actintl.com.hk

主编 Editor in Chief

陆敏 Min Lu

MinL@actintl.com.hk

出版社 Publishing House

雅时国际通讯 ACT International

香港九龙 B,13/F, Por Yen Bldg,

长沙湾青山道478号 478 Castle Peak Road,

百欣大厦 Cheung Sha Wan,

13楼B室 Kowloon, Hong Kong

Tel: (852) 2838 6298

Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988573

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 59233884

UK Office

Angel Business

Communications Ltd.

6 Bow Court,

Fletchworth Gate,

Burnsall Road, Coventry,

CV56SP, UK

Tel: +44 (0)1923 690200

Chief Operating Officer

Stephen Whitehurst

stephen.whitehurst@angelbc.com

Tel: +44 (0)2476 718970



# 苏州纳米所孙钱团队在硅衬底 GaN 基纵向功率器件方面取得新进展

**氮**化镓 (GaN) 器件具有更高耐压，更快的开关频率，更小导通电阻等诸多优异的特性，在功率电子器件领域有着广泛的应用前景：从低功率段的消费电子领域，到中功率段的汽车电子领域，以及高功率段的工业电子领域。相比于横向器件，GaN 纵向功率器件能提供更高的功率密度、更好的动态特性、更佳的热管理及更高的晶圆利用率，近些年已取得了重要的进展。而大尺寸、低成本的硅衬底 GaN 纵向功率器件更是吸引了国内外众多科研团队的目光。

中科院苏州纳米所孙钱研究团队在读博士研究生郭小路及其他团队成员的合作攻关下，经过近三年时间的不懈努力，先后在高质量异质外延材料生长及掺杂精确调控、器件关态电子输运机制及高压击穿机制、高性能离子注入保护环的终

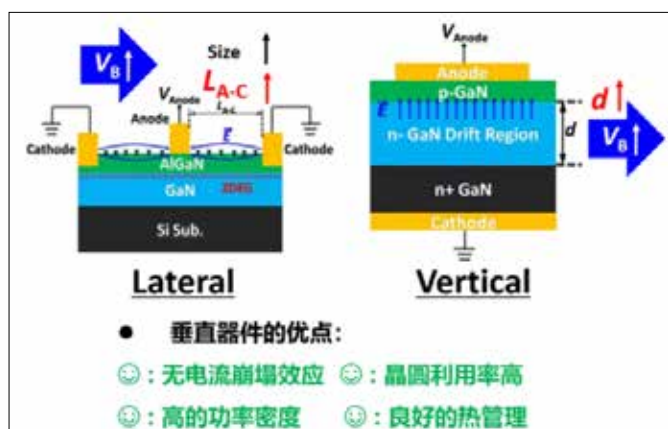


图1. GaN 水平器件与垂直器件的特点比较

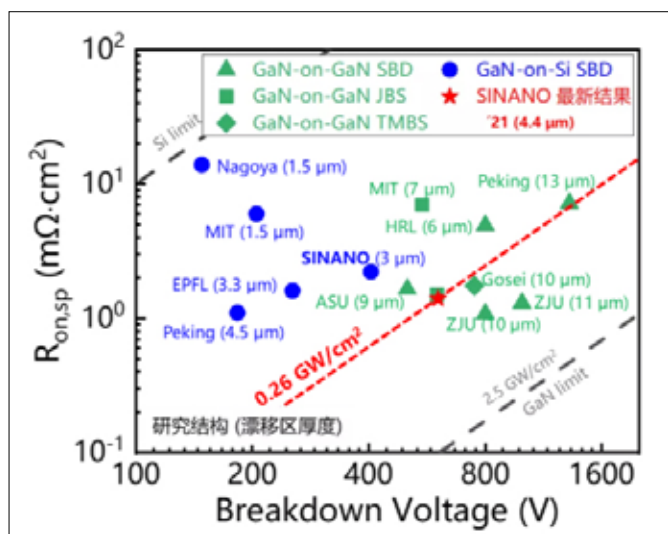


图2. GaN基纵向功率二极管的关态击穿电压与开态导通电阻 ( $R_{on,sp}$ ) 的评价体系。国内外相关研究团队的自支撑衬底和硅衬底GaN基肖特基势垒二极管 (SBD)、结势垒肖特基二极管 (JBS)、凹槽MOS型肖特基二极管 (TMBS) 器件性能的比较。

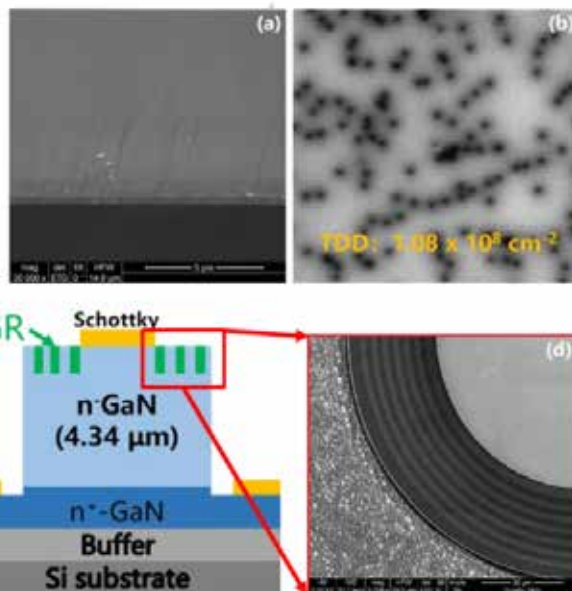


图3. (a) 硅基GaN纵向功率二极管的外延结构 (b) 外延材料的CLmapping (c) 器件的结构示意图 (d) 制备器件的离子注入保护环。

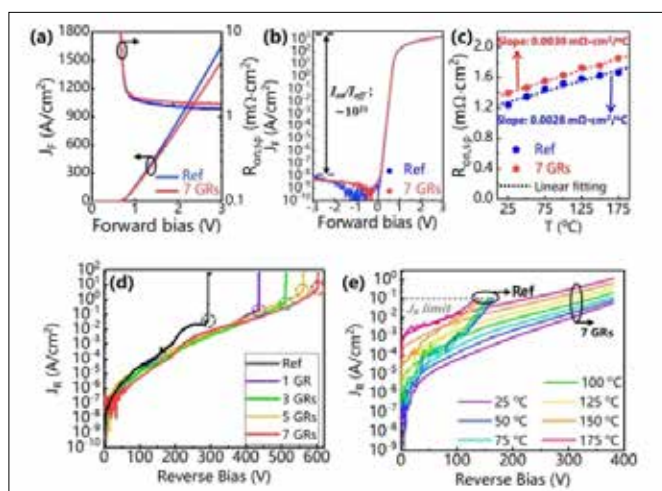


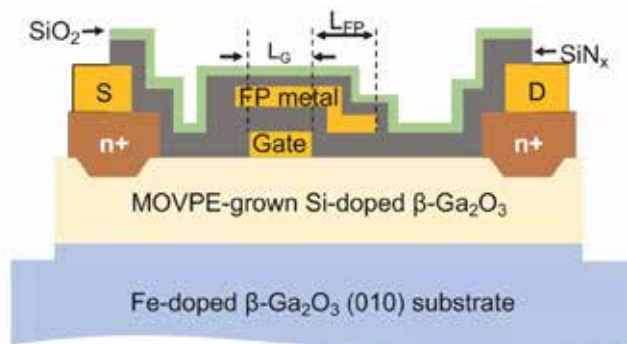
图4. (a) 线性坐标下与 (b) 对数坐标下、无离子注入保护环(GR)终端的硅基GaN纵向SBD的正向IV曲线 (c) 不同温度下硅基GaN纵向SBD的开态导通电阻 (d) 离子注入保护环个数对反向击穿耐压的影响。(e)有、无离子注入保护环对硅基GaN纵向SBD温度特性的影响。

端开发等核心技术上取得突破。

团队成功研制出的高性能硅衬底 GaN 基垂直肖特基二极管，具有优异的正向导通性能 ( $R_{on}=1.0 \text{ m}\Omega\text{cm}^2$ )，开关比高达  $10^{11}$ ，理想因子低至 1.06，正向输出电流  $1660\text{A}/\text{cm}^2$ 。器件的关态耐压达 603V，器件的 Baliga 优值（衡量器件正反向电学性能的综合指标）为  $0.26\text{GW}/\text{cm}^2$ 。器件在 175 度高温及 380V 反向偏压下，开关性能仍未发生失效，综合实现了耐高温、耐高压等优异特性。硅衬底 GaN 基纵向功率二极管器件性能目前处于国际前列。

## 横向氧化镓 MESFET 功率超前

美国工程师声称横向  $\beta\text{-Ga}_2\text{O}_3$  MESFET 的全面性能开辟了新天地。据说他们的器件是第一个将高击穿电压与高横向品质因数相结合的器件，这是通过实现低比导通电阻来实现的。该团队的发言人、来自 Agnitron 的 Fikadu Alema 认为，这些 MESFET 是在高压下提供高效电源开关的有希望的竞争者。这种优势可以推动该器件在电力供应、电力传输、电网集成和电动汽车中的部署。Alema 及其同事，包括最近从犹他大学搬到 UCSB 的 Sriram Krishnamoorthy 领导的团队，认为他们的  $\beta\text{-Ga}_2\text{O}_3$  MESFET 的强大性能表明，高质量的材料可以用传统的器件工艺流程来生产。外延层是在 Agnitron 技术下通过 MOCVD 生长的。基于  $\beta\text{-Ga}_2\text{O}_3$  的器件可以采用垂直和横向几何形状。该团队追求后者，部分原因是它导致：更少的处理步骤；简化封装和集成要求；并允许在同一晶片上制造不同尺寸的器件，从而形成一系列针对不同工作电压和频率的晶体管。此外，横向器件有助于热管理，因为通道更靠近表面，从而增强了热量提取。该团队在  $10\text{mm} \times 15\text{mm}$  的半绝缘  $\beta\text{-Ga}_2\text{O}_3$  衬底上制作了他们的器件，该衬底是掺铁的，通过边缘限定薄膜电生长形成，并采用新型晶体技术生产。在该衬底上，工程师们用 HF 清洗，沉积了一层 230 nm 厚的  $\beta\text{-Ga}_2\text{O}_3$ ，掺杂硅，密度约为  $3.6 \times 10^{17}\text{cm}^{-3}$ 。根据霍尔测量，通道中的电荷及其迁移率分别为  $5.7 \times 10^{12}\text{cm}^{-2}$  和  $95\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ 。为了隔离台面并选择性地生长源极和漏极欧姆接触，该团队转向使用 Ni/SiO<sub>2</sub> 掩模图案的 MOCVD 再生长。使用感应耦合等离子体进行干蚀刻提供了接触凹槽蚀刻，该步骤去除了大约 10-20 nm 的  $\beta\text{-Ga}_2\text{O}_3$  层。对于再生长的 n+ 层，硅掺杂约为  $2.6 \times 10^{20}\text{cm}^{-3}$ 。光刻



这些器件是第一个将高击穿电压与高横向品质因数相结合的器件

图案化、剥离、蒸发和退火的组合形成了与再生长层的欧姆源/漏接触。电子束蒸发实现了肖特基门。一些 MESFET 具有栅极-焊盘连接的场板，通过将栅极场板金属电连接到器件台面外部的栅极焊盘而形成。这种架构保护沟道区免受干蚀刻等离子体损坏，这种损坏发生在传统的栅极场板蚀刻工艺流程中。研究人员比较了带有和不带有场板的器件的性能。对于栅源间距为  $1\ \mu\text{m}$ 、栅长为  $2.8\ \mu\text{m}$ 、栅漏距离为  $2.4\ \mu\text{m}$  的 MESFET，添加场板后导通电阻从  $63.2\ \Omega\text{mm}$  降至  $55.8\ \Omega\text{mm}$ 。使用这种处理方法生产的结构上的传输线测量的接触电阻仅为  $1.4\ \Omega\text{mm}$ ，比上一代器件的相关电阻小十倍，这要归功于对接触凹口的干蚀刻引入了低蚀刻速率。电气测量表明，添加一个场板可将导通电阻降低 14%，将导通电流增加 13%，并将跨导提高 13%。对于栅极至漏极长度为  $10\ \mu\text{m}$  和  $20\ \mu\text{m}$  的器件，击穿电压超过 2.4kV 和 3 kV 以上。对于前一种器件，横向品质因数为  $355\text{M}\Omega\text{cm}^2$ 。

Alema 表示，未来的目标包括将击穿电压提高到 10kV 以上，并开发可提供高输出电流的器件。CS

## GaN 快充将于 2025 年占领一半市场

苹果最近发布了用于新 MacBook Pro 的 140W MagSafe 充电器，标志着苹果首次采用 GaN 技术。因此，根据 TrendForce 的最新调查，100W 以上的快充产品因此进入了增长期，进而加速了第三代半导体器件在消费类应用中的采用。随着目前 GaN 功率晶体管的价格已降至近 1 美元，而且 GaN 快充技术不断成熟，TrendForce 预计，2025 年 GaN 解决方案在快充市场的渗透率将达到 52%。TrendForce 还表示，2020 年绝大多数 GaN 快速充电器的峰值功率都在 55W-65W 范围内。峰值功率为 55W-65W 的 GaN 快速充电



TrendForce 表示，增长是源自对 100 瓦以上快充的需求增加



器占去年所有 GaN 快速充电器销量的 72%，其中 65W 主流，而峰值功率为 100W 及以上的 GaN 快速充电器仅占 8%。即便如此，随着越来越多的公司发布自己的大功率快速充电器，以应对消费者日益增长的能源消费需求，这些大功率快速充电器的前景似乎相对乐观。峰值功率为 140W 的快速充电器是目前可用的最强大的解决方案。在 100 W 以上的产品类别中，GaN 快充的渗透率已达到 62%。这些充电器主要由 Navitas 和 Innoscience 提供。Navitas 的 GaN 芯片拥有超过 70% 的市场份额，被用于 Baseus、Lenovo 和 Sharge 等公司的产品中。另一方面，PFC+LLC 组合控制器已成为 100W 以上快速充电器的主流解决方案，因为这些控制器具有更高

的效率和更小的物理尺寸。SiC 二极管和 GaN 开关的组合使 PFC（功率因数校正）频率提高。因此，主要制造商已迅速将 GaN+SiC 宽带隙半导体组合用于其快速充电器。例如，Baseus 在 2020 年发布了全球首款 120W GaN（Navitas 供应）+ SiC（APS 供应）快充，获得了市场好评。Global Power Technology、Maplesemi 和 onsemi 等 SiC 功率器件供应商也一直在加大对 PD（电力输送）快速充电器制造商的出货量。需要指出的是，快充接口已经逐渐成为汽车的标配。鉴于大功率车载充电市场的兴起，电子产品的功耗和最大电池容量将推动包括 GaN 和 SiC 在内的第三代半导体在未来的广泛应用。OSc

## 业内大咖共聚 2021 先进半导体创新发展论坛 (还看大湾区优势) 已圆满落幕!

2021 年，国家“十四五”规划全面建设现代化国家的开局之年。为了扭转疫情影响下的“缺芯”和半导体“掐脖子”局面，作为半导体行业高地的大湾区、改革开发最前沿的粤港澳大湾区，我们有责任发挥自身优势，加强粤港澳在科研上的充分协作，积极参与国家半导体发展战略，共同破局当前半导体业面

临的问题。2021 年 12 月 10 日，由香港应用科学研究院及京港学术交流中心、季华实验室主办，国家专用集成电路系统工程技术研究中心、国家专用集成电路系统工程技术研究中心香港分中心、第三代半导体产业技术创新战略联盟协办，并由雅时国际咨询承办的首届“先进半导体创新发展论坛”在线上成功举办，整场会议受到业内人士高度认可，好评如潮。本次论坛主题为“还看大湾区优势”，聚焦探讨如何把握粤港澳大湾区建设的历史机遇，装备大湾区半导体产业链

上下游企业建立可持续的创新生态环境，推动大湾区成为国际创新科技中心。本次论坛邀请了香港及内地知名专家进行深入讨论，为推进粤港澳大湾区内先进半导体产业发展提供多角度观点及思路。本次会议全天在线上举行，会上各位业界大师出席并发表演讲，在论坛环节各位顶级专家就第三代半导体产业、制程技术、装备、高端光刻机等话题进行了深入和广泛的探讨。会议全程约有 2800+ 位专业观众齐聚一堂，共同探讨。OSc

# Wolfspeed 与致瞻科技采用 SiC 技术提升燃料电池汽车性能



全球碳化硅 (SiC) 技术引领者 Wolfspeed, Inc. (NYSE: WOLF) 于近日宣布与致瞻科技 (上海) 有限公司的成功合作。致瞻科技 (上海) 有限公司是宽禁带器件应用和先进电能转换系统的创新者, 该公司燃料电池汽车全碳化硅控制器采用了 Wolfspeed® 1200V SiC MOSFET。纯电动汽车 (BEV) 和燃料电池汽车等新能源汽车将在未来十年不断增长。汽车制造商和政府已形成共识, 推动汽车行业从传统内燃机车向新能源汽车转变。SiC 凭借其出色的性能, 将赋能电气化动力, 为纯电动汽车和燃料电池汽车带来系统级提升, 节约成本、提高效率、实现更长续航。致瞻科技 CEO 史经奎博士表示: “空压机、高压大功率 DC/DC 等是燃料电池发动机的核心部件, 对燃料电池汽车的效率、紧凑性等有着重要

影响。我们与 Wolfspeed 合作, 通过致瞻科技创新设计、先进算法和扎实工艺, 并借助 Wolfspeed 在 SiC 器件领域的领先优势, 实现了新能源汽车 SiC 高端控制器的突破, 达到了高控制性能、高效率、高可靠性、高等级电磁兼容的目标。”致瞻科技开发出的燃料电池汽车新型电机控制器, 内部集成了 Wolfspeed 业界领先的 1200V SiC MOSFET。该产品采用深度融合的设计理念, 在简化系统结构及缩小体积的同时, 运行效率进一步提升, 并实现全工作范围内的精准控制。Wolfspeed 功率半导体高级副总裁兼总经理 Jay Cameron 表示: “通过与致瞻科技的合作, 我们的 SiC 技术在燃料电池汽车领域中成功应用, 这将进一步多元化我们的汽车业务渠道。Wolfspeed SiC 赋能我们的客户实现业界领先的效率, 从而助力汽车制造商引领向更可持续未来的转型。”汽车领域正经历着从传统内燃机车向新能源车的转型。作为一家纯粹且强大的半导体企业, Wolfspeed 正在汽车领域引领从 Si 向 SiC 的产业转型。CSi

## Qorvo 收购 UnitedSiC

射频半导体公司 Qorvo 收购了总部位于新泽西州普林斯顿的 SiC 功率半导体制造商 UnitedSiC。此次收购将 Qorvo 的影响力扩大到快速增长的电动汽车 (EV)、工业电源、电路保护、可再生能源和数据中心电源市场。UnitedSiC 将成为 Qorvo 基础设施和国防产品 (IDP) 业务的一部分, 并将由 Chris Dries 领导, 他是前 UnitedSiC 总裁兼首席执行官, 现为 Qorvo 功率器件解决方案总经理。Qorvo IDP 总裁 Philip Chesley 表示: “将 UnitedSiC 加入我们的 IDP 业务显著扩展了我们在大功率应用领域的市场机会。此次收购使 Qorvo 能够提供高价值、一流的智能电源解决方案, 涵盖电源转换、运动控制和电路保护应用。”Dries 表示: “我们的团队很高兴作为 Qorvo 的一部分, 扩展我们的 SiC 产品组合, 并继续以速度和规模构建业务, 努力以业界最高性能的器件加速 SiC 的应用。我们的 SiC 技术, 加上 Qorvo 互补的可编程电源管理产品和世界一流的供应链能力, 使我们能够在先进应用中提供卓越的电源效率水平。”UnitedSiC 的产品系列现在涵盖了 80 多种 SiC FET、JFET 和肖特基二极管器件。基于



此次收购将 Qorvo 的影响力扩大到快速增长的电动汽车 (EV)、工业电源、电路保护、可再生能源和数据中心电源市场。

独特的共源共栅配置, 最近发布的第 4 代 SiC FET 在 5.9 毫欧的 RDS(on) 下达到了业界领先的 750V, 使 SiC 的效率和性能达到了新的水平, 对电动汽车充电器、DC-DC 转换器及牵引驱动器, 以及电信 / 服务器电源、变速电机驱动器和太阳能光伏 (PV) 逆变器至关重要。CSi

# 基于高温热退火氮化铝模板实现 MOCVD 再生长 4 英寸高质量无裂纹氮化铝薄膜

## 摘要

在本工作中，基于物理气相沉积与高温热退火技术，我们首次实现了四英寸无开裂高质量氮化铝薄膜。得益于高温热退火过程中的重结晶过程，氮化铝模板 (002) 与 (102) 晶面 X 射线衍射摇摆曲线的半高宽分别低至 62 和 282 arcsec。而经过 MOCVD 进行 AlN 再生长过程后，尽管再生长之后的氮化铝模板总共仅有 700 nm 的厚度，其依然呈现了极高的晶体质量，有效地避免了基于侧向外延技术所引入的问题：通常为了实现平整的表面与足够高的晶体质量，整个侧向外延过程通常需要 3~4  $\mu\text{m}$  氮化铝的外延生长。综上所述，4 英寸高质量无裂纹氮化铝单晶模板提供了将 UVC-LED 匹配氮化镓基蓝光 LED 工艺制程的可能性，并将极大的提高 UVC-LED 的良率与降低生产成本。

关键词：氮化铝；高温热退火；MOCVD

刘上锋<sup>1,2</sup>, 袁冶<sup>2</sup>, 盛珊珊<sup>1</sup>, 王涛<sup>4</sup>, 张晋<sup>2</sup>, 黄黎杰<sup>2</sup>, 张小虎<sup>2</sup>, 康俊杰<sup>2</sup>, 罗巍<sup>2</sup>, 李永德<sup>2</sup>, 王后锦<sup>2</sup>, 王维昀<sup>2</sup>, 肖川<sup>2</sup>, 刘尧平<sup>2</sup>, 王琦<sup>3</sup>, 王新强<sup>1,2</sup>  
 1 State Key Laboratory of Artificial Microstructure and Mesoscopic Physics School of Physics, Nano-Optoelectronics Frontier Center of Ministry of Education, Peking University, Beijing 100871, China  
 2 Songshan Lake Materials Laboratory, Dongguan 523808, China  
 3 Dongguan Institute of Optoelectronics, Peking University, Dongguan 523808, China  
 4 Electron Microscopy Laboratory, School of Physics, Peking University, Beijing 100871, China

## 背景介绍

2019 年爆发的新冠病毒强烈的激发了人们针对环境实施高效杀菌的需求，因为众所周知阻断病毒在环境中传播是阻止其大规模散播的最直接方式。尽管例如酒精浸泡、高温热处理或高能辐照等多种传统杀菌方式已被人们利用，但近年来出现的 AlGaIn 基深紫外波段 (UVC, 发光波长小于 280 nm) 发光二极管 (LED) 则被业内认为是对抗新冠病毒最有力也是最具前景的手段之一。然而，当与传统 GaN 基蓝光 LED 相比，UVC-LED 却仅具有不到 10% 的外量子效率。而导致该问题最具有挑战性的瓶颈原因之一即是如何获得能够兼顾与 UVC 器件晶格匹配且具有高紫外透过率的理想衬底。由于 C 波段紫外线具有极短的发光波长 ( $\leq 280\text{ nm}$ )，因此是否具备大的禁带宽度 (大于 4.6 电子伏特) 成为筛选衬底材料的首要标准，而在众多候选者中，蓝宝石和氮化铝衬底均能符

合上述要求。但十分遗憾，通过进一步权衡大晶圆尺寸与晶格失配两项标准时，两种材料均不能够同时满足上述两项标准：蓝宝石衬底与 UVC-LED 材料 AlGaIn 外延薄膜具有极大的晶格失配，而另一方面尽管 AlN 呈现了良好的晶格匹配性，但制备大尺寸晶圆级单晶衬底则依然存在巨大挑战。而直接在蓝宝石衬底上生长的 AlN 薄膜也具有极高的位错密度 ( $10^{10}\text{ cm}^{-2}$ )，进而对器件性能产生不利影响。面对面退火的提出与实验验证则成功的通过实现蓝宝石上高晶体质量的氮化铝薄膜缓解了上述尴尬。随后，利用 MOCVD 方法以其为衬底制备了质量优异的 AlN、AlGaIn 外延薄膜与全结构 UVC-LED 器件则毋庸置疑地证实了该方法的有效性与其巨大应用前景。

但就工业化与商业化应用角度而言，更加经济实惠的 4 英寸的氮化铝模板则更具吸引力，其主要原因有如下两点：(1) 表面无开裂的 4 英寸氮

化铝衬底会直接降低 UVC-LED 的生产成本，尽管其目前依然未被实现；(2) 可避免此前利用侧向外延技术所必须的高达 3~4 $\mu\text{m}$  AlN 生长厚度（为保证获得平整的表面形貌与高晶体质量），因此能够直接降低器件外延的成本。

在本工作中，通过将物理气相沉积与高温热退火技术结合，我们首次获得了位错密度在  $9.2 \times 10^8 \text{ cm}^{-2}$  数量级的 4 英寸无开裂单晶 AlN 模板。基于该退火氮化铝模板，我们成功的利用了 MOCVD 实现了 4 英寸尺度上的 AlN 同质外延生长，因此直接验证了晶圆级高温热退火氮化铝模板在 UVC 光源中的广阔应用前景。

### 实验部分

4 英寸 AlN 模板以 c 面蓝宝石为衬底，利用靶材为纯铝（纯度为 99.999%）的反应磁控溅射为主要制备手段，溅射制备过程中的气氛为氩气：氮气比例为 1:4 的混合气体。溅射功率设定为 3000W，并通过校准溅射速率保证所制备的 AlN 厚度为 500 nm。随后，利用溅射所制备的氮化铝模板在常压氮气氛围下（氮气流速为 0.5 SLM）进行高温热退火处理，退火温度为 1700 $^{\circ}\text{C}$ ，退火时间为 5 小时。MOCVD 再生长 AlN 环节所使用的设备为中微半导体公司生产的 Prismo HiT3 MOCVD 机台，生长温度为 1200 $^{\circ}\text{C}$ ，再生长 AlN 厚度为 200nm。为评估氮化铝晶体质量，我们利用 X 射线衍射仪（XRD，Bruker D8 Discovery）对 AlN(002) 与 (102) 晶面的摇摆曲线进行表征，同时辅以高角度环形暗场扫描透射电子显微镜（Thermo fisher FEI Themis Z Cs probe-corrected STEM system）与弱束暗场透射电子显微镜（Tecnai F30）进行表征分析。而扫描电子显微镜（Hitachi Regulus 8100）与原子力显微镜（Veeco Dimension TM 3100）则用以表征 AlN 模板的表面形貌。

### 结果与讨论

图 1 展示了直接溅射 AlN 模板与高温热退火处理后 AlN 模板 (002) 与 (102) 晶面的 X 射线衍射摇摆曲线。在退火处理之前，直接溅射 AlN 呈现明显的 c 轴取向特性。其 (002) 与 (102) 晶面的 X 射线衍射摇摆曲线半高宽分别为 192 arcsec 和 2793 arcsec，该数值与此前报道过的利用 Al 靶溅射制备的 AlN、利用 AlN 靶溅射制备的 AlN 和 MOCVD 生长的 AlN 薄膜结果类似。值得一提的

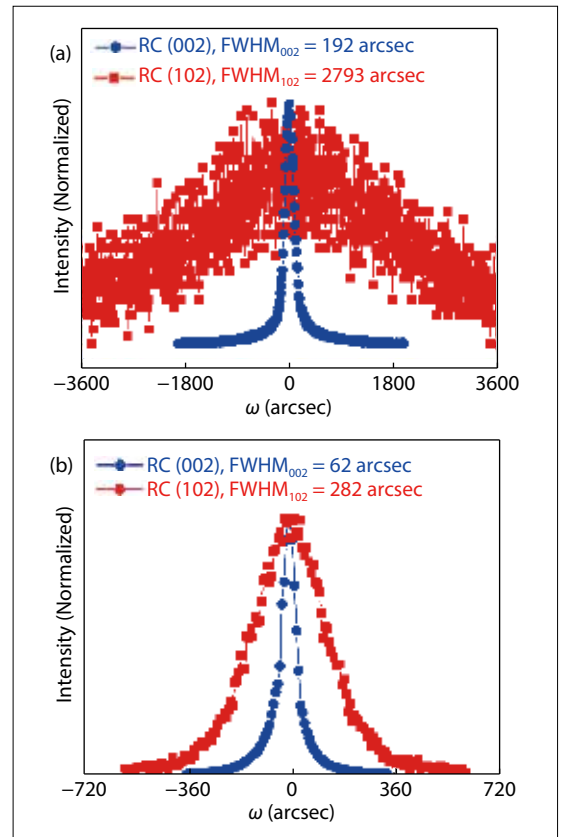


图1：(a)直接溅射AlN模板与(b)经过高温热退火AlN模板(002)与(102)晶面的X射线衍射摇摆曲线。

是，高温热退火处理极大的优化了溅射样品的结晶质量，退火后样品的 (002) 与 (102) 晶面的 X 射线衍射摇摆曲线半高宽分别降低至 62 arcsec 与 282 arcsec，表明了高温热处理对 AlN 晶格的重整具有明显的促进作用。而根据 Mosaic 模型所示，两种不同位错的密度可用如下公式描述：

$$D_{\text{dis}} = \frac{\beta^2}{4.36b^2}, \quad (1)$$

其中  $D_{\text{dis}}$  表示相应的位错密度； $b$  为柏氏矢量长度，而刃型位错与螺型位错的  $b$  分别为 0.4982 nm 与 0.3112nm； $\beta$  代表 Mosaic 结构中的倾斜角度 ( $\beta_{\text{tilt}}$ ) 与扭转角度 ( $\beta_{\text{twist}}$ )，其具体数值可通过分析 AlN 众多对称与非对称晶面的摇摆曲线获得。特别值得一提的是，经过高温热退火处理，样品的总位错密度从  $927 \times 10^{10} \text{ cm}^{-2}$  降低至  $920 \times 10^8 \text{ cm}^{-2}$  数量级，其中刃型与螺型位错密度分别从  $8.02 \times 10^7 \text{ cm}^{-2}$  与  $926 \times 10^{10} \text{ cm}^{-2}$  降至  $8.37 \times 10^6 \text{ cm}^{-2}$  与  $9.19 \times 10^8 \text{ cm}^{-2}$  数量级。而其位错密度如此明显的降低主要是得益于退火过程中 AlN 柱状晶的晶格重构行为与在超高温环境下蓝宝石衬底与 AlN 晶格失配的降低。由于相比于 AlN，蓝宝石具有更大的热膨胀系数 ( $\alpha_{\text{蓝宝石}} = 8.1 \times 10^{-6} \text{ K}^{-1}$ ;  $\alpha_{\text{AlN}} = 4.2 \times 10^{-6} \text{ K}^{-1}$ )，

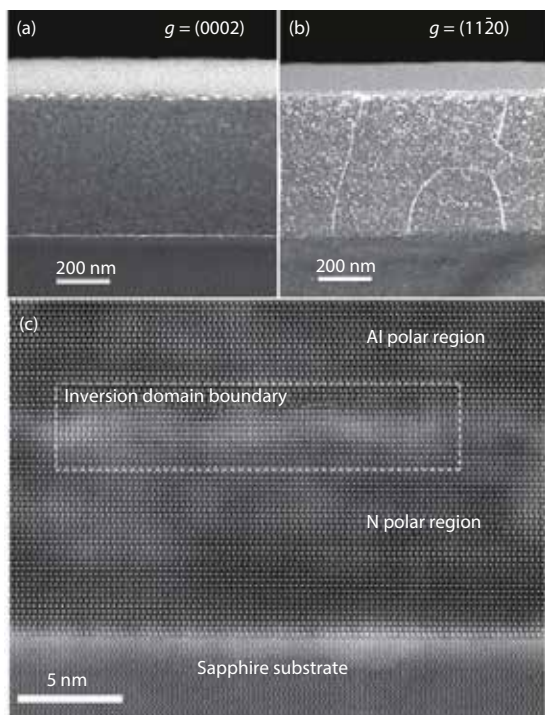


图2: 截面样品在衍射矢量 $g$ 为(a) (0002)和(b)  $(11\bar{2}0)$ 方向上的弱束暗场透射电子显微镜图像; 当 $g=(0002)/(11\bar{2}0)$ 时, 刃型位错/螺型位错可被直接观测; (c) 聚焦于界面处沿着 $[11\bar{2}0]$ 方向的高角度环形暗场扫描透射电子显微镜图像。

AlN 与蓝宝石沿着  $a$  方向的晶格参数在室温到  $1700\text{ }^\circ\text{C}$  的过程中分别由  $0.3111\text{ nm}$  和  $0.4758\text{ nm}$  升高至  $0.3133\text{ nm}$  和  $0.4824\text{ nm}$ , 而晶格失配由室温下的  $13.3\%$  降低至  $12.5\%$ , 因此有益于提高 AlN 模板晶体质量。

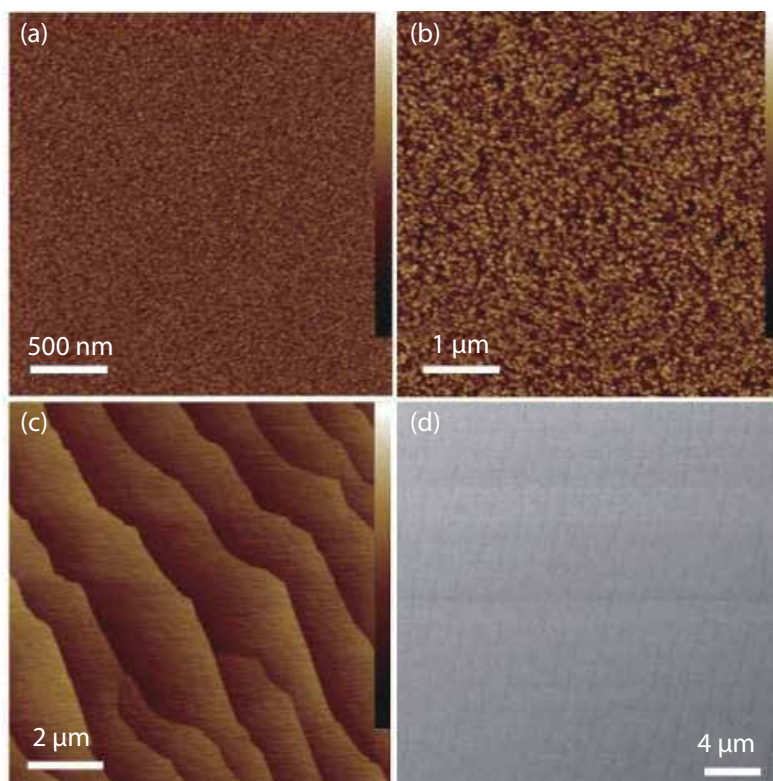
为了获取更多的信息, 我们采用了暗场透射电子显微镜观察了 AlN 模板的截面形貌, 而在该过程中我们采用了两种不同的电子束流条件, 从而能够观察到不同种类的位错。如图 2(a) 和 2(b) 所示, 在可见范围内除两条刃位错外, 很难看到螺位错的踪迹。而如此之低的位错密度也呼应了前文 X 射线衍射摇摆曲线的结果。为了分析高温热退火过程所诱发的位错湮灭现象, 我们利用高角度环形暗场扫描透射电子显微镜对蓝宝石与 AlN 界面处进行了观察研究。而根据图 2(c) 所示, 在退火模板中 AlN 与蓝宝石衬底交界处呈现的原子级别陡峭界面直接证实了高质量的外延特性。然而, 我们可以看到在距离界面  $10\text{ nm}$  左右距离的位置出现了一条颜色对比度较为明显的区域, 而这条区域将临近蓝宝石衬底一侧的 N 极性区域与上层的 Al 极性区域分开。事实上, 根据此前报道, 该区域主要由  $(111)$  晶向的  $\gamma$ -AlON 构成, 其主要角色是作为极性反转界面层。而根据此前的  $\text{Al}_2\text{O}_3$ -AlN-AlON 相图报道,  $\gamma$ -AlON 的

出现并不能直接贡献于 AlN 晶体质量的优化。然而, 据我们所知, 直接溅射所得的 AlN 柱状晶粒存在着大量的横向极性分部, 而这些区域之间的边界则很容易成为产生位错的源头。如图 2 所示,  $\gamma$ -AlON 的引入成功的将上层一部分原有的 N 极性区域转化为均匀的 Al 极性区域。因此, 尽管  $\gamma$ -AlON 的引入并没有直接参与优化晶体质量, 但是却间接的通过形成均匀的 Al 极性区域有效压制了位错的产生。

除了从应用角度展现的巨大前景, 退火 AlN 模板同样带来了一系列的关于理解 AlN 高温再生长的基础研究经验, 例如氧的引入、翘曲的贡献以及缺陷演化等。一些方法则揭示了优化高温热退火薄膜晶体质量的全新路径, 例如通过人为氧化的方式在界面处引入极性反转层。而我们的高温热退火 AlN 衬底同样为探究优化单晶薄膜方法提供了典型的研究素材。

图 3 所展示的分别是直接溅射、高温热退火以及 MOCVD 再生长后三个阶段的 AlN 模板在原子力显微镜下所观察到的表面形貌。溅射后的 AlN 呈现出柱状晶形态 (表面粗糙度 RMS 为  $2.62\text{ nm}$ ), 这与之之前的文献报道中通过磁控溅射制备的 AlN 薄膜相同。在经过高温热退火过程之后, 表面形貌依然呈现粗糙的颗粒状形貌 (表面粗糙度 RMS 降低为  $0.86\text{ nm}$ ), 此结果与之前报

图3: (a)直接溅射、(b)高温热退火后与(c)MOCVD再生长后AlN模板的原子力显微镜表面形貌图; (d)MOCVD再生长后AlN模板的扫描电子显微镜表面形貌图。高度标尺为 $20\text{ nm}$ 。



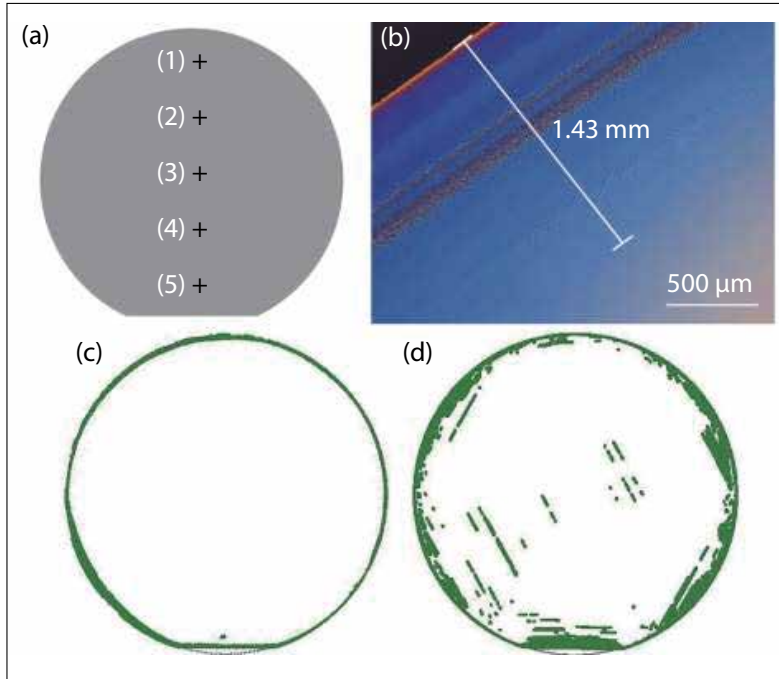


图4: (a)退火与MOCVD再生后4英寸氮化铝模板X射线衍射摇摆曲线五点法测试位置, 数据如表1所示。(b) 4英寸退火氮化铝衬底上MOCVD再生AlN薄膜边缘的光镜图。(c)高温热退火AlN模板与(d)纳米图形化蓝宝石衬底上生长AlN模板的表面裂纹测试结果 (Candela测试)。

道中退火后的 AlN 模板表面呈现类台阶聚并状的形貌有所不同。这样的区别可能源于溅射过程中使用的不同靶材。例如, 退火后出现台阶聚并状的表面形貌结果大多出现在 AlN 靶材溅射制备的 AlN 模板中; 而在使用 Al 靶材溅射制备的 AlN 模板在退火后则呈现颗粒状形貌, 这可能是由于退火处理时的表面 AlN 分解状况的不同。尽管如此, 这样的粗糙表面并没有对后续 MOCVD 再生长的 AlN 产生负面影响。由图 3(c) 和 3(d) 所示的再生长 AlN 表面形貌的原子力显微镜和扫描电子显微镜图像可以看出, 退火后的粗糙表面在 MOCVD 再生后转变为台阶聚并的形貌。在高温 MOCVD 的生长过程中, 呈现出此形貌的原因为铝原子的平均扩散长度超过台阶宽度。该形貌结果足以证明我们所制备的 AlN 模板非常适合后续的器件外延制备, 可以与使用侧向外延方法生长的 AlN 模板相媲美, 因此满足了实现 4 英寸 UVC-LED 的先决条件。

与 2 英寸的情况相比, 通过 MOCVD 在 4 英寸蓝宝石上生长 AlN 模板通常会表现出较大的翘曲且在边缘处更容易出现裂纹, 而这也成为大尺寸晶圆器件外延最主要的障碍。为了解整个晶圆上裂纹的分布情况, 我们使用 Candela 测量了退火 AlN 模板表面的裂纹, 并以 4 寸纳米图形化蓝宝石衬底上外延的 AlN 模板作为对比, 结果如图 4(c) 和 4(d) 所示。可以看出, 4 英寸基于纳米图形化蓝宝石衬底的 AlN 模板在晶圆的边缘和中心区域都出现了大量裂纹, 而如图 4(b) 和 4(c) 所示, 退火 AlN 模板仅在边缘区域约 1.5 mm 的范围内表面存在着少量缺陷。由此可见, 高温热退火技术在实现 4 英寸无裂纹高质量单晶 AlN 模板方面拥有极大的优势。此外, 通过高温热退火 AlN 模板表面的五点 [如图 4(a) 所示] (002) 和 (102) 晶面的 X 射线衍射摇摆曲线结果可知 [如表 1 所示], 高温热退火 AlN 模板样品表现出优秀的质量均匀性。除了结晶质量之外, 再生后 AlN 薄膜也呈现出均匀的压应变特征, 其值约为 0.08%。

## 结论

总而言之, 我们在 c 面蓝宝石衬底上成功的实现了位错密度在  $9.2 \times 10^8 \text{ cm}^{-2}$  量级的高质量 AlN 单晶模板。得益此高晶体质量的 AlN 模板, 利用 MOCVD 再生后总厚度仅为 700nm 的 AlN 单晶模板具有堪比侧向外延技术生长 3~4  $\mu\text{m}$  AlN 模板的晶体质量。AlN 单晶模板所呈现的台阶聚并形貌与高晶体质量证实了其作为低成本 UVC-LED 衬底的理想佳选。

## 扩展阅读

Shangfeng Liu et al. J. Semicond. 42 122804 (2021), DOI: <https://doi.org/10.1088/1674-4926/42/12/122804>

表1: 五点法测试高温热退火与MOCVD再生AlN模板的X射线衍射摇摆曲线半高宽与 $2\theta-\omega$ 测试计算的晶格应变。

Position	HTA AlN FWHM <sub>(002)/(102)</sub>	Regrown AlN FWHM <sub>(002)/(102)</sub>	Regrown AlN strain // c
1	87 arcsec / 310 arcsec	162 arcsec / 381 arcsec	0.0869%
2	64 arcsec / 288 arcsec	95 arcsec / 372 arcsec	0.0799%
3	57 arcsec / 283 arcsec	85 arcsec / 320 arcsec	0.0795%
4	61 arcsec / 310 arcsec	78 arcsec / 312 arcsec	0.0795%
5	70 arcsec / 321 arcsec	89 arcsec / 329 arcsec	0.0807%



## 功率整流器： 高压氮化镓胜过碳化硅

多沟道和创新的边缘终端使 GaN 肖特基功率整流器能够兼具低的外延成本与工作电压高达 5kV 的优势。

来自弗吉尼亚理工大学的张玉浩和肖明，以及来自南加州大学的王涵

**提**供高开关速度和高达几千伏电压的整流器需求量很大。它们在电网、可再生能源处理和工业电机中使用的电力电子系统中是必需的（参见图 1）。

目前，使用最广泛的整流器件是双极型硅 p-n 结二极管，尽管它的主要缺点是开关速度非常慢，原因是反向恢复不佳。一种允许快速开关的卓越替代方案是 SiC 肖特基势垒二极管 (SBD)。然而，它的性能直到最近才赶上硅 p-n 二极管，而且它的外延和制造成本要高得多。

另一种为高压整流器带来更大希望的材料是 GaN：与硅和碳化硅相比，它在几个关键参数占

据了上风：其具有更宽的带隙、更高的迁移率和更高的临界电场。利用这些优势，几家公司已经推出了横向 GaN 功率器件，工作电压高达 650V。这种几何结构具有挑战性，限制了电流和功率能力，因为电流传导发生在只有几纳米厚的薄层中，这是二维电子气 (2DEG) 沟道的结果。请注意，这种局限不会出现在高压硅和碳化硅器件中，因为它们通常具有垂直结构，电流扩散到块状材料中。

具有横向结构的 GaN 功率器件的一个主要缺点是，在适应高电压和大电流时需要更大的管芯尺寸，这是由于横向结构的 GaN 功率器件的电流能力有限。在增加芯片成本的同时，较大的芯片

我们的设计融合了多通道材料和结翅片阳极的创新，有望为新一代高压GaN功率器件铺平道路，这种器件将低外延成本与快速开关特性和大功率能力相结合。多亏了这些特性，我们的多通道横向器件能够将GaN器件的覆盖范围扩展到高压电力电子领域。

会产生较大的电容和电荷，从而影响器件的切换速度。

为了克服这些挑战，我们弗吉尼亚理工学院和州立大学（弗吉尼亚理工大学）的团队与 Enkris Semiconductor、Qorvo 和南加州大学的工程师合作，开发了一种新型高压横向 GaN 技术，该技术具有多沟道材料和创新的阳极结构。

我们用 4 英寸的蓝宝石基的 AlGaN/GaN 晶片制造我们的器件，这些晶片容纳了 5 个堆叠的 2DEG 沟道，是由 Enkris 生产的。与传统结构相比，其 2DEG 通道的数量增加了五倍，电流能力也至少提高了五倍，并且提供了相应的方块电阻的降低。在多通道鳍片周围包裹着一种新的阳极结构，

包括 p-n 结。这种结构保护肖特基接触免受高电场的影响，并将五沟道器件的漏电流抑制在单通道器件的漏电流以下。新型多通道氮化镓肖特基整流器的性能令人印象深刻，其功率品质因数超过了单极碳化硅极限，在所有高压整流器中名列前茅。

### 堆叠的 2DEG 通道

当工程师设计功率器件时，工作重点是同时实现高的击穿电压和低的导通电阻，对于横向 GaN 整流器而言，后者是方块电阻和阳极到阴极距离的乘积。虽然这一距离通常由击穿电压决定，但导通电阻取决于方块电阻，方块电阻可以通过增加 2DEG 的迁移率和密度来调整。随着通过堆叠的通道数量增加，2DEG 的密度成比例增加。反过来，特定额定电流的芯片尺寸可以大大减小，从而使得其具有更小的电容和电荷，最终实现更高的开关速度和更低的损耗。

转向多个沟道的想法并不新鲜。大约在十年前就开始，美国和日本的研究人员率先使用分子束外延技术进行了 AlGaN/GaN 多通道外延。然而，这种生长技术很少适用于大直径晶圆的大批量生产。

最近，最常用的制造化合物半导体器件的方法 MOCVD 已被用于在各种大直径衬底上制造多沟道结构，包括硅、碳化硅、蓝宝石和 GaN。正是这种生长技术被 Enkris 用于生产 4 英寸、5 沟道的蓝宝石基的 GaN 晶片，这种晶片具有

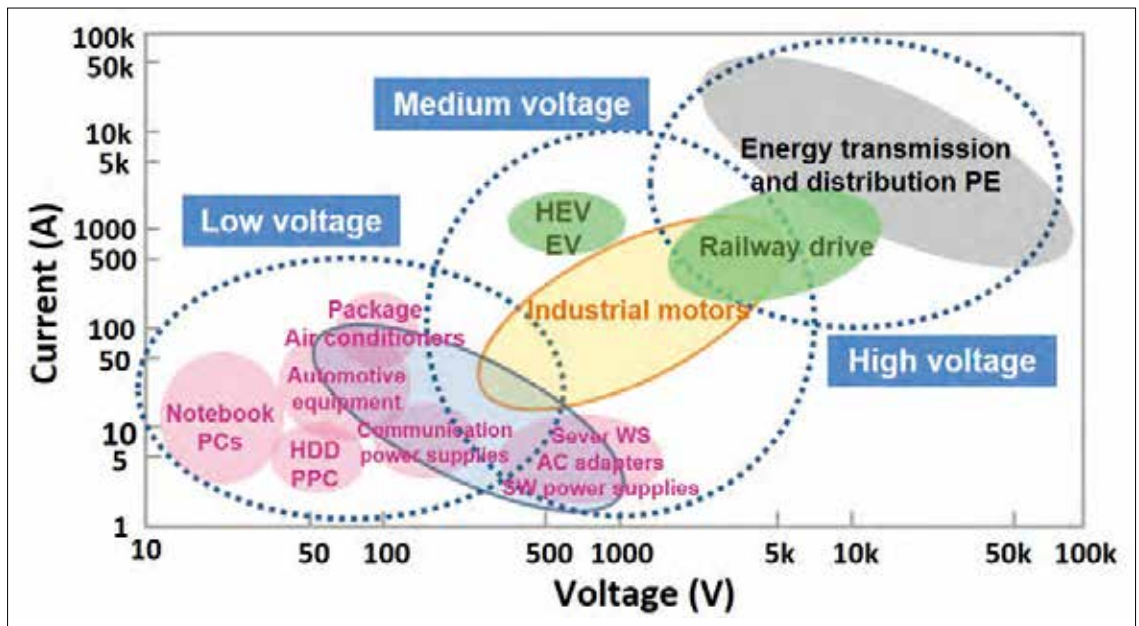


图 1：不同额定电压和电流的功率整流器的应用空间



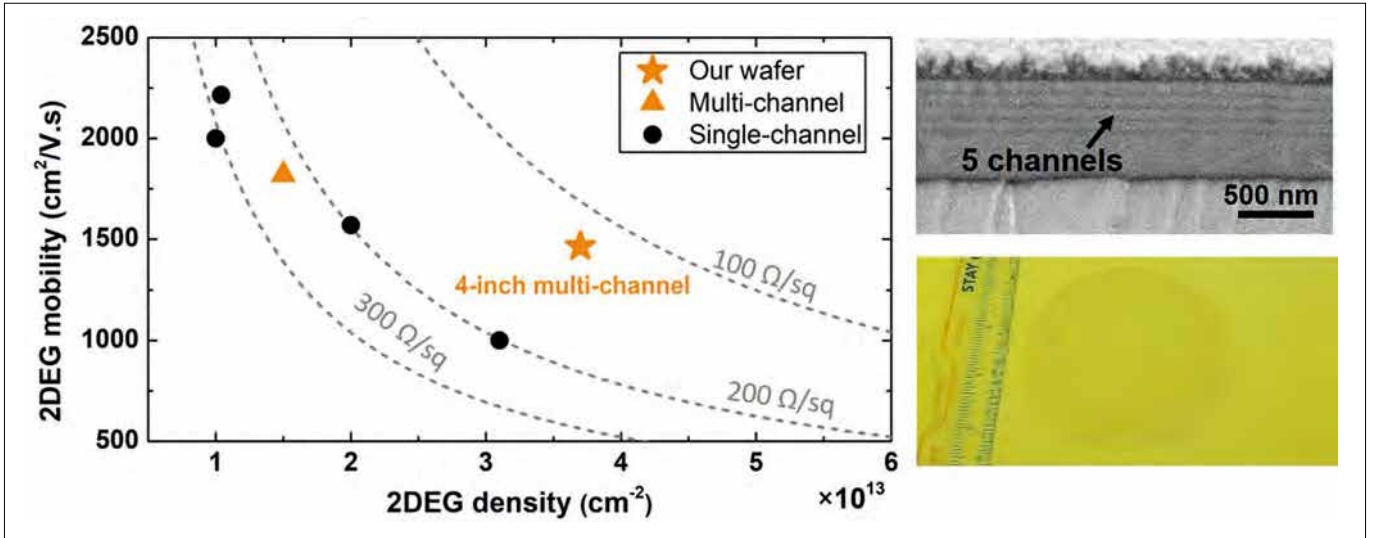


图 2：(左)单通道和多通道 AlGaIn/GaN 材料的 2DEG 密度与 2DEG 迁移率的关系，已在文献中报道，并在本文详细介绍的晶片上进行了测量。(右)Enkris Semiconductor Inc 生产的 4 英寸五沟道蓝宝石上 GaN 晶片的横截面扫描电子显微镜图像和俯视图。

2DEG，密度为  $3.7 \times 10^{13} \text{ cm}^{-2}$ ，迁移率为  $1475 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 。相应的方块电阻仅为  $110 \Omega/\square$ ，这一数值至少比单通道晶圆的最佳值低两倍。我们估计，这种多通道蓝宝石上 GaN 晶片的成本不会超过 4 英寸 SiC 晶片的三分之一。

### 提高电压

提高多通道器件的电压比单通道器件更具挑战性，因为多通道增加的电荷有可能导致电场拥挤。然而，克服这一挑战对肖特基整流器来说是至关重要的，因为它们的阻断电压往往受到肖特基接触区峰值电场的限制。

抑制电场拥挤的关键是适当的边缘终端，这也可能使峰值电场远离肖特基接触区。对于横向肖特基整流器，边缘终端的常见方法是添加场板(参见图 3(A))。然而，如果这是有效的，就必须精确控制场板的几何形状，例如介质的厚度和场

板的长度。此外，器件的设计和和生产必须考虑电介质和半导体之间接触界面的复杂性。

不幸的是，当在高电场或高温下工作时，器件表现出不稳定性并不罕见。

为了应对所有这些挑战，我们开发了一种新的终端结构，该结构使用生长在 AlGaIn/GaN 上的 p-GaN 层(见图 3(B))。由于我们的 p-n 结实现了垂直耗尽，肖特基区的电场线扩展开来，它们的分布更加均匀。更重要的是，峰值电场从肖特基接触重定向到 p-GaN 终端的边缘，这一转移保护了肖特基接触不受高电场的影响。与场板相比，我们的 p-GaN 终端在掺杂浓度和 p-GaN 厚度方面具有更宽的设计窗口，并且可以产生最小的介电界面。另一个关键特性是，该制造与目前制造 p 栅常关断 HEMT 的制造工艺完全兼容，为高压整流器与 GaN 功率集成电路的单片集成开辟了可能性。

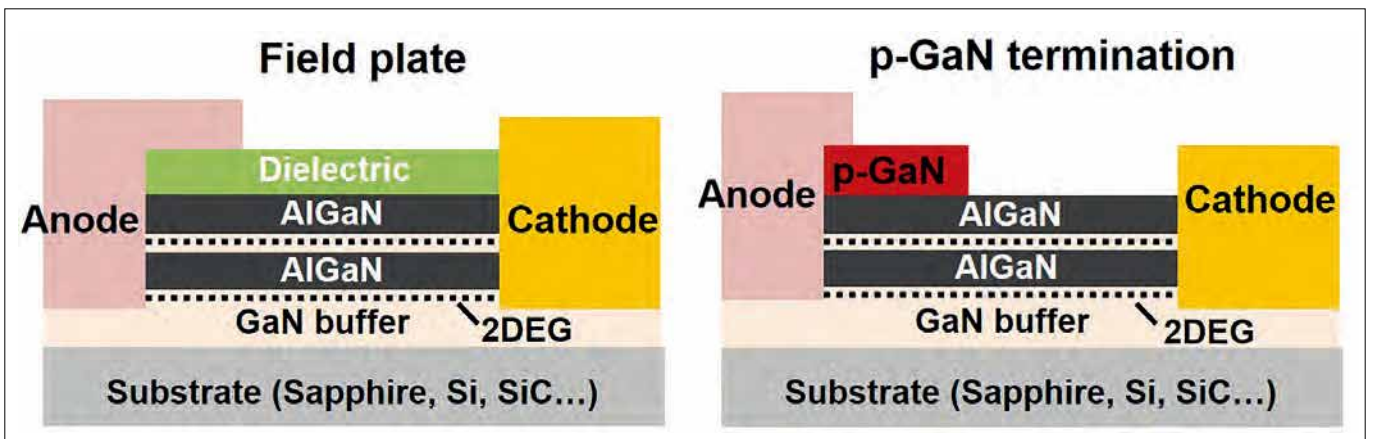


图 3：传统的场板终端(左)和弗吉尼亚理工大学的新型 p-GaN 终端(右)。画出两个通道来说明多通道结构。

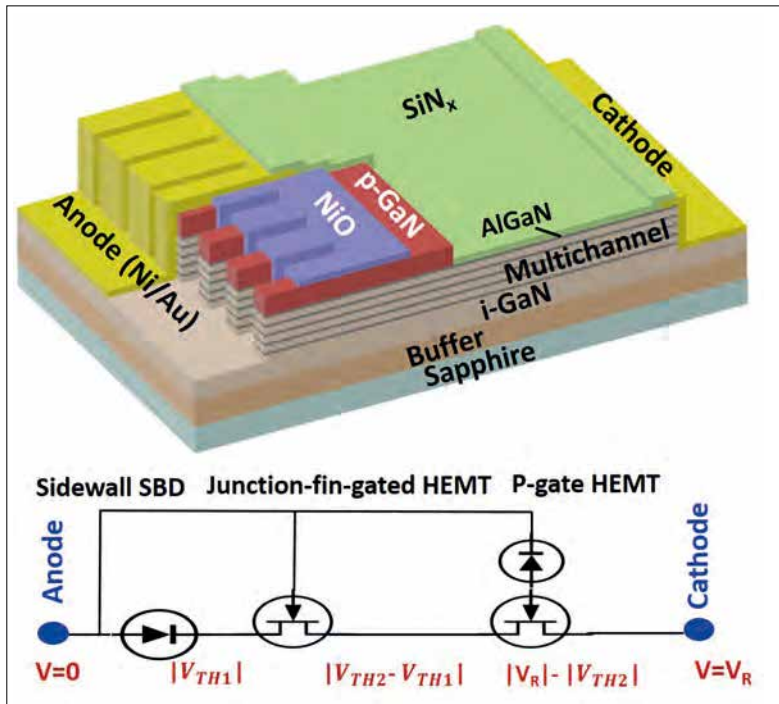


图 4：(上) 弗吉尼亚理工大学的多通道肖特基整流器，带有结翅片阳极。(下) 整流器的等效电路模型，包括侧壁肖特基势垒二极管、结鳍栅 HEMT 和 p 栅 HEMT 的串联组合。文中还给出了高反向偏置 ( $V^R$ ) 下的内部电压分布，其中鳍栅 HEMT 和 p 栅 HEMT 的阈值电压分别标记为  $V_{TH1}$  和  $V_{TH2}$ 。无论  $V_R$  如何，侧壁肖特基势垒二极管上的电压降被钳制在  $|V_{TH1}|$ 。

### 最大限度地减少器件漏电流

在开发我们的高压多通道器件时，我们面临的挑战包括最小化漏电流。我们的解决方案是结-端阳极。这是一个三维阳极结构，通过将 p-n 结包裹在多个 2DEG-翅片上形成（见图 4(a)）。利用这种结构，p 型材料提供了 2DEG 通道的强烈耗尽。当器件反向偏置时，结鳍帮助肖特基触点耗尽电荷，同时保护肖特基触点不受高偏置的影响。

我们的设计可以用整个整流器的等效电路模型来评估（见图 4）。该模型包括侧壁 SBD、结鳍栅 HEMT 和 p 栅 HEMT 的等效串联连接。随着反向偏置的增加，侧壁 SBD 被夹断，然后是两个 HEMT，侧壁 SBD 上的电压降被钳制在结鳍栅 HEMT 的阈值电压上，该阈值电压只有几伏。不管阴极的反向偏置如何，这种箝位都会发生，反向偏置可以达到几千伏。以这种方式操作，整个

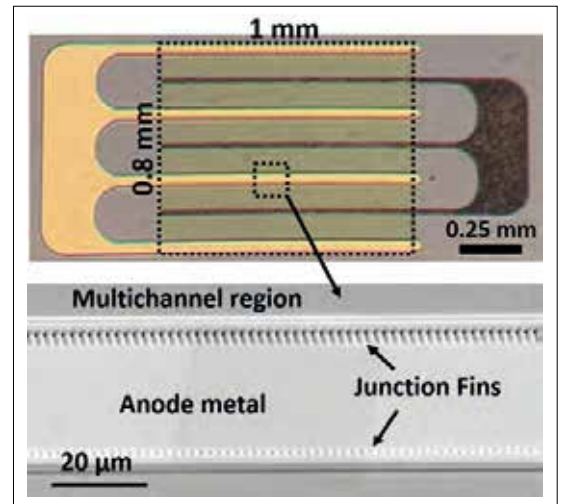


图 5：制作的 1.5A, 5kV GaN 功率肖特基整流器的显微图像。

整流器的漏电流等于偏置在几伏的一个侧壁肖特基二极管的漏电流。

在我们的原型器件中，我们通过在鳍的顶部重新生长 p-GaN 并在鳍的侧壁添加 p-型氧化镍来实现连接鳍结构。由此产生的整流器提供高达 5.2 千伏的阻断电压，当工作在该极限的 90% 时，漏电流仅为  $1.4\mu\text{A}/\text{mm}$ 。比导通电阻为  $13.5\text{m}\Omega\cdot\text{cm}^2$ 。基于所有这些值，我们发现我们器件的功率品质因数超过了 SiC 单极性限值，在所有多千伏功率 SBD 中属于最高之列。

我们还制造了大面积器件。它们能够处理 1.5 A 电流，漏电流仅为微安量级，总电荷为 13nC（见图 5）。与具有相似电压和电流额定值的商用碳化硅单晶衬底相比，我们的多沟道氮化镓单晶衬底表现出显著较低的正向导通电压和电荷。

这些令人印象深刻的特性表明，我们的设计结合了多通道材料和结鳍阳极的创新，有望为新一代高压氮化镓功率器件铺平道路，这些器件兼具低外延成本、快速开关和高功率能力等优势。由于这些属性，我们的多通道横向器件可以将氮化镓器件扩展到高压电力电子领域。☞

### 扩展阅读

- M. Xiao et al. "5 kV Multi-Channel AlGaIn/GaN Power Schottky Barrier Diodes with Junction-Fin-Anode", 2020 IEEE IEDM, 5.4.
- M. Xiao et al. IEEE Electron Dev. Lett. 41 1177 (2020)
- Y. Ma et al. Appl. Phys. Lett. 117 143506 (2020)



## 点缺陷： 蓝光 LED 效率 的终极杀手

在 InGaN 量子阱中发现了一类未知的本征光猝灭点缺陷。

托马斯·韦瑟利 (THOMAS WEATHERLEY), 卡米尔·哈勒 (CAMILLE HALLER), 姚晨 (YAO CHEN), 詹弗兰·圣卡林 (JEANFRANÇOIS CARLIN), 拉斐尔·C·L·巴特 (RAPHAËL BUTTÉ) 和来自 EPFL 的尼古拉斯·格兰杰 (NICOLAS GRANDJEAN)

如今，基于 InGaN 的 LED 在普通照明和汽车固态照明方面取得了巨大成功。然而，这绝不是到达他们的极限—激烈的工业和学术研究正在不断努力将这款器件的尺寸缩小到  $10\ \mu\text{m}$  以下，这一壮举将使增强 / 虚拟现实、可穿戴设备和智能手机的微型 LED 显示屏的生产成为可能。

LED 在所有这些应用中的部署取决于注入的电子 - 空穴对在位于这些器件核心部位的 InGaN/GaN 量子阱内转化为光子的显著转换效率。即使外延层中的螺旋位错密度高达  $10^8\ \text{cm}^{-2}$ ，蓝光 LED 产生的内部量子效率也可以超过 90%。然而，这些 LED 有一个很少被讨论的特性，它对这种令人印象深刻的性能起着至关重要的作用，即“底层”。

商用蓝色 / 近紫外光 LED 完全由 MOCVD 生长，其结构总是包含底层 - 或者是厚的、低镓含

量的 InGaN 层，或者是 InGaN/GaN 超晶格 (见图 1 (a))。在器件测量中强调了将位于量子阱下方的该底层包括在内的动机，强调了其提供的效率提升 (见图 1 (b))。

虽然这种底层的好处是毋庸置疑的，但其提高效率的机制多年来一直存在争议。一些人认为，性能的提高来自于电子 - 空穴对注入量子阱的效率的提高；另一些人指出，更好地屏蔽了载流子对光猝灭位错的影响；还有一些人声称，底层通过减轻阱中的晶格失配应变来提高器件的性能；还有一些人假设，效率的提高是通过降低阱两端的内置电场来消除量子受限的斯塔克效应而提高的。

在 EPFL 工作时，我们的团队仔细考虑了所有这些解释，然后逐一排除它们 (参见进一步阅读)。通过仔细的研究，我们现在可以揭示底层好处背后的真正原因：它抵消了在 InGaN 阱中充当非辐射复合中心的点缺陷。

这些以前不为人知的点缺陷与钢有很强的相互作用，所以 InGaN 底层的引入提供了一个槽，在它们到达量子阱之前捕获它们。如果不使用这

种底层，势阱内部的点缺陷密度将高达  $10^{16} \text{ cm}^{-3}$ ，从而扼杀蓝光 LED 的量子效率。

### 阐明底层的作用

在我们提出的机制中，我们假设当没有底层时，InGaN 量子阱中存在点缺陷。添加底层可以捕获这些缺陷，留下高效量子阱 (见图 2)。

到目前为止，常用的化学分析方法，如二次离子质谱 (SIMS) 还无法检测到这些点缺陷。相反，为了跟踪点缺陷密度的变化，我们需要分析量子阱内发生的非辐射复合的程度。我们用时间分辨光致发光法测定了 2.7 nm 厚的  $\text{In}_{0.12}\text{Ga}_{0.88}\text{N}$  单量子阱标准样品中载流子的室温有效寿命。

由于所有其他参数在样品之间保持不变，有效载流子寿命的任何增加都归因于非辐射复合速率的降低，从而降低了阱内的点缺陷密度 (有关更多详细信息，请参阅进一步阅读)。不出所料，底层的添加使得量子阱有效载流子的寿命大幅增加 (见图 2 (c))，这一特性表明阱内的点缺陷密度急剧下降。这就引出了一个问题：这种底层中最擅长捕获点缺陷的关键成分是什么？

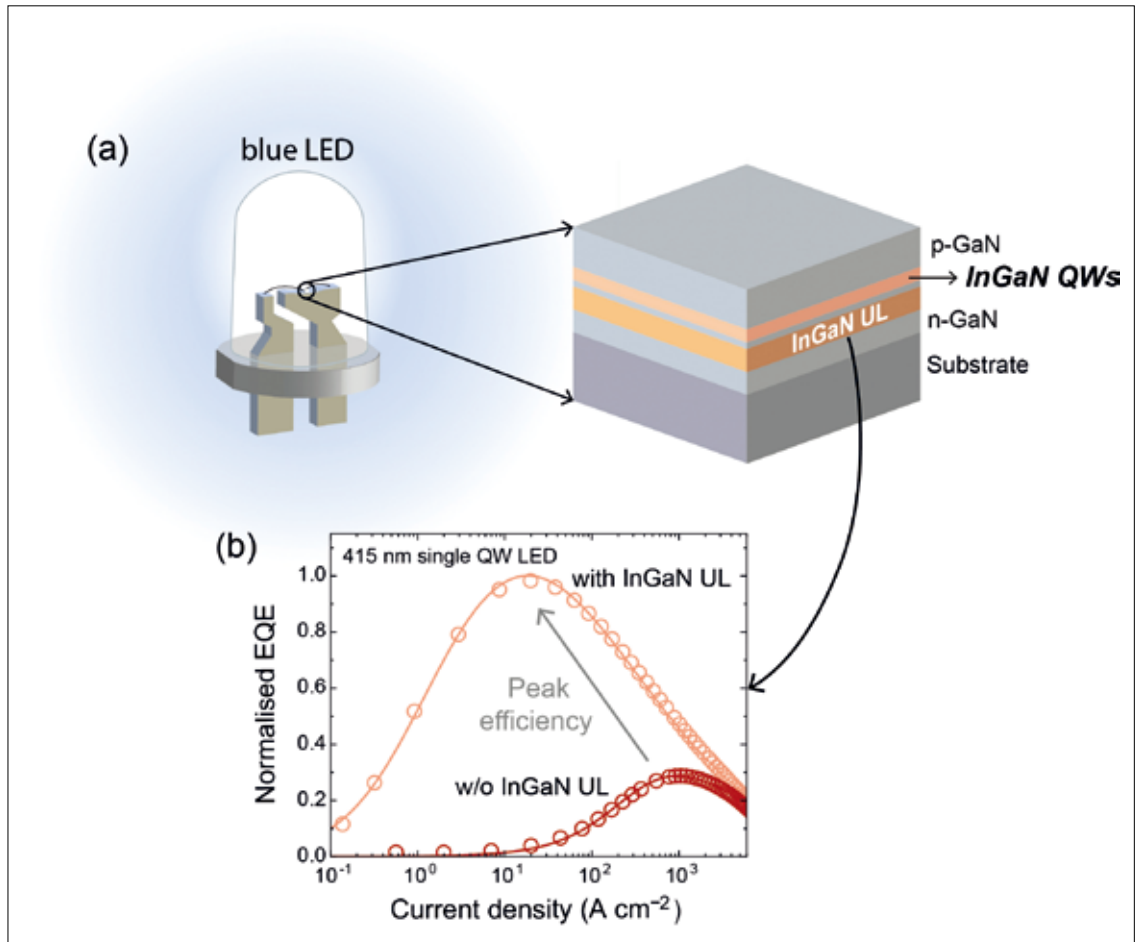
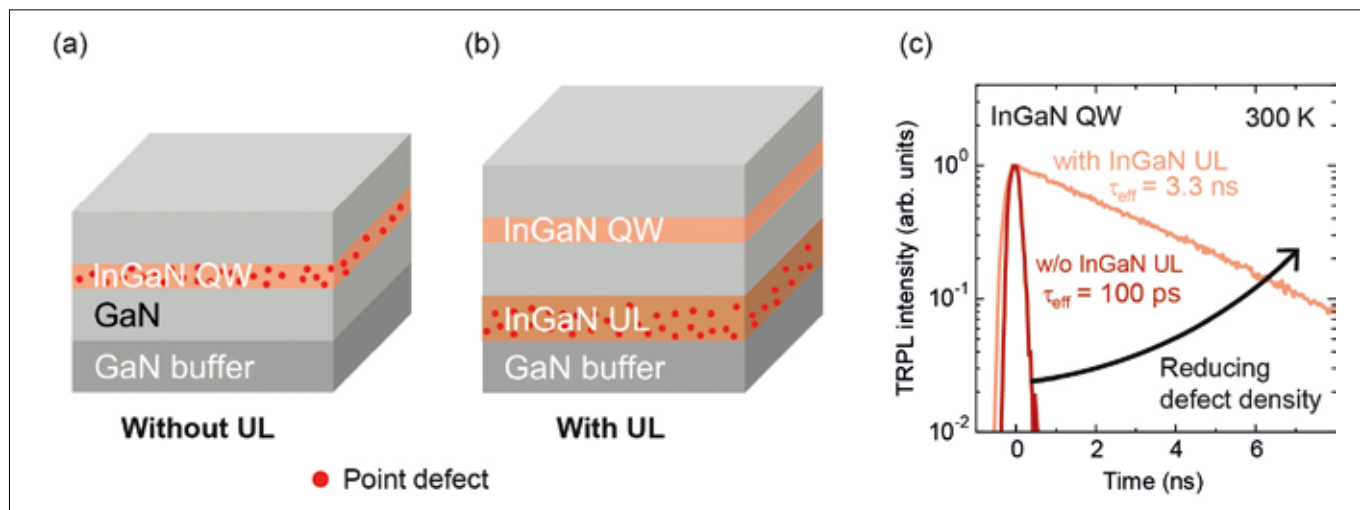


图1: (a) 蓝色LED具有包含InGaN/GaN量子阱(QW)的有源区。所有商业结构还包括低铟含量底层(UL, 棕色)。(b) 与电流密度有关的两种蓝色发光LED结构的外部量子效率(EQE), 包括有底层和无底层。使用底层可将峰值效率提高近四倍。



为了尝试回答这个问题，我们在爱思强 (Aixtron) 3x2 英寸喷头式 MOCVD 反应器中生长了一系列样品，对底层材料和厚度进行了改变。我们使用了 2 英寸的住友电气自支撑 GaN 衬底，其位错密度仅为  $10^6 \text{ cm}^{-2}$  (见图 3 (a))。

我们的努力始于考虑 GaN 层的低温生长是否可以降低 InGaN 量子阱中的点缺陷密度。不幸的是，即使对于厚度超过 200 纳米的 GaN 底层来说，这也只是有限的益处，仅能非常温和地延长有效载流子寿命 (参见图 3 (B))。

在底层引入镓可以获得更好的效果。即使底层厚度只有 50 nm，添加 3% 的镓也能显著提高有效载流子寿命。这一好处来自于量子阱中点缺陷密度的大幅降低，这强调了镓在缺陷捕获过程中的重要性。

为了说明镓的作用，我们生长了另一系列样品，底层厚度相同，但镓含量不同 (见图 3 (c))。

对这些样品的测量表明，增加镓含量对减少点缺陷的效果与增加底层厚度的效果相同。这一结果表明，是掺入镓原子的绝对数量决定了陷阱点缺陷的数量。

值得注意的是，这一含镓样品系列是使用不同的 MOCVD 反应器 (爱思强卧式 200/4RF-S) 在蓝宝石衬底上生长的，证实了镓相关的点缺陷捕获机制与完美的衬底或反应器条件无关。最近的工作表明，即使是生长在硅 (111) 衬底上的样品，其位错密度可以高达  $10^{10} \text{ cm}^{-2}$ ，使用底层的陷阱点缺陷仍然是获得高效 InGaN 量子阱的关键。

由于镓在这一机制中起着关键作用，因此没有理由限制使用 InGaN 底层。取而代之的可能是与 GaN 几乎晶格匹配的 InAlN 底层，从而以相同

的原理来降低缺陷密度。我们测试了这一假设，发现 InAlN 是一个有吸引力的替代方案 (参见图 3)。对于 InAlN，底层中的镓含量更高，通常为 15%。因此，可以利用更薄的底层来实现相同的点缺陷密度降低，从而提高效率。

根据这些结果，我们提出了一个具体的年表。最初，GaN 缓冲层生长过程中存在表面缺陷。在随后的 GaN 生长过程中，这些缺陷一直停留在表面，直到生长出任何含镓的层。当镓被引入时，这些原子与表面缺陷相互作用，在块体材料中形成非辐射点缺陷。

使用这个概念，我们开发了一个模型，将底层的关键特性 (如镓含量和厚度) 与 InGaN 量子阱中的有效载流子寿命联系起来。用该模型拟合数据，其中关键地定义表面缺陷与镓原子的相互作用效率的术语在所有样品系列中是相同的 (参见进一步的阅读)，证实单独的镓在结合这些会形成点缺陷的表面缺陷中起关键作用 (见图 3)。

根据这一发现，我们确定了这些表面缺陷的来源。由于它们似乎来自 GaN 缓冲层，我们考虑了这一层生长条件的任何差异对结构其余部分的影响。对于许多 III-氮化物异质结，为了确保平坦的表面形貌，通常的做法是在非常高的温度 (约  $1000^\circ \text{C}$ ) 下生长 GaN 缓冲层：我们想知道更高的温度是否是导致表面缺陷产生的原因。

为了确定情况是否如此，我们又增加了一个样本组合。本系列没有包括底层；相反，我们改变了 GaN 缓冲层的生长温度，并监测了对量子阱的影响 (参见图 4 (a))。我们发现，提高缓冲层的生长温度直接降低了量子阱中的有效载流子寿命 (见图 4 (b))。基于这一观察，我们可以得出

图2: (a)和(b)分别显示了无底层(UL)和有底层(UL)的生长方案。在没有底层的情况下，量子阱中存在高度集中的点缺陷，而使用底层则在量子阱之前捕获了点缺陷。(c)在有和没有底层的样品上获得的时间分辨光致发光(TRPL)衰减曲线的例子；底层的添加后，量子阱有效载流子寿命的增加(与衰减的斜率有关)清楚地表明量子阱中的点缺陷密度降低。

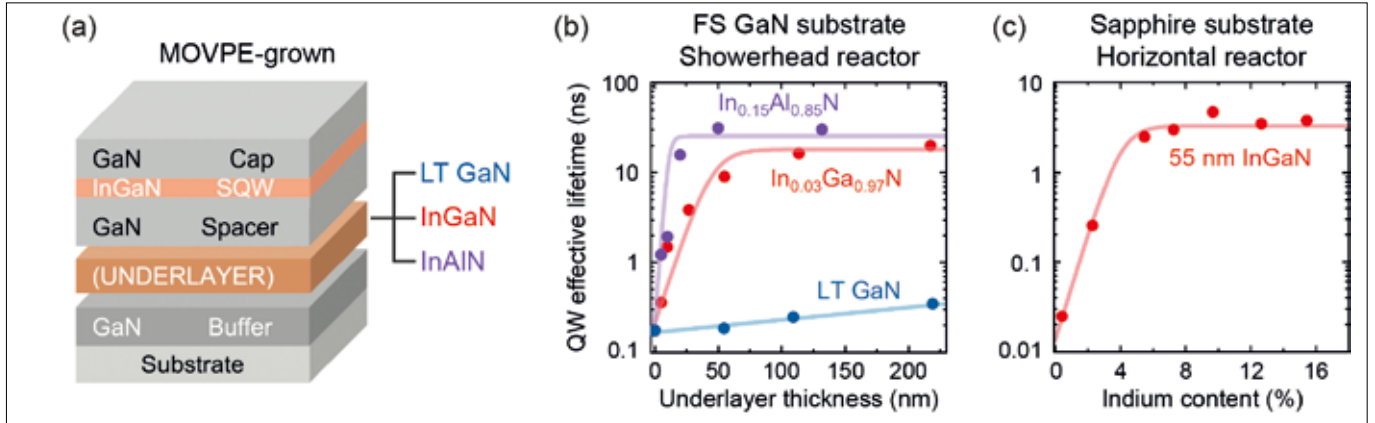


图3: (a)EPFL研究人员使用的标准结构是2.7纳米厚的 $In_{0.12}Ga_{0.88}N$ 量子阱。在这种结构中，在低温(LT)生长的Ga<sub>N</sub>、InGa<sub>N</sub>和InAl<sub>N</sub>之间，底层材料是不同的。(b)这三种材料的量子阱有效载流子寿命与衬底厚度的关系，样品生长在自支撑Ga<sub>N</sub>衬底上的喷淋式MOCVD反应器中。底层的铟含量越多，有效载流子寿命的改善越直接，表明点缺陷密度下降得越快。仅使用Ga<sub>N</sub>几乎不会带来任何改善。在(c)中强调了铟在底层中的关键作用，它表明，在不改变衬底厚度的情况下，只要简单地增加InGa<sub>N</sub>合金中的铟含量，就可以获得类似的点缺陷密度降低。这个样品系列是在蓝宝石衬底上的水平反应器中生长的。直线表示与使用表面缺陷掩埋模型获得的实验数据的拟合。

结论，表面缺陷是由高温 GaN 生长产生的，温度在 850 °C 左右或更高，可能会拖累量子阱效率。

这些结果也为揭示表面缺陷的性质提供了一些线索。由于不同 MOCVD 反应器生产的样品具有不同的杂质环境，其点缺陷捕获机制是相同的，因此这些表面缺陷一定是本征的。我们把矛头指向氮空位，它在高温下和表面的形成能都很低。这一可能性得到了实验和理论结果的支持(参见进一步阅读)。

我们的最后一个观点是，量子阱中效率衰减点缺陷的形成是从高温 GaN 生长过程中表面氮空位的产生开始的。在随后的任何低温 GaN 层的生长过程中，这些空位都停留在表面。当生长含铟的层时(这可能是底层，也可能是量子阱)，氮空位与铟原子相互作用，在整体中形成点缺陷，充当非辐射复合中心。在这个阶段，至关重要是要认识到，埋藏在 InGa<sub>N</sub> 中的这些最终的非辐射重组中心的性质仍然未知。它们可能采取Ⅲ族-

氮双空位的形式，甚至可能是与氧等杂质相关的Ⅲ族空位。

### 点缺陷的成像

到目前为止，我们所讨论的工作使我们能够充分阐明 InGa<sub>N</sub>/Ga<sub>N</sub> 量子阱中底层缺陷和点缺陷对量子效率的作用。为了做到这一点，我们必须排除以前与缺陷无关的解释，我们通过制作许多不同的精心设计的样品系列来完成这一任务。这样的工作需要更多的思考和考虑，部分原因是有效载流子寿命是点缺陷密度的间接度量，并且对各种因素敏感，包括阱结构、无序、电场和应变。显然，如果我们能直接估计量子阱中的实际点缺陷密度，我们的发现将更具说服力。要做到这一点，我们需要一种直接检测甚至成像量子阱中的点缺陷的方法。

从空间上解决埋在异质结构中的单个原子尺度非辐射点缺陷远不是一件容易的事，特别是

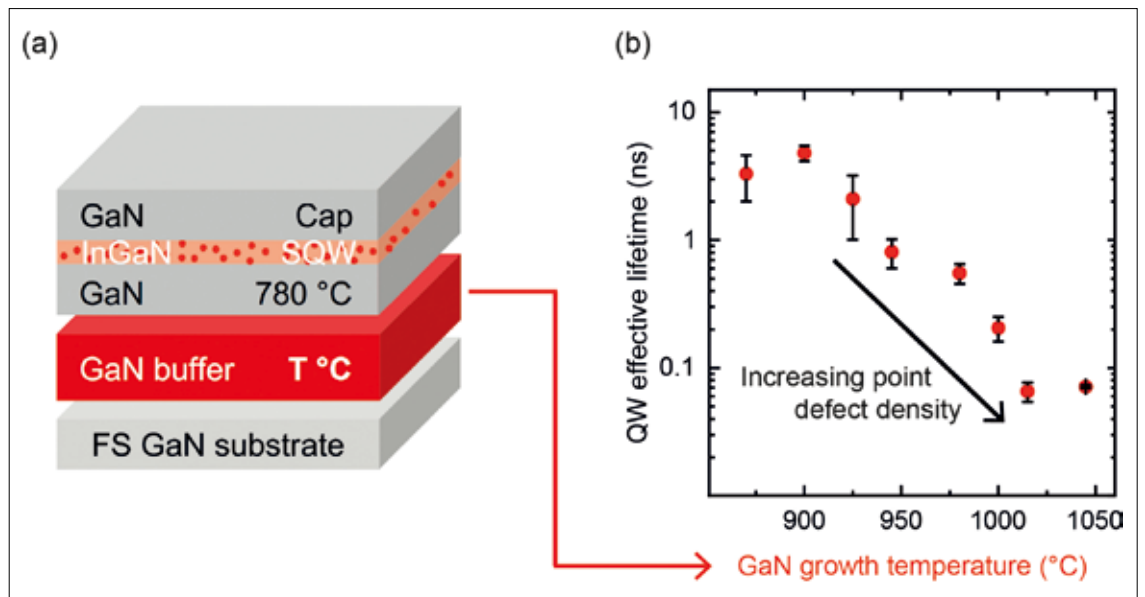


图4: (a)EPFL的新样品系列结构，不含底层。取而代之的是改变 $In_{0.12}Ga_{0.88}N$ 量子阱下方Ga<sub>N</sub>缓冲层的生长温度T，以测试表面缺陷的产生是否与高温生长有关。(b)随着Ga<sub>N</sub>缓冲层生长温度的升高，量子阱有效载流子寿命急剧下降，表明高温Ga<sub>N</sub>生长是产生表面缺陷的直接原因，表面缺陷随后与量子阱中的铟相互作用形成非辐射复合中心。

当它们以高密度存在时。结构显微术技术，如透射电子显微术，是不合适的，因为它们无法对隐藏在块状材料内部的单个原子结构特征进行成像。超高分辨率成像也不够，因为非辐射缺陷不会显示局部光发射。事实上，直接检测异质结构内禀点缺陷的困难可能是导致目前它们严重影响InGaN量子阱效率的一个因素，尽管InGaN量子阱器件，如LED和激光二极管，是几十年来生产的成熟产品。

为了克服这些问题，我们转向阴极发光。利用这项技术，我们在低于光的衍射极限的尺度上扫描了量子阱上的电子束。通过收集样品在每个电子束激发位置的发光强度，我们建立了扫描区域的阴极发光强度图。由于激发载流子的局部非辐射复合，该区域中存在的缺陷在图像中显示为暗区。

阴极发光并不能保证成功。为了保证最高的空间分辨率，必须精心设计实验条件和样品结构。我们将电子束能量调低到仅为1.5 keV，以最小化激发体积；我们采用了非常薄的单In<sub>0.15</sub>Ga<sub>0.85</sub>N量子阱(厚度仅为0.8 nm)来最小化载流子扩散长度(参见进一步阅读)。这一结构组合的其他功能包括：通过改变In<sub>0.17</sub>Al<sub>0.83</sub>N底层的厚度来实现对量子阱中的点缺陷密度的控制；以及独立的GaN衬底，以减轻贯穿位错的影响。

图5显示了量子阱样品从2μm到2μm扫描获得的阴极发光图像。在10K下获得的图像中，与位错无关的暗斑立即清晰可见。这些斑点中的每一个都对应于阱内的一个致命的非辐射点缺陷。从这个实验中很容易直观地看到底层的影响：随着底层厚度的增加，暗斑的数量急剧减少，因

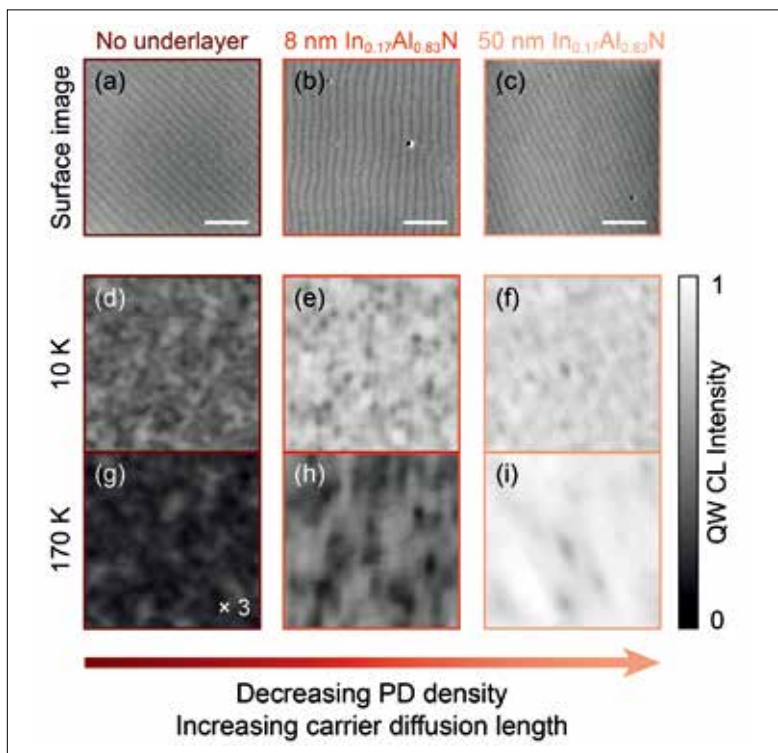


图5: (a-c)三个不同厚度的In<sub>0.15</sub>Ga<sub>0.85</sub>N/GaN单量子阱样品在In<sub>0.17</sub>Al<sub>0.83</sub>N底层的二次电子图像，这些图像显示了样品的表面形貌。台阶边缘清晰为平行线，标记螺位错位置的V型凹坑为暗点。均为2μm×2μm(500 nm标尺)。(d-f)显示了10K下每个样品相同2μm×2μm区域的量子阱阴极发光(CL)强度图像，暗区与位错位置无关，而是单点缺陷非辐射复合的直接结果。随着底层厚度的增加，暗斑密度的降低表示点缺陷密度的降低。当温度升高到170K时，同一区域的阴极发光图像(g-i)清楚地表明非辐射复合是热激活的。这170K图像分辨率的降低也表明载流子扩散长度的增加。每幅图像都按照从0到1的绝对强度比例绘制。没有底层的样本的170K强度乘以3以使图像可见。

为这降低了量子阱中的点缺陷密度。

当在170K下进行测量时，样品之间的差异更明显(参见图5(g)至(i))。由于与缺陷相关的非辐射复合的热激活性质，在该温度下，每个点缺陷对阴极发光强度具有更大的影响。增加的热能还导致更长的载流子扩散长度并因此导致空间分辨率的降低，与在10K下获得的图像相比，可以看到图像变得更加平滑。注意，下转第32页

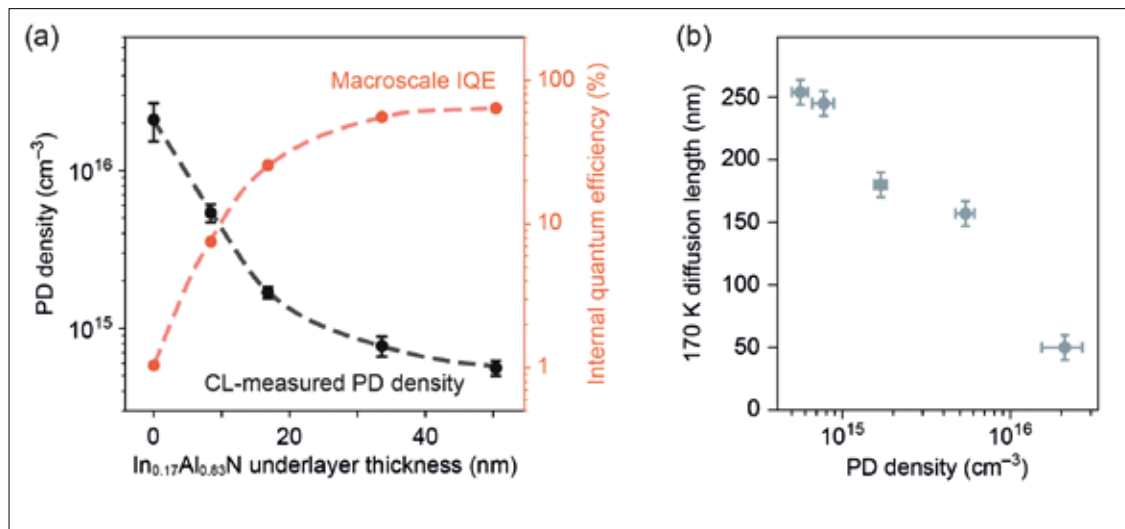
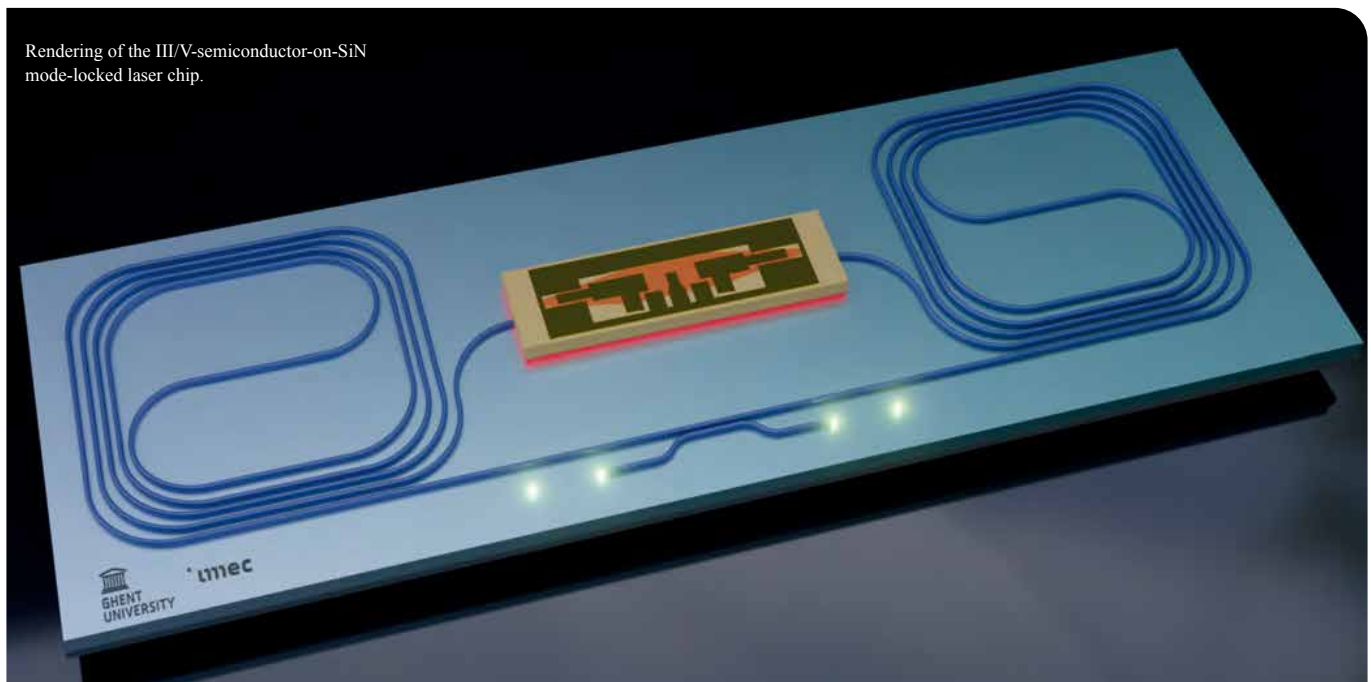


图6: (a)InGaN/GaN量子阱内的点缺陷(PD)密度随着InAlN底层厚度的变化而变化，直接从与图5相似的阴极发光(CL)图像测量。这些密度与室温下使用时间分辨光致发光测量的相同样品的宏观内部量子效率(IQE)进行了比较。正如预期的那样，IQE的大幅上升直接反映了点缺陷密度的下降。载流子扩散长度也是在170K下用阴极发光测量的，并与(B)中的点缺陷密度进行了比较。将点缺陷浓度降低到10<sup>15</sup> cm<sup>-3</sup>以下(最厚的底层样品)会导致载流子扩散长度显著增加。虚线是眼睛的向导。



## 用于芯片级光谱的锁模梳状激光器

通过在低损耗 SiN 光子芯片上集成半导体光放大器，实现了超高密度、低噪声的梳状激光，为芯片级光谱提供了前所未有的精度

根特大学 IMEC 的 STIJN CUYVERS、BAHAWAL HAQ、GUNTHER ROELKENS、KASPER VAN GASSE 和 BART KUYKEN

**光**学频率梳是精密频率计量和计时技术革命的基础，它是一种产生大量相干的等间距离散激光线的光源。这些梳状激光的影响已得到广泛认可，最引人注目的是在 2005 年，约翰·霍尔 (John Hall) 和西奥多·海恩施 (Theodor Hänsch) 因其对发展基于激光的精密光谱学 (包括光学频率梳技术) 的贡献而获得诺贝尔物理学奖。

传统上，梳状光谱是使用钛蓝宝石固体激光器和掺铒或掺镱光纤锁模激光器产生的。由于这些激光光源体积庞大，只能在实验室进行实验。

为了充分发挥梳状光谱技术的潜力，开发一种紧凑、可大规模制造的器件至关重要。近年来，

人们朝着这一目标做出了相当大的努力，研究人员将重点放在将光学梳状发生器集成到光子芯片上。这方面的成功将使应用范围远远超出基频计量，并扩展到激光测距、电信和芯片光谱学等领域。

人们对双梳光谱学有非常强烈的兴趣，因为它允许使用单个光电探测器对宽带吸收光谱进行高度多路复用的询问。这项技术可以精确地表征大量气体、液体和固体的转动 - 振动跃迁。当使用这种光谱工具时，一根梳子穿过被研究的样品，而另一根线间距略有不同的梳子则充当“本机振荡器”。干涉光电探测器上的这两个梳子在 RF 域中产生频率梳子，该频率梳子由光学梳状线对之间可区分的节拍组成。因此，通过这种方法，样



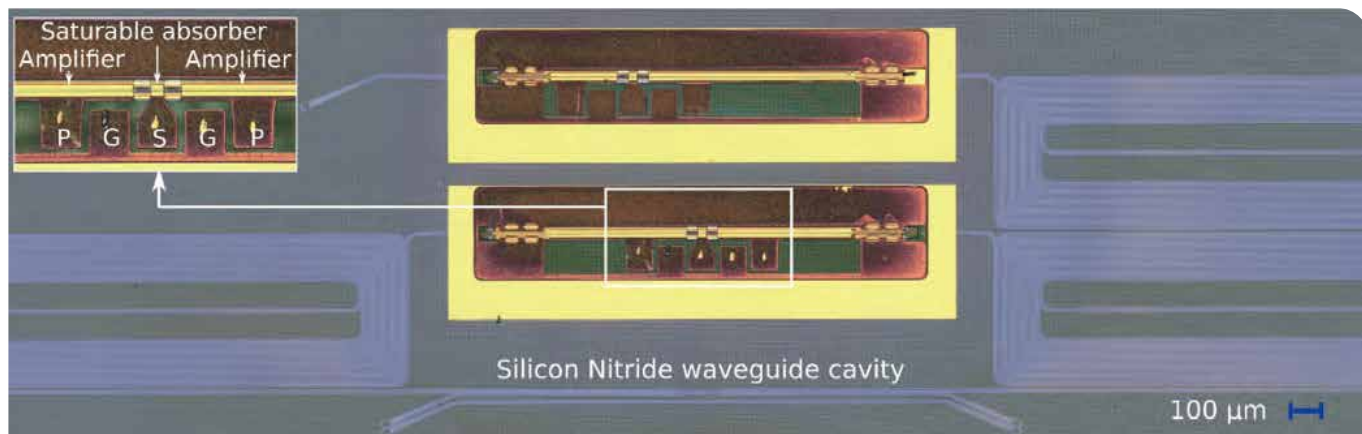


图1. III/V型半导体锁模激光芯片的显微镜图像，由两个10微米螺旋线、基于InP的放大器和一个可饱和吸收体组成。

品的光谱信息在 RF 域很容易获得，并且可用于电子处理。

这种方法的优点之一是，由于所有光谱成分都是同时测量的。系统误差，例如样本中的时间变化，被有效地均衡。另一个优点是频率梳可以用原子钟校准，以提供无与伦比的精度。

这种光谱技术的一个关键要求是能够在芯片上产生致密、低噪声的光学梳子。由于光谱测量的分辨率与相邻梳状线之间的间距直接相关，因此密度较高的梳状物能够识别样品光谱响应中原本无法检测到的特征。

在开发第一个芯片规模级的双梳光谱仪时，采用了克尔效应梳子，它由一个高质量的光学环形谐振器组成，由连续波激光泵浦。由于材料的非线性，在谐振器中产生了许多新的频率，导致产生具有由环的大小决定的线间距的光学梳子。

还有一些演示涉及量子级联激光器，以及所谓的电光频率梳。后一种方法通过将电光相位调制器置于具有强二阶非线性的谐振器中，并用连续波激光器泵浦来产生光梳。调制导致边带在调制频率处增长，随后也对边带进行调制，从而产生级联效应。

尽管这些平台已显示出令人印象深刻的结果，但其可用梳状线的数量有限、集成方面的挑战以及较大的梳状线间距（超过 10GHz）限制了其在芯片级高分辨率光谱应用中的应用。尤其是，

气相中的分子光谱已被证明具有挑战性，因为气体通常具有线宽约为 1GHz 的吸收特性。具有窄线间距的光学梳子对于准确采样这些光谱至关重要，而不需要交错在不同时间测量的多个光谱。

庆幸的是，有一类梳状发生器能够很好地满足芯片上气相双梳光谱的要求。这一突破来自于将传统的光学频率梳技术转化为芯片级器件：集成锁模激光器。光子芯片上的锁模激光器。

锁模激光器是一种特殊类型的激光器，它通过锁相腔内的大量纵模来产生超短光脉冲。根据傅立叶定理，这样的一系列短光脉冲在频域中产生光学梳子。

工程师可以使用与制造连续波激光二极管相同的制造技术在芯片上制造这些器件。主要区别在于增加了一个可饱和吸收体，它比连续波激光更有利于脉冲的形成。饱和吸收体通常通过对增益波导的一部分进行电气隔离并对其进行反向偏置来实现。

许多材料平台已被用于开发集成锁模激光器。它们的范围从 InP/InGaAsP 和 InP/InAlGaAs 量子阱到 InAs/InP、InAs/GaAs 和 InP/InAlGaAs 量子点。

由于噪声性能和梳状线间距与腔长成正比，因此有很大的动机来扩展激光腔。这推动了长无源波导 InP 和 III/V-on-Si 激光器的发展。

2017 年，根特大学 imec 和埃因霍温大学的

图2. 两级锥形联轴器结构上的微转移印刷试样的显微镜图像。



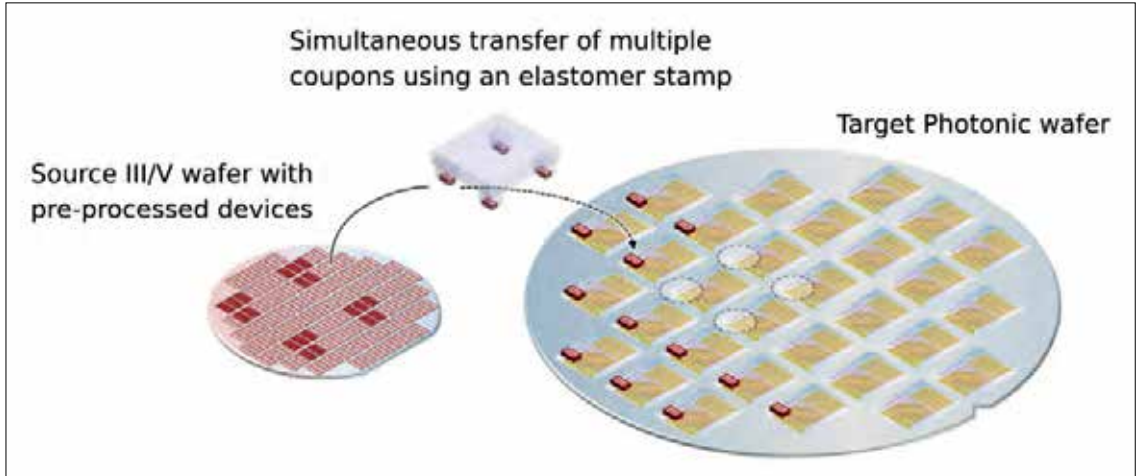


图3.使用弹性体印章在目标光子集成电路上进行微转移印刷预处理的III/V半导体光放大器的概念。

研究人员合作，实现了具有里程碑意义的集成锁模激光性能。当时，他们推出了一种硅基的 III/V 半导体锁模激光器，其重复率，即梳状线间距，仅为 1 GHz。成功来自于通过晶片到晶片键合技术将外延生长在其本机衬底上的 InP/InGaAsP 增益材料转移到绝缘体上硅 (SOI) 无源光子电路的顶部。将长的、低损耗的硅波导腔与高质量的量子阱增益波导相结合，可以实现较窄的线宽和较小的梳状线间距。

### 超低损耗的 SiN

将 SiN 平台用于集成光源是一个有望将性能提升到一个新水平的备选途径。同样的条件下，典型的硅波导的损耗约为 0.7 dB/cm，而 SiN 波导通常可以实现更低的损耗，接近 1 dB/m。与它们的同类硅波导相比的另一个优势是，由于具有更高的带隙，它们不会受到非线性双光子和自由载流子吸收的影响，这从根本上限制了可获得的腔体尺寸和激光功率。

我们根特大学 IMEC 光子学研究组的团队采用了这种方法，开发了世界上第一台基于这种新颖的 III/V-Semiconductor-on-SiN 平台的片上锁模激光器。通过利用仅为 5dB/m 的超低损耗，我们实现了迄今为止报道的芯片级锁模激光器的最低噪声，并展示了仅 755 MHz 的记录梳线间距，打破了 1 GHz 的记录。

我们的激光器采用环形腔结构，由两个 10 厘米正弦螺旋线组成，通过低压 CVD 沉积在有图案的绝缘硅晶片上 (见图 1，查看锁模激光器的显微镜图像)。通过使用深紫外光刻技术定义 330 纳米厚的 SiN 波导，我们实现了低成本、大

批量的晶片规模制造。

为了实现 III/V 半导体光放大器的异质集成，我们在 4.2 $\mu\text{m}$  的硅氧化物顶层上局部刻蚀了一条沟槽。这是通过干法刻蚀技术实现的，并导致腔波导的局部暴露。此外，我们还采用了两级锥形结构来有效地将来自 SiN 波导的光耦合到 III/V

增益波导。光首先从 SiN 波导耦合到下面的硅波导，然后进入 III/V 波导。这允许改进折射率匹配，从而提高耦合效率 (耦合结构的显微镜图像如图 2 所示)。

### 微转移印刷

我们采用微转移印刷技术实现了 III/V 放大器的异质集成。这一过程依赖于弹性印章的动态控制粘合，以便从源晶片中拾取器件 (在本例中为 SiN 光子集成电路 (PIC)) 并将其打印在目标晶片上。图 3 显示了集成过程的概述。

微转移印刷的一个重要优势是能够在深凹槽中集成 III/V 放大器，这一特性对于与低损耗顶层覆层无源光子平台兼容至关重要。微转移印刷技术利用了倒装芯片集成和晶片键合技术的优势，其额外优势是高效使用昂贵的 III/V 材料和大规模并行集成，因为许多器件可以同时拾取和打印。同样值得注意的是，III/V 器件可以在转印前在其原生衬底上进行预处理，从而允许在源晶片上进行预测试；材料堆栈可以共集成在同一目标晶片上，以实现不同的功能，提供无与伦比的多功能性。

我们的器件的制造从定义 III/V 半导体光放大器开始，从这里开始表示为“取样片”，在基于原生 III/V InP 基衬底上。外延层堆叠包含六个

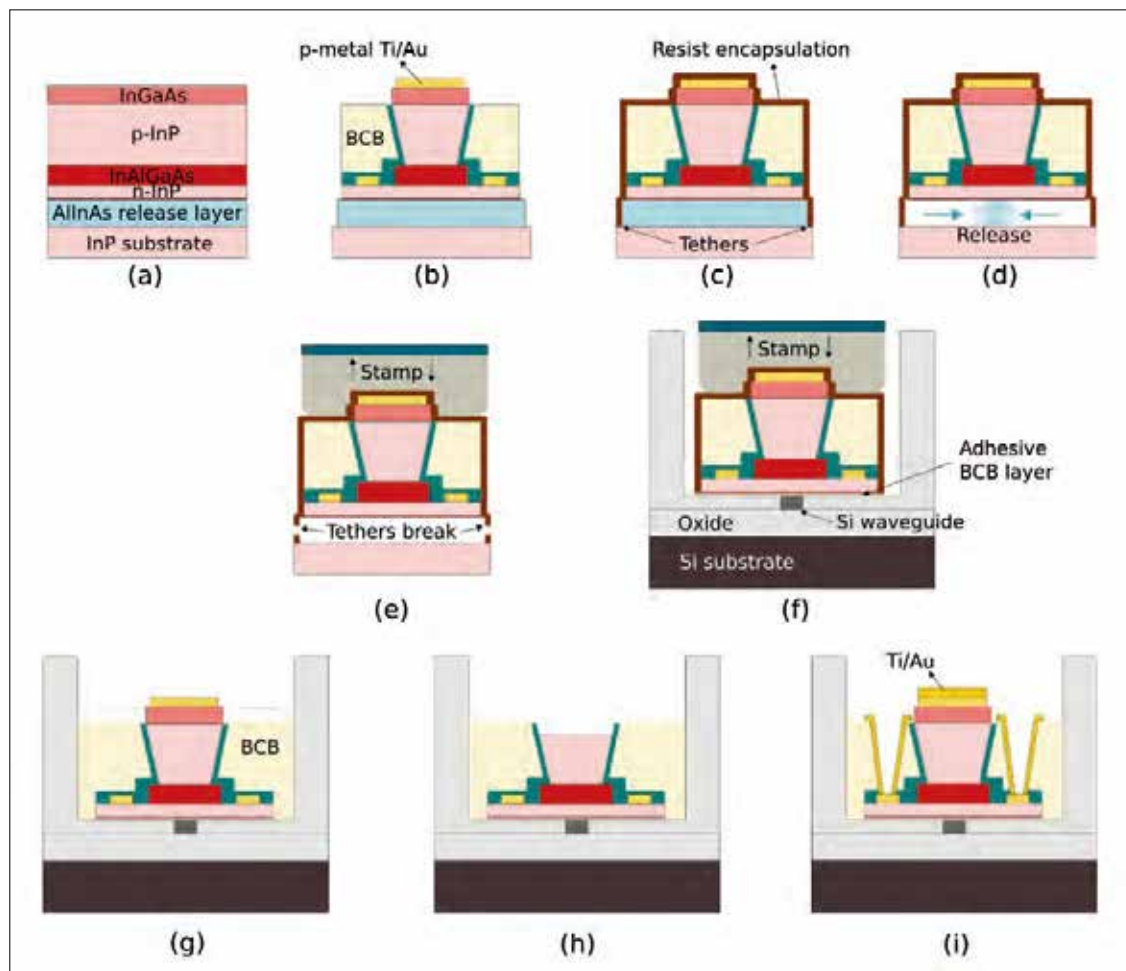


图4. 制造工艺流程。(A)-(D) III-V 半导体光放大器制造, (E)-(F) 微转移印刷工艺, (G)-(I) 后处理。(A) III-V 外延层堆叠, (B) 源衬底上的 III/V 试样定义, (C) 用光致抗蚀剂封装试样, (D) 释放蚀刻, (E) 从源拾取试样, (F) 在凹槽中在目标上打印试样, (G) 去除封装和 BCB 平坦化, (H) 可饱和吸收体隔离, (I) 最终金属化。

InAlGaAs 量子阱, 生长在 500 nm AlInAs 释放层上, 该释放层可选择性蚀刻以从衬底释放活性区域。在对试片进行图案化之后, 我们先沉积一层光刻胶封装, 然后用  $\text{FeCl}_3 \cdot \text{H}_2\text{O}$  溶液去除 AlInAs。这使得取样片仅由抗蚀剂封装支撑, 并可用于微转移印刷。

为了确保高的印刷产量, 我们在图案化的 SiN 目标样品上沉积了 50 nm 厚的粘合剂二乙烯基硅氧烷 - 双苯并环丁烯 (BCB) 层。然后将源和目标加载到微转移打印工具中并仔细对准。弹性体印章通过将印章贴在取样片上, 然后快速向上移动, 从源晶片中拿起取样片。在这一运动过程中, 取样片和压印之间的粘合力增加, 并且封装系绳在预定位置处断裂。在此之后, 在缓慢缩回以将试片留在目标上之前, 将加载试片的压印压在目标样品上。

在微转移打印过程之后, 去除抗蚀剂封装, 并用 BCB 将凹槽平面化。然后使用一系列干湿蚀

刻步骤对 III/V 放大器进行后处理, 以电隔离可饱和吸收体, 暴露 n 触点并提供用于偏置的电接触垫。

### 记录梳密度

为了评估器件的性能, 我们使用接触式探头对放大器和可饱和吸收器进行偏置, 并使用单模光纤收集光输出。利用光电探测器捕捉光学输出, 我们可以将梳状光谱转换到射频域 (参见图 5(A))。这表明梳状线间距为 755 MHz, 据我们所知, 这是报道的芯片内被动锁模激光器的最低梳状线间距。如此低的间距为光谱应用提供了前所未有的分辨率。请注意, 高频时的梳状滚落与锁模激光器无关, 而是光电探测器跨阻放大器带宽为 30 GHz 的结果。光梳的跨度超过 3.27 nm (参见图 5(B)), 这表明激光器在 10dB 带宽内产生了 500 多条密集均匀的线条。

噪声特性的表征涉及通过用光电探测器上的可调谐连续波激光器外差锁定激光器的输出来

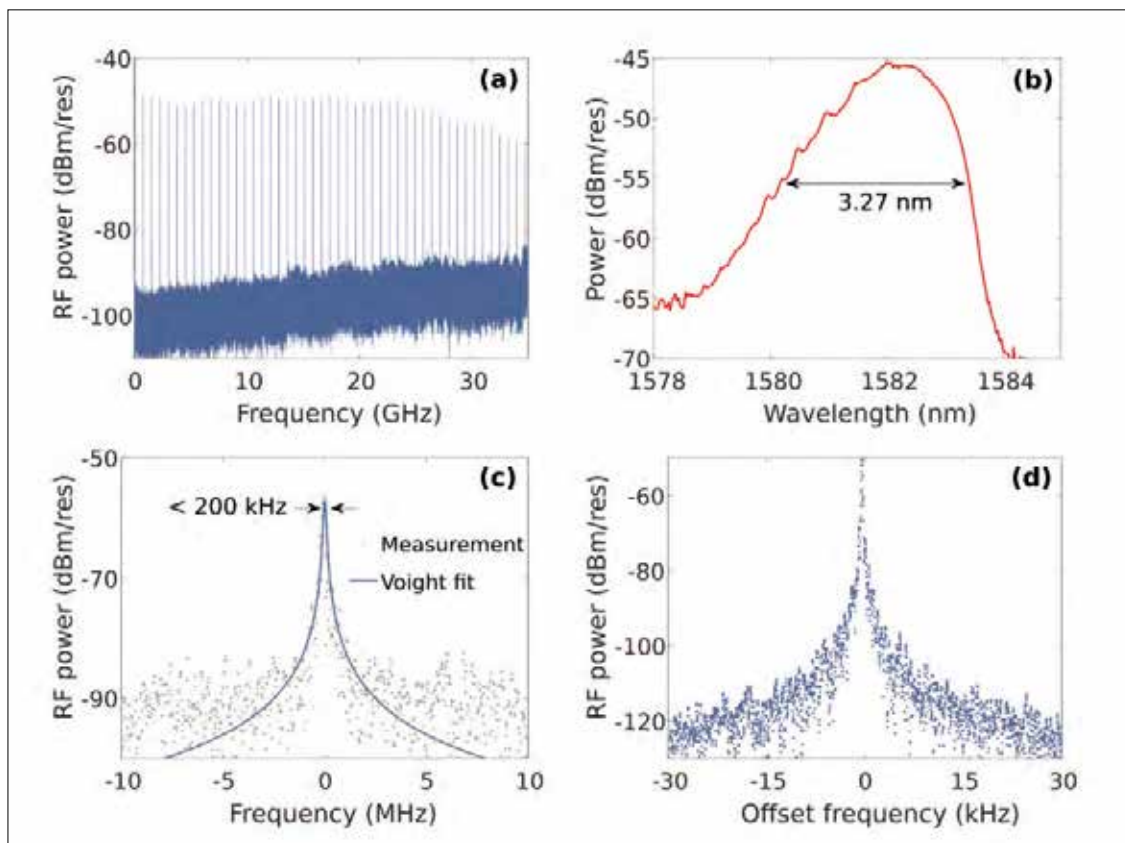


图5.实验结果。(A)所产生的脉冲串的射频频谱，其梳状线间距为755 MHz。(B)10分贝跨度为3.27纳米的光谱，以30 pm的分辨率量度。(C)光学线宽，通过用可调谐激光器外差锁定激光输出来测量。(D)755兆赫的重复频率讯号。

测量中心激光模式的光学线宽(见图5(C))。我们用 Voigt 曲线拟合了外差信号，它的半高宽只有 146 kHz。为了表征 755 MHz 的重复频率信号，我们用光电探测器和电子频谱分析仪测量了锁模激光器的输出(参见图5(D))。300 Hz-10dB 窄的射频线宽表明，所有的光学模式都是强锁相的，这意味着梳状线的光学线宽与中心激光模式的线宽相似。单边带相位噪声测量显示，放大的自发辐射发射受限射频线宽为 1 Hz，这表明目前射频线宽主要受环境和技术噪声扰动的影响。

我们的结果显示了我们的片上锁模激光器在光子芯片上集成高分辨率双梳光谱仪的潜力。然

而，在随后的商业部署之前，仍有一些挑战需要克服。首先，拥有更多可用的梳状线将是一件好事，这一目标可以通过进一步设计激光谐振腔和对增益进行频谱整形来实现。其次，需要仔细封装和稳定这些锁模激光器，以最大限度地减少环境扰动的影响。另一项任务是探索其他材料平台，如 GaSb，它可以瞄准  $2\mu\text{m}$  以上的光谱区域，使我们能够发现芯片上光谱传感的全部能力。

作者想感谢佛兰芒研究理事会(FWO)授予博士奖学金(11F8120N)和博士后奖学金(12ZB520N)。这项工作是在欧洲研究理事会(ERC)启动 Grant Electric 的背景下进行的。OSc

#### 扩展阅读

- [1] S. Cuyvers et al. European Conference on Optical Communications (2020)
- [2] N. Picqué and T.W. Hänsch. Nature Photon 13 146 (2019)
- [3] K. Van Gasse et al. arXiv 2006.15113 (2020)
- [4] K. Van Gasse et al. IEEE Photon. Technol. Lett. 31 1870 (2019)
- [5] Z. Wang et al. Light Sci. Appl. 6 e16260 (2017)
- [6] B. Haq et al. Laser Photonics Rev. 14 1900364 (2020)
- [7] S. Cuyvers et al. Laser Photonics Rev. 15 2000485 (2021)



# 用于 SiC 功率 MOSFET 的卓越工艺

形成一个没有氧化的栅极氧化层会打破阻碍 SiC MOSFET 20 年的壁垒

TSUNENOBU KIMOTO, Keita Tachiki, 来自 KYOTO UNIVERSITY

**世**界各国政府现在正在为今年的联合国气候变化大会做准备，该大会被广泛称为 COP26。在这次于 11 月初在英国举行的会议上，所有与会的国家都被要求承诺减少碳足迹。

他们可以承诺的雄心壮志程度将取决于他们安装可再生能源的计划。但他们应该考虑的一个因素是，他们使用所产生的能源的效率如何，以及他们是否可以在这方面取得成功。在几乎所有类型的电力和电子系统中，AC/DC 和 DC/AC 转换等电源转换效率在 85% 到 95% 之间。这意

味着，使用当前的技术，大约 10% 的电能以热量的形式被浪费掉了。这是一个很大的比例：试想一下，在无数系统中通过电力转换浪费了多少千兆瓦的电力，或者通过提高效率可以封存多少燃煤发电站。

大部分功率损耗归因于几乎完全由硅制成的功率半导体器件内部的焦耳热。几十年来，由这种半导体材料制成的功率器件一直在电气产品和基础设施中发挥着关键作用，但这项技术现在已经高度成熟，几乎没有进一步改进的机会。

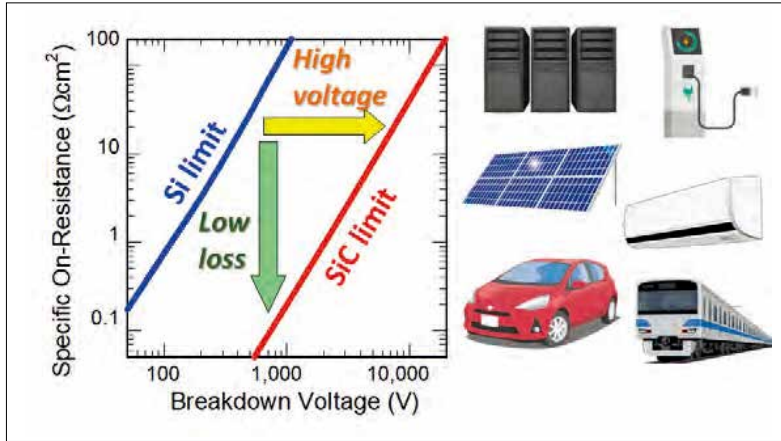


图 1. (左) 硅和 SiC 功率器件的极限，显示导通电阻和击穿电压之间的平衡。(右) SiC 功率器件 (MOSFET 和肖特基势垒二极管) 的典型应用领域。

然而，通过改用宽带隙半导体（例如 SiC、GaN 和 Ga<sub>2</sub>O<sub>3</sub>）可能会带来显著的收益。近年来，人们对这三者的兴趣一直在飙升。

所有这些宽带隙半导体共有的一个显著特性是非常高的临界击穿场强——是硅的十倍以上。将这三者区分开来的是一些独特的特征：SiC 以其广泛的掺杂控制而闻名，GaN 具有创建高迁移率通道的 AlGaIn/GaN 异质结构，而 Ga<sub>2</sub>O<sub>3</sub> 具有大块晶体熔融生长的优点。

在这三者中，碳化硅技术在材料生长和器件制造方面最为成熟。这类功率器件的基础研究可以追溯到 1990 年，当时 Kyoto University, North Carolina State University, Cree, 和 Purdue University 是主要参与者。现在，直径为 150 mm 的 SiC 晶片已被广泛使用，并且 CVD 已很好地用于生长具有低缺陷密度的高纯度 SiC 外延层。更重要的是，施主和受主的离子注入被广泛用于形成 n 型和 p 型区，并且由于原生氧化物 SiO<sub>2</sub> 化合物半导体的独特性，制造各种 MOS（金属-氧化物-半导体）器件相对容易。

由于芯片制造商利用了所有这些特性，碳化硅功率器件的销量正在上升。指定电压为 600

V 和 1700 V 的 SiC 肖特基势垒二极管和功率 MOSFET 分别于 2001 年和 2010 年上市，自 2015 年以来销量一直在上升。推动出货量增长的是服务器和 workstation 中采用 SiC 功率器件，光伏逆变器、空调、快速充电器、轨道交通以及特斯拉和本田的电动汽车。在所有这些应用中，碳化硅提供了显著的节能效果（见图 1）。由于电动汽车制造业的巨大扩张以及美国、欧洲、日本和中国正在进行的 SiC 材料和器件的巨额投资，SiC 器件的销售有望继续沿着这一令人印象深刻的轨迹发展。

鉴于 SiC 功率器件的日益成功，很容易假设它们已接近发挥其全部潜力。但实际情况有所不同——碳化硅功率 MOSFET 的性能实际上远非理想。虽然 650 V 碳化硅功率 MOSFET 的导通特性比硅等效物好得多，但由于材料特性优越，典型碳化硅产品的导通电阻几乎是其理想值的十倍。

通过考虑对该器件导通电阻的贡献，可以突出显示 SiC 功率 MOSFET 的弱点（见图 3）。在任何一类功率 MOSFET 中，导通电阻都是几个因素的组合，包括漂移层电阻、沟道电阻、衬底电阻和接触电阻。对于 600 V 碳化硅功率 MOSFET，漂移层电阻非常低，故不能忽略对导通电阻产生贡献的其他因素。与等效的硅器件相比，SiC MOSFET 的漂移层电阻几乎低了 300 倍，而由于沟道迁移率低，其沟道电阻高出约 30 倍。沟道电阻的这种增加极其有害，它抵消了 SiC 功率 MOSFET 与其硅竞争对手相比的大部分优势。对于 600 V 和 1200 V SiC MOSFET，沟道电阻分别约占总导通电阻的 70% 和 50%。

### 几十年的老问题

一个显而易见的问题是：为什么 SiC MOSFET 的沟道电阻如此之高？原因是在 SiO<sub>2</sub> 和 SiC 之间的界面处存在高密度的界面态，也称为陷阱。虽然硅的界面态密度低于 10<sup>10</sup> cm<sup>-2</sup> eV<sup>-1</sup>，但对于 SiC，这超过 10<sup>12</sup> cm<sup>-2</sup> eV<sup>-1</sup>。自 1990 年以来，这种高值一直在阻碍 SiC 器件的性能。尽管电子迁移率约为 1000 cm<sup>2</sup> V<sup>-1</sup> s<sup>-1</sup>，但沟道迁移率不超过 40 cm<sup>2</sup> V<sup>-1</sup> s<sup>-1</sup> 应归咎于此。事实上，在 p 体掺杂相对较重的 SiC 功率 MOSFET 中，沟道迁移率甚至更低——通常为 15–25 cm<sup>2</sup> V<sup>-1</sup> s<sup>-1</sup>，因此仅为体迁移率值的几个百分点。

对于 SiC，两步氧化形成工艺已被广泛用于制造功率 MOSFET。这涉及碳化硅的热氧化；或

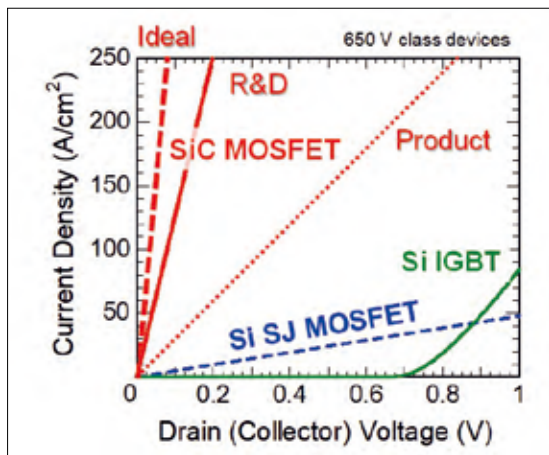
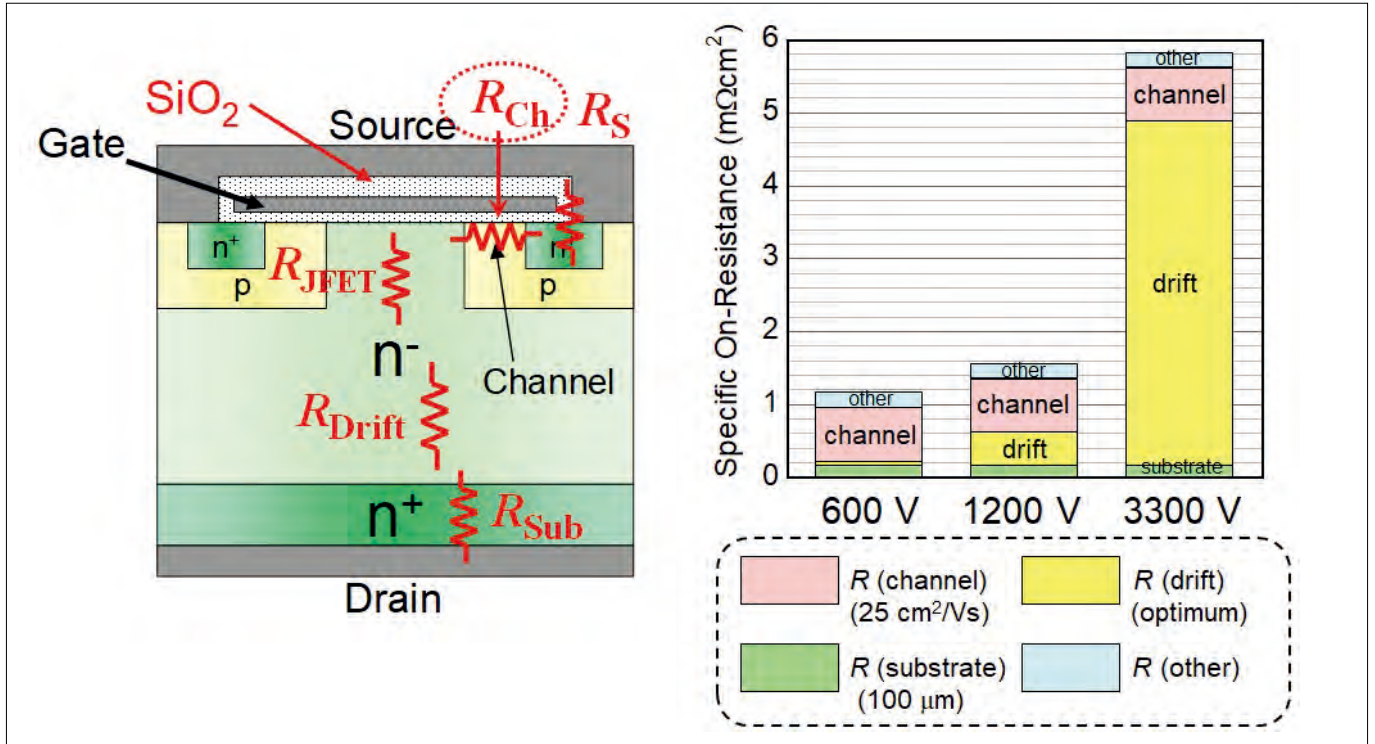


图 2. 650 V 级 SiC MOSFET、硅超结 (SJ) MOSFET 和硅绝缘栅双极晶体管 (IGBT) 的导通电流密度与电压之间的关系。对于 SiC MOSFET，提供了最新产品、研发器件和理想器件的指标。



沉积 SiO<sub>2</sub>，然后在一氧化氮气氛下进行界面氮化。后者的发明于 1997 年至 2001 年之间。

自本世纪初以来，世界各地进行了大量调研和独特的试验，试图提高 SiC MOSFET 的性能。过去 20 年的亮点是飞利浦开发的钠增强氧化，以及由 NAIST 工程师开创的在 POCl<sub>3</sub> 环境中的退火。这两种技术都产生了高通道迁移率，通常为 90-160 cm<sup>2</sup> V<sup>-1</sup>s<sup>-1</sup>，但这些方法都不合适，原因在于高电场下引入了阈值电压不稳定性和较短的氧化物寿命。

### 非氧化的氧化物形成

我们在日本京都大学的团队多年来一直致力于 SiC MOS 结构的基础研究，并开发了一种改进 MOSFET 的新技术。鉴于超过 10<sup>12</sup> cm<sup>-2</sup> eV<sup>-1</sup> 的界面态密度有些异常，这表明 SiO<sub>2</sub>/SiC 系统一定有问题。为了找出原因，我们问了自己一个简单的问题：当 SiC 被热氧化时，SiC 中的碳原子会发生什么？在 SiC 氧化形成 CO 分子的过程中，几乎所有的碳原子都被去除。但并非全部——一些留在界面附近，是缺陷形成的主要原因。

我们有一些证据支持我们的推测。2016 年至 2018 年期间，我们进行了一系列涉及二次离子质谱的实验，结果表明，在 SiC 氧化过程中，高密度的碳原子在 SiO<sub>2</sub>/SiC 界面附近积聚。这些原子通过高温氮气退火释放。在此之前，2009 年至

2014 年间，我们发现在 SiC 氧化过程中，过量的碳原子被排放到 SiC 块体区域，在那里它们会产生块体缺陷。因此，基于这两项研究的主要发现，显然碳原子在 SiC 氧化过程中的行为并不简单。

通过对 SiO<sub>2</sub>/SiC 界面的一些第一性原理计算，可以进一步了解氧化过程。这些理论研究表明，一些 C-C 缺陷具有较低的形成能，可以在 SiC 导带边缘附近产生低电性能级。

在考虑了所有这些实验结果和理论研究后，我们认为在 MOSFET 制造过程中形成栅极氧化物时尽可能避免 SiC 氧化至关重要，因为 SiC 氧化不可避免地会产生高密度的缺陷。虽然 SiC 团体乐于继续使用 SiC 的热氧化来形成 SiO<sub>2</sub>，但我们认为花时间开发另一种生产高性能 SiC MOSFET 的方法可以获得很多好处。我们现在将详细介绍

图 3. (左) 垂直功率 MOSFET 及其主要电阻元件的横截面示意图。(右) 600 V、1200 V 和 3300 V SiC 功率 MOSFET 导通电阻的主要影响因素。600 V 和 1200 V SiC MOSFET 的导通电阻受到沟道电阻的严重限制。

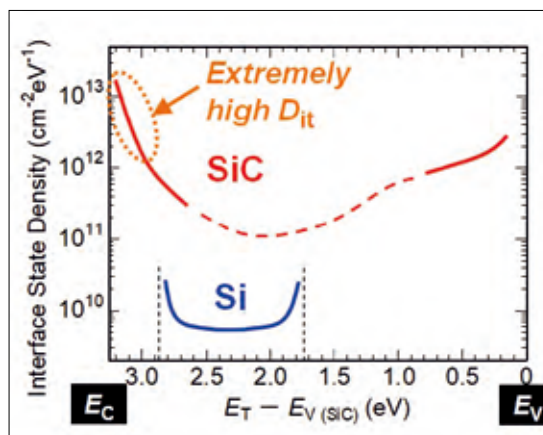


图 4. SiC 和硅 MOS 结构的界面态密度的能量分布。SiC 中导带边缘 (Ec) 附近极高的缺陷密度是 n 沟道 MOSFET 迁移率低的主要原因。

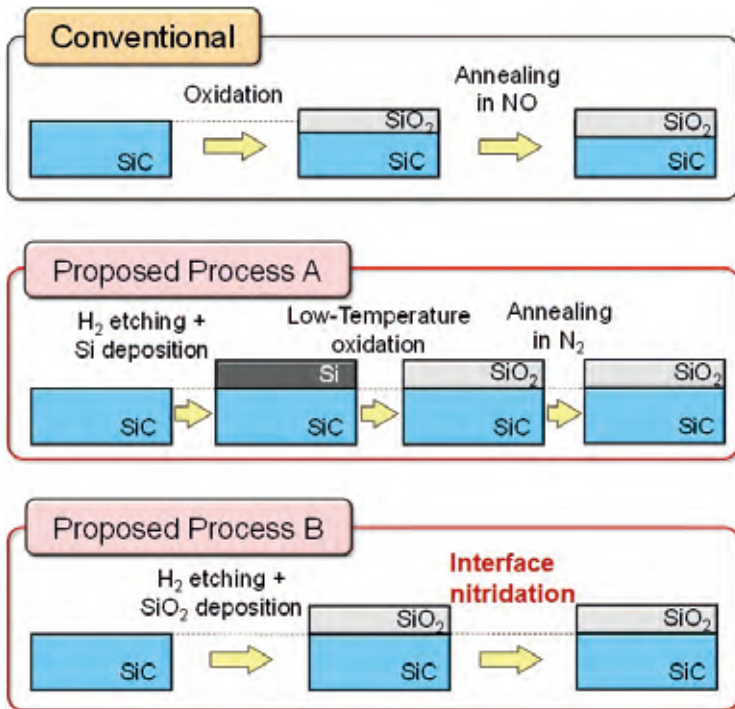


图 5. 传统氧化物形成工艺和京都大学开发的两种原始工艺（工艺 A 和工艺 B）的流程。在原始工艺中，氧化物是通过三个步骤形成的：H<sub>2</sub> 蚀刻、无 SiC 氧化的氧化物形成和界面氧化。



图 6. 用于界面氮化以形成高质量 SiO<sub>2</sub>/SiC 结构的高温氢蚀刻和晶圆加载。

的解决方案是使用三步工艺来形成高质量的 SiC MOS 界面（图 5 和图 6 对此进行了总结）。

我们开发的工艺首先在氢气中蚀刻 SiC，以去除表面附近的氧化引起的缺陷。在此之后，我们为流程的第二步提供选择。我们的一种选择，我们将其称为工艺 A，涉及硅沉积和通过低温氧化转化为 SiO<sub>2</sub>；我们的替代方法 B 是沉积 SiO<sub>2</sub> 薄膜，以排除 SiC 的氧化。无论采用哪种选择，第三步也是最后一步是使用 N<sub>2</sub> 或一氧化氮气体进行界面氮化，以钝化 SiO<sub>2</sub> 和 SiC 之间的界面处存在的一些缺陷。

请注意，我们绝不会采用牺牲氧化 SiC，即先热氧化再去除氧化物。那些确实在 MOSFET 制造之前或外延生长之后使用牺牲氧化的器件，都有在 SiC 晶片表面产生非常有缺陷的区域的危险。

一些人会对我们的技术取得成功感到惊讶。毕竟，有很多报道称在制造 SiC MOSFET 时尝试沉积 SiO<sub>2</sub> 膜，但结果令人失望。但是我们的方法有一个关键的区别，它解决了牺牲氧化过程中产生的缺陷，这些缺陷位于亚表面，深度可达 5 nm。我们通过工艺的第一步，即在 SiO<sub>2</sub> 沉积之前在氢气中蚀刻来消除这些缺陷。

在通过热氧化将其转化为 SiO<sub>2</sub> 之前，一些团队也曾尝试沉积硅。这是不成功的：从硅转化为 SiO<sub>2</sub> 的温度太高，导致 SiC 表面氧化，导致高密度缺陷的产生。

在我们的研究中，我们详细研究了我们的流程中所有三个步骤的影响。我们发现所有这些都是导带边缘附近实现非常低的界面态密度所必需的。

### 沉积 SiO<sub>2</sub>

在本文的剩余部分，我们详细介绍了 SiO<sub>2</sub> 沉积工艺（工艺 B），该工艺具有技术简单的优点。我们将这种方法与传统的热氧化和氮化退火在 N<sub>2</sub> 或 NO 中进行比较（见表 1）。

对这四种不同工艺的界面态密度能量分布的测量强调了我们原始工艺的前景（见图 7，它证明了工艺 B 对于 H<sub>2</sub>-CVD-NO 和 H<sub>2</sub>-CVD-N<sub>2</sub> 工艺的优越性）。使用工艺 B，在能量低于导带边缘 0.2 eV 处的缺陷密度比用于制造 SiC 功率 MOSFET 的传统工艺（基于 NO 氧化和氮化）低约三到五倍。当采用常规工艺生产 MOS 时，界面态密度向带边缘快速增加；与我们最初的界面态密度的过程能量分布相当平坦，表明界面缺陷



Process	H <sub>2</sub> etching	Oxide	Nitridation
H <sub>2</sub> -CVD-N <sub>2</sub>	w	PE-CVD (400°C)	N <sub>2</sub> (1400°C)
H <sub>2</sub> -CVD-NO	w	PE-CVD (400°C)	NO (1250°C)
Ox-N <sub>2</sub>	w/o	Oxidation (1300°C)	N <sub>2</sub> (1400°C)
Ox-NO	w/o	Oxidation (1300°C)	NO (1250°C)

表 1. 四种不同的栅极氧化物形成工艺。H<sub>2</sub>-CVD-NO 和 H<sub>2</sub>-CVD-N<sub>2</sub> 是京都大学首创的，而 Ox-NO 和 Ox-N<sub>2</sub> 是传统的。

的不同性质。

这一优势为 MOSFET 带来了卓越的性能。对于使用我们工艺制造的器件，通道迁移率大约是使用传统工艺制造的等效晶体管的两倍，达到 80 cm<sup>2</sup> V<sup>-1</sup> s<sup>-1</sup> 和 85 cm<sup>2</sup> V<sup>-1</sup> s<sup>-1</sup> 之间的值（见图 8）。我们对我们工艺的 H<sub>2</sub>-CVD-NO 变体尤其令人鼓舞，该变体在高栅极电压下产生高迁移率，以及常关操作 - 即大于 0 V 的阈值电压。我们的工艺是显著提高 SiC 功率 MOSFET 性能的最有前景的技术。

碳化硅功率 MOSFET 的发展出现了一些错误的曙光。由于氧化物的介电击穿特性差或栅极偏置引起的阈值电压不稳定性大，通过提供低缺陷密度或高沟道迁移率而显示出最初希望的工艺在下一个障碍中下降。

我们已经调研了这两个令人担忧的原因，并很高兴地报告说，我们的工艺生产的器件不会屈服于这些陷阱中的任何一个。当对我们结构的氧化物施加高电场时，我们观察到高于 6 MV/cm 的美丽 Fowler-Nordheim 轮廓。对于小于 6 MV/cm 的场强，泄漏电流低于我们的检测极限。使用我们的 H<sub>2</sub>-CVD-NO 工艺形成的氧化物具有超过 11.2 MV/cm 的击穿能力，该值甚至高于传统工艺的值。更令人鼓舞的是，使用我们的 H<sub>2</sub>-CVD-NO 工艺制造的 SiC MOSFET 的阈值电压偏移低于 50 meV——这小于使用传统工艺制造的器件的阈值电压偏移。基于所有这些发现，我们毫不怀疑我们的工艺可以解决困扰 SiC MOSFET 20 年的问题。

我们的下一个目标是将我们的技术应用于非基平面。众所周知，当 MOS 沟道形成在非基面 ((1-100) 或 (11-20) 面) 时，SiC MOSFET 的性能会达到更高水平。在这些被称为沟槽 MOSFET 的器件中，通过传统工艺已获得超过 100 cm<sup>2</sup> V<sup>-1</sup> s<sup>-1</sup> 的沟道迁移率。切换到我们的流程应该会产生更

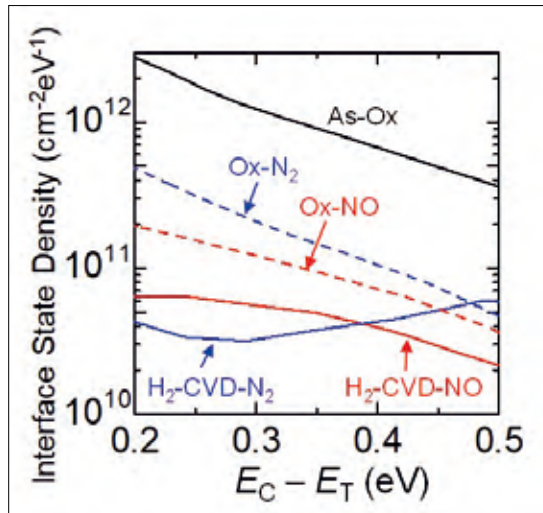


图 7. 具有由五种不同工艺形成的氧化物的 SiC MOS 结构的界面态密度的能量分布：氧化态 (As-Ox)；常规氧化和随后的氮化 (Ox-NO 和 Ox-N<sub>2</sub>)；以及京都大学开发的两项新技术 (H<sub>2</sub>-CVD-NO 和 H<sub>2</sub>-CVD-N<sub>2</sub>)。新工艺在导带边缘附近产生非常低的界面态密度，通常仅为 5 x 10<sup>10</sup> cm<sup>-2</sup>eV<sup>-1</sup>。

高的价值。一些 SiC 器件制造商对这种可能性表现出极大的兴趣，并与我们取得了联系，并已开始技术转让。

更高的迁移率是 SiC 功率 MOSFET 的主要资产。假设通道迁移率增加一倍或三倍，它可大幅降低 600 V 至 1200 V 器件的特定导通电阻。然而，芯片制造商更明智的做法是在保持导通电阻的同时，缩小芯片尺寸。将芯片尺寸减半将使从一个晶圆上获得的 MOSFET 管芯数量增加一倍，同时也将使生产良率也会提高到 100%，这得益于降

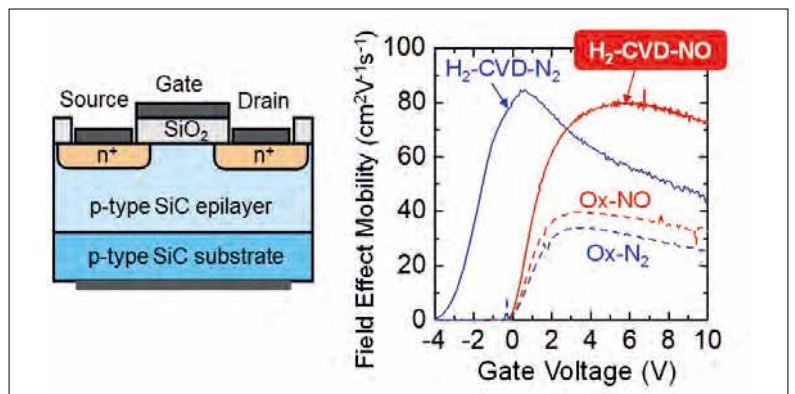


图 8. (左) 制造的 n 沟道 SiC MOSFET 的横截面示意图。(右) 具有四种不同工艺形成的栅极氧化物的 SiC MOSFET 的迁移率与栅极电压的关系。H<sub>2</sub>-CVD-NO MOSFET 在高栅极电压和常关操作下的迁移率是传统 MOSFET 的两倍以上。

低了满足器件杀手缺陷或图案失效的概率。所有这些因素都将有助于降低 SiC 功率 MOSFET 的成本，进而加速这些器件的应用。

虽然我们已经取得了很大的进展，但仍然存在一个基本问题：SiC MOS 结构中界面缺陷的起源是什么？由于我们现在能够制造缺陷密度非常低的 SiC MOS 结构，因此我们可以预期，对高质量界面以及低质量样品的物理和化学分析应该可以提供对缺陷原因的有用见解。

除了研究此事，我们还计划进一步改进我们的原始流程。我们已经意识到，在所提出的工艺中形成氧化物后退火条件的变化对界面质量有显著影响，而传统工艺则不然。这进一步证明了

SiC MOS 的发展在经历了几十年的停滞之后，才刚刚进入一个激动人心的新时代。📄

● 作者要感谢京都大学的 T. Kobayashi 和 M. Kaneko 对本研究的贡献。

**扩展阅读**

K. Tachiki et al. Appl. Phys. Express 14 031001 (2021)  
 K. Tachiki et al. Appl. Phys. Express 13 121002 (2020)  
 T. Kobayashi et al. Appl. Phys. Express 13 091003 (2020)  
 T. Kimoto et al. Appl. Phys. Express 13 120101 (2020)  
 T. Kobayashi et al. J. Appl. Phys. 126 145302 (2019)  
 G. Chung et al. IEEE Electron Device Lett. 22 176 (2001)

上接第 21 页

缺陷较少的样品在 170K 下比高密度缺陷的样品 (见图 5 (g)) 具有更平滑的阴极发光图像 (参见图 5 (i))；这直接表明随着量子阱中的点缺陷密度减小，载流子扩散长度增加。

仔细分析这些阴极发光图像 (参见进一步阅读) 使我们能够提取具有不同底层厚度的薄膜样品的点缺陷密度和 170K 载流子扩散长度 (见图 6)。将这些性质与时间分辨光致发光测量的宏尺度室温内部量子效率进行比较，可以清楚、明确地了解底层和点缺陷的作用：插入底层将量子阱中的点缺陷密度从  $10^{16} \text{ cm}^{-3}$  降低到  $10^{14} \text{ cm}^{-3}$  左右，从而使室温下的宏观效率从仅有 1% 提高到了 60% 以上。另一种观点认为，增加较厚的衬底并不能显著增加载流子扩散长度。基于这些发现，在设计微发光二极管时，考虑到这些致命的点缺陷是至关重要的。

**未来的方向**

对于 InGaN/GaN 量子阱结构中铟相互作用点缺陷和底层机制的新知识，重新审视以前的设计

决策是有好处的。例如，我们现在可以看到，在 InGaN 波导激光器中，低铟含量的包覆层可能起到了底层的作用，提高了器件的效率。但有几个问题仍然存在：多量子阱结构成功的原因之一是下量子阱作为底层，确保高质量的上量子阱？有多少以前的结果是由于阱内不明的点缺陷而歪曲的？总的来说，在高温下生长 GaN 是有害的还是有益的？这些点缺陷是否与高 In 含量 InGaN 量子阱低效率背后的“绿隙”现象有关？我们的预测的影响是广泛的，它们需要更深入的研究。

重新审视以前的设计决策是有好处的，因为有了这种关于铟相互作用点缺陷和 InGaN/GaN 量子阱结构中的底层机制的新知识。

但请注意，在解锁了异质结构内部非辐射点缺陷的直接成像之后，我们现在可以更容易地检测到本征点缺陷。除了可见的 LED，这些缺陷可能会限制其他 III-氮化物器件的性能，例如深紫外光 LED。我们在缺陷成像方面的进展也为新的点缺陷研究奠定了基础，包括对单个埋藏的点缺陷的时间分辨测量。📄

**扩展阅读**

[1] C. Haller et al. Burying non-radiative defects in InGaN underlayer to increase InGaN/GaN quantum well efficiency. Appl. Phys. Lett. 111 262101 (2017)  
 [2] C. Haller et al. GaN surface as the source of non-radiative defects in InGaN/GaN quantum wells. Appl. Phys. Lett. 113 111106 (2018)  
 [3] Y. Chen et al. GaN buffer growth temperature and efficiency of InGaN/GaN quantum wells: The critical role of nitrogen vacancies at the GaN surface. Appl. Phys. Lett. 118 111102 (2021)  
 [4] T. F. K. Weatherley et al. Imaging nonradiative point defects buried in quantum wells using cathodoluminescence. Nano Lett. 21 5217-5224 (2021)

# 混合键合：金的使用

铜或金混合键合为化合物半导体器件的封装提供了可行的拓展性

JOHN GHEKIERE, 来自 CLASSONE TECHNOLOGY

半导体器件的制造始于外延片的生长，旨在确保高质量的晶体材料具有最小的缺陷。一旦一个器件完成，它通常必须集成到它的 CMOS 大脑中，以便执行它令人印象深刻的任务。通常，这种集成是通过采用先进的封装技术来实现的，其中许多技术包括某种形式的柱状结构和键合。然而，持续的输入 / 输出 (I/O) 扩展采用了传统的封装方法，使许多制造商无法实现它们。混合键合为 I/O 密度扩展提供了大量机会。

越来越受欢迎的异质直接键合，也称为混合键合，是一种涉及直接键合电介质和互连特征的技术，无论是在两个晶片之间，还是在芯片和晶片之间。这样的概念并不新鲜，经过十多年的研究和开发，并且已经部署在一些 CMOS 图像传感器的制造中。然而，直到最近，混合键合还没有作为一种可行的封装集成方法获得广泛关注。但这种情况正在改变。

与扩展更完善的方法相关的技术难度呈指数级增长，主要基于柱状，推动了对混合键合的兴趣，同时也增加了其融资。前沿支柱应用面临的扩展挑战是如此巨大，以至于大多数器件制造商都无法实现启用输入 / 输出密度的扩展。

这种限制对于在这个竞争激烈的市场中运营的化合物半导体器件制造商来说是一个重大打击。由于花费在开发上的大部分资金主要用于真正的器件技术，因此几乎没有资金可以尝试推进已经非常先进的封装流程。与硅基器件制造商相比，化合物半导体行业的研发预算相对较小，这让化合物半导体行业陷入困境。代工厂是一种选择，但由于化合物半导体器件仍然主要在直径为 150 mm 或更小的晶圆上生产，因此找到一家在这些晶圆直径上运行但能够进行这种先进封装集成的代工厂变得不可能。

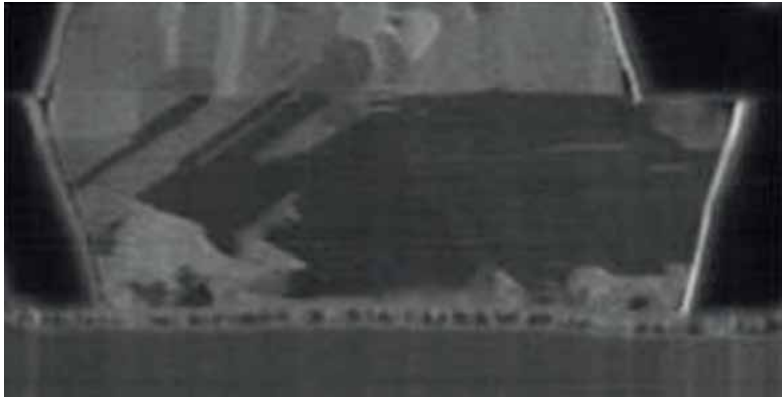
幸运的是，混合键合提供了一个真正的替代方案。这种方法显然很重要，可以证明应该提供丰厚回报的开发支出是合理的。虽然一些投资优化很有价值，但有几代渐进式创新的承诺，与进一步发展支柱的收益递减相比，这是一个有吸引力的主张。

幸运的是，混合键合提供了一个真正的替代方案。这一方法显然很重要，证明了开发支出应该带来丰厚回报的合理性。虽然一些投资优化很有价值，但也有几代人的渐进式创新的承诺，与进一步发展支柱的收益递减相比，这是一个极具吸引力的课题。

## 用于新兴器件的金焊盘的直接键合。

对于柱式和凸点封装， $10\mu\text{m} \times 10\mu\text{m}$  的“微柱”代表了最先进的技术。即使对业内最先进的制造商来说，进一步扩大规模也是一项挑战。这方面



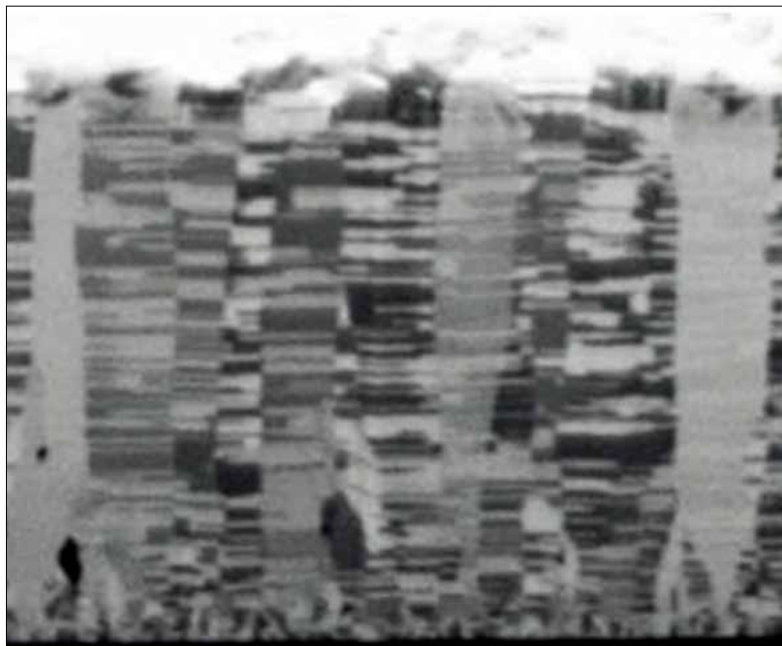


用于新兴器件的金焊盘的直接键合。

的进展将允许增加器件上的输入和输出数量——实现这一点需要增加特征密度，进而降低间距并最终使特征更窄。由于支柱是一个真正的三维结构，如果其高度没有缩放，就会导致机械完整性问题。为了防止这种情况发生，工程师必须根据高度进行缩放，这意味着保持特征与特征之间极其紧密的变化实际上会产生指数级更大的百分比差异，称为共面性。一致性不能保持不变，甚至不能逐步改进。它必须从一个特征到另一个特征大大改进。不想要的后果是实现屈服所需的共面性的真正挑战。

这样的共面性可以实现吗？目前是的，而且在这方面取得了巨大的成就。但每一次新的规模化都需要开发新的电镀化学和设备修改，同时需要一定程度的创新，这往往会产生新的专利和独家知识产权。所有这些都意味着更高的成本。可以做到吗？是的 - 它正在进行。然而，鉴于越来越多的困难，除了少数制造商之外，其他所有制

Novafab 纳米双铜，最适合直接键合。



造商都无法取得所需的进展。

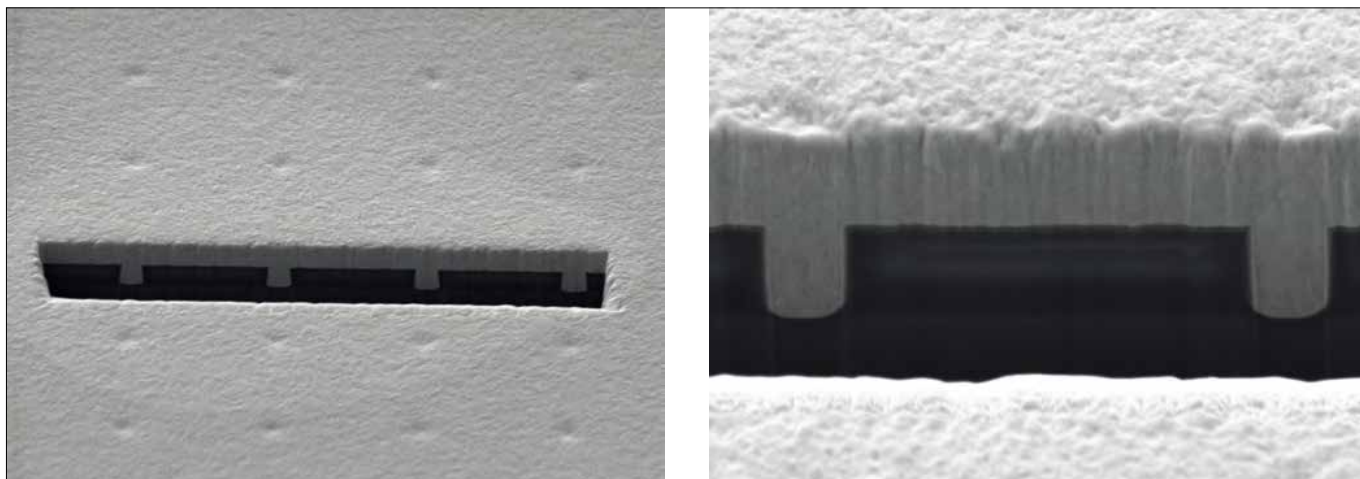
除了电镀和机械完整性，传统封装也面临挑战。想想光刻技术。用于柱 / 凸块封装集成的光致抗蚀剂只是半导体工业生产的众多奇迹之一。它们必须与 pH 值仅为 1 或 2 至高达 9 或 10 的多种电镀电解液兼容；抗蚀剂配方的真正兼容性挑战。当使用高强度抗蚀剂材料时，需要进行权衡。这给去除带来了挑战，通过化学和机械腐蚀性的加工步骤解决了这一问题。再说一遍，它有效吗？是的，到目前为止。然而，它有助于进一步缩小已经很窄的工艺窗口，这是因为由多种金属组成的电镀特征（如粘附性）是非常小的独立结构。在这些尺寸下操作的光致抗蚀剂的特征尺寸的绝对精度也有实际考虑因素。正在取得进展，但这些进步来自越来越少的制造商

### 混合天堂

从使用支柱转换为混合键合大大简化了与电镀、机械完整性和光刻相关的许多问题。首先，混合键合采用电镀能力，这些能力已经为更小的特征尺寸和更窄的间距而建立。以铜金属化为例，这是混合键合最常见的实现方式：CMOS 互连已经将特征填充电镀的尺寸发展到 100 纳米以下，这比与支柱相关的尺寸小三个数量级以上。更重要的是，这推动了比混合粘合应用所需的更高纵横比特征的填充。在专注于电镀时，我们可以看到，四代、五代甚至六代人所需的进步已经在很大程度上已经确定并可行。ClassOne Technology 的 CopperMax 反应器代表了一种先进的电镀单元，旨在为混合键合应用提供铜填充的这种可扩展性。

混合键合的另一个优点是它不采用独立结构。通过使用嵌入式金属焊盘，该技术支持一定程度的缩放，就电镀能力而言，这种缩放水平已经超出了当前晶圆对准的限制。这种缩放是如此先进，以至于它推动了晶圆对准的进步。

为了说明这一点，让我们考虑镀铜。对于当今许多围绕柱 / 凸点工艺设计的器件制造商而言，极其先进的 20  $\mu\text{m}$  螺距是不可能实现的。但是这种长度刻度很容易通过铜镶嵌电镀来实现。这种电镀形式已用于高级逻辑互连。尽管镀铜最近已被 PVD 回流取代，在某些情况下，在最先进的节点处，镀铜是记录到 10 nm 节点的过程，其中金属 1 通孔尺寸达到约 30 nm 或更小的规模。



左图：填充金的亚微米特征，无空隙。深宽比为 1.5:1。右图：放大的图像，显示了两个填充金的亚微米特征。

对于混合键合，与当前技术水平相关的特征尺度是大约  $10\mu\text{m}$  甚至更低的输入和输出密度。由于在这一长度范围内的成功，晶圆到晶圆键合不仅可以作为一种通用的芯片堆叠或封装方案，适用于可能较慢采用它的大型制造商，而且也适用于许多较小的器件创新者，如 MicroLED、高级 RF 器件和其他分立器件。该技术既可用于晶圆到晶圆的键合，也可用于拾取和放置。

在评估不同的单元材料的选择时，不仅要考虑电镀步骤，还要考虑围绕它的工艺，从而考虑与支柱集成相关的利弊。嵌入式焊盘电镀，通常被称为特征填充，确实需要先进的化学机械抛光 (CMP)，它可以精确地平面化金属和电介质。现有的铜 CMP 通常会将特征密度平坦化到比当今最先进的封装所需的水平高几个数量级的水平。

这并不是说先进的铜 CMP 很简单，而是说，必要的发展已经由先进的互连集成驱动，因此已经存在。具体到直接混合键合，CMP 必须适应电介质和金属之间的热膨胀系数差异。完整可靠的键合要求金属键合焊盘略微凹陷，但要精确地凹陷，通常在规定凹陷的  $5\text{ nm}$  以内。因此，在统一电介质的键合步骤之后，随后的金属键合步骤导致两个接口焊盘的膨胀，这些焊盘彼此生长并最终形成单片互连。同样，这不是微不足道，但也不是新的需求。

### 铜对金

对于混合键合，CMP 后的清洁变得非常关键。使用铜时，有一个既定的记录流程供工程师参考。已经建立了用于器件金属化的清洁化学物质，可实现出色的颗粒去除、金属离子的低残留表面污染以及对暴露特征的有效零金属蚀刻。这是一个

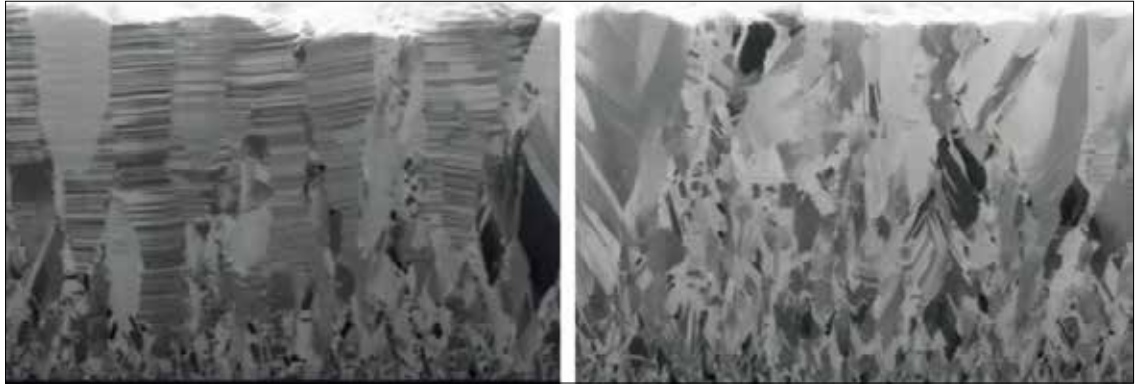
已经建立的单元过程步骤，但需要非常严格的过程控制。

有趣的是，也许有些令人惊讶的是，金中的金属化提供了一种现实的铜替代品。尽管整体而言显然没有那么先进，但大量的开发都是针对金的金属化，包括为新兴器件类型建立一条具有高度竞争力的试生产线。在这条生产线中，我们的团队在蒙大拿州卡利斯佩尔 ClassOne Technology 开发的 GoldPro 反应器提供了电镀工艺或记录。尽管在开发这项技术方面付出了很多努力，其中包括建立试生产，但许多制造商尚未考虑在镶嵌式或嵌入式电镀架构中使用金。与铜相比，金在超保形填充的添加剂开发方面也没有受到太多的关注，但事实证明，金对接缝空隙的影响要小得多。虽然比铜贵得多，但金具有许多关键的优点，包括耐腐蚀性。在某些应用中，这些优势保证了这种贵金属的使用。

我们的团队已经证明，通过将适当的化学配方与关键参数控制相结合，在我们的特定案例中，MadDermid Enthone 的 MicroFab Au660 亚硫酸盐金电解液和我们的 GoldPro 反应器，采用特定的电镀波形和电解液流剖面，可以轻松实现有效且可扩展的金填充功能目前已经很容易获得。与新兴技术领域的关键制造合作伙伴合作，我们开发并演示了深宽比为 1.5:1 的金特征填充焊盘特征。这比涉及  $10\mu\text{m}$  宽铜柱的柱 / 凸块的间距要小得多，这被认为是该技术的最先进技术。

金化学机械抛光技术的发展不如铜化学机械抛光技术成熟，并且在金属凹槽方面受到类似的严格工艺窗口的制约。特别具有挑战性的是，金化学机械抛光化学制品往往比铜的化学制品更具侵略性。如果使用侵蚀性浆料，则在形成足够光

使用 MicroFab Au660 亚硫酸金化学在多晶方向镀金，支持直接键合优化



滑的电介质表面同时控制金特征的凹陷方面将面临挑战。与铜一样，混合键合顺序从直接键合电介质表面开始，然后是金属键合。

在优化晶粒结构以获得最有效的键合时，铜金属化再次受到比金更多的关注。也就是说，金已经被证明可以在明显不同的方向上进行电镀，这表明近期有足够的优化空间。

在某些时候，即使是金对保形电镀的宽容和避免接缝线也会让位于更高纵横比的现实，而传统的金电解质无法满足这一现实。然而，由于该特征相当于一个焊盘，它的载流能力是在水平方向上定义的，而不是在垂直方向上定义的。换句话说，接合焊盘不需要很高才能工作，因此不太可能需要生产具有过高深宽比特征的焊盘。开发可能会朝着 2:1 的比例推进，部署需要一个更直接类似于真正的自下而上电镀的填充步骤。这些努力已经在顺利进行中，MacDermid Alpha 取得了重大进展。

进一步开发更自下而上的金化学技术的一个实际制约因素是准确分析此类化学的能力。难点在于无法借鉴所有传统的电化学分析方法。对于依赖于正向和反向电镀（即电镀和剥离）的铜电镀化学品，使用旋转圆盘电极。金不能以类似的方式轻易剥离。幸运的是，这些挑战可能很快就会消失，因为正在取得进展，包括 Ancosys GmbH 的新开发。

许多人可能想知道为什么使用金而不是铜是有意义的，因为成本要高得多——金目前的价格约为每盎司 1800 美元，而铜仅为 5 美元。事实上，此举有两个原因：一是技术上的，二是基于市场的。最终，选择金而非铜会带来一些权衡。如前所述，金 CMP 将提供比铜 CMP 更艰巨的挑战。然而，金可能会为诸如高度关键的 CMP 后清洁步骤等步骤打开工艺窗口。

对于金和铜，CMP 后清洁对于成功的混合键合至关重要。对于铜，存在氧化的威胁和步骤之间排队时间的临界性。可以避免这种情况并实现高良率——这是 CMOS 图像传感器制造中的情况——但随着缩放的继续，围绕焊盘精密凹槽的要求将变得更加严格，并且对微小变化的敏感性将增加。对于金，由于没有氧化问题，CMP 后清洁以及步骤内排队时间有更广泛的化学选择。此外，对以下问题的关注要少得多：化学中溶解氧的存在；在潮湿环境中暴露于空气中；以及其他相关并发症。

还值得注意的是，大多数化合物半导体不会在密封容器中通过高架运输将晶圆移动通过晶圆厂。这意味着存在环境变化的威胁，而解决这个问题的成本非常高。对于金来说，这很可能不是一个问题。虽然您可能需要进行 CMP 步骤，但您不必重建晶圆厂！

从市场的角度来看，在表面添加单层金显然会产生更高的成本。但是，对整体生产成本的贡献相对较小。与这种额外支出相比，更广泛的工艺窗口有望以高产量加速集成，这对于打开获取市场份额的大门至关重要。这对于在新兴市场中获得成功与错失良机之间有着完全不同的影响。

在半导体行业内，随着技术的进步，除了最大的制造商之外，它们通常都无法实现。当这种情况发生时，就会出现新的方法来实现持续创新，从而产生无数令消费者着迷的技术奇迹。这一事件展开的背后是混合键合的发展和采用。无论是使用传统的铜金属化还是金金属化，这都是晶圆厂可以采用的工艺，这要归功于商业工具的可用性，例如我们生产的工具。CS<sub>c</sub>

● 作者要感谢公认的 CMP 专家 Robert Rhoades 博士对本文的贡献。

# 横向氧化镓 MESFET 前沿进展

## 高质量外延和新型场板带来了破纪录的性能

美国工程师声称已经为横向  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> MESFETs 的全面性能开辟了新天地。据说，他们的器件是第一个将高击穿电压与高横向优值相结合的器件，这是通过实现低比导电电阻来实现的。

该团队的发言人，来自 Agnitron 的 Fikadu Alema 认为，这些 MESFET 是在高压下提供高效功率开关的有希望的竞争者。这一优势将推动该器件在电力供应、电力传输、电网集成和电动汽车领域的部署。

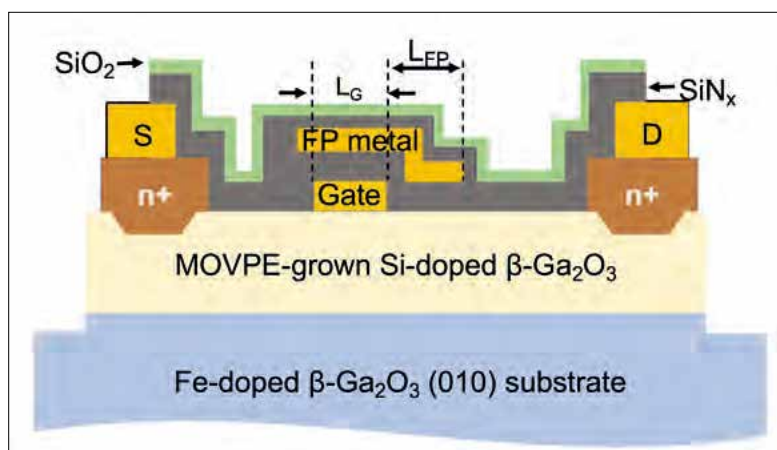
Alema 及其同事，包括由 Sriram Krishnamoorthy 领导的团队，他们最近从犹他大学搬到 UCSB，他们认为， $\beta$ -Ga<sub>2</sub>O<sub>3</sub> MESFET 的强大性能表明，高品质的材料可以用传统的器件工艺流程进行生产。外延层是在 Agnitron Technology 通过 MOCVD 生长的。

基于  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> 的器件可以采用垂直和横向几何结构。该团队之所以追求后者，部分原因是它可以减少加工步骤；简化封装和集成要求；允许在同一晶片上制造不同尺寸的器件，从而能够形成一系列针对不同工作电压和频率的晶体管。此外，横向器件有助于热管理，这要归功于通道更靠近表面，从而增强了热提取。

该团队在 10 mm × 15 mm 的半绝缘  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> 衬底上制造了他们的器件，这些衬底是铁掺杂的，通过边缘限定薄膜生长形成，并采用新颖的晶体技术。在经过 HF 清洗的衬底上，工程师们沉积了一层 230 nm 厚的掺硅  $\beta$ -Ga<sub>2</sub>O<sub>3</sub>，其密度约为  $3.6 \times 10^{17} \text{ cm}^{-3}$ 。根据霍尔测量，沟道中的电荷和迁移率分别为  $5.7 \times 10^{12} \text{ cm}^{-2}$  和  $95 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 。

为了隔离台面并有选择地生长源极和漏极欧姆接触，研究小组转向使用 Ni/SiO<sub>2</sub> 掩模图案的 MOCVD 再生长。使用电感耦合等离子体的干法蚀刻提供了接触凹槽蚀刻，该步骤去除了约 10-20 nm 的  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> 层。对于再生长的 n+ 层，硅掺杂约为  $2.6 \times 10^{20} \text{ cm}^{-3}$ 。光刻图案、剥离、蒸发和退火的组合形成与再生层的欧姆源极 / 漏极接触。电子束蒸发实现了肖特基栅极。

一些 MESFET 的特点是栅极 - 场极板连接，通过将栅极 - 场极金属电连接到器件台面外的栅极 - 场极板来形成。这种结构保护沟道区域免受干蚀刻等离子体损伤，这种损伤发生在传统的栅场



已经被制备的用场板电连接到台面外部栅(未示出)的MESFET。

板蚀刻工艺流程中。

研究人员比较了带场板和不带场板器件的性能。对于栅源间距为 1  $\mu\text{m}$ 、栅长为 2.8  $\mu\text{m}$ 、栅漏距离为 2.4  $\mu\text{m}$  的 MESFET，随着场板的加入，导电电阻从 63.2  $\Omega \text{ mm}$  降至 55.8  $\Omega \text{ mm}$ 。用这种加工方法制备的结构上的传输线测量的接触电阻仅为 1.4  $\Omega \text{ mm}$ ，这一数字比上一代器件的接触电阻低 10 倍，这要归功于引入了用于干法蚀刻触头凹槽的低蚀刻速率。

电学测量显示，增加一个场板可以降低 14% 的导电电阻，增加 13% 的电流，并提高 13% 的跨导。对于栅漏长度分别为 10  $\mu\text{m}$  和 20  $\mu\text{m}$  的器件，击穿电压分别超过了 2.4 kV 和 3 kV。前者的横向优值系数为 355  $\text{M}\Omega \text{ cm}^{-2}$ 。

阿莱马说，未来的目标包括将击穿电压提高到 10 千伏以上，并开发出在适应 1 千伏以上阻断电压的同时提供高输出电流的器件。CS

## 参考文献

A. Bhattacharyya et al. IEEE Electron. 42 1272 Dev. Lett. (2021)

# 使用多结 LED 减小 droop 效应

MOCVD 生长的具有多个隧道结的 LED 将峰值效率提高到了更高的驱动电流

**俄**亥俄州立大学和桑迪亚国家实验室的研究人员合作，声称已经生产出第一批 MOCVD 生长的三结 LED。据该小组称，他们的工作表明，通过适当的隧道结设计，通过级联多个氮化物基 LED，可以在高输出功率下提高电光效率。

这一进步可以改善部署在家用、工业和汽车照明中的大功率 LED 的性能。虽然用于这些应用的 LED 的 droop 已经降低，但这仍然是一个问题。

团队发言人 Zane Jamal-Eddine 透露：“LED 行业的人士告诉我们，解决 droop 问题仍然是他们积极追求的一项重大挑战，特别是在较长波长的 LED 领域。”

美国合作最近取得的成功得益于今年早些时候报道的隧道连接设计方面的突破。作为之前工作的一部分，模拟结果表明，通过仔细控制掺杂分布，可以将 MOCVD 生长的隧道结 LED 的电压损失降至最低。优化重掺杂 p 型层中的镁分布尤为重要。Jamal-Eddine 补充说：“此外，利用极化电荷提供有利的电场分布是提高隧穿概率的关键。”

该团队通过在隧道结中包含重掺杂、梯度的 InGaN 区域来实现所有这些目标，其中峰值成分为 6% 的铟。由此产生的三维极化电荷有助于补偿与 MOCVD 生长的隧道结相关的掺杂问题，这往往会导致它们具有比 MBE 生长的同等器件高

得多的正向电压。

得益于极化电荷的引入，以及掺杂分布的优化，该团队用 MOCVD 生长的隧道结的正向电压与 MBE 生长的隧道结的正向电压相似。Jamal-Eddine 说：“这使得我们在双结级联和三结级联 LED 中观察到的正向电压、外部量子效率和电光效率提高。”

他和他的同事使用 Taiyo Nippon Sanso SR4000HT 反应室制备了他们的器件。在蓝宝石衬底上形成的器件结构是：6 $\mu\text{m}$  厚的 n 型 GaN 层，位错密度约为  $10^8 \text{ cm}^{-2}$ ；500 nm 厚的 n 型 GaN 层，掺硅到  $5 \times 10^{18} \text{ cm}^{-3}$  的水平；以及 190 nm 厚的  $\text{In}_{0.04}\text{Ga}_{0.96}\text{N}$  底层，用于防止 V 型缺陷的形成。在这个平台上，研究小组生产了单结、双结和三结的 LED。刻蚀后形成  $100\mu\text{m} \times 100\mu\text{m}$  台面，然后快速热退火激活埋入的 p 型 GaN 层中的载流子。

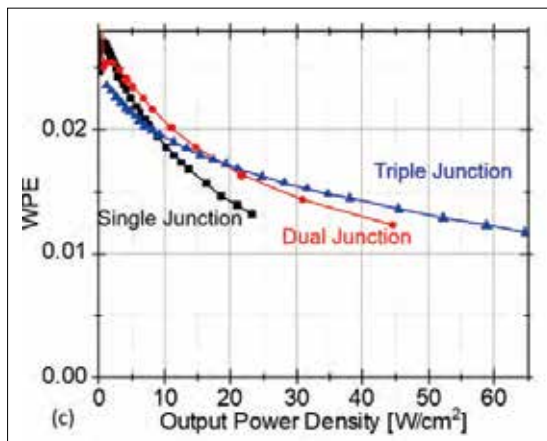
对具有环形顶部 n 型触点的器件进行的电气测量表明，开启电压从单结器件的 3.3V 增加到双结和三结变体的 6.9V 和 10.8V。电致发光测量显示，引入双结器件时，外部量子效率的峰值按比例增加了 200%，引入三结器件时，外部量子效率的峰值按比例增加了 275%（见图）。这些显著的增长表明，多个有源区允许 LED 在更高功率下提供更好的性能。

移动到更多的结点有望将峰值效率推高到更高的驱动电流，但也存在与热预算相关的底层退化问题。这些结构中的另一个问题是在重掺杂隧道结层中形成的扩展缺陷的传播。研究小组已经用透射电子显微镜寻找了这些缺陷，但没有发现任何证据。

Jamal-Eddine 说，研究小组目前正在研究可能的热预算问题，看看它们是否可以进一步推动该器件，或者推动更多的连接点。☞

## 参考文献

Z. Jamal-Eddine et al. Appl. Phys. Express 14 092003 (2021)



随着隧道结的增加，电光效率峰值向高电流密度方向移动。



## 伪衬底有望生产出更好的红色微 LEDs

通过在掩埋氧化物上覆盖 InGaN 层来降低应变，基于 InGaN 的红色发光微 LED 有望产生更高的效率

虽然磷化物基结构在制造大多数红色 LED 方面处于领先地位，但随着尺寸的减小，它们的性能会直线下降。当缩小到  $10\mu\text{m}$  以下（这是这些微 LED 用于虚拟和增强现实的显示器所需的尺寸）时，长的载流子扩散长度和侧壁的高密度表面缺陷会加剧损耗。

法国格勒诺布尔 - 阿尔卑斯大学和 Soitec 之间的合作开创了另一种选择。该团队正在开发基于 GaN 的红色发光二极管，由于在掩埋氧化物上的 InGaN 层上沉积了外延层，这种 LED 受到的应力比在传统衬底上生长的同等 LED 要小得多。

这一基础使用 Soitec 专有的 Smart Cut 工艺形成，使薄 InGaN 量子阱能够覆盖整个可见光谱，这要归功于面内晶格参数增加带来的增强的钢掺入。

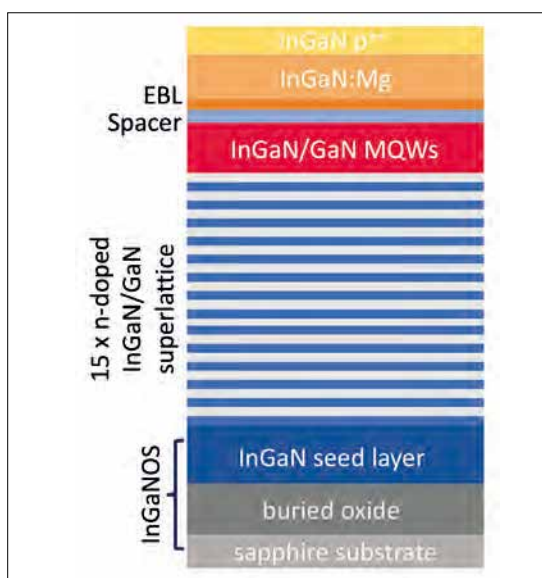
InGaN 平台的另一个好处是它减少了器件有源区的内部电场，从而为实现更高的效率提供了可能性。

去年，法国团队报告了在 InGaN 智能切割基板上制造的红色发光微 LED 的结果，器件尺寸从  $300\mu\text{m} \times 300\mu\text{m}$  到  $50\mu\text{m} \times 50\mu\text{m}$  不等。通过改进工艺实现的最新结果中将器件尺寸降低至了  $10\mu\text{m}$ 。

这项最新工作使用了两种变体：一种衬底有 120 纳米厚的 InGaN 籽晶层，钢含量为 8%；另一种厚度相同，钢含量为 11%。两者都具有阶梯状、曲折的衬底形貌和 V 型缺陷，且密度和尺寸均随钢含量的增加而增大。随着钢含量的增加，V 型凹坑的密度和尺寸从  $3 \times 10^7 \text{ cm}^{-2}$  和  $100 \text{ nm}$  增加到  $2 \times 10^8 \text{ cm}^{-2}$  和  $130 \text{ nm}$ 。

器件制造首先将衬底加载到 MOCVD 反应器中，然后沉积包含 15 周期超晶格、多量子阱有源区和电子阻挡层的外延堆栈（详情见图）。用高分辨率透射电子显微镜仔细观察这种异质结构发现，由于局部应变弛豫，在有源区和电子阻挡层中有额外的位错。

该团队采用传统的 LED 芯片制造工艺制造台面尺寸从  $300\mu\text{m} \times 300\mu\text{m}$  到  $10\mu\text{m} \times 10\mu\text{m}$  的



具有 n 型  $\text{In}_{0.03}\text{Ga}_{0.97}\text{N}/\text{GaN}$  层的 15 对超晶格为有源区提供了基础，包括 5 个 2 nm 厚的  $\text{In}_{0.4}\text{Ga}_{0.6}\text{N}$  量子阱，由 7.5 nm 厚的  $\text{In}_{0.03}\text{Ga}_{0.97}\text{N}$  势垒隔开。15 nm 厚的电子阻挡层由  $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$  制成。

LED。以前的器件组合受到 V 型缺陷的阻碍——当它们穿过整个结构时，它们会形成一条从阳极到阴极的电气路径。为了消除这个问题，最新一代发射器的制造工艺包括增加一个共形层，并用化学机械抛光将其平坦化。

光致发光测试表明，随着衬底中钢含量的增加，微型 LED 的发射峰从 635 nm 移动到了 653 nm。这是由于晶格常数越高，对应的波长越长。

对于直径为  $10\mu\text{m}$  的器件，在电流密度为  $8 \text{ Acm}^{-2}$  处实现的最大外量子效率为 0.14%。这一数值低于 UCSB 一个团队的 0.2%，但由于较低的光提取效率而受到抑制。对于法国团队制备的器件，光线是从背面提取的，而 p 接触不会覆盖结构的所有顶部，也没有金属阻止光线从侧壁逃逸。提取还受到必须穿过超晶格、掩埋氧化物和蓝宝石衬底的穿过器件背面的发射的阻碍。光提取效率的实际值很难估计，但根据模拟，它低于 4%。

为了提高性能，必须致力于提高 LED 的提取效率、调整工作电压和改善 LED 的结晶质量。☞

### 参考文献

A. Dussaigne et al. Appl. Phys. Express 14 092011 (2021)

Advertiser	广告商名称	网址	页码
列真株式会社		http://lazin.jp	2
Riber		www.riber.com	IFC
SEMICON China 2022		www.semiconchina.org	IBC
特思迪半导体		www.tsd-semicon.com	3

## 欢迎投稿

《化合物半导体》(CSC) 是针对中国化合物半导体及光电市场出版的专业杂志, 用简体中文出版。

本刊主要报道化合物半导体相关的材料、工艺、设备、器件、模块 / 组件、封测技术, 及其发展趋势和相关厂务设施。与读者一起紧跟行业发展, 共同面对在研发、制造过程中遇到的问题及挑战。

本刊的读者是活跃在化合物半导体及光电行业的技术管理人员、项目经理、科研人员、工程师以及从事开发、制造、工艺的专业人士。

本刊文章精选自英国物理协会著名杂志《Compound Semiconductor》, 翻译并编辑成形; 我们也报道全球平面显示制造商和研究机构的最新技术与资讯, 以及撰写其他与本地市场息息相关的新闻和文章; 并选编专业投稿。

本刊欢迎读者和供应商投稿, 文章一经采纳, 将在印刷版本和网上刊登。CSC 将为设计者和管理人员, 提供一个展现国内外厂商的最新成果的平台。

### 文章投稿指南

1. 文章主题突出、结构严谨、短小精悍, 中文字数不超过 3,000 字;
2. 文章最好配有两幅至四幅与内容相关的插图或表格; 插图与表格分别用图 1、图 2 或表 1、表 2 的次序编号, 编号与文中的

3. 请注明作者姓名、职务及所在公司或机构的名称。作者人数以四人为限;
4. 请勿一稿多投;
5. 请随稿件注明联系方式 (邮编、地址、电话、电子邮件)。

### 新产品投稿指南

1. 新产品必须是中国市场新上市、可以在中国市场上买到;
2. 有关新产品来稿的内容应包含产品的名称、型号、功能、主要性能和特点、用途;
3. 短小精悍, 中文字数不超过 300 字;
4. 来稿请附产品照片。最好是在单色背景下简单的产品实物照片, 照片的分辨率不低于 300dpi;
5. 注明能提供进一步信息的人员姓名、电话、电子邮件。

优先刊登中文来稿 (翻译稿请附英文原稿)。来稿请用电子邮件寄到: sunniez@actintl.com.hk。

如果您有什么意见或建议, 或者有什么想法同本刊编辑探讨, 请不吝赐教。



[www.compoundsemiconductorchina.net](http://www.compoundsemiconductorchina.net)

## 行政及销售办公室 Administration & Sales Offices

### 行政人员 Administration

HK Office (香港办公室)  
ACT International (雅时国际商讯)  
Unit B, 13/F, Por Yen Building,  
No. 478 Castle Peak Road,  
Cheung Sha Wan,  
Kowloon, Hong Kong  
Tel: 852-28386298

Publisher (社长) - China  
Adonis Mak (麦协林)  
Adonis@actintl.com.hk

Editor in China (中国版编辑)  
Min Lu (陆敏)  
minL@actintl.com.hk

UK Office (英国办公室)  
Angel Business  
Communications Ltd.  
6 Bow Court,  
Fletchworth Gate,  
Burnsall Road, Coventry,  
CV56SP, UK  
Tel: +44 (0)1923 690200

Chief Operating Officer  
Stephen Whitehurst  
stephen.whitehurst@angelbc.com  
Tel: +44 (0)2476 718970

### 销售人员 Sales Offices

**Asia (亚洲)**  
Floyd Chun (秦泽峰)  
floyd@actintl.com.hk  
Tel: 852 2838 6298

**China (中国)**  
**Shenzhen (深圳)**  
Jenny Li (李文娟)  
jennyl@actintl.com.hk  
Gavin Hua (华北平)  
gavinh@actintl.com.hk  
Tel: 86-755-2598 8571

**Shanghai (上海)**  
Hatter Yao (姚丽莹)  
hattery@actintl.com.hk  
Amber Li (李歆)  
amberl@actintl.com.hk

Linda Li (李承珍)  
lindal@actintl.com.hk  
Tel: 86-21-6251 1200

**Beijing (北京)**  
Cecily Bian (边团芳)  
cecilyb@actintl.com.hk  
Tel: 86-135 5262 1310

**Wuhan (武汉)**  
Sky Chen (陈燕)  
skyc@actintl.com.hk  
Tel: 86-137 2373 9991

Eva Liu (刘婷)  
eval@actintl.com.hk  
Tel: 86-138-8603 3073

Grace Zhu (朱婉婷)  
gracez@actintl.com.hk  
Tel: 86 159 1532 6267

**Taiwan, Singapore, Malaysia (台湾, 新加坡, 马来西亚)**  
Floyd Chun (秦泽峰)  
floyd@actintl.com.hk  
Tel: 852 2838 6298

**Korea (韩国)**  
Lucky Kim  
semieri@semieri.co.kr  
Tel: 82-2-574-2466

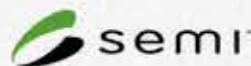
**US (美国)**  
Janice Jenkins  
jjenkins@brunmedia.com  
Tel: 724-929-3550

Tom Brun  
tbrun@brunmedia.com  
Tel: 724-539-2404

**Europe (欧洲)**  
Shehzad Munshi  
sm@angelbcl.co.uk  
Tel: +44 (0)1923 690215

Jackie Cannon  
jackie.cannon@angelbc.com  
Tel: +44 (0) 1923 690205

SEMICON<sup>®</sup> CHINA | FPDCHINA



2022年3月23-25日 上海新国际博览中心

# 2022 展台设计大赛

展商参赛抓眼球

观众投票得好礼

详情扫码全知晓



展商扫码参与填写  
SEMICON China 2022  
展台设计大赛报名表

观众扫码预注册  
SEMICON China 2022  
获得大赛投票资格



\* 获奖展商还能获得展会现场观众引流以及SEMI China媒体平台免费宣传机会

\* 活动详情请关注后续SEMI公众平台推送

## ◆ 线上 ◆

### 先进封装 01月 第九届

- 三维异构集成
- WLP/ SiP/ FO/ Chiplet...
- 封装结构的失效分析
- 封装新材料/工艺
- 后摩尔时代封装技术 (FOWLP, FOPLP, CHIPLET, HBM, TSV)

### MEMS 03月 第十届

- MEMS晶圆代工与封测
- MEMS新材料与工艺
- MEMS特色产品 (RF, Sensor)
- MEMS应用前景展望

### 汽车电子 05月 第十一届

- 车规级芯片测试与可靠性
- 智能网络汽车芯片
- 车联网
- 车规器件 (传感器, POWER, LED) 激光雷达, 传感器融合

### 测试&测量 07月 第十二届

- 光学检测
- 工艺缺陷分析
- 芯片故障分析
- 器件可靠性与良率

### 芯片设计 08月 第十三届

- EDA/IP/PDK生态构建
- 大规模逻辑芯片设计发展趋势
- 模拟与数模混合芯片设计趋势
- ASIC专用芯片与芯片定制兴起

### 半导体测试 09月 第十四届

- 车规级芯片检测
- SLT测试发展趋势
- 存储芯片测试发展趋势
- 半导体测试设备发展趋势

### 存储器 10月 第十五届

- 闪存市场
- 数据安全
- 量产测试
- 存储器封装
- 应用驱动存储技术发展

### 半导体供应链 11月 第十六届

- 厂务设施
- 供应链市场趋势
- 关键Parts (设备配套)
- 工艺材料 (化学品、气体)

## ◆ 线下 ◆

### 04月 深圳

“创芯中国”集成电路上下游产业论坛

### 06月 苏州

半导体先进制程产业协作与发展

### 09月 厦门

先进封装与系统集成论坛

\*以上主题暂定,请以会议举办实际议题为准

