

化合物半导体

CS COMPOUND SEMICONDUCTOR CHINA

2023年 8/9月

**首次实现超宽禁带
氧化镓功率器件强
雪崩-浪涌鲁棒性**

**国家的财富：英国
的国家外延设施**

**拥护真正的重量级
材料：释放Ga₂O₃
的希望**

辉煌的栅极氧化物

晶工 JINGGONG

**专业半导体晶圆倒角、清洗设备
制造及解决方案**

SPECIALIZED IN SEMICONDUCTOR WAFER EDGE GRINDING AND
FINAL CLEANING MACHINE MANUFACTURING AND SOLUTION

全自动刷洗一体机

Final Brushing and
Cleaning Integrated Machine

全自动倒角机

Wafer Edge Grinding Machine

江苏晶工半导体设备有限公司

联系人: Christine Wang
电话: 15996565255
邮箱: christine@jgsemicon.com
地址: 江苏省南通市启东市经济开发区南苑西路1133号



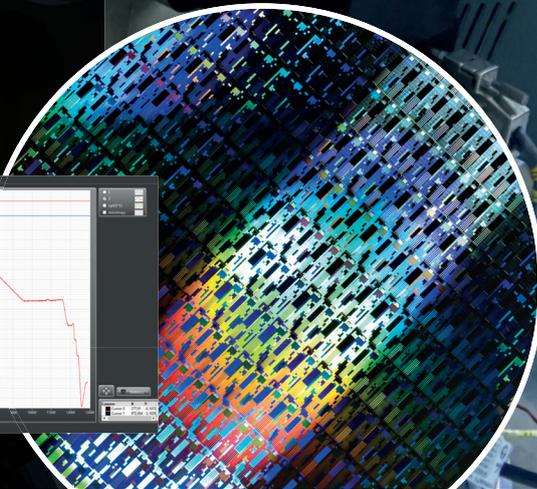
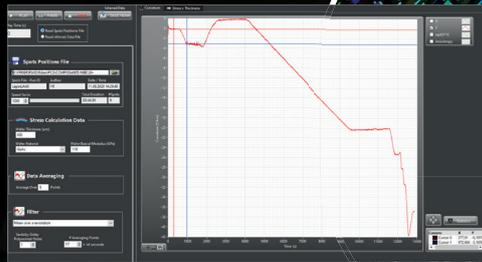
化合物半导体外延表面 实时监测

原位实时 曲线跟踪

RIBER
EZ-CURVE®

过程监控工具：
良率增强

- 表面应力和曲率原位测量
- 实时探测
- 经典曲线对比



RIBER

INNOVATIVE SOLUTIONS FOR SEMICONDUCTOR INDUSTRY

info@riber.com
www.riber.com



2023

化合物半导体先进技术及应用大会

Compound Semiconductor Conference for Advanced Technology and Applications

— 线上 —

01月 **SiC车规应用，爆发在即**

- 衬底及外延制备技术
- 配套设备 · 新能源应用
- 封装技术

04月 **GaN功率应用，厚积薄发**

- 衬底及外延制备技术
- 配套设备 · 通讯网络
- 高功率电子 · 失效分析

06月 **6-8英寸高品质SiC磨抛技术解决方案**

- 碳化硅磨抛工艺
- 磨抛设备的应用
- SiC单晶材料技术浅析

08月 **碳化硅材料和器件的品质及成本管控先进技术方案**

- 碳化硅表面界面缺陷 · ICP蚀刻
- 衬底及SiC器件 · 常温键合

09月 **失效分析-半导体材料和器件故障诊断的火眼金睛**

- 失效分析 · 宽禁带半导体
- 功率半导体 · 电子显微技术
- 衬底、外延材料及器件

10月 **Micro LED取得的进展**

- 制造工艺 · 外延技术
- 激光加工 · 快速检测
- 修复技术 · 技术进展

12月 **基于深紫外消杀/封测/制造创新技术**

- 芯片制备 · 检测技术 · 消杀技术 · 工艺难点
- 封装展望

— 线下 —

05月 — 苏州

2023
半导体先进技术创新发展和机遇大会

11月 — 太仓

化合物半导体先进技术及应用大会

*以上计划暂定，具体请以主办方通知为准

化合物半导体

CS COMPOUND SEMICONDUCTOR CHINA

化合 · 链接 · 赋能



扫码关注公众号



扫码添加客服号



封面故事 Cover Story

16 首次实现超宽禁带氧化镓功率器件强雪崩——浪涌鲁棒性 The strong avalanche surge robustness of ultra-wide bandgap gallium oxide power devices is achieved for the first time

南京大学宽禁带半导体研究团队联合弗吉尼亚理工大学张宇昊教授团队提出和发展了一种全新的架构设计，结合了p-NiO/n-Ga₂O₃双极型异质结终端扩展和高k氧化物介质场板，首次证明了超宽禁带半导体异质结构功率器件在雪崩和浪涌方面具有出色的鲁棒性，并从物理机制上揭示了p-NiO/n-Ga₂O₃异质结在高电场、大电流等极端条件下非平衡载流子动力学的基本特征。

- 周峰¹, 巩贺¹, 肖明², 张宇昊², 叶建东¹, 陆海¹, 张荣¹

¹ 南京大学电子科学与工程学院, 南京, 中国

² 弗吉尼亚理工大学, 美国

编者话 Editor's Note

04 Micro-LED技术和产业化进展 The progress of Micro-LED technology and industrialization

- 陆敏

业界动态 Industry

06 WIN推出新一代毫米波GaAs技术 WIN announces next gen mmWave GaAs tech

06 BelGaN 650V eGaN工艺技术正式量产 BelGaN 650V eGaN process technology is officially mass-produced

07 意法半导体开始量产PowerGaN芯片 ST starts volume production of PowerGaN chips

08 英飞凌将在马来西亚居林建造全球最大的200mm碳化硅功率半导体工厂 Infineon to build the world's largest 200-millimeter SiC Power Fab in Kulim, Malaysia

08 中国将对化合物半导体材料实施出口管制 China to put export controls on compound semi materials

23 GaN Systems 与上海安世博能源科技结盟 推进氮化镓进入中国电动车应用市场 GaN Systems and ACEpower Partner to Propel GaN Adoption in Chinese Electric Vehicle Market

26 美国能源部发布《2023年关键材料评估》报告 The US Department of Energy released the Critical Materials Assessment 2023 report

关于雅时国际商讯 (ACT International)

雅时国际商讯 (ACT International) 成立于1998年, 为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品—包括杂志和网上出版物、培训、会议和活动—为跨国公司及中国企业架起了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站, 以及各种技术会议, 服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港, 在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

关于《化合物半导体》

《化合物半导体》中国版(CSC)是全球最重要和最权威的杂志Compound Semiconductor的“姐妹”杂志, 亦是中国唯一专注于化合物半导体产业的权威杂志, 重点介绍国外先进技术和产业化经验, 促进国内产业发展, 为国内读者提供化合物半导体行业的专业知识。内容涵盖晶体的特性研究, 器件结构的设计, 生产中用到的材料、设备、软件、测量、厂房设施, 以及有关市场分析和动态。



扫一扫
免费下载电子书

九峰山实验室专栏 JFS Laboratory Column

- 09 下一代碳化硅沟槽器件技术
Next generation silicon carbide groove device technology
- 袁俊, 王宽, 郭飞, 徐少东, 成志杰, 陈伟, 吴阳阳, 彭若诗, 朱厉阳, 李明哲, 九峰山实验室
- 技术 Technology
- 21 SiC MOSFET 驱动负压关断的典型电路
Typical circuit for SiC MOSFETs to drive negative voltage turn-off
- 李冬黎, 钱朋飞, 安徽芯塔电子科技有限公司
- 24 碳化硅同质外延层厚度无损红外反射光谱法分析
Nondestructive infrared reflectance spectroscopy for the thickness of SiC homogeneous epitaxial layer
- 雷浩东, 赵跃, 布鲁克 (北京) 科技有限公司光谱部门
- 27 国家的财富: 英国的国家外延设施
A national treasure: The UK's central growth facility
- 采访者: Richard Stevenson, CS杂志主编
- 32 拥护真正的重量级材料: 释放Ga₂O₃的希望
Championing a true heavyweight: Unleashing the promise of Ga₂O₃
- Richard Stevenson, CS杂志主编
- 36 辉煌的栅极氧化物
The glorious gate oxide
- SATYAKI GANGULY, BRETT HULL, DANIEL LICHTENWALNER 和 JOHN PALMOUR, WOLFSPEED
- 科技前沿 Research Review
- 41 常关型Ga₂O₃晶体管取得进展
Making headway with normally-off Ga₂O₃ transistors
- 42 HEMT: 优化架构
HEMTs: Optimising the architecture
- 43 KAUST团队发明第一个β-Ga₂O₃ 虚拟CMOS集成电路
The KAUST team invents the first β-Ga₂O₃ virtual CMOS integrated circuit
- 44 广告索引 Advertisement Index

《化合物半导体》编委会 (排名不分先后)

张国义教授 北京大学东莞光电研究院常务副院长, 中国有色金属学会宽禁带半导体专业委员会常务副主任
 郑小鹿博士 营口天维半导体制造有限公司创办人, 功率半导体材料和器件的行业独立顾问
 郑中屏博士 台湾工业研究院光电所资深研究员, 台湾鹏正光电创建人, 佛山照明LED事业部创建人
 武良文博士 台湾国立成功大学微电子工程研究所 博士, SEMI中国HB-LED标准技术委员会 核心委员
 刘红超博士 安徽长飞先进半导体有限公司 首席科学家
 孙 钱博士 中国科学院苏州纳米技术与纳米仿生研究所 研究院、博导、副主任
 李顺峰博士 苏州半导体激光创新研究院 执行院长
 佟存柱教授 中科院长春光学精密机械与物理研究所 常务副主任/研究
 陈明祥教授 华中科技大学/武汉利之达科技 教授/首席专家
 周贞宏博士 BelGaN CEO
 王新强教授 北京大学博雅特聘教授
 程 凯博士 苏州晶湛半导体有限公司 董事长
 张昭宇教授 香港中文大学 (深圳) 理工学院副教授 深圳半导体激光器重点实验室主任
 孙海定博士 中国科学技术大学微电子学院 研究员、博导
 钮应喜博士 中国科学院半导体研究所, 教授级高级工程师



高端湿法制程
设备制造商

专注于化合物半导体、
硅材料、集成电路 (IC)、
微机电系统 (MEMS)
等领域。



北京华林嘉业科技有限公司
Beijing CGB Technology Co., Ltd

网 址: <http://www.cgbtek.com>

电 话: 400-650-7658

北方制造基地: 河北省廊坊市. 香河机器人产业园三期A栋

耿 彪 13910297918

gengbiao@cgbtek.com

牛沈军 13911271076

niushenjun@cgbtek.com

郭生钢 13911279276

sgguo@cgbtek.com



Micro-LED 技术和产业化进展

近日，苹果发布了 AR 眼镜 Vision Pro 引爆全球，人和机器的交互方式被颠覆，Vision Pro 外形酷似滑雪护目镜，被定义为一款空间计算设备，其搭载两块 2300 万像素的 Micro-OLED 屏幕，单眼像素超过 4K，支持完全的 4K 渲染。

Micro-LED 指器件尺寸小于 50 μm 的 LED，通常是基于 III 族的氮化物。Micro-LED 显示技术是指将 Micro-LED 组装成阵列经驱动显示的技术。该显示技术是自发光，相比现有液晶显示及 OLED 技术，具有显示效果好，对比度高，亮度高、寿命长、化学性质稳定和功耗低等优点，所以得到产业界的广泛关注。

1999 年美国相关科研人员首次在科研文献中针对 Micro-LED 显示技术进行了阐述；2001 年美国堪萨斯州立大学提出了制备氮化物 Micro-LED 用于显示的概念，而后部分学者和研究人员针对 Micro-LED 显示技术提出通过无源驱动加以利用，并构建出蓝光 Micro-LED 显示技术矩阵并投入使用；而在 2006 年，在无源驱动蓝光 Micro-LED 显示技术矩阵的基础上，我国科研人员研发出有源驱动的蓝光 Micro-LED 显示技术矩阵，通过倒装焊的形式将无源驱动蓝光 Micro-LED 显示技术矩阵加以集成。而随着时间的推移，针对 Micro-LED 显示技术的研究也逐渐深入，索尼公司、香港科技大学、哥伦比亚大学分别针对 Micro-LED 显示技术提出了新的创新，针对 Micro-LED 显示技术的研究也逐渐步入智能化、集成化。目前全球研究人员已经针对 Micro-LED 显示技术的集成化、智能化、微缩化和全彩色化进行深入研究，全球范围内的 Micro-LED 显示技术已经得到非常快速的发展，使用的 Micro-LED 显示技术也愈发趋于成熟。

Micro-LED 虽然具有各种优点，但是由于其制造过程中仍然存在较多的技术难点，阻碍了其产业化的进程，目前还处于研发和试产阶段，显示产业链上下游企业均大举争相布局，从传统 LED 芯片企业到显示面板企业，从可穿戴产品制造设计企业到电视机品牌企业，都在积极将 Micro-LED 作为目前及储备的研发和投入重点。对于 Micro-LED 这样仍处于快速发展阶段的显示技术，工艺及产品创新是推动该技术快速发展的重点。芯片均一性、巨量转移、有源背板驱动、全彩化等方面的技术开发和突破；高亮度、高对比度、高分辨率的应用场景的推广和示范，都将对 Micro-LED 的普及起到积极的促进作用。LED 外延生长主要是基于硅或蓝宝石衬底的 GaN 外延，近年来，传统 GaN 基红绿蓝三色光效率得到显著提升，当芯片微小化后，其外延生长主要存在的难度是芯片发光波长均一性和芯片发光效率降低。巨量转移是指通过某种高精度设备，将生长在外延基板上的巨量三色 Micro-LED 晶粒高速精准地转移到目标基板，并且在晶粒和驱动电路之间实现良好的电气和机械连接。巨量转移是 Micro-LED 走向大规模应用的瓶颈，产业化对这一过程要求极高，存在剥离、拾取、转移、键合几个关键步骤。有源背板驱动是满足 Micro-LED 超高分辨率的重要条件。因此 Micro-LED 的背板驱动方式与传统的 LED 有很大不同，现有的印刷电路板 (PCB) 尺寸稳定性难以满足微小型 LED 的工艺要求，随着 LED 芯片尺寸的下降，稳定性差和翘曲等问题日益严重，并且伴随着成本大幅提升。硅基和玻璃基为有源背板驱动提供了更多选择方案。Micro-LED 彩色化的方案目前主要有两大类，一类是直接使用红绿蓝三色 LED 芯片，另一类则是通过蓝光 LED 芯片激发红绿量子点实现红绿蓝三种颜色的色彩转换。两种方法均存在不足，使用三色 LED 芯片可能存在芯片发光效率不均一，驱动电流大小不一致的问题；而使用蓝光激发红绿量子点，虽然成本较低，且更易实现高分辨率显示，但是存在色转换材料选择和光学串扰的问题。基于一类方案实现全彩显示或集成驱动电路的方案，都不具有可修复性，这也意味着它们对外延质量的要求将非常高，否则后续的生产环节必然会引入更多缺陷，降低总体的良率。基于器件制备（如另一类）实现全彩的方案，需要引入复杂的结构，间接也会影响良率。未来，Micro-LED 显示屏彩色化方案将会根据应用领域不同而采取不同方案。近日，苹果发布的 AR 眼镜 Vision Pro 没有采用 Micro-LED，而采用了 Micro-OLED 屏幕，据说原因就是全彩显示问题。

随着像素点微型化、显示效果高清化，传统的 LED 生产工艺和技术已无法满足 Micro-LED 的性能需求。产业融合成为了技术发展新方向，将 Micro-LED 与新型显示、集成电路等产业融合，充分利用集成电路工业具备的成熟工艺、微纳制程和检测手段，吸收新型显示产业全尺寸化生产经验，必将快速提升 Micro-LED 产业化推进的速度。Micro-LED 的出现有望重塑显示产业链供应链格局，相比于传统的 LED 企业、TFT-LCD 或者 OLED 等显示面板企业，苹果、索尼、三星、LG、康佳等终端企业对新技术的研发和应用更加积极，不断加快核心关键技术储备和新产品研发进程，都将显著推进 Micro-LED 的规模化应用。

社长 Publisher

麦协林 Adonis Mak

adonism@actintl.com.hk

主编 Editor in Chief

陆敏 Min Lu

MinL@actintl.com.hk

出版社 Publishing House

雅时国际资讯 ACT International

香港九龙 B, 13/F, Por Yen Bldg,

长沙湾青山道478号 478 Castle Peak Road,

百欣大厦 Cheung Sha Wan,

13楼B室 Kowloon, Hong Kong

Tel: (852) 2838 6298

Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988573

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 59233884

UK Office

Angel Business

Communications Ltd.

6 Bow Court,

Fletchworth Gate,

Burnsall Road, Coventry,

CV56SP, UK

Tel: +44 (0)1923 690200

Chief Operating Officer

Stephen Whitehurst

stephen.whitehurst@angelbc.com

Tel: +44 (0)2476 718970



ISSN 2789-2735

© 2023 版权所有 翻印必究

业界引领的用于产线计量方案的 自动化原子力显微镜



Park NX-Wafer

Park NX-Wafer是业界领先的半导体及相关制造业自动化AFM计量系统。该系统能提供晶圆制造厂检查和析、裸晶圆和衬底的自动缺陷检测以及CMP轮廓测量。Park NX-Wafer具有最高的纳米级表面分辨率和亚埃级的高精度。在持续扫描后，探针针尖的变化可以忽略不计，仍具有高超的针尖锐度保护力。

- 低噪声原子力轮廓仪,用于更精确的CMP轮廓测量
- 亚埃级表面粗糙度测量具有极高的精度和极长的探针使用寿命
- 用于缺陷成像和分析的全自动AFM解决方案
- 全自动系统,包括自动探针更换、机器人晶片搬运
- 能够扫描300mm晶圆

parksystems.cn/nx-wafer | ☎ 400-878-6829



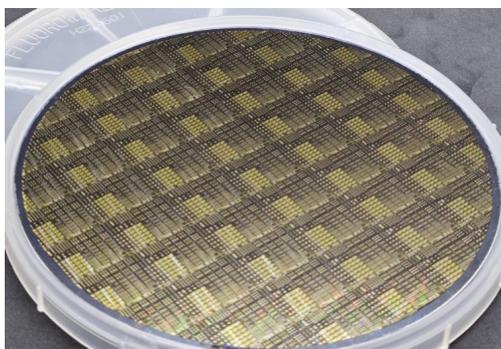
Watch the video

Park
SYSTEMS

帕克
原子力显微镜

WIN 推出新一代毫米波 GaAs 技术

台湾化合物半导体晶圆代工厂 WIN Semiconductors 宣布其新一代集成毫米波 GaAs 平台 PQG3-0C 的商业发布。针对毫米波前端，PQG3-0C 技术结合了单独优化的 E 模式低噪声和 D 模式功率 pHEMT，以在同一芯片上实现一流的 PA 和 LNA 性能。E 模式 /D 模式 pHEMT 的 f_t 分别为 110GHz 和 90GHz，均采用了通过深



紫外光刻技术制造出的 0.15 μm T 形栅极。深紫外光刻是一种经过验证的大批量制造技术，适用于短栅极长度器件，并消除了传统电子束图形成的吞吐量限制。PQG3-0C 有两个专用毫米波晶体管，含射频开关和 ESD 保护二极管，随着片上功能的增加，PQG3-0C 为广泛的前端功能提供了支持。E 模式和 D 模式晶体管在 4V 下运行，均可用于毫米波放大。

D 模式 pHEMT 针对功率放大器，产生超过 0.6 watt/mm 的功率和 11dB 的线性增益，29GHz 测定的功率附加效率接近 50%。作为单电源 LNA，E 模式 pHEMT 运行效果最佳，在 30GHz 时产生低于 0.7dB 的最小噪声系数，同时有 8dB 相关增益和 26dBm 的三阶输出截距 (OIP3)。PQG3-0C 平台在 150mm GaAs 衬底上制造，提供两个

具有低 k 介电质交叉的互连金属层，用于紧凑型 ESD 保护电路的 PN 结二极管和射频开关晶体管。最终芯片厚度为 100 μm ，带有晶圆通孔 (TWV) 的背面接地面符合标准，可配置为穿过芯片的射频转换，以消除毫米波频率下键合线的不利影响。PQG3-0C 还支持倒装芯片封装，并且可以与 WIN 内部凸块生产线中制造的铜柱凸块一起交付。☑

BelGaN 650V eGaN 工艺技术正式量产

比利时布鲁塞尔，2023 年 8 月 8 日 -- 欧洲领先的氮化镓 (GaN) 车规半导体代工厂 BelGaN 650V eGaN 工艺技术正式量产。该项技术在高能效软开关应用方面，已达到世界领先水平。这是 BelGaN 完成对安森美晶圆厂收购仅一年后取得的一个重要里程碑。BelGaN 正在为 GaN Valley™ 奠定基础，这是一个不断发展的创新生态系统，主要面向基于氮化镓的芯片和电力电子产品，应用于欧洲及其他地区的电动汽车、移动、工业、数据中心和可再生能源市场。这与欧洲实现芯片自主化 (欧洲芯片法案) 和碳中和社会 (绿色交易) 的目标不谋而合。在 BelGaN 成立 GaN Valley™ 生态系统仅几个月后，已拥有 40 多家欧洲 GaN 产业链公司和机构。

“氮化镓量产是我们实现 GaN Valley™ 愿景的第一次飞跃。” BelGaN CEO 周贞宏博士表示，“友商需要数年的时间才能将氮化镓工艺和技术应用到生产中，而我们凭借着超过 200 人 * 年的氮化镓技术开发经验和 30 多年的大批量车规级芯片生产经验，仅用了创纪录的一年时间就实现了这一目标。” BelGaN 的前身是 1983 年成立的 MIETEC，后被阿尔卡特 (Alcatel) 和 AMIS 收购，又于 2008 年出售给安森美，并在 2009 年开始进行氮化镓研发，30 多年来一直致力于车规半导体生产。位于比利时 Oudenaarde 的工厂目前正在从硅工厂转型为氮化镓工厂，这将推动该地区的创新式增长，并在研发、运营和各种服务等部门提供就业机会。



BelGaN 比利时工厂

BelGaN 首席技术官兼业务发展副总裁 Marnix Tack 博士表示：“这是 BelGaN 和氮化镓界激动人心的时刻。我们的 Gen1 650V E-Mode 氮化镓技术是我们的市场入门平台，面向高能效软开关应用，其性能已达到世界领先水平。这也是我们目前正在开发的 Gen2 和 Gen3 平台的基准，这些平台预计将于今年晚些时候或明年初发布。” BelGaN 和 GaN Valley™ 受到能源和气候大趋势的推动，即以可承受的能源成本提高电气化程度，从而实现更高的可持续性和碳中和 (太阳能和风能、电动汽车等)。例如，据业内专家称，每生产一个氮化镓器件将减少 4 千克二氧化碳排放。BelGaN 的愿景是成为领先的 6 英寸和 8 英寸氮化镓代工厂，着力于开发氮化镓技术和生产氮化镓产品。展望未来，工厂将针对汽车市场的高要求，开发和认证包括 Gen2、Gen3、V-GaN、GaN-IC 在内的广泛而丰富的新型氮化镓技术路线图。☑

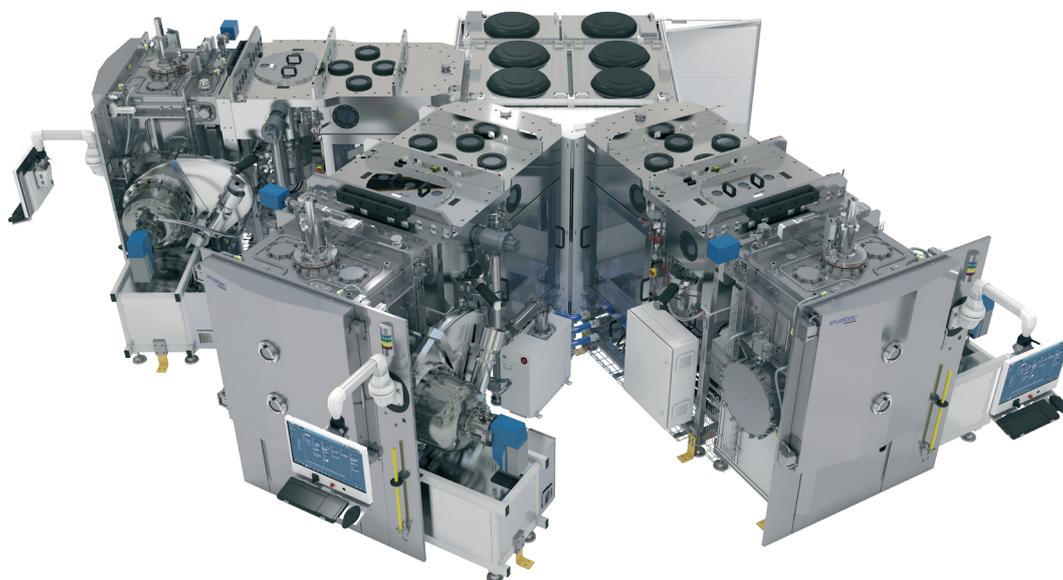
意法半导体开始量产 PowerGaN 芯片

意法半导体已开始量产 e-mode PowerGaN HEMT 器件，该器件简化了高效功率转换系统的设计。STPOWER GaN 晶体管提高了墙壁适配器、充电器、照明系统、工业供电、可再生能源应用和汽车电气化等应用的性能。SGT120R65AL 和 SGT65R65AL 是该系列最先推出的两款产品，是工业级 650V 常断 G-HEMT，采用 PowerFLAT 5x6 HV 表面贴装封装。这两款产品的电流额定值分别为 15A 和 25A，25°C 时的典型导通电阻 (RDS(on)) 分别为 75mΩ 和 49mΩ。此外，还具有 3nC 和 5.4nC 的总栅极电荷以及低寄生电容，可确保开启/关闭时能量损失最少。开尔文源极连接可实现栅极驱动优化。这两款新型 GaN 晶体管除了减小电源和适配器的尺寸和重量之外，还可使效率提高、工作温度降低、使用寿命延长。未来几个月，意法半导体将推出新型 PowerGaN 产品，即汽车级器件，同时有其他



PowerGaN HEMT 简化了高效功率转换系统的设计

功率封装方法可供选择，包括应用于高功率封装的 PowerFLAT 8x8 DSC 和 LPAK 12x12。意法半导体表示，其 G-HEMT 器件有助于功率转换领域向 GaN 宽带隙技术过渡。与硅晶体管相比，GaN 晶体管具有相同的击穿电压和 RDS(on)，但其总栅极电荷和寄生电容更低，且反向恢复电荷为零。这些特性提高了 GaN 晶体管的效率并增强了其开关性能，实现了更高的开关频率，使无源元件尺寸缩小，从而提高功率密度。因此，应用 GaN 晶体管可在保持高性能的情况下缩小尺寸。未来，GaN 有望实现全新功率转换拓扑，进一步提高效率并减少功率损耗。针对 PowerGaN 离散产品，意法半导体具备高产能，可实现快速量产，以满足客户需求。采用 PowerFLAT 5x6 HV 封装的 SGT120R65AL 和 SGT65R65AL 现已上市，订购 100 件时单件售价分别为 2.60 美元 (SGT120R65AL) 和 5.00 美元 (SGT65R65AL)。CS



MULTI BAK – 颠覆传统的半导体蒸镀科技

想象一个全自动机台，它可以使您的每个工艺腔的产量翻倍¹，跟踪每一个晶圆的工艺，并将您在 6 或 8 寸衬底上的量产应用使用成本 CoO 降低多达 40%。MULTI BAK 将 Evatec 在蒸发台方面成熟的专业知识，用于消除昂贵手动上片问题的自动化，以及高性能真空预抽腔结合在一起，组成最多 4 个工艺腔的集群式机台。现在就联系我们，了解如何彻底改变包括下一代无线通信技术等工艺的产能和良率。



先进封装 · 半导体 · 光电 · 光学 · THE THIN FILM POWERHOUSE

www.evatecnet.com/cn

Footnote¹: 实际产量依据工艺决定

英飞凌将在马来西亚居林建造全球最大的 200mm 碳化硅功率半导体工厂

未来五年，在模块三的第二建设阶段，英飞凌将在居林附加投资达 50 亿欧元。加上菲拉赫工厂和居林工厂计划的 200 毫米 SiC 改造，这项投资将在本十年末带来约 70 亿欧元的 SiC 年收入潜力。这个极具竞争力的制造基地将支持英飞凌在本十年末实现 30% 的 SiC 市场份额目标。英飞凌有信心提前实现 2025 财年的 SiC 营收达成 10 亿欧元的目标。英飞凌首席执行官 Jochen Hanebeck 表示：“碳化硅市场正在加速增长，不仅在汽车领域，而且在太阳能、储能和大功率电动汽车充电等广泛的工业应用领域也是如此。随着居林工厂的扩张，将巩固我们在该市场的领导地位。借在业界的领先规模和独特成本地位，我们可充分利用自身一流的 SiC 沟槽技术、众多的封装产品集合以及独特的应用理解。这类因素正是该行业的差异化和成功领域。”英飞凌已获得约 50 亿欧元的新设计合同以及现有客户和新客户约 10 亿欧元的预付款：汽车领域包括 6 家 OEM 厂商，其中 3 家来自中国。客户包括福特、上汽和奇瑞。可再生能源领域，客户包括 SolarEdge 和中国三大领先的光伏和储能系统公司。此外，英飞凌和施耐德电气还就产能预定达成一致，其中包括基于硅和碳化硅的电源产品的预付款。英飞凌和相应客户将在不久的将来在单独公告中提供更多详细信息。预付款项将为英飞凌未来几年的现金流做出积极贡献，最迟将在 2030 年根据商定的销量全额偿还。马来西亚总理 Dato' Seri Anwar bin Ibrahim 阁下对英飞凌致力于在本国建立重要宽禁带中心表示十分赞赏。“马来西亚正在尽最大努力实现其经济低碳并到 2050 年实现净零排放的国家目标。马来西亚有着开发创新和可持续技术的成熟环境，持续吸引投资者将其作为首选投资目的地。由此，英飞凌对绿色技术和可持续发展的愿景



低碳趋势将导致功率半导体市场强劲增长，特别是基于宽禁带材料的市场。作为电源系统领域的领导者，英飞凌科技股份有限公司现在正在采取进一步、决定性的措施来塑造市场：在 2022 年 2 月宣布的原始投资之上，大幅扩建其居林工厂——英飞凌将建造全球最大的 200mm SiC（碳化硅）功率半导体工厂。该扩张计划得到了客户鼎力支持，其中包括约 50 亿欧元的汽车和工业应用领域新设计成果以及约 10 亿欧元的预付款。

可其在马来西亚立足。马来西亚新经济增长议程是以包容性和可持续性为前提，通过知识传递、优质投资、商业支持和基于国家财富公平分配的社会经济福祉方面的有力政策形式实现，英飞凌和其他知名德国企业对马来西亚的持续信心正是对马来西亚新经济增长议程投下的信任票。”投资、贸易和工业部长 (MITI) Tengku Datuk Seri Utama Zafrul Aziz 阁下也对英飞凌的扩张表示赞赏，并表示：“英飞凌在居林扩建世界一流的碳化硅工厂标志着马来西亚追求发展先进制造能力、创造高技能就业机会以及将国家定位于世界领先水平的重要里程碑。SiC 功率半导体工厂生产的创新功率半导体技术也将巩固马来西亚作为世界半导体生态系统关键参与者的地位，特别是在可持续技术供应链方面。

可持续性晶圆厂规划、建设和运营的关键要素。该建筑的设计方式使英飞凌能够合理地利用水和电力等资源。CS

中国将对化合物半导体材料实施出口管制

中国将对化合物半导体行业广泛使用的材料实施出口管制，包括 GaAs、GaN、Ga₂O₃、GaP、GaSe、InGaAs 和金属镓。这些管制措施也将适用于二氧化锗、锗外延生长衬底、锗锭、金属锗、四氯化锗和磷化锗。中国表示，管制措施将于 2023 年 8 月 1 日起生效，目的在于保护国家安全和利益。出口商若



想获得出口许可，需走相应程序。据路透社报道的描述，此举为“中美间争夺高科技微芯片愈演愈烈的斗争中的最新交锋”。路透社补充道，美国和荷兰“也将在今年夏季联手，通过进一步限制芯片制造设备的销售，制约中国芯片制造商，此举部分是为了防止中国将美国和荷兰的技术用于增强自身军事力量。”CS

下一代碳化硅沟槽器件技术

作者：袁俊，王宽，郭飞，徐少东，成志杰，陈伟，吴阳阳，彭若诗，朱厉阳，李明哲

功率半导体器件是电力电子装置中电能转换与电路控制的核心元器件，随着近年来新能源汽车、光伏、轨道交通、智能电网等产业的发展，市场对功率器件的需求迅速升温。然而，传统的体硅或 SOI 基电力电子设备受限于自身材料结构和特性，在电能转换效率、重量和体积方面越来越显示出不足和局限性，难以适应未来电力电子系统对“高效、绿色、低碳”功率半导体器件的要求。相比之下，第三代半导体 SiC 材料在禁带宽度、导热性能、临界击穿场强、电子饱和漂移速度上的优势明显，符合未来电力电子系统小型轻量化、高效一体化、安全可靠化的发展趋势。同时 SiC 功率器件产业具有巨大的经济效益，处在一个快速发展的市场中，随着全球“碳达峰、碳中和”目标的逐步实现，预计未来车规级 SiC 器件年复合增长率将超 30%，SiC 功率器件的市场规模可达万亿。

SiC 功率器件的研究从上世纪 80 年代开始，目前 SiC 二极管和 MOSFET 晶体管应用最广泛、产业化成熟度最高，SiC IGBT 和 GTO 等器件由于技术难度更大，仍处于研发阶段，距离产业化有较大的差距。而随着 SiC 功率器件的演进，沟槽结构成为二极管与 MOSFET 器件的主流设计，沟槽结构的优势有：(1) SiC 沟槽二极管可以构建更深的 P 型掩蔽，大大减小了反向阻断时结位置的电场强度，从而降低二极管的漏电流，提高了器件的热稳定性；(2) SiC 沟槽 MOSFET 将导电沟道从水平的晶面转移到了表面电子迁移率更高的竖直晶面，并消除了 JFET 区域，使器件的导通电阻更低，减小了导通损耗，因此 SiC 沟槽 MOSFET 具有更高的单元密度，极低的寄生电感，以及更快的开关速度。国外对于 SiC 沟槽器件的研究较早，二极管与 MOSFET 均已有产品上市，而国内对 SiC 平面器件的技术研究较多，在沟槽

器件的研究上处于起步阶段。以 SiC MOSFET 为例，日本 Rohm 和德国 Infineon 在 2015 年至 2016 年推出了第三代沟槽 MOSFET 器件，并逐渐形成专利壁垒；Rohm 在 2021 年推出了业界最先进的第四代沟槽 MOSFET 器件，并同步开始第五代沟槽技术的研发。而国内 2014 年才开始第一代和第二代平面 MOSFET 的研发，目前刚实现小批量应用。在第三代沟槽 MOSFET 方面面临日美和欧洲的专利封锁，并且在第四代与第五代沟槽 MOSFET 器件 IP、结构设计与全套工艺环节存在很大的差距。

九峰山实验室聚焦于下一代 SiC 沟槽器件领域的研究，集中资源开发了 SiC 沟槽器件制备中的沟槽刻蚀、高温栅氧、离子注入等关键核心单点工艺，形成了自主可控的成套工艺技术。接下来，本文将围绕下一代 SiC 沟槽器件技术，介绍业界在二极管及 MOSFET 器件上的相关研究进展与阶段性成果。

碳化硅多级沟槽二极管技术

SiC 肖特基二极管 (SBD) 在导通时只有多数载流子参与导电，而 PIN 二极管在导通时有少数载流子的注入，因此 SBD 具有更高的关断速度以及更低的开关损耗，这也是 SiC SBD 受到更广泛应用的主要原因。当工作在反向阻断状态时，SBD 主要通过金属与 SiC 漂移区形成的肖特基结来承压，肖特基结表面电场强度可以达到 1.5~2.2MV/cm，在强电场作用下镜像力及隧穿效应会导致结势垒的下降，而反向漏电流与势垒高度呈指数关系，因此 SBD 结处的强电场会给器件带来较大的反向漏电流，一方面会带来更多的关态损耗，另一方面也会降低器件可靠性。

如图 1 所示，为了解决 SBD 反向漏电流较大的问题，2002 年 Wolfspeed 发布了第一款 SiC

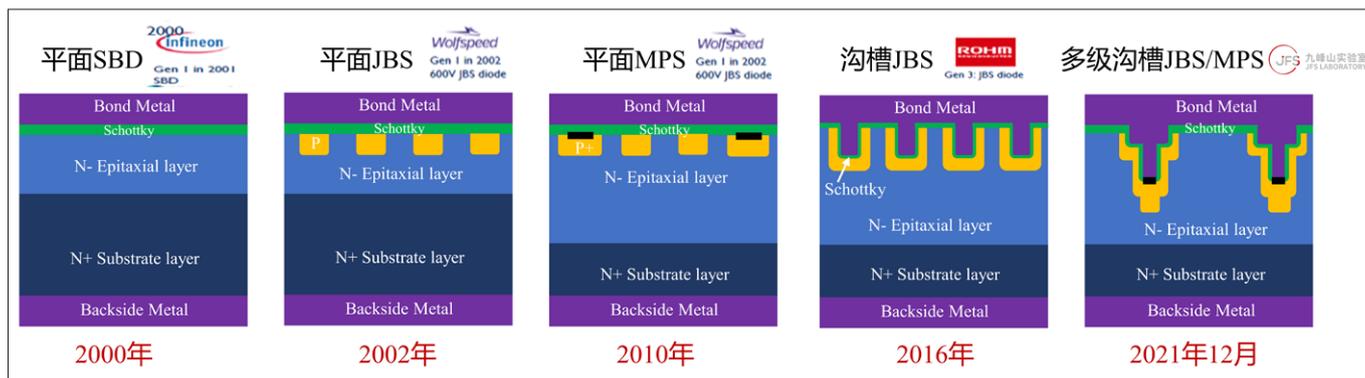


图1: SiC二极管技术发展路线。

JBS 产品（结势垒肖特基二极管），通过在漂移区表面位置间隔注入 P 区，来降低器件在反向承压时肖特基结处的电场强度，从而大大降低了器件的漏电流，同时实现了更高的击穿电压。但 JBS 结构也在器件正向导通时引入了 JFET 区，使得器件的导通电阻增加。2006 年 Infineon 发布了第一款 SiC MPS 产品（混合式 PIN- 肖特基二极管）^[1]，MPS 器件结构与 JBS 相似，相对于 JBS 侧重于提高器件反向特性，MPS 更侧重于改善器件的正向特性，其设计目标在于引进 PN 结的电导调制作用降低 SBD 在高密度正向电流下的压降。为了进一步降低肖特基结处的电场，ROHM 在 2016 年发布了沟槽型 JBS^[2]，通过刻蚀沟槽后再离子注入，得到了更深的 P 型掩蔽区，使得器件的反向漏电流进一步降低，但同时也在导通时带来了更加严重的 JFET 效应。

为了有效缓解 SBD 反向漏电流（深 P 掩蔽）与正向导通电阻（P 区 JFET 电阻）之间的矛盾，九峰山实验室在 2021 年设计了 SiC 多级沟槽 JBS/MPS^[3]。如图 2 (a) 所示，通过在金属 / 半导体接触界面设计多级台阶沟槽，可以使得 P 型离子沿沟槽方向注入更深，构造更好的电场屏蔽，从而抑制肖特基结势垒降低效应，减小了来自肖特基热发射及场发射的漏电流。与相同深度的单级沟槽器件相比，避免了因为 SiC 中 P 型离子注入深度有限而导致的深沟槽漏电问题。由仿真分析可知，深 P 掩蔽层显著降低了多级沟槽 JBS 的

表面电场，对于结间距从 1 到 3 μm 不等的 4H-SiC 多级沟槽 JBS 二极管，表面电场仅为 0.18–0.95 MV/cm。因此，与相同离子注入条件下的传统平面 JBS 结构相比，多级沟槽 JBS 的反向泄漏电流可以减少 2 个数量级。并且由于多级沟槽底部宽度更小，形成的 JFET 区面积较小，减小了对二极管正向导通电阻的影响，多级沟槽 JBS 在进一步增强 SBD 器件耐压能力的同时还使得器件可以保持较低的正向导通电阻。

为了实现上述设计，九峰山实验室经过长期的工艺探索，成功刻蚀出 SiC 多级沟槽结构，进行了沟槽角落的圆化，可以有效缓解槽角的电场集中效应，并开发出 SiC 多级沟槽 JBS 原型器件，实现了产品级技术的战略储备。如图 3 所示，该 1200V/20A 多级沟槽 JBS 器件与相同工艺制备的平面 JBS 器件相比，反向漏电流降低了 2 个数量级，击穿电压增加了约 200V，同时正向导通电阻没有明显增加。测试结果表明，所开发的多级沟槽 JBS 器件在常温下施加 1200V 反向电压时的反向漏电流低于 60nA，超越业界现有的技术参数（CREE 典型值 35 μA ），因其优越的电场屏蔽效果，在 175 $^{\circ}\text{C}$ 及以上的高温环境下漏电流也仅为 μA 级别，非常适合应用于电动汽车或高温恶劣环境的工控系统的功率模块。

碳化硅沟槽 MOSFET 技术

平面型 SiC MOSFET 经过行业内多年的研究，现代技

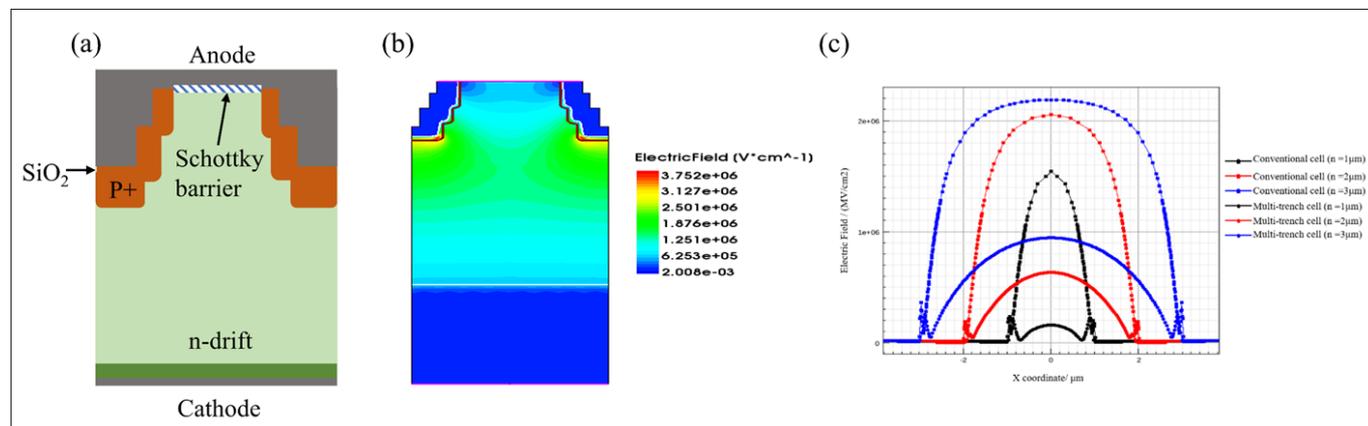


图2: SiC 多级沟槽 JBS 结构示意图及电场仿真: (a) 多级沟槽 JBS 结构示意图; (b) 多级沟槽 JBS 反向承压电场的 TCAD 仿真结果; (c) 多级沟槽 JBS 与传统 JBS 表面电场分布的对比。

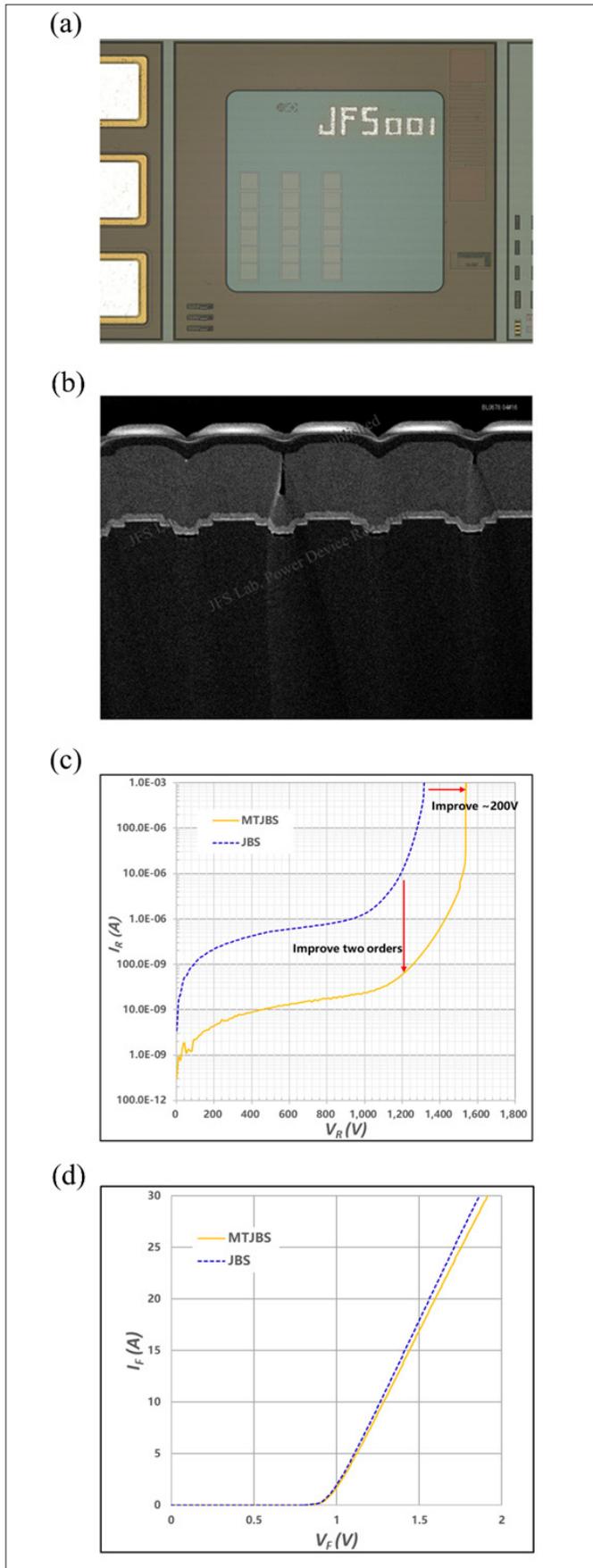


图3: SiC多级沟槽JBS流片及电性测试结果: (a) 多级沟槽JBS芯片的光学显微镜观测图; (b) 芯片的SEM切片分析结果; 多级沟槽JBS与传统JBS的 (c) 反向特性I-V曲线对比; (d) 正向特性I-V曲线对比。

术进步已经达到了缩小 MOS 元胞尺寸而无法降低导通电阻的程度, 主要原因是由于平面 MOSFET 的沟道迁移率差及 JFET 颈区电阻的限制, 即使采用更小的光刻尺寸, 单位面积导通电阻也难以降到 $2\text{m}\Omega \cdot \text{cm}^2$, 而沟槽结构可以有效解决这两个问题, 其使导电沟道从横向变为纵向, 相比平面结构沟道迁移率提升同时消除了 JFET 颈电阻, 大大增加了原胞密度, 提高了功率半导体的电流处理能力。

然而, SiC 沟槽 MOSFET 在实际工艺制作和应用中仍然存在几个问题: 1. SiC 漂移区的高电场导致栅氧化层上的电场很高, 这个问题在槽角处加剧, 从而在高漏极电压下造成栅氧化层迅速击穿, 同时对于恶劣环境的静电效应以及电路中的高压尖峰耐受能力差; 2. 由于 SiC 功率 MOSFET 主要应用在高电压高频大电流领域, 电路中的寄生参数会使得在高频开关过程中产生 overshoot 等尖峰毛刺, 造成器件电流通路上的瞬时过压同时增加了开关过程的损耗; 或由于功率负载等变化形成大的浪涌电压, 因为现有沟槽 MOSFET 器件本身并不具备抗浪涌电压自抑制能力和过压保护能力, 往往需要在实际应用中设计复杂的缓冲电路, 浪涌电压抑制电路和过压保护电路, 而这种外部匹配的抑制和过压保护电路有时间上的延迟, 实际开关过程中的高频尖峰电压浪涌仍然由器件本身承受, 有时会导致器件沟道区的击穿失效, 以及栅结构和电极欧姆接触区域的逐渐失效, 引起器件可靠性问题; 3. 离子注入深度有限, 导致很多针对性的沟槽栅极保护结构和抗浪涌设计从工艺上难以实现。

为了更好的保护沟槽 MOSFET 的栅极氧化层, 特别是底部和沟槽角落, 以及获得更好的抗浪涌和短路耐受能力, 业界目前仅有两种规模量产的 SiC 沟槽 MOSFET 专利结构, 其中日本 Rohm 采用在栅极沟槽两侧构造源极双沟槽结构屏蔽中间的栅极沟槽底部, 德国 Infineon 采用“P+ 半包裹的非对称沟槽结构”。国内对于沟槽 MOSFET 的研究才刚刚起步, 在沟槽 MOSFET 的器件 IP、结构与核心工艺环节同国际水平存在很大的差距, 并且面临日美欧的专利封锁。因此, 沟槽 MOSFET 成套工艺及结构 IP, 是未来十年碳化硅 Fab 竞争的入场券。

九峰山实验室前瞻性地完成了沟槽 MOSFET 的专利布局, 成为国内具有完全自主沟槽结构的单位, 避免了未来的专利纠纷。目前针对沟槽 MOSFET 元胞结构、终端设计等领域已经获得多篇授权专利, 包括“胶囊沟槽”系列, “包角沟槽”系列, “双侧导通半包沟槽”系列等, 并在进一步完善相关技术的专利布局。

如图 4 所示, 为九峰山实验室的“胶囊沟槽”结构。该方案在栅极沟槽的两侧设计了 P+ 掩蔽结构, P+ 掩蔽结构可以是直接离子注入形成的, 也可以是先形成源极辅助沟槽再离子注入, 增加离子注入的深度, 当源极辅助沟槽为多级沟

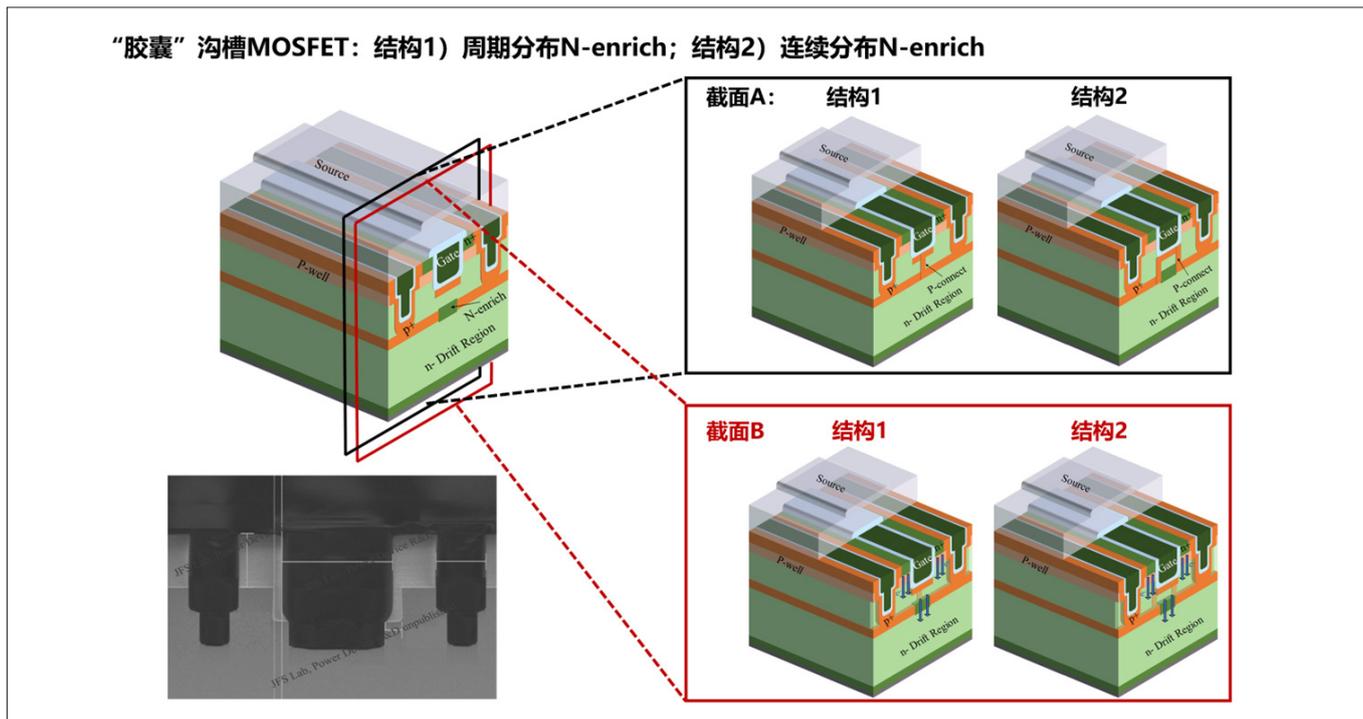


图4: SiC “胶囊” 沟槽MOSFET结构示意图。

槽时，无需高能量高剂量的离子注入即可实现更深的 P+ 掩蔽；并且通过二次外延的方法在 n- 漂移层中形成 P+ 埋层来达到电场屏蔽的效果，同时在栅极沟槽底部设计 p-shield 来进一步保护沟槽底部及拐角位置的栅氧，p-shield 通过周期性的与 P+ 埋层连接来实现接地效果。上述三种结构共同降低了栅氧中的电场强度，解决了电场集中区域容易出现击穿的问题，提高了器件对恶劣环境的静电承受能力以及对电路中高压尖峰的耐受能力。通过向栅极沟槽下方的 P+ 埋层注入 n 型离子形成 N-Enrich 区域的方式来形成导电通路，从而自然在器件的漏极电流通路上引入了 JFET 结构，且 JFET 结构的导通特性可以由 N-Enrich 区域的图形设计和离子注入浓度及图形轮廓进行优化调整，设计和工艺灵活，具有较好的可制造性。此 JFET 结构通过源极的 P+ 掩蔽结构接地，在大的浪涌电压下可以自动扩展两侧的耗尽区从而增大 JFET 区的导通电阻，相当于一个缓冲器电路结构自行抑制浪涌尖峰。同时在浪涌电压过大时，两侧耗尽区域继续扩展而相互重叠，起到封锁效应，保护内部的沟槽栅氧，起到一定的尖峰电压过压保

护作用。虽然在引入 JFET 后会增加一定的导通电阻，却具有了开关缓冲和浪涌电压自抑制效果，能增加器件对于浪涌电压和过电压的自抑制抗性，避免过压保护电路和过流保护电路由于实际作用上的时延造成的器件损坏和可靠性的减损。而且还可以对电路开关过程中的尖峰起到缓冲作用，减小开关损耗，可以减少电路设计中的缓冲电路 / 缓冲器电路结构，减少离散性的元器件，从而降低成本，也减少了实际模块体积，增强 SiC 模块的可靠性。

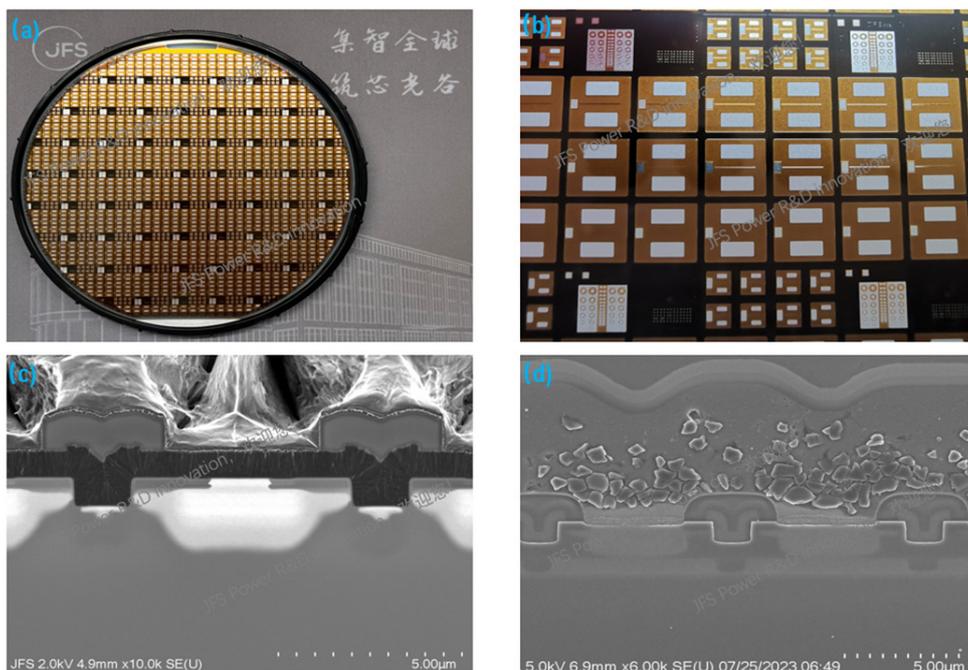
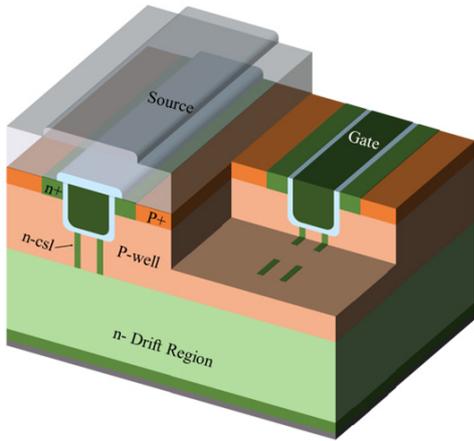


图5: SiC “胶囊” 沟槽MOSFET DEMO晶圆及器件SEM结构。

“包角沟槽” MOSFET

结构1: P-well完全包裹栅极沟槽, 通过n-csl周期性导通



结构2: 栅极沟槽下方设计导流层, 更好的器件导通特性

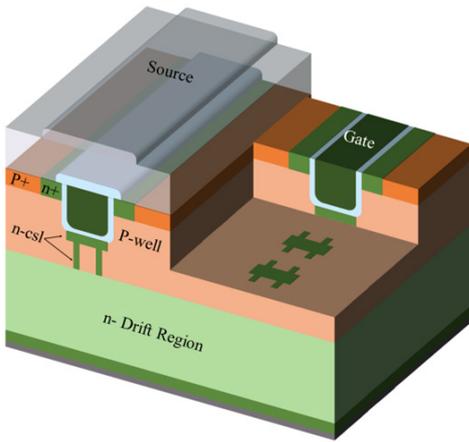


图6: SiC “包角” 沟槽MOSFET结构示意图。

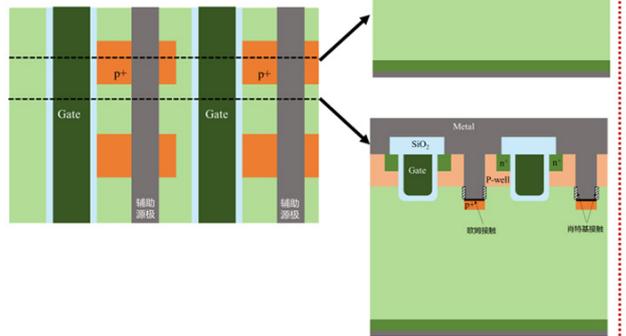
如图6所示, 为九峰山实验室的“包角沟槽”结构。该方案通过构造比栅极沟槽更深的P阱区, 使P阱区包住槽角, 通过沟槽底部的两条柱状N型离子注入区形成导电通道。导电通道在沿沟槽方向是间断排布的, 使得导电通道中间的P型区域可以通过与P阱区互联从而接地。在“包角沟槽”MOSFET中, 比沟槽更深、包裹住槽角的P阱区可以有效降低槽角处的电场, 防止槽角电场集中处栅氧的击穿, 增强了器件的可靠性。同时通过精确的掺杂浓度设计, 当器件工作在反向阻断状态时, 沟槽下方的N型导电通道区和P阱之间会相互耗尽、达到半超结效果, 在提高器件击穿电压的同时也可以降低器件的导电电阻。在器件实际制备时, P阱区可以通过二次外延形成, 避免了对产能影响严重的SiC高温高能Al离子注入工艺, N型导电通道区在栅极沟槽刻蚀完成后通过离子注入形成, 整体方案在提升SiC沟槽MOSFET性能的同时, 还兼顾对fab厂制备产能的提升。

如图7所示, 为九峰山实验室的“半包沟槽”结构。在实际器件制作及产品应用中, Infineon的非对称沟槽

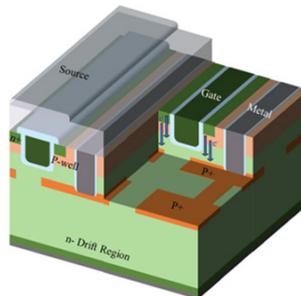
MOSFET呈现了更好的沟槽栅底部保护能力和可靠性。从器件结构分析和TCAD仿真上, 也能体现出采用底部及沟槽一侧P+半包裹保护的方式能构造更好的沟槽栅电场屏蔽, 然而, 采用Infineon的“半包沟槽”结构会造成沟槽MOSFET只能通过一侧沟道来导电, 另一侧被用来构造P+屏蔽层从而牺牲了导电沟道, 造成器件单元导通损耗的增加。九峰山实验室的双侧导通“半包沟槽”结构采用一侧构造辅助源极沟槽二极管, 同时结合沟槽栅底部P+掩埋层的方式, 使得栅极沟槽两侧的沟道都可以进行电子的输运, 构造更好的双侧导通能力的“半包沟槽”MOSFET, 增加器件的导通能力。P+掩埋层通过辅助源极沟槽接地, 并且在与栅极沟槽平行方向上非连续, 在空间上呈周期性分布, 当栅极沟槽底部没有P+掩埋层时栅极两侧沟道都可以导通。这样也使得器件中P+掩埋层的layout版图设计更加灵活, 能结合具体需求来设计掩埋P+的面积占比, 灵活调节导通电阻与抗浪涌及短路能力。同时, 可以在辅助源极沟槽的侧壁集成肖特基二极管, 底部形成欧姆接触, 巧妙的将肖特基二极管集成到沟槽MOSFET中, 形成更好的续流特性。3D仿真结果表明, 优化后的双侧导通“半包沟槽”MOSFET相对于Infineon的CoolSiC沟槽MOSFET, 槽角栅氧最大场强降低

“半包沟槽” MOSFET

结构1: 周期型P+掩埋, 侧壁集成SBD



结构2: 更深的P+掩埋



结构3: 更大的电流导通区域

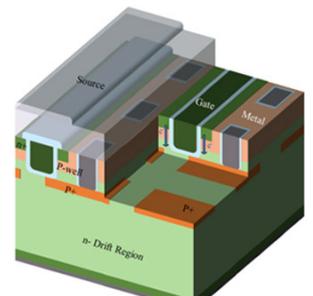


图7: SiC “半包” 沟槽MOSFET结构示意图。

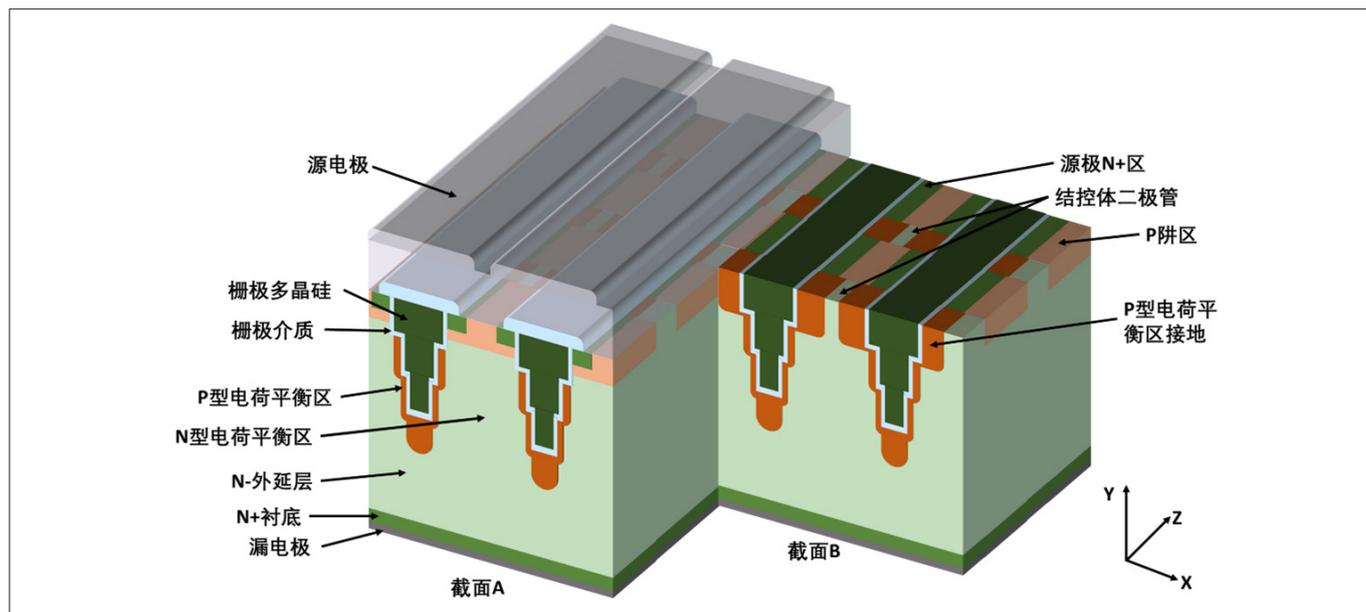


图8: SiC多级沟槽半超结器件结构示意图。

2.8%，比导通电阻降低 30.9%，Baliga 优值提升 36.6%，在提升器件可靠性的同时大大降低了器件的导通损耗，达到了业界的先进水平。

碳化硅超结技术

SiC 功率器件优化的重要目标是减小各击穿电压 (BV) 等级下器件的比导通电阻 ($R_{on,sp}$)，即持续提升器件的 Baliga 优值 ($BV^2/R_{on,sp}$)，而随着 SiC 衬底和外延质量的不断提升以及器件结构的持续优化，SiC 单极型器件的击穿电压与导通电阻之前的制约关系会逐渐接近一维理论极限 ($R_{on,sp} \propto BV^{2.3-2.5}$)。由于比导通电阻与击穿电压的 2.3 次方成正比，当击穿电压增加时，比导通电阻会急剧增加，导致 SiC 单极型器件在中高压领域相比于 Si 双极型器件 (IGBT 等) 的低导通损耗性能优势逐渐消失。因此，如何打破一维理论极限的桎梏、进一步降低器件的导通电阻成为 SiC 功率器件未来研究的热点。

在硅基功率器件研究中，超结 (Super junction) 技术成功突破了单极型器件的一维理论极限，解决了单极型器件的击穿电压 / 导通电阻的制约问题，降低了器件的导通损耗，并且实现了成熟的产业化应用。因此，在 SiC 器件中应用超结技术有望显著提升单极型器件的导通性能，在中高压领域保持优势。然而，由于 SiC 中 p 型注入深度有限且掺杂元素难以扩散，传统硅基超结器件的制备方法很难适用，目前 SiC 超结器件主要有四种技术方案，但都存在明显缺陷：1. 刻蚀深沟槽后使用外延生长来填充沟槽^[4]；外延生长填槽工艺复杂，且在填槽过程中极易出现空洞，造成严重的器件可靠性问题；2. 多次外延生长，每次外延后进行离子注入^[5]；工艺难度与工艺成本巨大，例如制备 30 μm 漂移区需要 30+ 次

外延，且每次外延时需要进行二次外延后的对准；3. 刻蚀深沟槽后进行侧壁离子注入，再用电介质填充沟槽^[6]；受制于刻蚀的深宽比，沟槽面积会降低器件电流导通的有效面积，造成导通电阻的提高。4. 采用多次外延和离子注入形成悬浮结，再通过超高能离子注入将悬浮结接地^[7]；超高能离子注入机是通过改装粒子加速器来实现的，此方案无法推广，并且实现这种深度的 p 型掺杂，对于 SiC 晶格也有着无法修复的损伤，无法保证器件的可靠性。

综上所述，现有技术制备工艺难度大、制备成本高昂，且器件可靠性问题严重，业界需要有可靠性、有可制造性、有规模量产价值的 SiC 超结器件方案。九峰山实验室设计了基于多级沟槽的 SiC 超结方案，为业界进一步降低 SiC 功率器件的导通电阻提供了可行的解决方案。

如图 8 所示，为九峰山实验室的多级沟槽半超结 MOSFET 器件。设计了多级台阶的 SiC 沟槽 MOSFET 结构，通过离子注入的方式在栅极沟槽的下方形成与漂移区掺杂类型相反的电荷平衡区，在器件反向承压时，n 型区域与 p 型区域在横向上相互耗尽，使电荷平衡区的电场强度保持一致，在不额外占用元胞面积的同时实现超结效果，提高器件的耐压值。同时在空间上将多级沟槽周围的电荷平衡区周期性接地，避免 p 型电荷平衡区的浮空，使得器件在由阻断状态转换为导通状态时，电荷平衡区有充足的少子进行补充，减小器件的开启时间，并且降低器件的开关损耗。为了实现电荷平衡，n 型电荷平衡区的掺杂浓度 $n_x \geq n\text{-drift}$ ，n 型电荷平衡区在器件导通时具有电流扩展的能力，这使得器件在正向导通时可以实现更小的导通电阻。仿真结果表明，该多级沟槽 MOSFET 的击穿电压可以达到 1810V，比导通电阻为 $2.52\text{m}\Omega/\text{cm}^2$ ，大大降低了 1800V SiC MOSFET 器件的导通电阻。

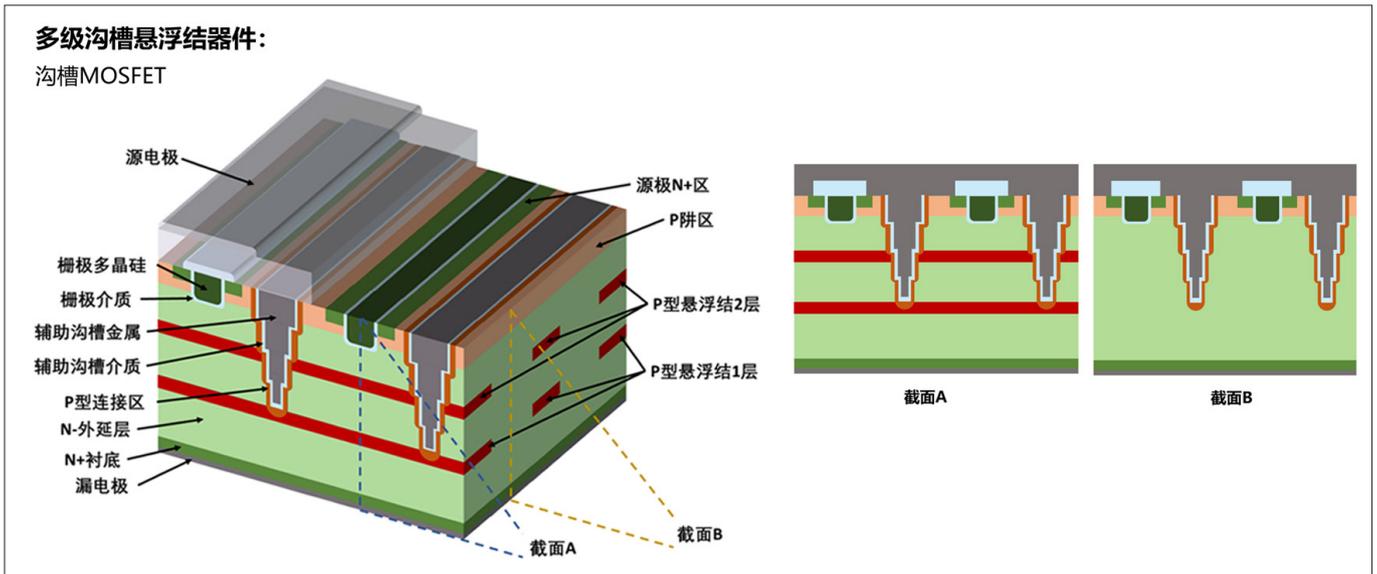


图9: SiC多级沟槽悬浮结器件结构示意图。

如图9所示，为九峰山实验室的多级沟槽悬浮结器件。悬浮结器件（浮空结器件）通过在漂移区中设计不与电极直接连接，掺杂类型与漂移区相反的悬浮结区域，对漂移区的电场产生调制作用，使得器件可以在保持击穿电压不下降的情况下，提高漂移区的掺杂浓度来降低器件的导通电阻；或者在保持导通电阻不增加的情况下，提升器件的击穿电压。当器件阻断时（反向承压），悬浮结处于耗尽状态，当器件由阻断状态转换为导通状态时，悬浮结需要补充空穴来恢复到初始状态，但由于悬浮结并未与电极连接，只能通过漂移区的少子（空穴）来进行补充，因此造成器件有较大的开启延迟，这也使得器件开关的能量损耗较大。本方案不改变器件原本的结构（即所有具有漂移区的垂直器件均可采用此方案在漂移区中构建悬浮结并接地），通过刻蚀形成多级台阶的沟槽结构，再通过离子注入的方式形成P型连接区，将每一层悬浮结接地，避免了高能P离子注入，减小对材料的损伤，并且使得器件在由阻断状态转换为导通状态时，悬浮结有充足的少子（空穴或电子）进行补充，减小器件的开启时间，并且降低器件的导通损耗。多级沟槽与单级沟槽相比，在沟槽深度相同、离子注入条件相同的情况下，多级沟槽形成的掺杂区域可以很好的包裹住沟槽，使得所有悬浮结都可以很好的接地，同时也避免了沟槽的漏电风险。

总结与展望

SiC 由于其更优异的材料性能在电力电子领域的需求迅速升温，并在新能源汽车、光伏、轨道交通、智能电网等产业中得到了广泛的应用。随着 SiC 衬底、外延质量以及相关特殊工艺能力的提升，SiC 器件结构设计成为了当下研究的热点，而沟槽结构因其独特的优势成为二极管与 MOSFET 器件的主流设计。国外对于 SiC 沟槽器件的研究较早，以

Rohm 和 Infineon 为代表的龙头企业已有沟槽结构的产品上市，并逐步建立专利壁垒、占据多数市场，而国内在 SiC 沟槽器件的研究上处于起步阶段，需要尽快建立 SiC 沟槽器件 IP 体系，培养结构设计 with 全套工艺的能力。☞

扩展阅读

- [1] F. Bjoerk, J. Hancock, M. Treu, et al. 2nd generation 600V SiC Schottky diodes use merged pn/Schottky structure for surge overload protection. in: Twenty-First Annual IEEE Applied Power Electronics Conference and Exposition, Proceedings of the IEEE, 2006
- [2] M.Aketaa, Y.Yokotsuji, M.Miura, et al. 4H-SiC Trench Structure Schottky Diodes, Materials Science Forum Vols, 2012, 717-720: 933-936
- [3] J.Yuan, J.Li, K.Xiao, First Experimental Demonstration of 4H-SiC Multi-Step Trenched Junction Barrier Schottky Diode Developed at JFS Lab. in: The 4th International Conference on Power and Energy Technology, Proceedings of the IEEE, 2022
- [4] R.Kosugi, S.Ji, K.Mochizukiin, et al. Breaking the Theoretical Limit of 6.5 kV-Class 4H-SiC Super-Junction (SJ) MOSFETs by Trench-Filling Epitaxial Growth. in: Proceedings of the 31st International Symposium on Power Semiconductor Devices & ICs, Proceedings of the IEEE, 2019
- [5] S.Harada, Y.Kobayashi, S.Kyogoku, et al. First Demonstration of Dynamic Characteristics for SiC Superjunction MOSFET Realized using Multi-epitaxial Growth Method. in: IEEE International Electron Devices Meeting (IEDM), Proceedings of the IEEE, 2018
- [6] H.Wang, C.Wang, B.Wang, et al. 4H-SiC Super-Junction JFET: Design and Experimental Demonstration. IEEE Electron Device Letters, 2020, VOL. 41, NO. 3,
- [7] R. Ghandi, C. Hitchcock, S. Kennerly, et al. Scalable Ultrahigh Voltage SiC Superjunction Device Technologies for Power Electronics Applications. in: IEEE International Electron Devices Meeting (IEDM), Proceedings of the IEEE, 2022.

首次实现超宽禁带氧化镓功率器件 强雪崩 – 浪涌鲁棒性

作者：周峰¹，巩贺贺¹，肖明²，张宇昊²，叶建东¹，陆海¹，张荣¹，

¹南京大学电子科学与工程学院，南京，中国

²弗吉尼亚理工大学，美国

在新能源汽车、智能工业电子、轨道交通、航空航天等复杂电气环境中，作为控制能量传输与转换的核心单元：功率开关器件，需面临高压、大功率运行工况下能量损耗、热量集聚、破坏性击穿等挑战；传统 Si 半导体受限于禁带宽度小 (1.1eV)、临界击穿电场低的材料瓶颈，难以在复杂电气环境中承受对过压、过流、过热等瞬态应力冲击。鉴于材料的耐电击穿、热稳定性能力与材料禁带宽度密切相关，因此采用宽禁带半导体材料以取代传统的窄禁带 Si 半导体，成为

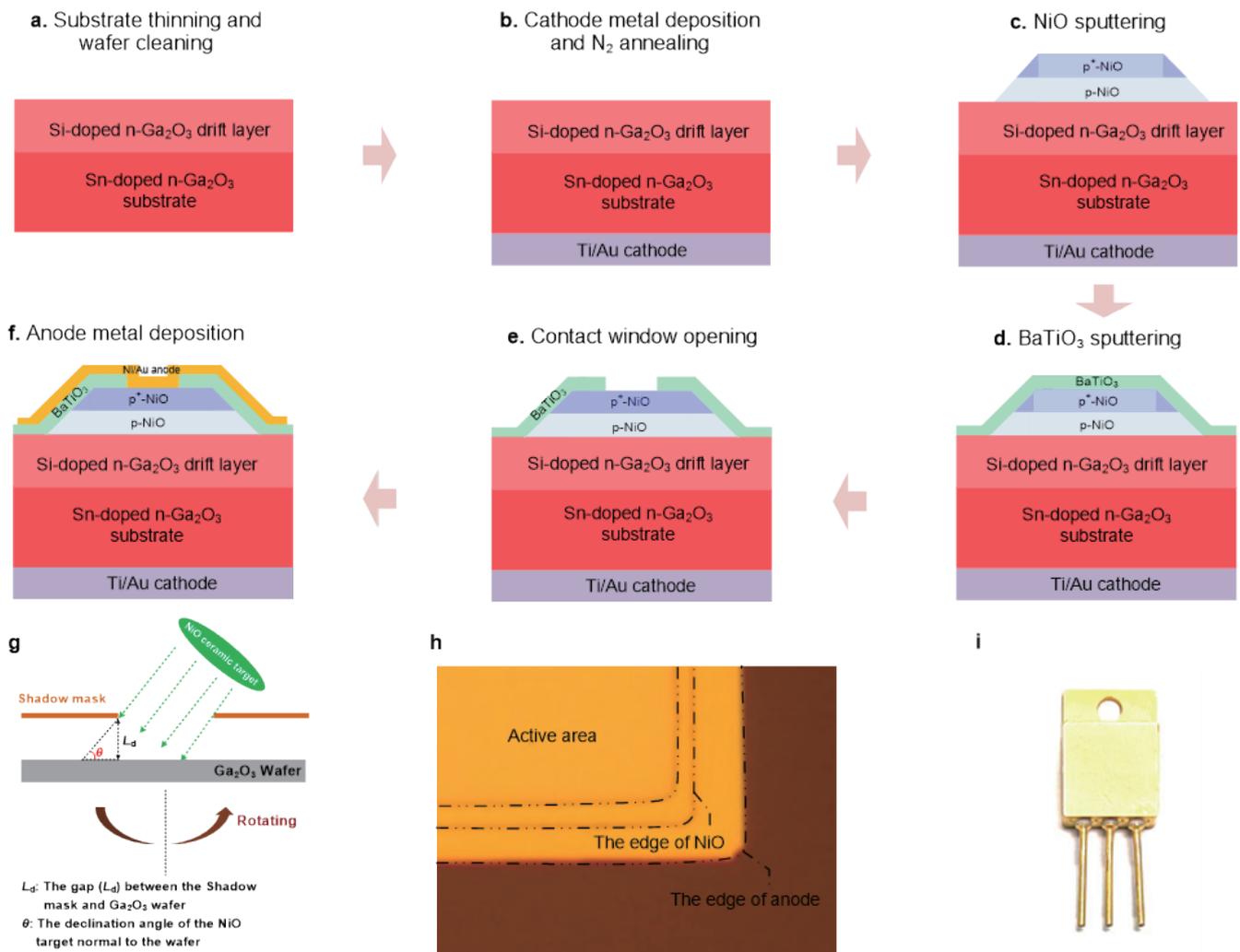


图1. p-NiO/n-Ga₂O₃ HJD工艺制备流程，主要包括：(a)外延衬底减薄和晶圆清洗，(b)阴极金属沉积和N₂退火处理，(c)双层NiO淀积，(d)BaTiO₃淀积，(e)开阳极接触窗口，(f)阳极金属沉积，(g)斜倾角NiO终端形成原理，(h)器件阳极区域的光学图像和(i)器件TO-220封装。

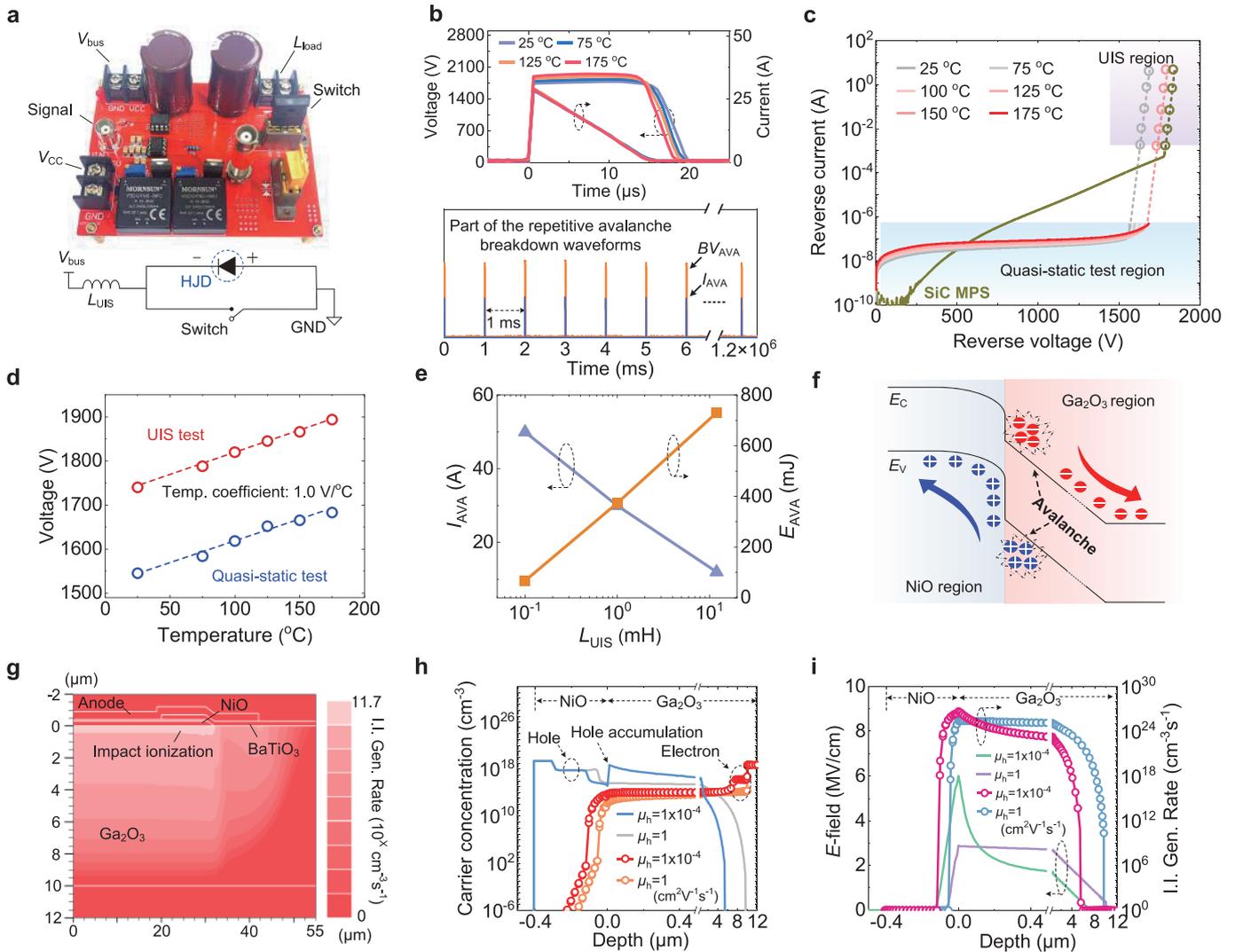


图2. (a) UIS电路测试装置, (b) Ga_2O_3 HJD的UIS电压和电流波形, (c)器件的静态反向I-V特性, (d)静态和UIS曲线中抽取的正温度系数值, (e)雪崩能量和电流随电感变化曲线, (f)雪崩条件下载流子输运过程, (g)仿真的载流子雪崩碰撞电离图, 雪崩条件下(h)电子和空穴浓度、(i)电场和碰撞电离生成率。

解决上述挑战的有效途径。过去二三十年, 以氮化镓 (GaN)、碳化硅 (SiC) 为代表的宽禁带半导体材料与器件研究在不断发展, 并逐步走向实用化和商业化。在此基础上, 为进一步提升器件能效和综合性能, 研究人员一直积极寻求禁带宽度更大、能效更高的功率半导体材料。作为超宽禁带半导体的典型代表, 氧化镓 (Ga_2O_3) 近几年引起广泛关注, 其理论击穿电场、外延尺寸及成本、耐高温能力、器件异质结构等方面都优于目前的宽禁带半导体材料。近年来, 美日欧等国家和地区竞相部署系列重大战略计划, 我国亦将 Ga_2O_3 半导体技术列入国家十四五规划和“2035 中长期规划纲要”。大力推动 Ga_2O_3 功率器件的发展, 对提升国家综合实力和保障国家安全具有重要的战略意义。

目前国内外研究主要集中在解决 Ga_2O_3 功率

器件反向击穿电压与正向导通电阻、关态漏电与开态导通特性等互斥特性之间的性能平衡问题, 然而, 针对复杂应用场景中器件可能面临的过压、过流等瞬态冲击应力特性的研究仍几乎处于空白状态。基于高鲁棒性 SiC 基半导体的前期研究表明, 功率器件在高电场和大电流密度等极端条件下, 反向雪崩击穿和正向浪涌鲁棒性是非平衡载流子动力学的基本特征, 其物理过程是通过载流子的高效输运将涌入器件内的瞬态能量进行转移与可靠泄放。因此, 雪崩与浪涌特性成为功率元器件承受过压、过流等应力冲击所应具备的先决要素。尽管国内外在 Ga_2O_3 功率器件电学特性提升方面已取得较大进展, 但雪崩与浪涌鲁棒性在 Ga_2O_3 等超宽禁带半导体领域的研究仍处于空白状态, 严重制约了相关电力电子器件的实用化进程。

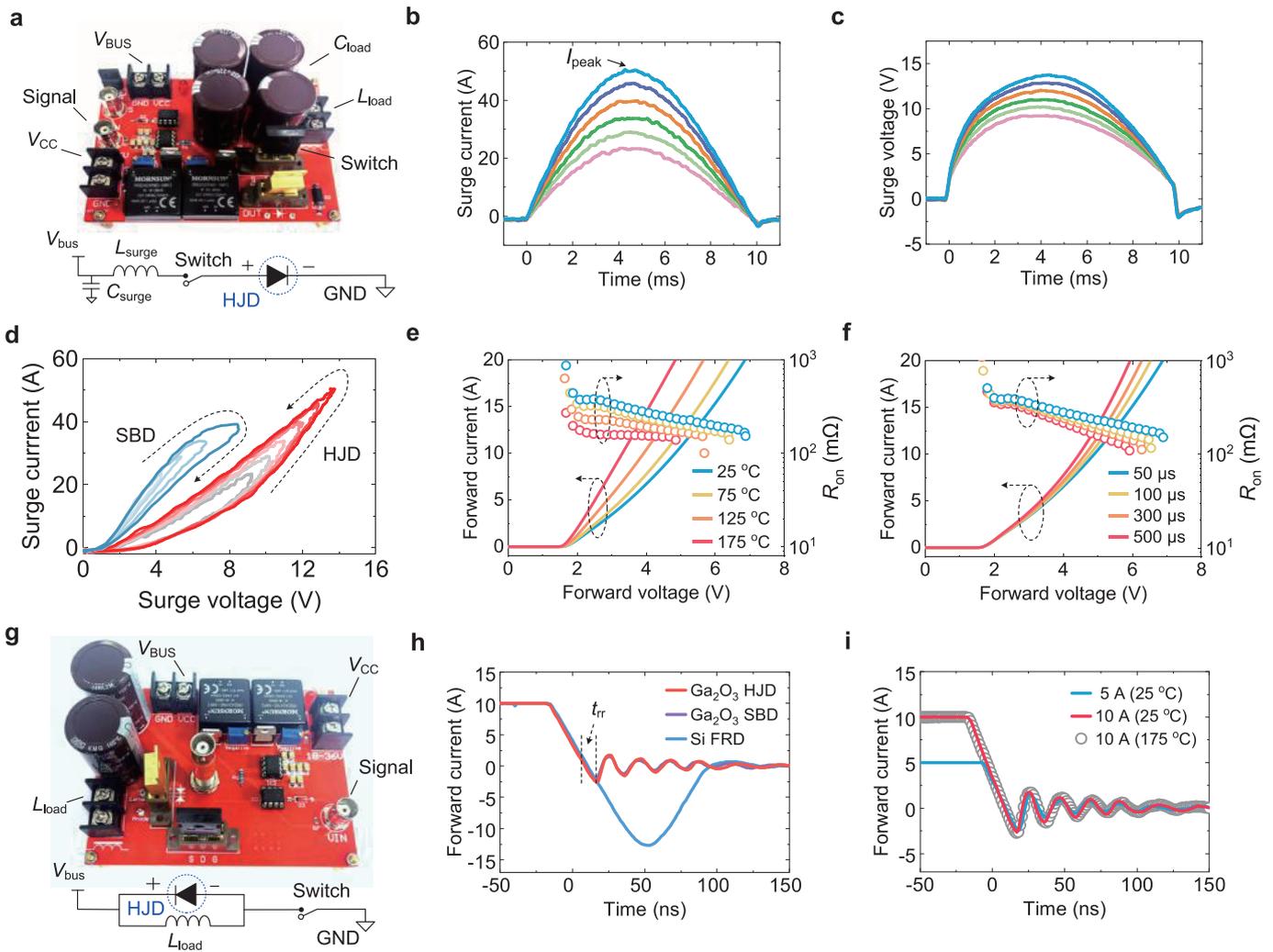


图3. (a) 浪涌电流测试装置, (b)-(c) Ga_2O_3 HJD的浪涌电压和电流波形, (d) 器件的浪涌I-V轨迹, (e)-(f) 变化温度和脉冲宽度的静态I-V曲线, (g) 反向恢复测试电路, (h)-(i) 反向恢复波形。

由于超宽禁带半导体掺杂不对称的瓶颈问题, Ga_2O_3 功率器件实现鲁棒性的关键难题在于寻找有效可靠的双极型掺杂方法和技术, 以实现基于 p-n 结构的 p-i-n、增强型 MOSFET、IGBT 等功率器件。为解决 p 型 Ga_2O_3 缺失的问题, 国内外研究者尝试将 NiO、CuI、 Cu_2O 、SnO 和 Ir_2O_3 等 p 型材料与 n- Ga_2O_3 相结合形成 p-n 异质结。这种双极型异质外延集成技术有效提升了 Ga_2O_3 功率器件的击穿电压, 充分证明 p-n 结构是管理功率器件内部电场和提升器件耐压性能的关键策略。然而, 在基于 p-n 异质结构的功率器件中如何实现雪崩、浪涌鲁棒性极具挑战。

围绕上述关键问题, 南京大学宽禁带半导体研究团队近年来突破高质量 p-NiO 单晶的室温异质外延和载流子调控等关键难题, 率先提出 p-NiO 双层结构设计, 利用载流子梯度有效调控空间电场分布, 抑制尖峰电场, 有效提升 NiO/ Ga_2O_3 p-n 功率二极管的击穿电压和高温工作特

性 (*Appl. Phys. Lett.* 117, 022104, 2020 编辑挑选亮点文章)。在此基础上, 结合先进电场管理技术, 研制出大尺寸、快速反向恢复的 NiO/ Ga_2O_3 功率二极管, 反向耐压提升至 2.04 kV, 正向电流密度 $2000\text{A}/\text{cm}^2$, 浪涌电流达 58 A, 反向恢复时间为 12 ns (*IEEE Trans. Power Electron.* 36, 12213, 2021; *Appl. Phys. Lett.* 119, 262103, 2021), 并首次通过电路系统验证, 器件功率转换效率高达 98.5%, 并和商用 SiC 大电流 SBD 器件相当 (*IEEE Trans. Power Electron.* 37, 1223, 2021; *The 35th ISPSD Proceeding*, pp. 326-329, 2023)。相关工作得到国际权威半导体行业杂志《Compound Semiconductors》、《Power Electronics World》及《化合物半导体》多次专题报道。

近日, 该团队联合弗吉尼亚理工大学张宇昊教授团队提出和发展了一种全新的架构设计, 结合了 p-NiO/n- Ga_2O_3 双极型异质结终端扩展和高 k 氧化物介质场板, 首次证明了超宽禁带半导体异

质结构功率器件在雪崩和浪涌方面具有出色的鲁棒性，并从物理机制上揭示了 p-NiO/n-Ga₂O₃ 异质结在高电场、大电流等极端条件下非平衡载流子动力学的基本特征。相关成果以“An avalanche-and-surge robust ultrawide bandgap heterojunction for power electronics”为题，于 2023 年 7 月 25 日在 Nature Communications 14, 4459 上在线发表。

雪崩击穿鲁棒性

为了应对 p 型 Ga₂O₃ 缺失的问题，研究团队创新发展出高质量 p-NiO 室温异质外延集成技术，提出双层 p-NiO 结构设计，实现载流子空间梯度调控，有效调控器件内部电场。为进一步抑制边缘电场拥堵效应，研究团队创新引入斜台面终端技术和 BaTiO₃ 高 k 介质场板复合结构。其中，斜台面通过调整掩膜与晶圆之间的间距以及 NiO 靶材的倾斜角实现，而高介电常数的 BaTiO₃ 介质材料则利用磁控溅射原位制备于 NiO 层上，相关关键制备工艺如图 1 所示，最终晶圆被封装在 TO-220 管壳中，以便进行后续电路级测试。

该研究采用复合工业界 JEDEC 标准的非钳位感性开关 (UIS) 测试电路进行器件的雪崩耐

量测试。其中，采用高于 Ga₂O₃ 击穿电压的 SiC MOSFET 作为陪测开关器件为线路中电感充电储能，并通过改变 SiC MOSFET 的时序实现电感能量的器件端转移。具体测试电路原理和 Ga₂O₃ 功率器件的 UIS 感应波形如图 2 所示。器件在 25 到 175℃ 较宽的温度范围内均呈现典型的雪崩击穿特性：UIS 电压钳位在雪崩击穿值，电流从 30A 峰值降低为 0，转移到器件体内的感性能量通过载流子雪崩过程被完全耗散。同时，器件的击穿电压在动态 UIS 和静态 I-V 特性中表现出一致的正温度系数 ~1 V/℃。这是首次展现超宽禁带半导体功率器件在瞬态过压应力条件下的雪崩鲁棒性。雪崩击穿电压超过 1600V，雪崩电流大于 50A，雪崩耐量最大约为 730 mJ，与碳化硅、氮化镓等商用宽禁带半导体功率二极管相当，如图 5 所示。

TCAD 模拟仿真研究表明，p-NiO/n-Ga₂O₃ 异质界面呈现典型的 II 型交错能带排列，有利于高效地抽取 n-Ga₂O₃ 漂移层中碰撞电离产生的空穴。基于雪崩动态特性测试，首次提取出 Ga₂O₃ 中电子和空穴的载流子碰撞电离系数实验值，这为发展功率器件和日盲雪崩探测器件提供了重要的物理依据。

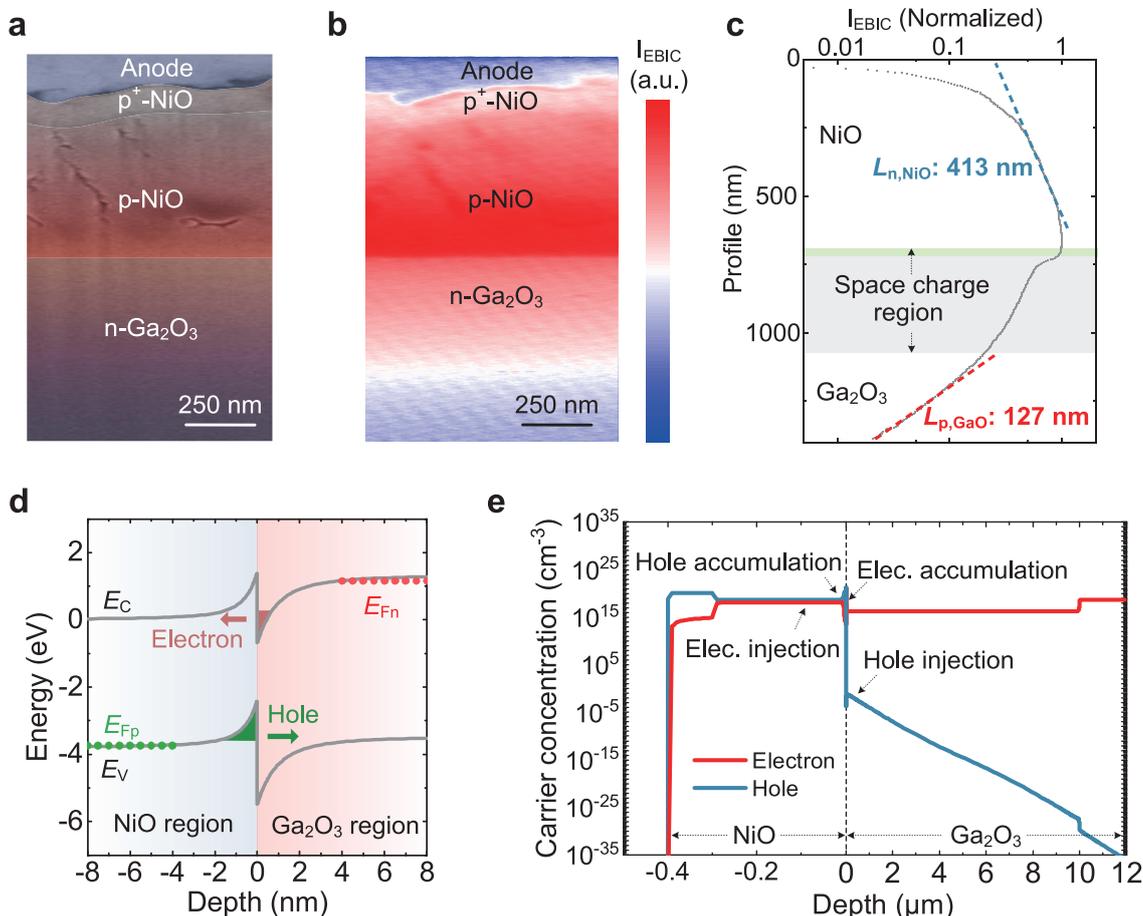


图 4. (a) 器件的 EBIC-SEM 图像, (b) 器件各层的 EBIC 图像, (c) 归一化 EBIC 电流分布剖面, (d) 浪涌电流下载流子动力学原理图和 (e) 异质结两侧的载流子浓度分布。

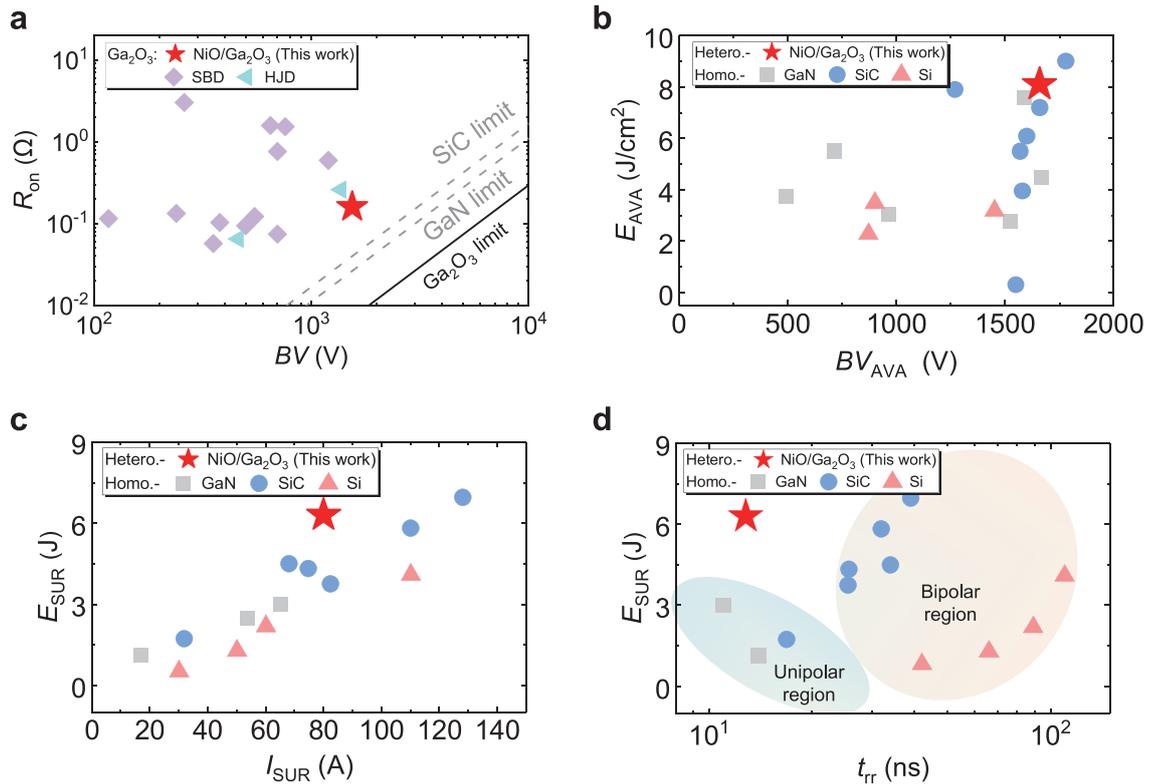


图5. 本工作中p-NiO/n-Ga₂O₃功率器件与已有的先进Si、SiC和GaN器件特性对比: (a)击穿电压和导通电阻, (b)雪崩击穿电压和雪崩能量, (c)浪涌电流和浪涌能量, (d)反向恢复时间和浪涌能量。

浪涌电流鲁棒性

通过采用 JEDEC 标准时间间隔为 10ms 的半正弦电流脉冲, 研究团队进一步评估了器件的正向浪涌电流鲁棒性, 如图 3 所示。相比于表现出顺时针电流轨迹的 Ga₂O₃ 肖特基二极管单极性器件, p-NiO/n-Ga₂O₃ 异质结二极管的浪涌电流轨迹则为逆时针, 表明其具有负温度电流特性, 这也在静态正向 I-V 特性中得到证实。负温度电流特性通常在双极型器件呈现, 主要是受少数载流子注入的影响。对于 p-NiO/n-Ga₂O₃ 异质结, 其界面能带偏移呈现很强的不对称性, 使得在正向偏置条件下, p-NiO 中少子注入过程占据主导地位, 进而发生显著的电导调制效应, 降低了器件的正向导通电阻和导通损耗。该器件呈现超过 50 A 的正向浪涌电流, 表现出在应对瞬态过流应力冲击方面的卓越能力, 与其他宽禁带商用功率二极管性能相当, 如图 5 所示。

为深入研究 p-NiO 和 nGa₂O₃ 中少数载流子动力学及载流子寿命等特性, 团队联合澳大利亚国立大学研究人员开展了电子束感应电流 (EBIC) 实验验证。通过观察耗尽区中 EBIC 的衰减特征, 发现较高的电流密度主要分布在 NiO 层一侧, 这

意味着更多的少数载流子受浪涌应力影响被注入到 NiO 中, 进而发生电导调制效应。

反向恢复开关特性

双极型传导有助于提升器件的正向浪涌电流能力, 然而往漂移区中注入的少数载流子在反向恢复过程中需要被尽快抽取以降低器件的反向恢复开关时间, 从而抑制开关损耗。基于 EBIC 实验结果可推导计算出异质结中 p-NiO 和 n-Ga₂O₃ 层的少数载流子寿命分别为 124 ns 和 6.2ns。这一少子寿命的强烈差异使得器件在 15 ns 内实现快速反向恢复, 有效降低了器件的开关动态损耗。

综合而言, p-NiO/nGa₂O₃ 异质结二极管突破了器件的多种性能相互制约的平衡问题, 兼具强雪崩击穿能力, 高浪涌电流和快反向恢复特性, 打破了半导体同质 p-n 结构正向电流和反向恢复速度相互制约的传统物理认识。这一研究不仅填补了氧化镓这一战略性电子材料在功率器件工程应用进程中的关键空白, 为实现其实用化迈出了重要且坚实的一步, 而且为金刚石、氮化铝等其他超宽禁带半导体功率器件的发展开辟了新途径。☞

SiC MOSFET 驱动负压关断的典型电路

作者：安徽芯塔电子科技有限公司 李冬黎 博士、钱朋飞

SiC MOSFET 驱动负压关断模式在很多应用场景中会影响器件开关的可靠性。跟 Si 功率器件比较，SiC MOSFET 开关速度较快、dv/dt 高，容易造成栅极串扰。当栅极串扰电压 ΔV_{gs} 超过器件阈值电压 $V_{gs(th)}$ 时，器件将会存在误开通风险。在这种情况下，SiC MOSFET 容易损坏。因此在很多工况下，SiC MOSFET 需要负压关断用以确保系统安全。

如图 1 所示，上管 MOS 关断时候，桥臂中点电位下降，dv/dt 通过下管的米勒效应在下管栅极负向串扰电压。上管开通时候，桥臂中点电位上升，dv/dt 通过下管的米勒效应在下管栅极正向串扰 ΔV_{gs} 。当 $\Delta V_{gs} > V_{gs(th)}$ ，上下功率管桥臂直通，造成器件损坏。同样原理，下管开通和关断也会在上管栅极分别造成正向和负向串扰。

另外，SiC MOSFET 的开启阈值电压随温度的升高而下降。因此，在栅极串扰作用下，高温下器件栅极串扰电压造成桥臂直通的风险进一步加大。因此，为防止 SiC MOSFET 的误导通，通常需要负压驱动。但是，目前大部分驱动芯片不支持负压驱动。本文将推荐两种驱动电路方案，基于单电源驱动芯片就可以实现负压关断。

图 2 为基于单电源驱动芯片的驱动电路方案一。VDD1 电源通过电阻 R1//R2 给电容 C8//C9 充电，电容两端电压快速上升到 D4 反向击穿电压以

后，D4 的两端电压稳定，负压 VDD2 随之建立。VDD1 对地 PGND-HS 的电压幅值大小等于正向驱动电压幅值和关断负压绝对值之和。驱动芯片 6 脚输出 PWM 驱动信号。R6 为开通电阻，R6//R8 为关断电阻。SiC MOSFET 的栅极通过驱动芯片内部集成上拉开关管接到芯片电源（VDD1）或者下拉开关管接到芯片地（PGND-HS）。

D4 的稳压值选择取决于驱动负压大小。安徽芯塔电子第二代 SiC MOSFET 典型关断负压为 -5V，因此 D4 稳压值的选取 5V，例如 VISHAY PTV4.7B（D0-220A 封装， $V_z=5V$ ）。根据稳压管推荐的反向工作电流来计算限流电阻 R1 和 R2。选取 $I_z=40mA$ ，那么 $R1//R2 = (25V-5V) / 40mA = 500\ \Omega$ 。经计算 R1 和 R2 消耗功耗 0.8W，可以选取两个 1Kohm/1W SMD 电阻（封装为 2512）并联。

在某些应用场景下，辅助电源无闭环电压控制，VDD1 电源瞬态过压很高。这种工况下限流电阻和稳压管的功耗需要仔细核算，避免器件过热损坏。

图 2 的驱动方案中，VDD1 辅助电源一旦有输出，负压 VDD2 瞬间就可以建立。换言之，负压 VDD2 可以在 PWM 驱动信号使能之前建。因此，SiC MOSFET 的每个开关周期都是负压关断，驱动可靠。

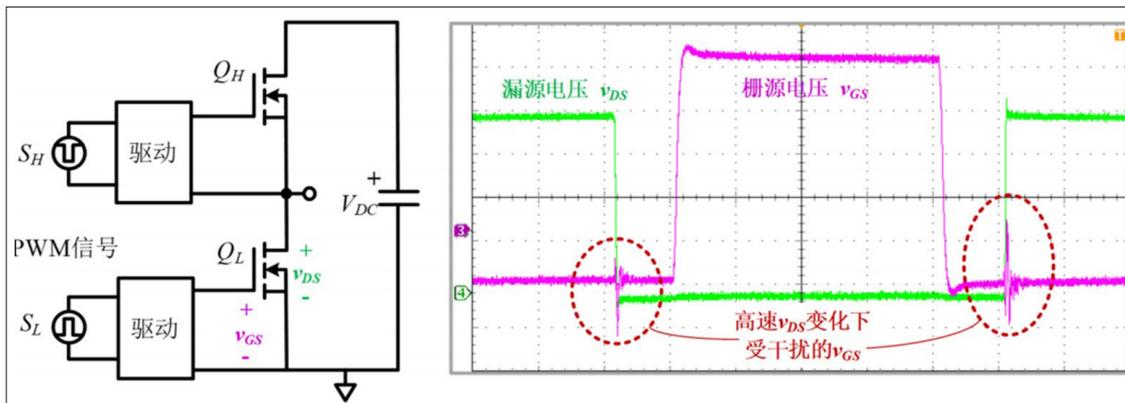


图1：桥臂电路中栅极串扰示意图

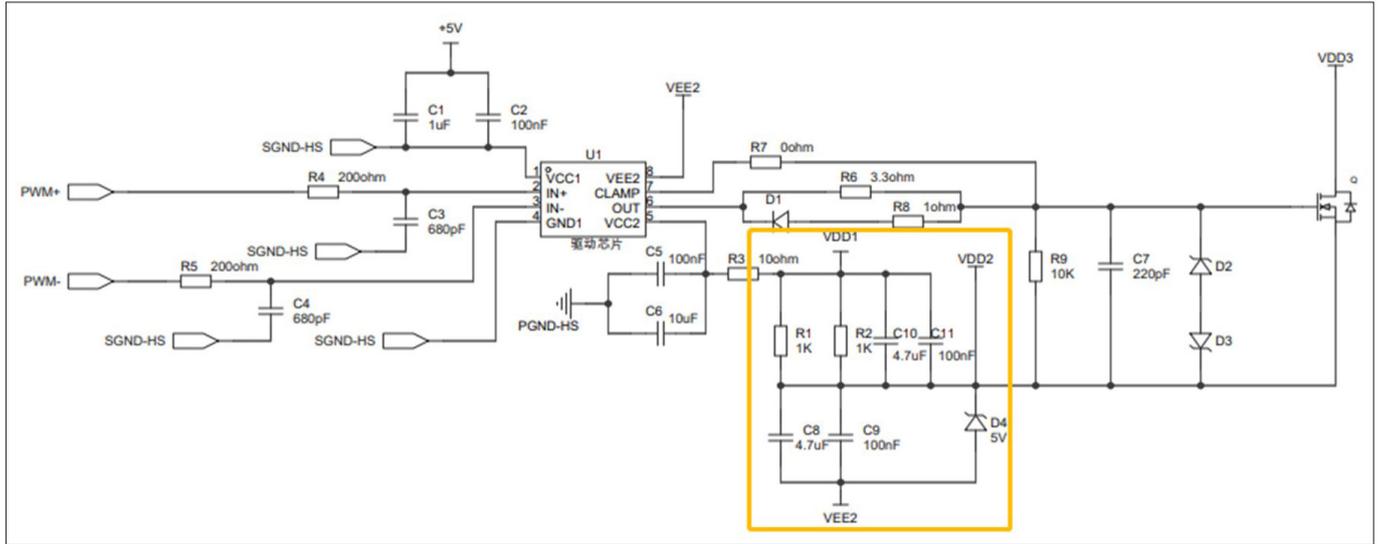


图2: 负压关断驱动电路 (方案一)

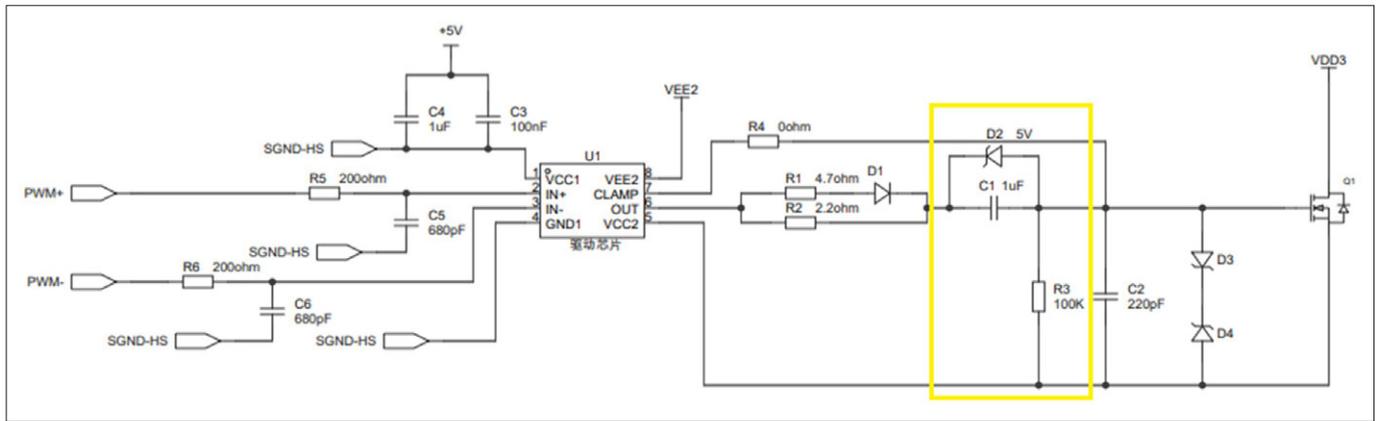


图3: 负压关断驱动电路 (方案二)

图3的驱动电路方案二是利用电容C1实现负压关断。C1比SiC MOSFET输入电容要大很多，以确保最长的关断时间内，C1在放电的情况下仍旧可以提供足够的负压。只有在PWM驱动信号使能条件下，VDD1通过驱动芯片内部上拉管子给C1充电。由于C1两端电压建立需要若干个开关周期。因此，SiC MOSFET在最初若干个PMM周期关断负压不足，如图4所示。开关频率越高，C1充电到稳定负压的时间越长，负压关断不足的PWM周期数越多，驱动串扰隐患加剧。

C1电容两端负压建立时间和电压纹波受开关频率和占空比的影响。C1电容增加，电容两端电压纹波减小，可是负压建立时间延长。因此，根据具体开关频率和占空比变化范围，可以优化电容C1和电阻R3，调节充放电时间常数，以平衡负压建立时间和电压纹波两个性能指标。

基于图3的驱动电路，利用LTspice对电路进行仿真以优化电路参数。栅极驱动信号和C1电压

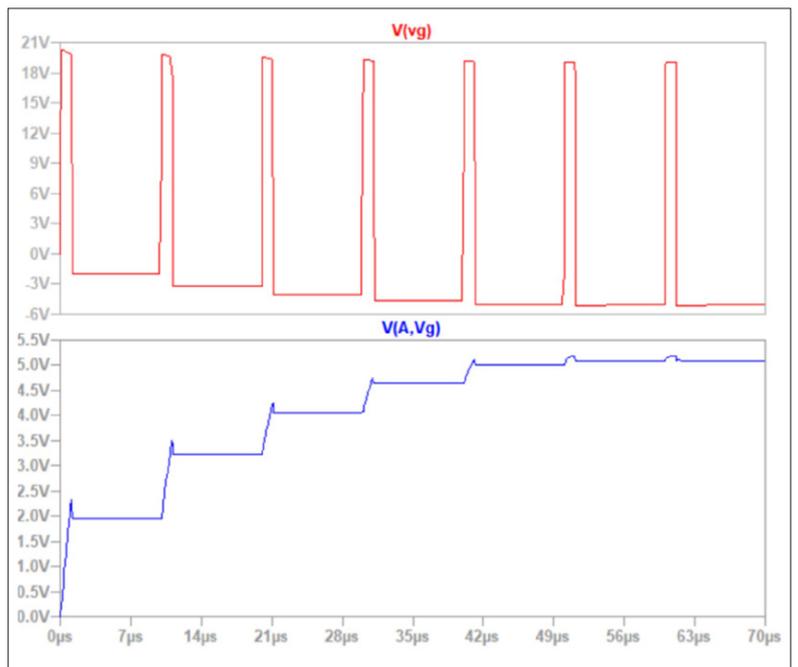


图4: 栅极驱动信号和C1电压仿真结果 (开关频率100KHZ, 占空比0.1)

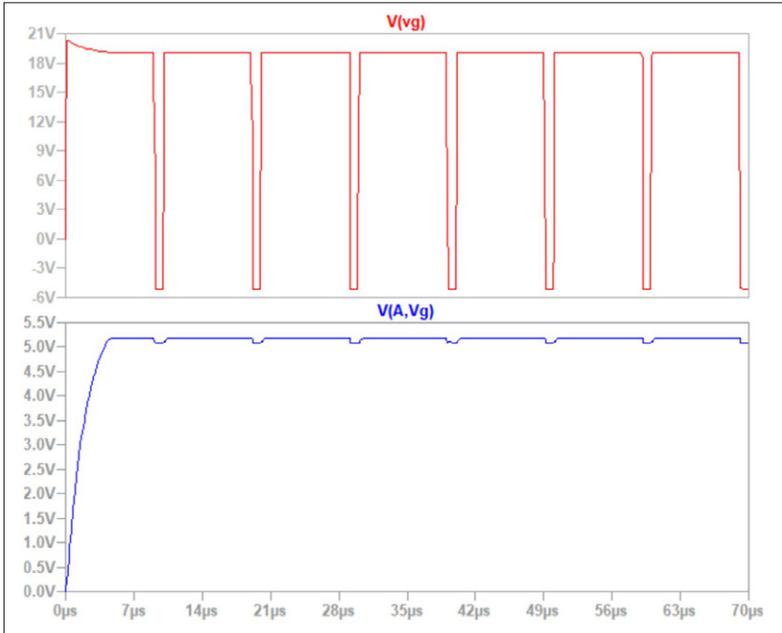


图5: 栅极驱动信号和C1电压仿真结果 (开关频率100KHZ, 占空比0.9)



芯塔电子第二代 SiC MOSFET

仿真结果如图 4 和图 5 所示。在开关频率 100KHZ 和 0.1 占空比工况下, 电容 C1 两端负压 40us 左右 (大概 5 个 PWM 周期) 就建立起来, 电容 C1 在一个开关周期内纹波电压 0.1V。综上所述, 开关频率过高的时候, 电路方案二不建议使用。保持同样 100KHz 开关频率, 当占空比提升到 0.9 时候, 电容 C1 两端负压 3us-4us 就建立起来, 如图 5 所示。

从两种上述电路负压关断驱动方案的分析对比可知, 两种电路方案成本相当, 但第一种方案可以实现全 PWM 开关周期的额定负压关断, 在 SiC MOSFET 驱动中使用更普遍。芯塔电子多款 SiC MOSFET 产品采用上述方案一, 目前已在新能源汽车、光伏储能、充电桩等多个应用领域的头客户获得批量导入。

芯塔电子目前已推出了五款 650V-1700V 电压等级具有自主知识产权 SiC MOSFET, 并且已经通过企业内部车规论证测试评估, 其中数款主打型号计划在 2023 年通过权威第三方车规论证。2023 年, 公司将推出 4-6 款 SiC MOSFET 产品, 包括新能源汽车主驱碳化硅功率芯片。新产品将进一步缩小芯片尺寸并优化性能, 同时降低成本。CS

GaN Systems 与上海安世博能源科技结盟推进氮化镓进入中国电动车应用市场

氮化镓功率半导体将在实现下世代电动车对尺寸微缩、轻量及高效率的要求上, 扮演关键角色。GaN Systems 拥有完整且高质量车规等级氮化镓功率晶体管产品组合, 而安世博能源科技已在电力电子领域深耕多年, 两间公司将协力彻底运用氮化镓



优势, 开创更多应用机会。此次战略合作将聚焦于优化电动车效率及功率密度的拓朴优化、先进集成电源模块设计、及高频率磁性组件的研发上。我们很荣幸能够深化与 GaN Systems 之间的合作, 加速氮化镓功率半导体在电动车领域的应用, 上海安世博能源科技首席执行官王越天表示, 安世博能源科技与 GaN Systems 维持长期且良好的合作关系, 我们尤其对 GaN Systems 车规功率晶体管产品优异的可靠度表现甚是满意。透过这次的合作, 我们将加速创新的脚步, 在电动车效率及功率密度上做出市场区隔, 为整体电动车产业发展带来助力。这次的合作将为电动车市场中笨重、低效率

且成本高昂的电力系统带来本质上的革新。氮化镓功率晶体管卓越的开关速度, 为电动车车载充电器 (On-Board Charger)、DC-DC 转换器、及牵引逆变器应用, 实现更高效率及高功率密度的设计, 进而提高电动车充电速度、延长续航里程、并减少整体系统成本。此次与安世博能源科技的合作, 使氮化镓功率半导体在中国电动车领域的发展往前了一大步, GaN Systems 全球首席执行官 Jim Witham 指出, 以 GaN Systems 与宝马 (BMW)、丰田 (Toyota) 及纬湃科技 (Vitesco) 等全球一线车厂的合作为基石, 我们将更进一步与安世博携手为下世代电动车带来改变竞局的性能优势。GaN Systems 及安世博能源科技皆看好氮化镓在数据中心及电动车等新兴应用市的展力。未来的合作将涵盖 6.6kW 及 11kW 基于氮化镓的车载充电器, 进一步巩固安世博能源科技致力于驱动电动车产业创新与进步的承诺。CS

碳化硅同质外延层厚度无损红外反射光谱法分析

作者：布鲁克（北京）科技有限公司光谱部门 雷浩东 赵跃

碳化硅（SiC）已成为工业电子领域最重要的宽禁带半导体之一，由于其高热导率、高击穿场强、高电子饱和漂移速率等优势，特别是对于大功率半导体器件，碳化硅优于传统硅，更受青睐。而碳化硅（SiC）外延层的厚度、背景载流子浓度等参数直接决定着 SiC 器件的各项电学性能。因此，碳化硅外延技术对于碳化硅器件性能的充分发挥具有决定性的作用，是宽禁带半导体产业重要的一环。

外延层厚度测试方法有：扫描电镜 SEM 法，可以通过晶界获得比较准确的厚度结果，但是对样品有一定的破坏性或需要切片后通过测试横截面，对于批量生产的外延企业来讲不是很友好；另外同质外延由于晶型相同只是载流子浓度不同，晶界的区分上也有难度。光学方法，可实现非接触无损检测，而且可以测试整片外延晶圆片。比较常见的有基于规则干涉条纹的 Fabry-Perot 干涉结合经验公式算法，如紫外可见反射光谱法，红外反射光谱法，基于规则周期性干涉条纹及经验公式 $(d = 1/(n * \Delta\theta))$ ¹ 方法，有一定的局限性，受折射率取值及频率选取范围影响较大；以及基于物理模型的拟合计算方法，如椭圆偏振仪，而椭圆偏振仪一般采用的光波波长是紫外到近红外波段，比较适合测试较薄的几十纳米到几百纳米尺度厚的外延 / 膜层厚度。功率器件根据器件工

作电压，外延层厚度基本都在微米量级，工作电压越高外延层厚度越厚，而红外光波长 1-20 微米，刚好跟微米尺度厚度的宽禁带化合物半导体外延层厚度相当，可以在此波段获得外延层的光学特征。

碳化硅器件工作电压	外延层厚度
600V	6μm
1200-1700V	10-15μm
> 10000V	100μm 以上

利用红外反射光谱法可测量半导体外延层厚度，无论硅基还是化合物半导体，且测量精度极高。此方法是基于红外光在层状结构中产生的光干涉效应的分析，结合基础的物理自洽拟合模型，充分利用所测得的宽范围外延层谱学特征，利用介电函数对于不同掺杂浓度、不同波段折射率参数、阻尼很难准确确定的情况下，无需考虑折射率取值及波段范围，利用拟合方式对所测得的全谱谱学特征进行数学拟合给出准确的外延层厚度值。不仅可用于单层外延层层厚分析，更重要的还可以用于复杂多层结构外延层层厚分析。

拟合算法考虑的参数：

- 衬底和外延层的载流子浓度（对应样品掺杂浓度和谱图中的等离子边）
- 阻尼（对应样品每个波长下对应的折射率和谱图中干涉条纹的衰减行为）

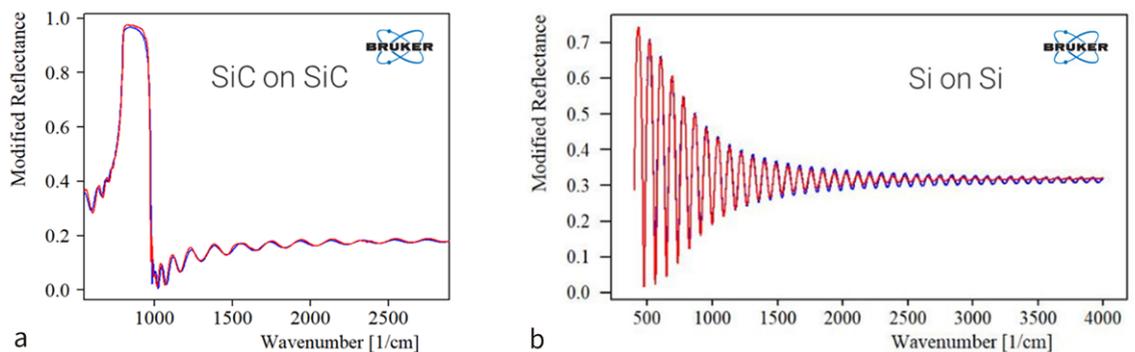


图1：
a 碳化硅同质外延
b 硅同质外延
红色：实测反射谱
蓝色：模型拟合谱

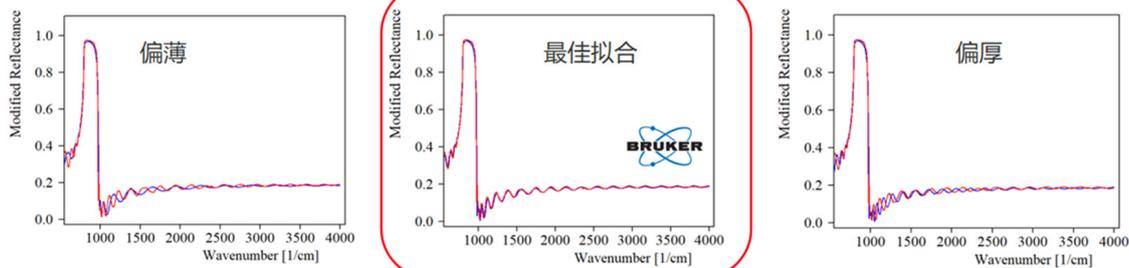
¹ d厚度，n折射率，Δθ干涉条纹频率/波长差

- 衬底和外延层的电学性质（如：偏金属性、偏半导体性、或偏绝缘性等）
- 外延层层数（每一层中的上述参数均单独考虑）
- 外延层厚度（每一层）

拟合模型对于厚度、载流子浓度、阻尼非常灵敏，如下图所示：

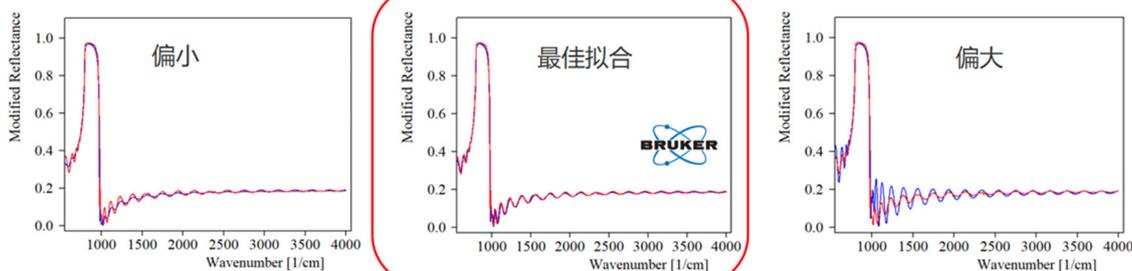
厚度

光学参数拟合后得出最自治的厚度值



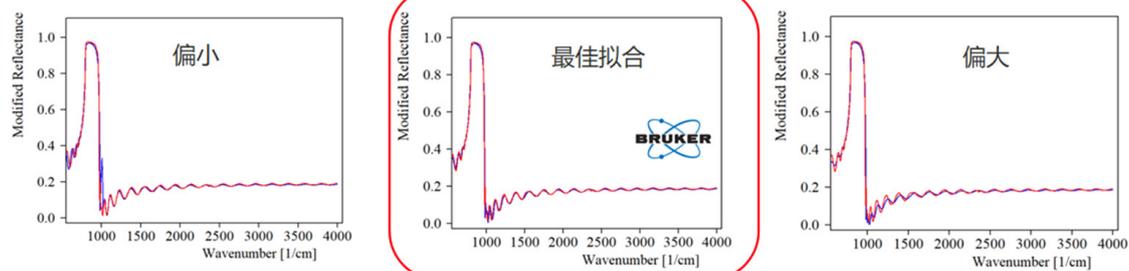
等离子边（载流子浓度）

光学参数拟合后得出最自治的厚度值



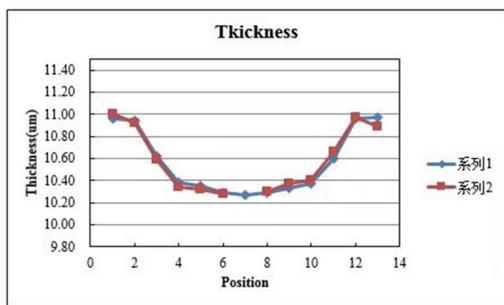
阻尼

光学参数拟合后得出最自治的厚度值



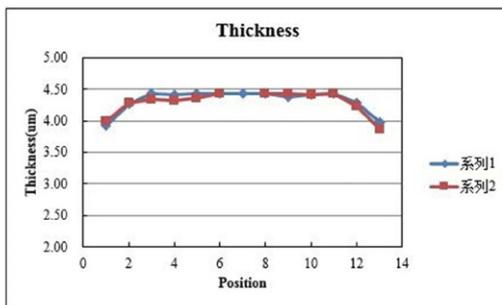
红外反射光谱法结合物理自治拟合模型算法外延层厚度分析实例：

SiC 同质单层外延分析结果：



Bruker仪器测试结果

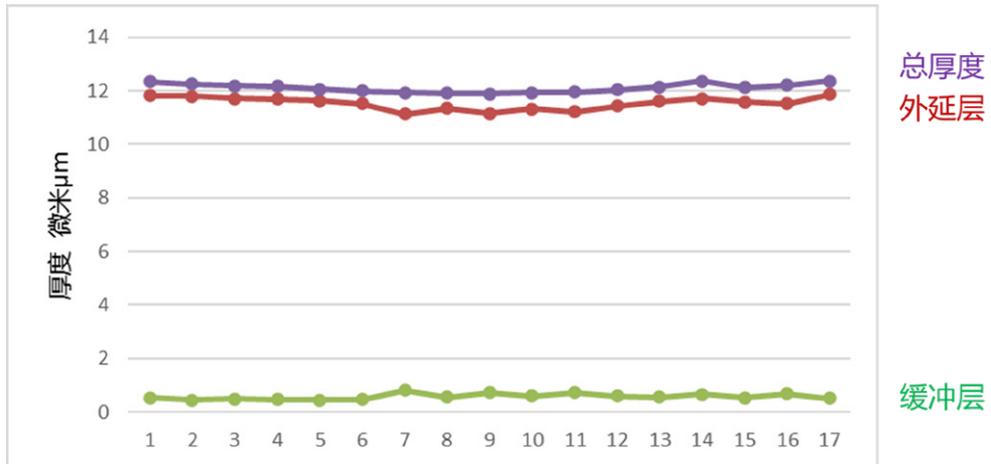
平均值：10.58 μm
均匀性：2.70%



Bruker仪器测试结果

平均值：4.31 μm
均匀性：4.16%

SiC 同质多层外延分析结果：



红外反射光谱法结合物理自洽拟合模型算法，是完整外延片单 / 多层外延层厚度光学无损、高精度测试分析的理想工具。OSc



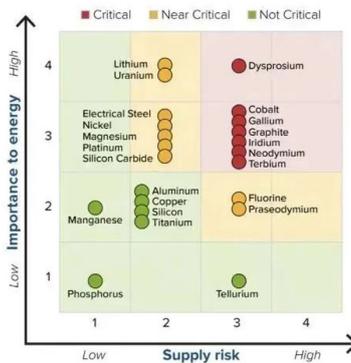
扩展阅读

- GB/T 14847 重掺杂衬底上轻掺杂硅外延层厚度的红外反射测量方法
- Simultaneous Determination of Carrier Concentration, Mobility, and Thickness of SiC Homoepilayers by Infrared Reflectance Spectroscopy, Japanese Journal of Applied Physics, Vol. 45, No. 46, 2006, pp. L1226–L1229
- Thickness determination of 4H-SiC Epitaxial Films by Infrared Reflectance, Xiaoyan Tang, Yuming Zhang, Zhiyun Li, Yimen Zhang, Haijiao Yao, 2009 IEEE

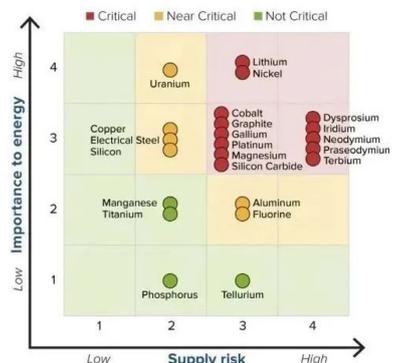
美国能源部发布《2023 年关键材料评估》报告

美国能源部 (DOE) 发布了《2023 年关键材料评估》，重点介绍了清洁能源技术不可或缺的供应中断高风险材料。面临供应中断风险的材料包括镓和碳化硅。美国能源部能源效率与可再生能源办公室 (EERE) 代理助理部长 Alejandro Moreno 表示：“随着我国持续向清洁能源经济过渡，我们有责任预测最具发展前景的清洁能源发电、传输、储存和最终用途技术所需的关键材料供应链情况，包括太阳能电池板、风力涡轮机、电力电子、照明和电动汽车。根本上说，在目前识别和降低材料的临界性或将确保未来几十年清洁能源的供应。” 由于材料和技

SHORT TERM 2020-2025



MEDIUM TERM 2025-2035



面临供应中断风险的材料包括镓和碳化硅。

术市场是全球性的，因此关键材料评估具有全球范围的特点，美国的国内利益也是处于这一背景之下。美国能源部表示，对于评估中确定的每一种关键材料，都将制定一项综合战略，解决材料特有的风险。OSc



国家的财富： 英国的国家外延设施

英国国家外延设施的主任 Jon Heffernan 讨论了该设施的职权范围、它的专业性以及它对化合物半导体材料和器件研究的贡献。

采访者：Richard Stevenson, CS 杂志编辑

RS: 国家平台是什么时候成立的，还有为什么要成立？

JH: 它开始于 1979 年，所以我们已经有 40 多年的历史了。该设施的目的是为英国各地的研究人员提供外延材料，主要用于英国资助的研究基金，但我们也与企业有合作。

我们的想法是，在英国有很多人从事做半导体研究，但他们并不都有外延设施。外延是一项昂贵的技术，它需要丰富的经验才能在最高水平上运作并生产出最高质量的半导体。因此，EPSRC[工程和物理科学研究委员会]多年来一直资助该设施。它是国家研究设施网络的一部分，其中大约有十个是卓越中心。

我们每五年更新一次。作为更新的一部分，有所谓的需求声明咨询。我们和英国的社团交谈，询问他们对这样的设施有什么需求。我们把这些信息汇总起来，然后由 EPSRC 审查。竞争激烈

的呼声要求有人经营这样的设施，并提供社团需要的东西。因此，我们与社团正在寻找的东西非常融合。

RS: 该设施不仅仅是谢菲尔德 (Sheffield) 的能力?

JH: 我们有所合作大学，剑桥大学和伦敦大学 (UCL)。这些合作伙伴提供专业材料。我们提供广泛的 III-V 材料：砷化物、磷化物、锑化物；剑桥大学提供氮化镓材料；UCL 提供 IV 族和硅基 III-Vs。

我们也有一个联盟设施，以提供少量的初始材料来帮助支持资助提案。我们特别希望支持新讲师。这将帮助他们获得第一笔赠款。

我们现在正在将材料扩展到更广泛的范围，如二维材料、氧化镓。这不是谢菲尔德自己能做的，因为要探索所有这些新材料，需要更多的新反应器，或者需要在现有反应器上使用可能不兼容的材料。

RS: 这些年来最大的亮点有哪些?

JH: 我们跟踪和支持了许多不同技术领域的发展。我们积极参与了激光通信和互联网的工作。

量子技术在全球是一个非常大的领域，在英国也是非常受关注的领域，包括国家量子技术计划。谢菲尔德在过去 20 年左右的时间，一直在半导体量子光子学的许多方面进行开拓。

我们一直处于开发量子点的最前沿，使其能够用于量子技术的应用。我们与东芝公司合作，利用基于量子点的纠缠光子发射器进行量子通信，取得了一些非常开拓性的成果。我们最近还从谢菲尔德分出了一家从事单光子源研究的公司，名为 Aegiq。

另一个有趣的新兴领域是环境感知；特别是使用包括激光器在内的中红外器件。这些类型的激光器，特别是量子级联激光器，生产起来非常具有挑战性。谢菲尔德大学是世界上第一个通过 MOCVD 证明这类量子级联激光器生长的研究小组。这在制造用于工业应用的此类器件方面是一个很大的突破。

我们有一些大型的项目在研究中红外光谱学的应用，同时使用激光器和探测器。我们是 EPSRC 未来光子学制造中心的核心合作伙伴。在 EPSRC 的资助下，有 40 多家公司与我们合作。

同样，我们一直在研究中红外应用的器件的可制造性。

我们的合作伙伴在硅上生长 III-V 族激光器方面做了非常开创性的工作。他们已经证明了长寿命，与商业化兼容。

剑桥大学多年来一直在研究氮化镓，并取得了许多突破性进展。最近，他们一直在研究一种叫做多孔氮化镓的技术。这对于显示技术来说非常有趣，例如用于虚拟现实显示。他们分拆出了一家名为 Porotech 的公司，吸引了大量的投资。

RS: 您在学术界和工业界工作的时间怎么分配?

JH: 很难说比例是多少，因为多年来它一直在变化。我可能会说大约 20% 的时间在工业界，80% 的时间在学术界。

我们主要的职能是支持学术研究。它的工作方式是，有人向 EPSRC 申请资助，如果他们自己的外延设施，他们就会来找我们，讨论他们的需求。如果基金得到资助，我们将为该基金提供外延。

我们与工业界合作，因为从本质上讲，该设施并没有完全被学术研究占用。由于使命的影响，我们也有责任与工业界合作的。对英国来说，公共资助的研究确实会产生影响，这一点非常重要，这意味着对现有工业部门或创办新公司的影响。

RS: 外延生长技术越来越成熟，系统也越来越容易使用。那么，建立国家平台的理由是否正在减少?

JH: 绝对不是。实际上恰恰相反。

目前，英国政府正在密切关注对半导体行业的投资，并在过去一年半的时间里进行了非常广泛的咨询，包括与我们的咨询。现在很多政府都清楚半导体有多重要 -- 供应链问题和各种地缘政治问题已经突出了这一点。美国政府刚刚宣布了 CHIPS 法案，对半导体技术进行了 2800 亿美元的投资。欧洲已经有了自己的 CHIPS 法案，预计英国政府将很快宣布其计划。

人们已经认识到，从经济影响的角度来看，半导体是非常重要的。一般来说，半导体，尤其是 III-V 族，可以给我们带来源源不断的惊喜。如果你跟踪我们在过去 40 年里所做的工作，你可以看到新技术一直在发展。我们可以利用很多物理资产。

外延不是静止的，也不是非常成熟。即使是经典的 III-Vs，如磷化铟、砷化镓和铋化物。它仍然非常具有挑战性。我们在铋化物方面拥有很强的专业知识，主要是通过 MBE 生长。通过 MOCVD 生产的铋化物还很不成熟，但我们正在开发它。还有很长的路要走。在 III-V 族和 IV 族外延中仍有许多领域几乎完全开放。

仍然有很多人需要我们的东西。除非有实际需求，否则 EPSRC 不会资助我们。此外，如果你从更广泛的角度来看半导体行业正在发生什么，需求和机会都在与日俱增。

RS: 英国有一些大学，如兰卡斯特和诺丁汉大学，都有自己的外延工具。对于某些研究领域 -- 可能是对深奥的异质结构的详细研究 -- 一个研究小组拥有自己的工具是否有意义？

JH: 当然。我们拥有的设施并不是要成为英国唯一的外延设施。我们的设施之所以这样设置，是因为有一些团体拥有自己的外延，并在寻求新材料或外延技术。

其中一些大学将投入大量的资金来追求外延技术。这是一项昂贵的技术，需要对此做出真正的承诺。

例如，如果你是英国另一个地区的研究人员，并且对新激光器有一个有趣的想法，你实际上很难去找大学并要求他们做这种工作，尤其是在供应的基础上。如果你想这样做，你真的需要与这些团体合作，这意味着你必须撰写联合赠款等，并且必须适当地参与外延方面的工作。

这个设施的理念是，研究人员可以来到该设施并获得外延材料作为研究服务。显然，了解他们想要做什么后，我们会为他们提供建议并与他们合作，但他们不需要制定长期合作计划，撰写联合赠款并参与外延本身的战略议程，就可以获得需要的材料，这就是该设施的价值。

如果你看看这些数字，你就会发现英国有很多人对半导体器件感兴趣。那些现有的外延团体无法满足这一需求，当然也无法提供我们刚才描述的研究服务。

我们与英国的外延团体有着非常互补的作用。他们是这个群体的一部分。我们经常帮助他们并向他们提供建议 -- 还有那些想与他们合作的人。我们前面描述的联盟设施是一个很好的例子。我们现在有大约六或七个团体将通过联盟设施提

供材料。他们可以自己做，但该设施在群体中有非常好的网络。我们对如何有效地管理联盟活动，从而取得良好的效果有着长期的经验。

RS: 这种国家平台的模式是否在其他国家也有复制？

JH: 没有。可能有几个大集团拥有生产多种材料的外延工具。在美国，像圣巴巴拉这样的地方有一些，欧洲也有几个。但这种外延模式是独一无二的，在这种模式中，我们向广泛的学术界提供材料。

我们有一个有很多国际成员的指导小组。他们一直认为这种模式非常有价值。他们谈了很多他们如何有兴趣在自己的国家实施它。这实际上是一个非常好的模型，EPSRC 已经运行了很多年。

RS: 你们曾经在海外提供材料吗？

JH: 有时。同样，这又是一个能力问题：我们是否有能力提供核心功能之外的材料？一般来说，我们倾向于与英国公司在这方面进行合作。经常有人咨询，最典型的是来自欧洲，例如，我们已经为德国的弗劳恩霍夫 (Fraunhofer) 做了一些工作。在斯特拉斯克莱德 (Strathclyde) 也有一家弗劳恩霍夫 (Fraunhofer)，我们通过一些赠款与之合作。

RS: 您能解释一下该设施的资金来源吗？

JH: 基本上是由 EPSRC 提供整笔拨款。我们的资金来源是所谓的 80-20 模式，这意味着 80%



在谢菲尔德的EPSRC国家外延平台的两名关键成员：Ian Farrer（左），半导体外延和材料高级讲师；和MBE集团负责人Edmund Clarke（右）。资料来源：Laure Divisia。

的资金是为了资助该设施的存在 -- 雇佣的工作人员和保持设施的可用性。该设施的其余费用，即 20%，是通过用户赠款提供的。

这实际上是一个很好的模式。它激励我们走出去，与社团紧密合作，以便拥有用户。

我们正在支持大量的补助金。我们通常与英国各地约 25 所大学合作。我们通过了 ISO9001 认证。这有助于我们与行业紧密合作。

RS: 你们拥有的工具包括那些用于 MOCVD 和 MBE 的工具吗?

JH: 是的。在谢菲尔德 (Sheffield)，我们三个 MBE-- 我们可以称之为四个，因为我们有一个多室系统 -- 和三个 MOCVD 反应器。剑桥大学有两个用于氮化物的 MOCVD 反应器，而 UCL 有三个 MBE 反应器。因此，总的来说，有 12 个反应器。我们没有 HVPE。

RS: 在这十二个系统中，有没有你们无法外延的材料系统?

JH: 我们整个联盟的重点是 III-Vs 和 IV 组。我们基本上可以完成所有的 III-V 族；在谢菲尔德，我们可以制作砷化物、磷化物、锑化物，以及诸如稀释氮化物和双金属化物这样的新型材料。剑桥大学制作氮化镓，这是其他 III-V 族材料；UCL 正在制作 IV 族材料。我们不生产碳化硅或氧化镓等材料，但这些可以通过我们的联盟合作伙伴提供。这也包括你可以探索的一系列二维材料。

为什么我们不制作这些材料？一个原因是，当我们做社团咨询时，大多数人都在寻找 III-Vs 或 IV 组。那是最大的需求。当然，人们对其他材料感兴趣，现在英国也有一些团体在生产这些材料，但他们还没有达到真正应该通过设施模式提供的程度。新材料需要很多努力。在材料方面取得突破之前，你最终会走很多弯路，所以像我们这样的中心设施要提供各种新材料将非常困难，而且非常昂贵。通常情况下，你还需要专用的反应器，因为你有各种材料的不相容性。哪里会有用户来支持这些反应器呢？

我们已经与社团、相关的外延团体、EPSRC 和指导小组进行了讨论。在新材料方面，该设施可以发挥作用：支持这些新材料的开发，直到它们达到成熟点，在英国有足够多的用户可能需要中央设施。

对于像氧化镓、碳化硅或某些 II-VI 材料这样的材料，可能五年后，英国有很多人在研究这种技

涉及英国国家外延设施贡献的近期研究亮点

- "A prototype AlInP electron spectrometer", M.D.C. Whitaker et al. Planetary and Space Science 205 105584, (2021)
使用 AlInP 光电二极管开发粒子计数电子光谱仪，适用于仪器会受到高温和强辐射的空间科学任务。
- "Continuous-wave quantum dot photonic crystal lasers grown on on-axis Si (001)", T. Zhou et al. Nature Communications, 11 977 (2020)
III-V 薄膜光子晶体激光器单片生长在 CMOS 兼容的硅基板上，用于片上光子网络。
- "Quantum interface of an electron and a nuclear ensemble", D A Gangloff et al. Science 364 (2019)
利用与电子的相互作用对量子点中的核自旋进行相干操纵，为开发长寿命固态量子存储器的接口奠定了基础。
- "High Purcell factor generation of indistinguishable on-chip single photons". F Liu et al. Nature Nanotechnology 13 835 (2018)
通过将量子点放置在光子晶体腔中来生成具有高不可分性的单光子，这会大大缩短量子点中载流子的辐射寿命，从而实现了具有极高重复率的片上单光子源。
- "A quantum LED for the standard telecom window around 1550 nm", T. Müller et al. Nature Communications 9 862 (2018)
演示了在 1550 nm 电信窗口周围发射单光子和纠缠光子对的发光二极管，用于长距离基于光纤的量子通信和密码学。
- "Wafer-scale Fabrication of Non-Polar Mesoporous GaN Distributed Bragg Reflectors via Electrochemical Porosification", T. Zhu et al. Scientific Reports 7 45344 (2017)
使用新颖的电化学多孔化步骤演示由非多孔和多孔 GaN 层形成的非极性 GaN 分布式布拉格反射器，该步骤允许在晶片规模上实现 DBR 结构。
- "Phase-locked indistinguishable photons with synthesized waveforms from a solid-state source" C. Matthiesen et al. Nature Commun. 4 1600 (2013)
显示了如何使用共振荧光技术控制来自量子点的无法区分的单光子的波形。支持各种量子技术应用。

术，因此通过中央设施提供这项技术在学术和财政上都是有意义的。但在这些材料方面，我们还没有达到那个地步。投资一个中央设施来提供大量的材料是有风险的，其中一些材料没有用户来实际开发研究。

RS: 你们是如何鉴定产业化材料？

JH: 我们在三个机构中都有广泛的表征设施。有一套核心的表征技术，实际上是我们 ISO9001 的一部分，它确保我们交付的东西符合用户的规格。例如，我们将始终对材料进行 X 射线测量，以检查材料的质量是否良好。我们总是做 Normarski 来检查表面质量是否良好。这些迹象表明外延品质是否有效。针对光学器件，我们将进行光致发光，因为我们需要看到光确实出来了。我们有各种基本材料所需的表征技术。

我们没有的是一些更先进、更专业、更昂贵的表征技术，例如先进的透射显微镜。但我们将这种工作外包。

拥有设备是一回事。我们也有 40 年的材料表征经验。这是该设施的一个重要部分。这不仅仅是我们的外延能力；我们对材料的知识以及我们对如何表征和理解它们的知识是非常有价值的。我们经常会遇到一些用户，他们对自己所要求的内容理解很差。例如，人们可能想组合材料，但他们甚至没有想过晶格匹配。所以我们对材料的了解对用户来说也非常重要。

RS: 你们材料交付需要多长时间？

JH: 这取决于材料的复杂性。我们主要支持获得资助的人，所以我们所有的工作都经过同行评审。人们来到我们这里寻找材料，然后我们给他们一个报价，这将用于他们的资助。如果赠款得到资助，我们将提供材料。

我们正在做新的研究；我们不提供现成的材料，因为那不是我们的职责。

如果有人寻找现成的材料，我们会鼓励他们寻找商业供应商。通常情况下，我们必须在三个月内交付所要求的晶圆。

其他一些项目是真正推动材料开发或推动器件概念的。这可能需要更长的时间，通常是几个迭代周期。虽然我们是一个研究服务机构，但我们有效地协同工作。用户需要与我们合作，了解限制和约束等等。在将最终产品交付给用户之前，我们会做很多的特性分析。

RS: 对于工业界使用的晶圆，你们能否支持到原型生产？

JH: 我们可以，但我们在这方面的主要制约因素是数量。我们不生产工业批量的晶圆。我们可以，但这将需要设施的容量。

我们可以生产高 TRL 的晶圆，如果这是你所指的，就原型而言。当然，我们已经生产出用于该领域的激光器，部署在各公司的系统中。但我们的首要任务是为学术研究人员提供服务。☐



虽然EPSRC国家外延设施可能因其MBE而闻名，但它也有MOCVD工具，包括两个Aixtron反应器。资料来源：Zofia Bishop



英国皇家工程院新兴技术学院院长、英国布里斯托尔大学物理学教授马丁·库博尔正在扩大对Ga₂O₃的研究，这要归功于他的实验室引入了一种MOCVD生长工具。

拥护真正的重量级材料： 释放 Ga₂O₃ 的希望

由于具有令人难以置信的禁带宽度、浅的施主能级，并且可以通过熔体法进行生长，Ga₂O₃ 成为有史以来最有希望的电力电子器件材料。

《CS Magazine》编辑理查德·史蒂文森

除了创纪录的代表人数和拥挤的展厅外，参加今年 CS International 的人还会记住这次会议，因为人们对宽带隙电力电子产品的兴趣达到了惊人的水平。这一领域令人兴奋得难以置信，因为在未来十年，SiC 和 GaN 器件和模块的销售额将飙升，从现在的年收入总额不到 20 亿美元攀升到 2030 年的 180 亿美元左右。这不仅对芯片制造商来说是个好消息，对那些制造相关材料、检测仪器和器件设计软件的公司也是如此。

采用这两类新的电力电子产品将造福人类。电力在交流电和直流电之间的转换效率将有所提高。这导致了许多电气系统的碳足迹减少。更重要的是，电动汽车一次充电就能行驶更远，这有助于缓解人们对里程焦虑的担忧，并为放弃内燃

机提供了更有说服力的理由。

但是，电力电子领域的革命会随着 SiC 和 GaN 的出现而结束吗？或者还会有更多事情发生吗？

CS International 的三位演讲者，布里斯托尔大学器件热成像和可靠性中心负责人马丁·库博尔 (Martin Kuball，见上图)；Ga₂O₃ 衬底制造商 Now Crystal Technology(NCT) 首席执行官仓田昭人 (Akito Kuramata)；以及 HVPE 专家 Kyma Technologies 的 CEO, Heather Splawn, 都认为与 SiC 和 GaN 相比，Ga₂O₃ 是一种重量级材料，能够处理令人难以置信的高电压，并以更高的效率提供开关器件。这些特性使这种氧化物成为超高压市场的一个非常有前途的候选者，它可以部署

在支持电网、处理风力涡轮机产生的电力以及电动列车应用的领域。

就其物理性能而言， Ga_2O_3 以其 4.9 eV 的宽禁带和高达 8MV cm^{-1} 的击穿电场而闻名。但是，当以衡量电力电子器件潜力的通用标准—Baliga 系数为基准时，它的表现如何？起初，尽管氧化物似乎遥遥领先于 SiC 和 GaN，但它落后于另外两个重量级材料—金刚石和 AlN。然而，当人们考虑到掺杂能级深度（这是决定功率器件能力的关键因素）时，由于相对较浅的掺杂能级（见图 1）， $\beta\text{-Ga}_2\text{O}_3$ 便占了上风。

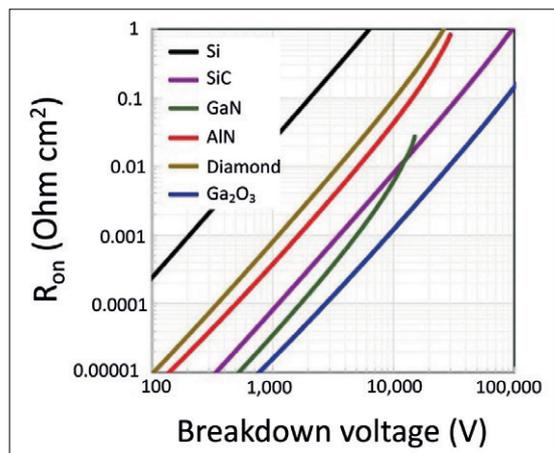


图1：一旦考虑到掺杂活性水平，根据Baliga系数， Ga_2O_3 就成为最有希望的超宽带隙半导体。此图表摘自Y. Zhang et al. Semicond. Sci. Technol. 35 125018 (2020)。

Ga_2O_3 的另一个主要优点是晶体生长相对容易。与硅、GaAs 和 InP 一样，它可以从熔体中生长，确保相对容易地生产出位错密度较低的衬底。但 SiC 和 GaN 并非如此，前者倾向于通过气相传输法来生产；后者尚未拥有适合批量生产同质电力电子器件的体材料生长技术。

需要克服的障碍

由于所有这些优点，由 Ga_2O_3 制成的器件已经取得了令人印象深刻的结果。Kuball 在 2023 年 CS International 大会上向与会代表发表演讲时表示：“性能已经超过了碳化硅。”然而，这并不意味着商业上的成功是必然的，部分原因是这些器件仍存在缺陷。

库博尔 (Kuball) 没有对这些担忧置之不理，而是正面讨论了这些问题。其中一个弱点是材料中存在高密度的缺陷，深能级瞬变光谱揭示了 $\beta\text{-Ga}_2\text{O}_3$ 中许多不同的缺陷状态。还需要做更多的工作，因为人们在很大程度上仍然不清楚这种氧化物中的致命缺陷可能是什么。



Akito Kuramata是Novel Crystal Technology公司的首席执行官，该公司是一家 Ga_2O_3 衬底和外延片的供应商。该公司计划扩大到基于这种氧化物的二极管和晶体管的生产。

另一个令人担忧的问题是 Ga_2O_3 的低导热系数，这导致许多人声称的由于芯片过热，这种氧化物永远不会成为电力电子器件的可行材料。但这个问题可以通过工程来解决，库博尔 (Kuball) 认为，在有源区域旁边引入金刚石可以有效带走热量。他的团队已经使用这种方法来改进 GaN 器件的热管理。

金刚石的加入实际上能够提供简单而卓越的热提取效果。库博尔团队的研究结果表明，通过在 n 型 Ga_2O_3 中填充 p 型金刚石沟槽形成的超结肖特基势垒二极管能够实现器件的电气控制。这是令人鼓舞的，因为 Ga_2O_3 没有 p 型掺杂是一个主要的问题，而整合其他 p 型半导体是一个很有前途的解决方案。

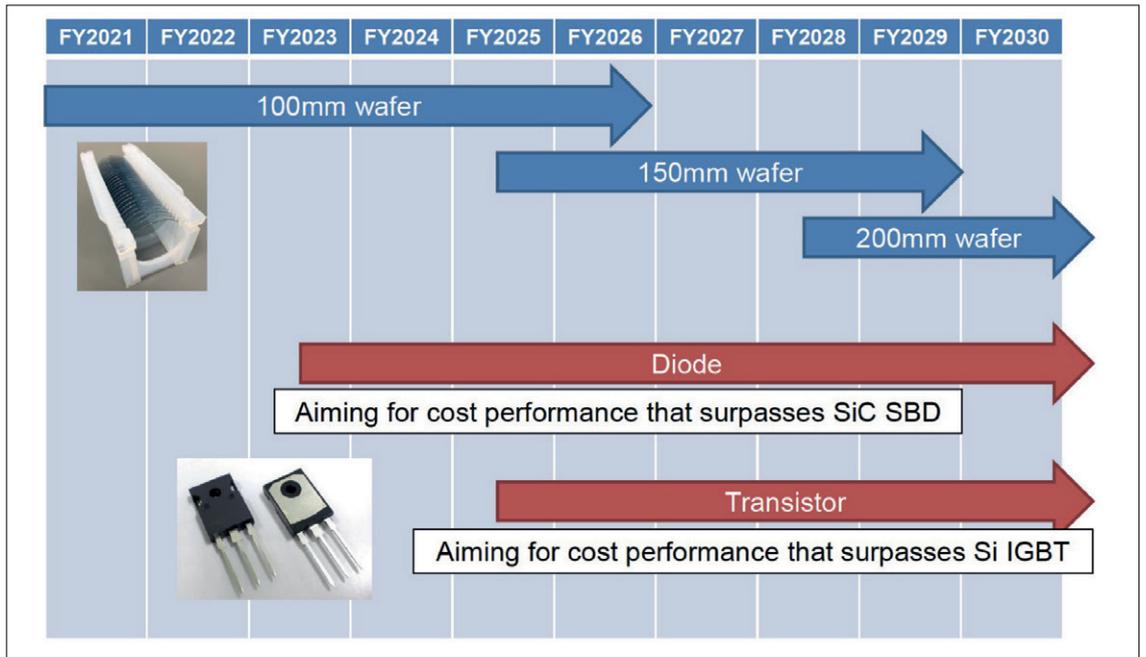
任何器件当其还处于初级阶段时，人们总是会担心它的可靠性。库博尔 (Kuball) 和他的同事们一直在研究康奈尔大学提供的 Ga_2O_3 沟槽 FET，实验发现 Al_2O_3 介电层有故障。现在需要努力改善 Ga_2O_3 和 Al_2O_3 的界面。

布里斯托尔团队也生产了沟槽肖特基势垒二极管。对这些没有场板的器件进行基准测试，表明其性能可与该领域的其他领先团队相媲美。

2022 年 5 月，库博尔的团队启用了欧洲第一个商用 Ga_2O_3 MOCVD 反应生长器 --Agnitron Agilis 工具。从那时起，他们一直享受着生长自己材料的机会，为包括垂直器件在内的各种结构生产 Ga_2O_3 和 $\text{Al}_x(\text{Ga}_2\text{O}_3)_{1-x}$ 外延层。

库博尔解释说，为了提高器件的导热性能，他们研究了在金刚石上的两步生长技术。透射电子显微镜和扫描电子显微镜图像显示了 245 nm 厚的 $\beta\text{-Ga}_2\text{O}_3$ 层的表面完美结合，以及不同的竞争结晶取向。这种薄膜的物理特性与生长在蓝宝石衬底上的 $\beta\text{-Ga}_2\text{O}_3$ 没有太大的差别，库博尔认为到目前为止，实验结果非常有希望。

图2: NCT计划增加其生产的衬底的直径,并根据Baliga系数,将业务扩展到Ga₂O₃二极管和晶体管的生产。图取自Y.Zhang等人的Semcond. Sci.Technol. 35 125018 (2020)



晶锭的生长方法

NCT 的 Kuramata 在演讲中对 Ga₂O₃ 体材料的生长提出了更多见解,他讨论了 NCT 公司用于生产商业材料的两种生长技术:导模法和垂直布里奇曼法。

虽然这家总部位于佐山的日本公司更出名的是衬底和外延片的生产,但它也计划生产芯片、器件及其封装。仓田展示了该公司的路线图,其中包括在未来五年内推出 150mm 和 200mm 晶圆,以及分别在 2023 年和 2025 年推出二极管和晶体管(详情见图 2)。该公司的二极管旨在提供比碳化硅肖特基势垒二极管更高的性价比,而按照同样的标准,晶体管性能有望赶超硅 IGBT。

对于更大尺寸材料的生产,导模法生长处于领先地位, NCT 已经报告了尺寸为 6 英寸的材料 的开发。“这是目前生产大尺寸 n 型衬底的唯一方法,” 仓田说。

导模法生长的另一个优点是它是所有 Ga₂O₃ 生长技术中生长速度最快的方法 -- 生长速度为 15mm/ 小时,是区熔法的三倍, Cz 法仅为 2mm/ 小时,垂直 Bridgeman 法仅为 1 mm/ 小时。

在导模法生长中,工程师通过毛细作用将熔融的 Ga₂O₃ 拉过狭缝,在籽晶上生长(见图 3)。这产生了具有板状几何形状的晶体材料,其缺陷密度通常约为 10³ cm⁻²。

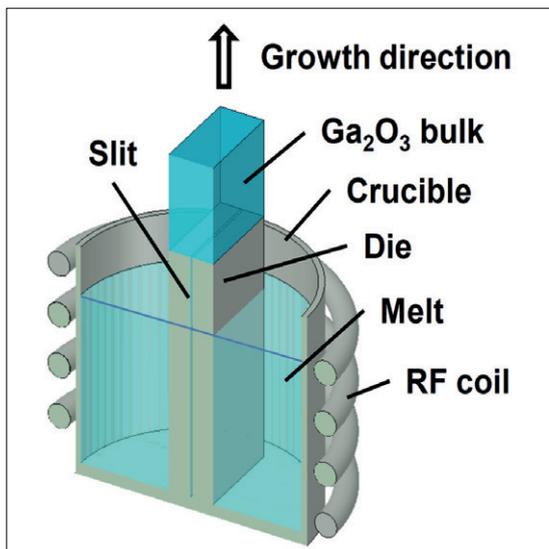
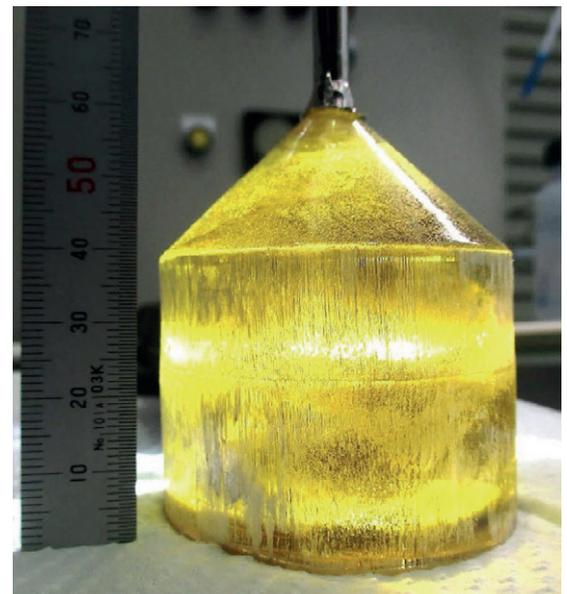


图3: 对于大直径Ga₂O₃材料的高速生长,导模法生长提供了无与伦比的结果。



使用垂直布里奇曼技术, NCT 已经生产了 2 英寸(010)衬底

由于 Ga₂O₃ 行业仍处于初级阶段，因此今天没有 6 英寸材料的订单也就不足为奇了。然而，Kuramata 相信，一旦接到这样的订单，NCT 将迅速建立这种尺寸的材料的生产。

这家日本公司还在开发由垂直布里奇曼法生产 Ga₂O₃ 小尺寸晶锭，因为这种工艺生产的材料质量非常高。生长需要一个由铂-钨合金制成的坩埚和 (010) 取向的 Ga₂O₃ 籽晶。通过在熔炉中产生的温度梯度小心地控制坩埚的运动，熔化的 Ga₂O₃ 被冷却以生长出晶锭。通过这种方法，NCT 已经生产了 2 英寸 (010) 衬底的生长 -- 据称是迄今报道的 (010) 取向 Ga₂O₃ 衬底的最大尺寸。

对于外延层的生长，NCT 使用了从东京农业大学引进的 HVPE 技术。NCT 与佐贺大学合作，在 100 mm 的 β-Ga₂O₃ 外延片上生产肖特基势垒二极管，芯片尺寸高达 10 mm × 10 mm。对于 10 mm 厚的薄膜，薄膜厚度的均匀性为 ±5%；当施主浓度为 1 × 10¹⁶ cm⁻³ 时，薄膜厚度的变化为 ±7%。

这种边长为 10mm × 10mm 的晶片的二极管成品率高达 51%。根据这一数字，外延片中致命性缺陷的密度约为 0.7cm⁻²。

拥护 HVPE

另一位用于 Ga₂O₃ 高压电力电子产品的倡导者是 Kyma Technology 的领导者兼 HVPE 专家 Heather Splawn。她在今年的 CS International 上辩称，这种形式的外延可以生产低成本和高性能的材料，有高的生长速率，这是器件制造的理想选择。Splawn 还指出，由于化学前驱体的化学纯度高且没有含碳的金属有机物，HVPE 本质上比 MOCVD 更清洁。多亏了这优势，HVPE 法才能实现高纯度的生长。

Kyma 已经向市场推出了一款名为 Katharo 的工具，该工具专为用于大功率开关的 Ga₂O₃ 器件



Kyma 的首席执行官希瑟·斯普朗倡导用 HVPE 生产高压电力电子产品

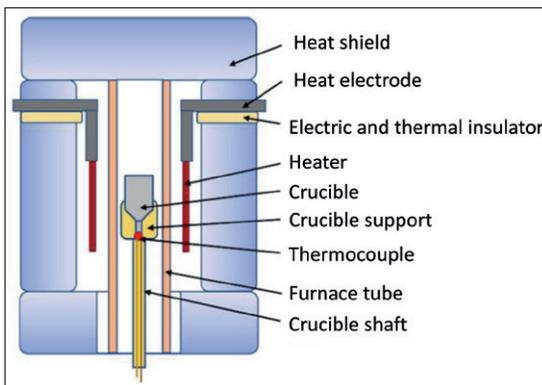
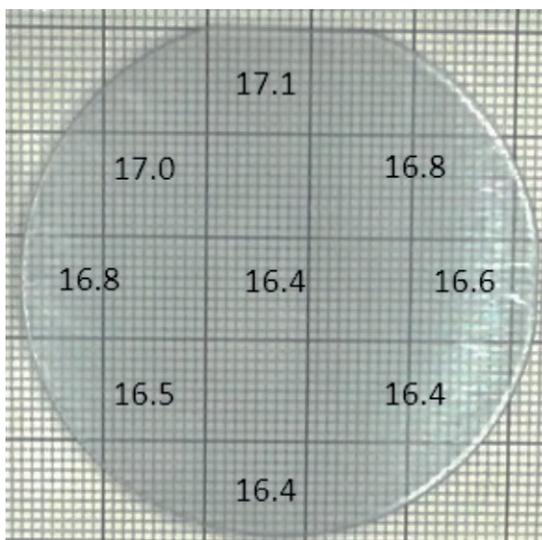


图4：NCT采用垂直布里奇曼法生长高品质 Ga₂O₃。

的生长而设计。该反应器能够容纳直径达 200mm 的晶片。

虽然在如此大的直径上实现生长还有一段路要走，但该公司已经在较小的衬底上实现了令人鼓舞的结果。根据 Splawn 的说法，在 100mm 的 HVPE 反应生长设备中，当外延层厚度可以超过 20μm 时，可以实现出色的掺杂控制。她的团队还在 50 mm 的晶片上沉积了均匀掺杂和厚度的 Ga₂O₃ 外延层，X 射线衍射测量表明晶体质量非常高 - 半高宽仅为 25-30 弧秒。



使用 HVPE，Kyma 已经在 2 英寸的自支撑衬底上生长了 16.7 微米厚的 Ga₂O₃ 层，厚度变化为 ±3%。该外延层中施主和受主浓度的差值范围为 2.7 × 10¹⁶ cm⁻³ 到 5.8 × 10¹⁶ cm⁻³

Kyma 生产的材料已经被用来产生一些结果非常令人鼓舞的器件。这些器件的击穿场强高达 5.5mV cm⁻¹ 左右，Baliga 系数超过 1GW cm⁻²，这一数值非常接近 SiC 的理论极限。

这样的结果突出了 Ga₂O₃ 的巨大前景。由于 SiC 和 GaN 似乎有光明的未来，这种氧化物还需要一段时间才能真正产生重大影响，但毫无疑问，无论是在 CS International 还是在电力电子行业，预兆都是向好的。OSc



辉煌的栅极氧化物

人们是否应该担心负栅压应力下 SiC 功率 MOSFET 的栅极氧化物的寿命？绝对不，现在实验表明，它们与在正栅极应力下的寿命一样长

作者：SATYAKI GANGULY、BRETT HULL、DANIEL LICHTENWALNER 和 JOHN PALMOUR, WOLFSPEED

4H-SiC 的最大优势之一是击穿电场约为硅的十倍。这意味着，在给定的额定电压下，SiC 功率器件可以具有比硅器件更薄的漂移区和更高的掺杂。反过来，这使得 SiC 功率器件具有更低的导通电阻（参见图 1）和简单的单极 MOSFET 结构——不需要复杂的结构，包括超级结或双极传导。最重要的是，SiC 功率器件在相对较高的温度下具有较低的漏电流和较高的导热性，它支持通过低导通电阻实现更高电流密度。

由于所有这些特性，SiC MOSFET 在功率密度、效率、开关速度和热管理方面表现出比其他材料系统的明显优势。这些优势如此明显，以至于如果地球上的每个数据中心都使用 SiC 而不是现有的硅，那么曼哈顿就可以通过这种宽带隙材

料提供的能源节省来维持一整年的供电。

SiC 功率器件的成功故事可以追溯到千禧年之后。其中一个关键的里程碑是在 2002 年，当时我们公司 Wolfspeed 发布了第一个商业化的 600V 结势垒肖特基二极管。2011 年，我们又推出了业界第一个额定电压为 1200V 的 SiC MOSFET；在接下来的三年内，我们又推出了全球第一个 1700 V SiC 半桥模块。

最近，我们在提高产能方面的努力一直占着头条新闻。2022 年 4 月，我们开设了世界上第一个 200 毫米 SiC 晶圆制造厂，预示着 SiC 功率器件电气化的现在和未来。

我们并不是唯一一家生产 SiC 功率器件的公司，这些器件正在汽车、可再生能源、电源和

工业应用中得到应用。让我们在同行中脱颖而出的是最广泛的商业产品组合，目前包括采用分立封装和裸片形式的 SiC MOSFET 和肖特基二极管，以及功率模块。我们的 SiC MOSFET 的电压范围为 650V 至 1700V，导通电阻范围为 10-1000 mΩ；我们的肖特基二极管系列的电压范围为 600 V 至 1700 V，具有同类产品最佳的正向压降，可减少传导损耗并提高整体系统效率。我们将继续进行多样化发展，最近推出了紧凑型 QFN 8 mm × 8 mm 封装中的 650V 肖特基二极管，以及采用 TO 无引线封装的 650V MOSFET，其面积比目前市场上的通孔封装小 60%。另一项突破是推出了我们的 E 系列功率器件：它们经过了湿度耐受强的汽车认证，并针对车载充电器、DC/DC 转换器和动力传动系统应用以及光伏逆变器进行了优化。此次发布进一步提升了我们在汽车市场领域 SiC 器件的声誉。

评估可靠性

由于 SiC 衬底质量、外延生长能力和器件加工的不断改进，SiC 功率器件的可靠性水平已经很高，并且处于上升趋势。然而，苛刻的操作条件，加上不断变化的市场需求，使得对 SiC 功率器件的栅氧化物可靠性要求越来越高。

栅氧化物的可靠性有两个关键方面：阈值电压稳定性和栅氧化物寿命。诺贝尔奖获得者物理学家赫伯特·克罗默 (Herbert Kroemer) 曾说过一句著名的话：“界面就是器件”，这句话是正确的。由于 SiC 和硅 MOS 界面之间的差异，SiC 栅氧化物的可靠性一直被仔细审查，并与硅器件的栅氧化物可靠性进行比较。

通常，SiC MOSFET 的阈值电压稳定性与硅同类产品的阈值电压稳定性相似。但是，这两种材料系统之间存在着根本性差异。这些差异包括与硅和 SiO₂ 相比，4H-SiC 和 SiO₂ 间的导带和价带偏移较小；4H-SiC MOS 器件的界面陷阱密度较高；以及界面化学的差异—SiC 采用氮化栅氧化物，SiO₂/ 硅界面采用氢钝化。由于所有这些差异，SiC 和硅 MOS 器件之间的阈值电压偏移机制可能不同。

在宽带隙领域，人们投入了大量精力，通过偏置温度不稳定性测试来揭示所观察到的 SiC MOSFET 阈值电压变化背后的机制。这些研究考虑了正负栅极偏置，并证明了阈值稳定性以及实

际应用的长期可靠性。

对 SiC MOS 器件，栅极氧化物可靠性的第二部分，即栅极氧化物寿命，也进行了仔细研究。我们公司通过恒定和斜坡式正栅极偏置时间依赖的介电击穿研究，报告了 n 沟道 SiC 功率 MOSFET 在 175°C 和大约 4 MV/cm 的栅极氧化电场下，具有吸引力的栅极氧化物失效时间中值为 10000 年。

对于硅 MOSFET，时间依赖性介质击穿可以说是有史以来特征最明显、被引用最多的失效机制之一。尽管存在多种模型，但对于 SiC，大多数研究人员使用线性热化学电场模型来解释随时间变化的介电击穿。这往往会提供最保守的估计。在两种更常见的替代方案中，考虑电场反比的模型给出了极其乐观的固有寿命推断，因此其有效性值得怀疑；而基于电压控制的幂律模型是不合适的，因为它是为超薄栅极氧化物开发的。由于这些问题，线性电场模型被广泛用于 SiC 也就不足为奇了。该模型假设正栅极电压会导致载流子隧穿，从而在氧化膜中产生缺陷。当这些缺陷达到临界点时，它们会在该局部薄弱点引发介电击穿。

评估负偏压

好奇的读者可能已经注意到，虽然 SiC 社群对阈值电压稳定性的讨论包括正负栅极偏压，但

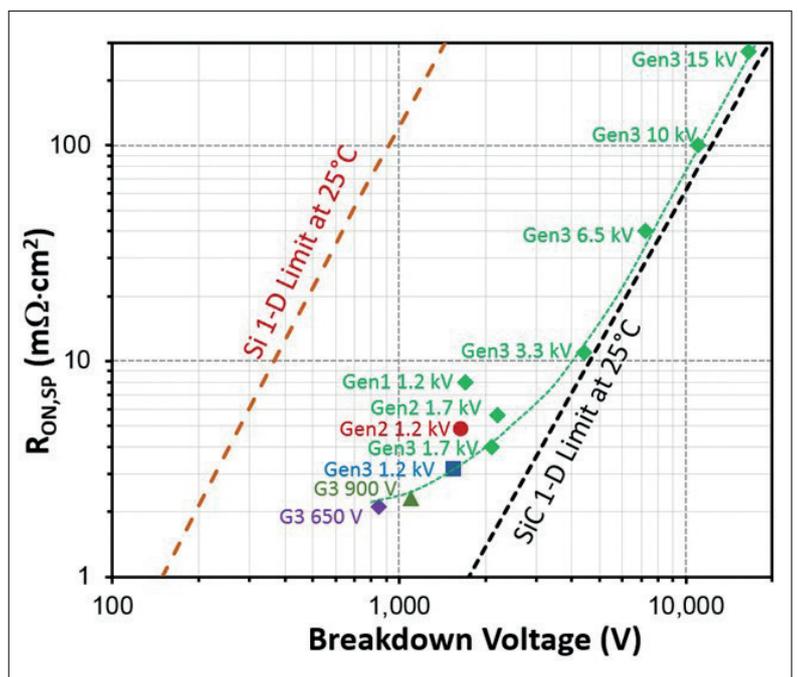


图 1. 单极性一维特定半导体漂移导通电阻 ($R_{ON,SP}$, 单位为 $m\Omega \cdot cm^2$) 与击穿电压的关系。橙色虚线和黑色虚线分别表示硅和 SiC 在室温 (RT) 下的理论极限。RT 数据点代表 Wolfspeed SiC MOSFET 的各代产品和额定电压，绿色虚线是该数据的视觉指南。改编自 J. W. Palmour et al., Proceedings of the 26th International Symposium on Power Semiconductor Devices & IC's, June 15-19, 2014.

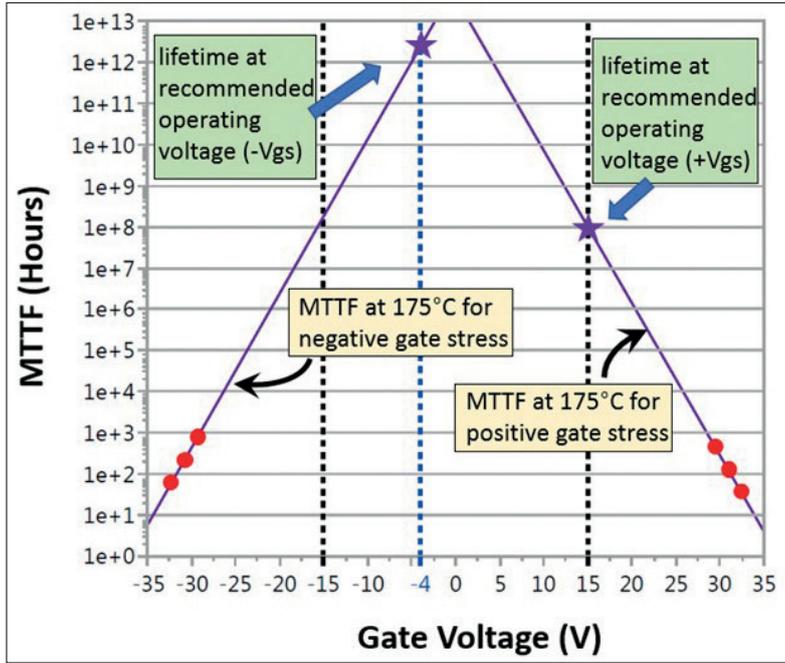


图 2. Wolfspeed Gen3 MOSFET 时间依赖电介质击穿 (TDDB) 中值失效时间 (MTTF) 与 175°C 时的栅极应力电压的关系。红色数据点代表在测试的栅极应力电压下提取的 MTTF 值，而实线是文本中描述的拟合和推断。星号代表基准点，以说明在推荐的工作栅极电压应力条件（正和负）下的预测 MTTF 寿命。改编自：S. Ganguly et al., IEEE International Reliability Physics Symposium (IRPS), pp. 8B.1-1-8B.1-6, 2022.

在谈到栅极氧化物寿命时，主要是 n 沟道 SiC MOSFET 的正栅极偏置应力。出现这种情况是因为，直到我们最近的研究，几乎没有发表的关于 SiC MOSFET 在负栅极偏压下的栅极氧化物寿命的相关研究。这无疑是一个重大的遗漏，因为要关闭这些增强型 n 沟道器件，需要通过使栅极偏置远低于栅极阈值电压并至少降至 0 V 来关闭沟道。从阻断的角度来看，器件在 0 V 栅极偏压下轻松实现这一点没有问题。然而，在关断期间，通过施加远低于 0 V 的栅极偏压可以提高器件性能。使用负栅极偏压关断 MOSFET，通过在关断瞬变期间增加栅极电流来减少关断能量损失 - 反过来，这迫使栅极电容比使用 0 V 偏压关闭时放电更快。需要考虑的另一点是，在采用多个器件并联或桥接配置的系统中，器件往往以负栅极偏压关闭。采用这种方法是因为它提供了对寄生关断的进一步保护，寄生关断可能在系统中多个芯片之间的不平衡瞬变时发生。由于负栅极偏压的重要性，以及随后在这种偏压条件下对 SiC 功率器件的栅极氧化物寿命进行研究的必要性，当然需要对负栅极偏压进行迄今为止被忽视的仔细研究。

为了加深对 SiC MOSFET 在负栅极偏压下的栅极氧化物可靠性的理解，我们在 175°C 下对我

们的 Gen3 1200 V 分立式 MOSFET 进行了恒定电压时间依赖性介电击穿测试，施加的负栅极偏压远高于推荐的最大工作栅极电压 -4 V。将源极和漏极保持在地电位，我们在三个栅极应力电压下评估了大约 30 个器件，这三个栅极应力电压是：-29.5 V、-31 V 和 -32.5 V。我们分别监测了每个器件的栅极漏电流，这使我们能够在这些加速测试期间收集受压器件的单独失效时间。为了进行真正的比较，我们还使用与负偏压情况相同的样本大小，在 Gen3 1200 V 器件上进行了正栅偏压时间依赖介电击穿研究，其栅极应力电压为 +29.5 V、+31 V 和 +32.5 V。

我们发现每种应力条件下的失效时间都遵循良好的 Weibull 分布。被称为 Weibull β 特征提取值 - 它被称为形状参数，它代表故障率行为 - 远高于 2，表明在正负栅极应力下都有固有的老化故障机制。由于我们发现了相似的失效时间分布和 Weibull β 值，因此我们可以得出结论，在正负栅极偏压下很可能存在相似的失效机制。

根据 Weibull 失效时间分布、线性电场加速模型和最大似然估计，我们提取了失效的中位时间值并推断出寿命。我们发现，栅极氧化物的寿命在正负偏压下几乎是相同的，失效的中位时间约为 10,000 年（这是在 175°C 和 -15/+15V 的栅极应力条件下，对应于大约为 4 MV/cm 的栅极氧化物电场）。我们要指出的是，由于 MOSFET 关断沟道时推荐的负栅极源电压 -4 V 通常远低于导通状态期间的推荐正栅源电压 +15 V，因此关断状态下的氧化物寿命应该比导通状态操作器件长得多（参见图 2）。

在这一点上，虽然您可能对负栅极偏压下出色的 SiC MOSFET 栅极氧化物寿命印象深刻，但您可能想知道这一观察结果背后的物理解释是什么。让我们试着更详细地解释一下。正如我们已经提到的，隧道效应是栅极时间依赖性介电击穿的主要原因，一旦缺陷累积达到临界点就会发生击穿。因此，如果正负栅极偏压下的电流水平相似，那么在栅极氧化物中发生的损坏程度以及由此产生的栅极氧化物寿命也是如此。这种观点是可信的，因为电子在正栅极偏压下的能垒约为 2.8eV，而空穴在负栅极偏压下的能垒为 2.9eV。我们的 TCAD 模拟和电气测量进一步支持了这个观点。它们表明，在正负栅极偏压下，相似的势垒高度会导致相似水平的 Fowler-Nordheim 隧道

电流的相似水平，从而解释了在这两种情况下栅极氧化物寿命的相似性。

我们还建立了 MOSFET 元胞中的故障位置与时间依赖介质击穿应力期的故障特征之间的相关性。在所有三种应力电压(-29.5V, -31V, 和 -32.5V) 下，负偏压下的时间依赖介电击穿应力的栅极泄漏曲线显示出两种不同的故障特征——软故障，“A”和硬故障，“B”。我们发现，“A”型器件中的故障后泄漏比“B”型故障器件中的泄漏低几个数量级。

作为这项研究的一部分，我们测量了具有不同原位漏电特征的故障器件在一定栅极电压范围内的室温栅极漏电流（见图 3）。当应用正栅极电压扫描时，我们发现“A”型和“B”型器件具有非常相似的高电流水平，在栅极电压为 15V 时超过 10 μ A。但当我们用一系列负栅极电压扫描时，结果有明显的不同。我们称之为“A”型的“软”故障器件表现出的电流比遇到硬故障的“B”型器件低几个数量级。这一观察结果与在时间依赖介电击穿应力期间在较高偏压和温度下记录的原位数据一致。

我们下一步是试图确定不同的电气故障特征——即“A”型和“B”型器件——是否与 MOSFET 元胞中的故障位置有任何程度的相关性。为了了解情况是否如此，我们进行了物理故障分析，包括热成像、聚焦离子束横截面和扫描电子显微镜成像。这些形式的显微镜检查是对具有两种不同故障类型的多个故障器件进行的。

检查这些器件后发现，具有软故障（“A”型）特征的子集在 MOSFET 的 JFET 间隙中有栅极氧化物破裂（见图 4(a)）。另一方面，那些具有硬故障（“B”型）特征的器件在 MOSFET 的 n+ / p 阱区域有栅极氧化物破裂（见图 4 (b)）。这不仅仅是巧合：它在许多器件中都是可重复的，并且可以通过考虑 poly-SiO₂-SiC 界面的能带图来解释。

热心的读者可以在今年早些时候发表的一篇文章中找到我们的详细解释（详情请参阅“扩展

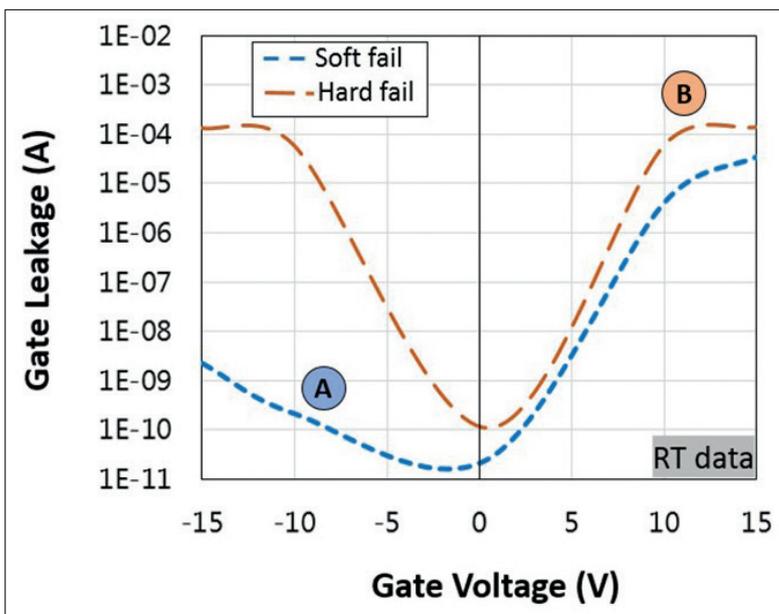


图 3. 室温下时间依赖性介质击穿后负栅极应力失效。具有两个不同故障特征（“A”：软故障，“B”：硬故障）的器件的典型栅极泄漏与栅极电压电流扫描数据。在正扫描（VGS > 0）期间，“A”和“B”的漏电水平相似，而在负扫描期间（VGS < 0），“B”的漏电水平比“A”高几个数量级。改编自：S. Ganguly et al., IEEE International Reliability Physics Symposium (IRPS), pp. 8B.1-1-8B.1-6, 2022.

阅读”)。在这里，我们提供了一个更简单的替代方案。我们认为，在随时间变化的介电击穿应力期间，如果 SiO₂ 中存在栅极氧化物破裂，则这可能会将多晶硅 -SiO₂-SiC 界面转化为基本的肖特基结。对于位于 p 阱上方的聚 SiO₂-SiC，多数载流子空穴将在较大的负栅极偏压下积聚在那里。同时，对于 n+ 源上的聚 SiO₂-SiC 来说，即使在负栅极偏压下，多数载流子的丰富程度仍将保持。但是，当破裂发生在低掺杂 n 型 SiC JFET 间隙区域时，情况就不同了。在这种情况下，电子将在类似的偏压条件下耗尽。这与我们的电气测量结果一致 -- 并解释了为什么当栅氧化物击穿发生在 n+ 或 p 阱区域时，在大负栅偏压下的电流比在耗尽的 n 型 SiC JFET 间隙中破裂时的电流高得多。

对于正偏压下的破裂区域，电流在正偏压下始终很高，因为电子积累可能发生在 n+ 源和 n 型 SiC JFET 间隙区域。在 p 阱上方发生故障的情况下，即使在正偏压下 p 阱和 poly/(SiO₂) 界面处的多数载流子空穴会被耗尽，但由于 p 阱中的

我们的研究表明，在正常操作和加速的负栅极偏压条件下，从我们的器件中提取的栅极氧化物寿命与从正栅极应力中提取的栅极氧化物寿命非常接近。

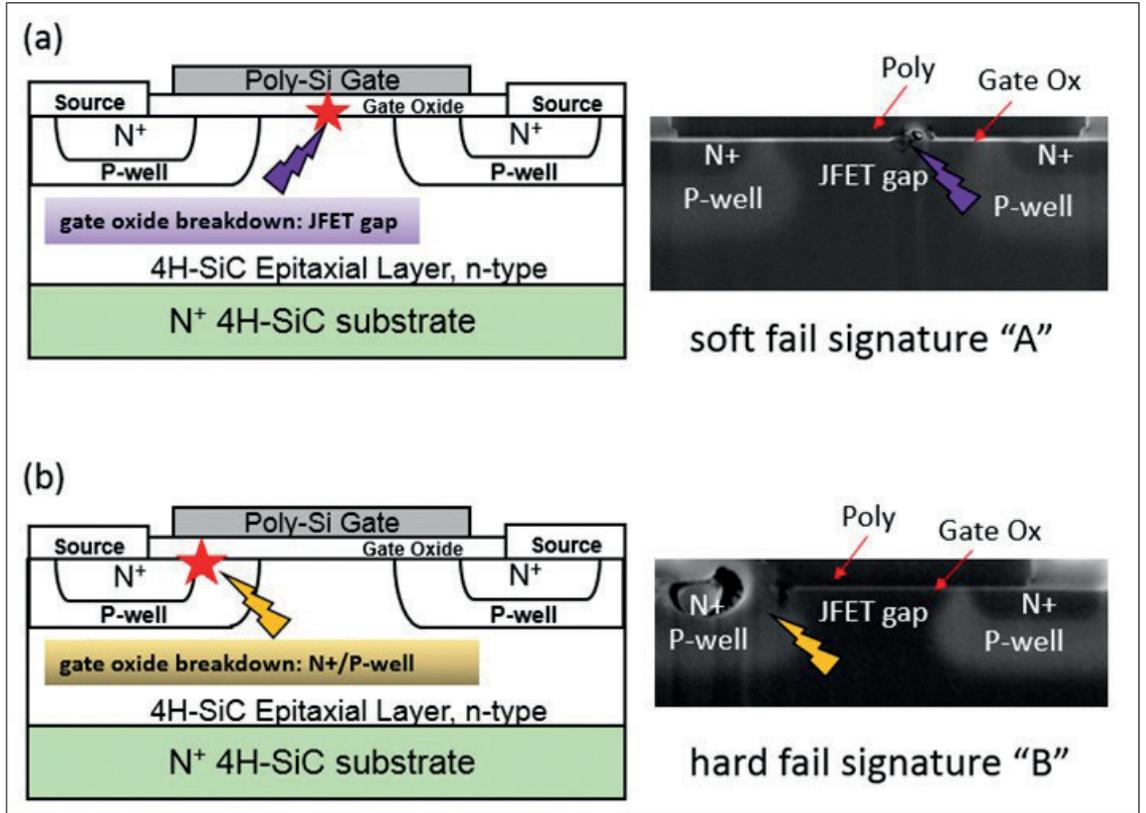


图 4. 横截面示意图以及聚焦离子束、横截面扫描电子显微镜图像，显示了负栅极偏压时间依赖性介质击穿 (TDDB) 后的栅极氧化物破裂：(a) 在 JFET 间隙中的“A”型软故障电气特征，(b) 在 n+ /p 阱的“B”型硬故障电气特征。改编自 S. Ganguly et al., IEEE International Reliability Physics Symposium (IRPS), pp. 8B.1-1-8B.1-6, 2022.

反转电子，仍然存在高电流。因此，无论栅极氧化物破裂是发生在 n 型 JFET、p- 阱还是 n+ 区域，所产生的栅极电流水平在正栅极偏压下都将保持较高水平。

我们的研究表明，在正常操作和加速的负栅极偏压条件下，从我们的器件中提取的栅极氧化物寿命与从正栅极应力中提取的栅极氧化物寿命非常接近。这项工作应该有助于减轻对空穴传输而非传统电子传输下的栅极氧化物寿命和故障模式的任何担忧。虽然我们的研究考虑的是平面

MOSFET 设计，但类似的观察结果有可能适用于其他元胞设计，例如采用沟槽的元胞设计。然而，在做出任何声明之前，需要进行实验验证。我们研究的另一个重要发现是，在负栅极时间依赖的介电击穿应力下存在的不同电气故障特征与 MOSFET 元胞中的故障位置相关。这一观察有望帮助任何新工艺开发的早期阶段，因为它将允许从栅极泄漏数据中识别故障位置，而无需进行物理故障分析。我们希望这种见解，以及我们研究提供的其他见解可以帮助 SiC 世界更加强大！

扩展阅读

- A.J. Lelis et al. “Basic Mechanisms of Threshold-Voltage Instability and Implications for Reliability Testing of SiC MOSFETs,” IEEE Trans. Electron Dev. 62 316 (2015)
- D.J. Lichtenwalner et al. “Reliability Studies of SiC Vertical Power MOSFETs,” IEEE International Reliability Physics Symposium (IRPS) 2B.2-1–2B.2-6 (2018)
- J. McPherson et al. “Comparison of E and 1/E TDDB models for SiO2 under long-term/low-field test conditions,” IEDM 171 (1998)
- S. Ganguly et al. 1998 “Negative Gate Bias TDDB evaluation of n-Channel SiC Vertical Power MOSFETs,” IEEE International Reliability Physics Symposium (IRPS) 8B.1-1-8B.1-6 (2022)

常关型 Ga₂O₃ 晶体管取得进展

多个亚微米鳍片确保阈值电压具有更高的一致性

来自日本 NCT 的一个团队声称在 β -Ga₂O₃ 垂直晶体管的设计和性能方面取得了重大进展。据说，该团队的常关器件将突破性的阈值电压一致性与良好的导通电阻、沟道迁移率和电流密度结合在一起。

这一成功将有助于推动 β -Ga₂O₃ 功率器件的发展。利用 4.5 eV 带隙和 6-8 MV cm⁻¹ 的理论击穿电场，由这种氧化物制成的器件是很有希望的电力电子候选器件，特别是在功率调节、电力分配和开关应用中的部署。

Ga₂O₃ 的致命弱点是缺乏 p 型掺杂。因此，通过采用具有凹栅极和亚微米鳍沟道的横向晶体管来实现常关特性。然而，在这种设计中，阈值电压由凹槽深度和亚微米鳍片宽度决定。

来自 NCT 的 Daiki Wakimoto 认为：“尽管在技术上可以制造出具有亚微米图案的场效应晶体管，但它需要专门用于微加工的设备，如电子束曝光机。”他解释说，100 毫米和 150 毫米生产线使用的是 i-line 步进式曝光工具，其精度较低，并且很难对亚微米场效应晶体管的尺寸提供足够的控制。

为了克服这个问题，一些研究人员研究了 β -Ga₂O₃ 高阻 p 阱类结构，它的阈值电压取决于深受主的掺杂浓度。但这些器件尚未实现：在一个实验中，该器件仅在亚阈值状态下运行；而另一个实验需要 25 V 的正栅极偏压。

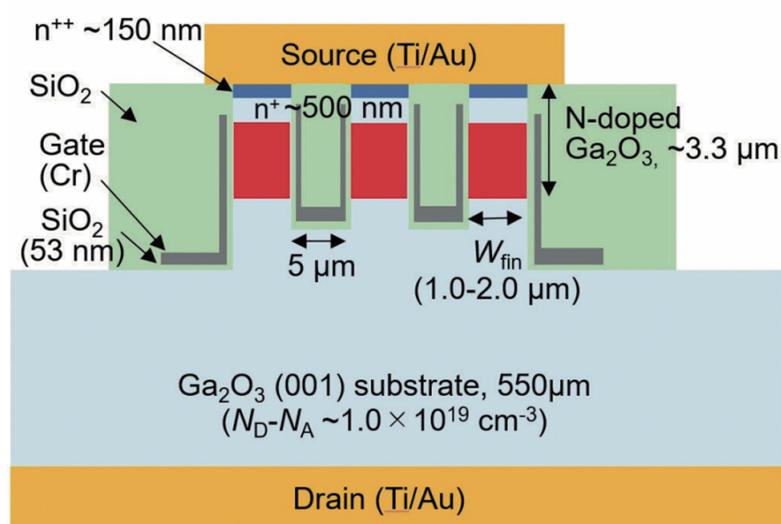
NCT 的器件采用多个亚微米鳍片，其宽度对阈值电压的影响很小，其特点是有一个 3.3 μ m 厚的氮掺杂 Ga₂O₃ 阱层。该阱通过 HVPE 在没有漂移层的 n + β -Ga₂O₃ 衬底上生长。

晶体管的制造从两个硅离子注入步骤开始，用于将 MOS 沟道连接到源极区域，并实现与源极的欧姆接触。掩模沉积、电子束光刻和干法蚀刻的组合定义了具有接近垂直侧壁的鳍通道，然后通过原子层沉积添加 53 nm 厚的 SiO₂ 栅极电介质；通过电子束蒸发形成源极、栅极和漏极触点。

该团队的器件组合具有宽度为 1.0 μ m、1.5 μ m

或 2.0 μ m 的鳍片。每个晶体管有 14 个鳍片，但只有 10 个鳍片被源极覆盖，因为由于所谓的微负载效应，外部的鳍片通常在尺寸上存在较大误差。

Wakimoto 表示，图案的最外周和内部的蚀刻环境不同。“我们选择稳定内部形状的条件，因此外部尺寸的误差变得比内部尺寸大。”



Novel Crystal Technology公司的多鳍晶体管的阈值电压变化相对较小

这个问题在其他材料中也出现过，并通过优化蚀刻条件来解决。“因此，我们相信可以用同样的方式改进氧化镓，”Wakimoto 补充道。

对这些器件的电气测量显示：阈值电压约为 1.9V；电流密度为 760 A cm⁻²；导通电阻为 2.9 m Ω cm²；迁移率约为 100 cm² V⁻¹ s⁻¹，据说该值对于制造 600V 至 3 kV MOSFET 很有吸引力。

Wakimoto 的同事现在正计划通过更多的氮掺杂将其器件的阈值电压提高到 3V 或更高，这是实用功率器件的先决条件。📷

参考文献

D. Wakimoto et al. Appl. Phys. Express 16 036503 (2023)

HEMT : 优化架构

AiN 背势垒和薄 GaN 沟道使 HEMT 具有更好的无线通信特性

西安电子科技大学和南京电子器件研究所的研究人员合作，声称通过将超薄 GaN 沟道与 AlN 缓冲层相结合，在 GaN HEMT 方面取得了新突破。

“因此，该器件的功率特性、关态漏电特性、耐压特性、线性度和高温性能都得到了极大的改善，”来自西电团队发言人 Kui Dang 兴奋地说。

这个来自中国的团队并不是第一个研究这种特殊架构的团队，这种架构受益于从传统掺杂的高电阻 GaN 缓冲层到 AlN 缓冲层的转变，该缓冲层具有更宽的带隙和任何常见 III-N 中最高的导热率。然而，以前采用这种设计的 HEMT 采用了厚度超过 200nm 的 GaN 沟道，关于该器件的载流子传输特性、高温性能或击穿特性的报道很少提供详细信息。Dang 及其同事制造的 HEMT 具有厚度仅为 120nm 的 GaN 沟道，是通过调制生长模式实现的。

该器件的生长利用了该团队之前的工作，该团队确定 MOCVD 过程中的调制会改变在 AlN 缓冲层上生长的 GaN 沟道的成膜点，从而为更薄的沟道打开了大门。“这就是为什么之前报道中的结果都具有厚的 GaN 沟道，” Dang 解释道。

这种新型生长的关键是氮分压—这会减慢沉积速度并提高 AlN 缓冲层上 GaN 通道的成膜点。

HEMT 是通过将 SiC 衬底加载到 MOCVD 反应器中进行沉积：成核层 - 在高温下生长的 AlN

缓冲层 - 通过调制生长方式形成的 GaN 沟道 - 1 nm 厚的 AlN 中间层 - 20nm 厚的 $Al_{0.28}Ga_{0.72}N$ 势垒；和 2nm 厚的 GaN 帽层。

Dang 和同事们发现，在 AlN 上生长的 GaN 的成膜点随 AlN 层的厚度而变化。因此，在确定 GaN 沟道的厚度后，为 AlN 缓冲层采用适当的相关厚度非常重要。对于 120 nm 厚的缓冲层，采用了 414nm 厚的背势垒，据说可以确保二维电子气的良好限制，以及高结晶质量和良好的传输性能。

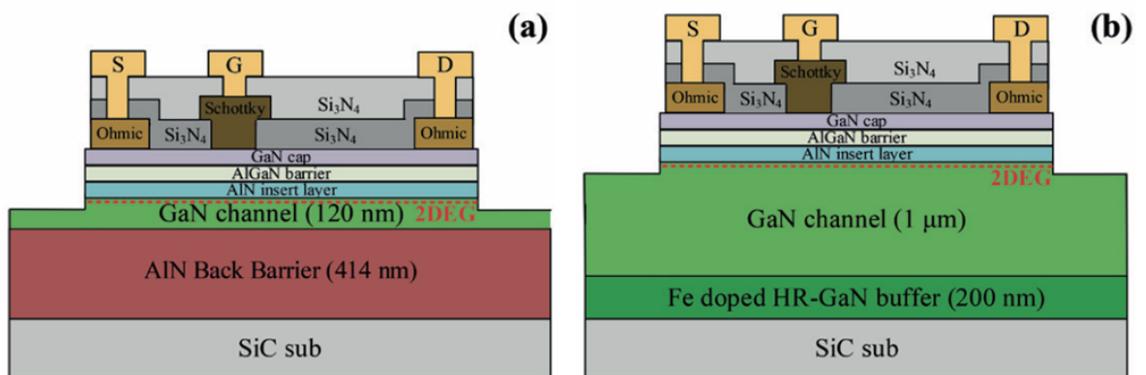
该团队将采用这种异质结构的器件与采用传统设计的器件进行了比较，其中包括 200nm 厚的高电阻铁掺杂缓冲层和 1μm 厚的沟道。由这两种异质结构制成栅极宽度为 50μm、栅极长度为 1.5μm 和栅极与漏极之间有一定间隔的 HEMT。

采用传统设计的 HEMT 具有稍高的迁移率，这是由于界面散射较少，从而提高了迁移率。然而，由于 AlN 缓冲层的背势垒效应，新型器件中的电子气面密度更高。

额外的测量结果显示，具有 AlN 背势垒的 HEMT 的最大漏极电流密度为 1170mA/mm，在 3V 的栅源电压和 8.6V 的漏源电压下实现的。这一峰值电流密度超过了传统器件，后者的峰值为 1047mA/mm。

直流传输特性的测量结果表明，具有 AlN 背势垒的器件的跨导为 185mS/mm，而参考设计的跨导为 175mS/mm。这种新型设计还提供了更大

下转第 43 页



西安电子科技大学和南京电子器件研究所的研究人员证明，具有 AlN 缓冲层的 HEMT (a) 比具有 GaN 缓冲层的 HEMT (b) 具有更优越的特性。

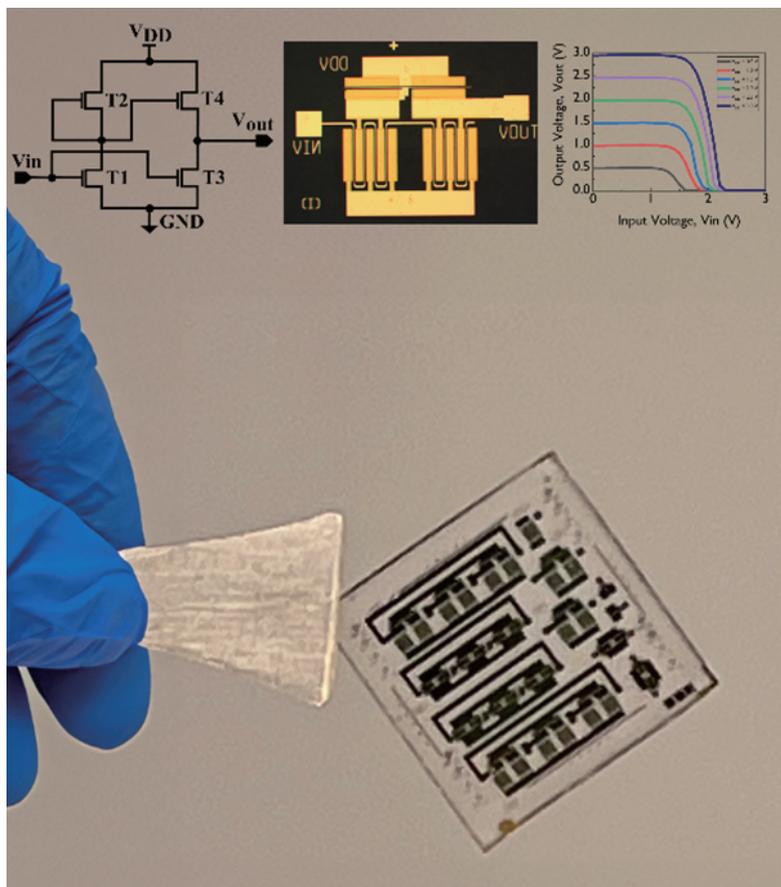
KAUST 团队发明第一个 $\beta\text{-Ga}_2\text{O}_3$ 虚拟 CMOS 集成电路

来自阿卜杜拉国王科学技术大学 (KAUST) 的团队在超宽禁带集成电路领域取得了重要的里程碑式的进展。他们首次成功地使用 $\beta\text{-Ga}_2\text{O}_3$ 制造了虚拟 CMOS 反相器。这一开发尤其具有影响力，代表了 $\beta\text{-Ga}_2\text{O}_3$ 技术领域的一种新方法。

$\beta\text{-Ga}_2\text{O}_3$ 长期以来都没有有效的 p 型材料，这对整个 Ga_2O_3 集成电路 CMOS 都带来了挑战。为了解决这一难题，该团队成功采用了一种创新的虚拟 CMOS 方法，仅使用 nMOS 晶体管模拟 CMOS 行为，这标志着在设计简单性、功耗效率和操作稳定性方面的重大进展。通过这种方法，有望很快与 $\beta\text{-Ga}_2\text{O}_3$ 虚拟 CMOS 集成电路 (IC) 单片集成的反相器驱动 $\beta\text{-Ga}_2\text{O}_3$ 功率晶体管，为 $\beta\text{-Ga}_2\text{O}_3$ 功率电子和极端环境电子的设计开辟了新的途径。

该团队的探索始于使用特定阈值电压的三极管开发 $\beta\text{-Ga}_2\text{O}_3$ 单级单片反相器 IC。基于他们最初发现的坚实基础，该团队选择充分发挥虚拟 CMOS IC 的潜力，将他们的研究推向了新的高度。这项研究产生了令人信服的结果：在供应电压 (VDD) 为 3V 时获得了 8 倍增益，以及仅为 0.2 nW 的超低功耗，还有约为供应电压 99% 的令人印象深刻的电压摆幅。

该研究已成功被 IEEE Transactions on Electron Devices 杂志接受。这项研究证明了 $\beta\text{-Ga}_2\text{O}_3$ 超宽禁带半导体的前进势头，为未来在这一领域的探索绘制了一个有远见的路径。 



在上方，从左到右依次是：反相器的电路图、一张的显微照片，以及 $\beta\text{-Ga}_2\text{O}_3$ 虚拟 CMOS IC 的电压传输曲线 (VTC)。下面是一个样品的图片。

参考文献

IEEE Transactions on Electron Devices
(Publication Date: In press)
DOI: 10.1109/TED.2023.3305338

上接第 42 页

程度的跨导平坦度，这是一项宝贵的资产，因为它与微波功率器件的线性相关。更大的线性度可以带来卓越的通信信号质量，并降低误码率。

AlN 背势垒的其他优点是降低了漏电流（特别是在高温下），并提高了击穿电压 - 对于具有 $4.5\mu\text{m}$ 栅极到漏极间距的器件，引入 AlN 势垒将击穿电压从 129V 增加到 209V。

该团队的下一个目标是改用超宽带隙 AlGaIn 沟道，这有望显著提高功率和效率。“相关研究正在进行中，” Dong 说。 

参考文献

Y. Zhang et al. Appl. Phys. Lett. 122 142105 (2023)

Advertiser	广告商名称	网址	页码
CGB	北京华林嘉业科技有限公司	www.cgbtek.com	3
ES SHOW 2023	2023 年深圳电子元器件及物料采购展览会	https://esshow.cn	IBC
Evatec AG		www.evatecnet.com	7
Park Systems		parksystems.cn/nx-wafer	5
Riber		www.riber.com	IFC
江苏晶工半导体设备有限公司			FC
2023 慕尼黑华南激光展		www.lasersouth.cn	BC

欢迎投稿

《化合物半导体》(CSC) 是针对中国化合物半导体及光电市场出版的专业杂志, 用简体中文出版。

本刊主要报道化合物半导体相关的材料、工艺、设备、器件、模块/组件、封测技术, 及其发展趋势和相关厂务设施。与读者一起紧跟行业发展, 共同面对在研发、制造过程中遇到的问题及挑战。

本刊的读者是活跃在化合物半导体及光电行业的技术管理人员、项目经理、科研人员、工程师以及从事开发、制造、工艺的专业人士。

本刊文章精选自英国物理协会著名杂志《Compound Semiconductor》, 翻译并编辑成形; 我们也报道全球平面显示制造商和研究机构的最新技术与资讯, 以及撰写其他与本地市场息息相关的新闻和文章; 并选编专业投稿。

本刊欢迎读者和供应商投稿, 文章一经采纳, 将在印刷版本和网上刊登。CSC 将为设计者和管理人员, 提供一个展现国内外厂商的最新成果的平台。

文章投稿指南

1. 文章主题突出、结构严谨、短小精悍, 中文字数不超过 3,000 字;
2. 文章最好配有两幅至四幅与内容相关的插图或表格; 插图与表格分别用图 1、图 2 或表 1、表 2 的次序编号, 编号与文中的图表编号一致;

3. 请注明作者姓名、职务及所在公司或机构的名称。作者人数以四人为限;
4. 请勿一稿多投;
5. 请随稿件注明联系方式(邮编、地址、电话、电子邮件)。

新产品投稿指南

1. 新产品必须是中国市场新上市、可以在中国市场上买到;
2. 有关新产品来稿的内容应包含产品的名称、型号、功能、主要性能和特点、用途;
3. 短小精悍, 中文字数不超过 300 字;
4. 来稿请附产品照片。最好是在单色背景下简单的产品实物照片, 照片的分辨率不低于 300dpi;
5. 注明能提供进一步信息的人员姓名、电话、电子邮件。

优先刊登中文来稿(翻译稿请附英文原稿)。来稿请用电子邮件寄到: sunniez@actintl.com.hk。

如果您有什么意见或建议, 或者有什么想法同本刊编辑探讨, 请不吝赐教。

行政及销售办公室 Administration & Sales Offices

行政人员 Administration

HK Office (香港办公室)
ACT International (雅时国际商讯)
Unit B, 13/F, Por Yen Building,
No. 478 Castle Peak Road,
Cheung Sha Wan,
Kowloon, Hong Kong
Tel: 852-28386298

Publisher (社长) - China
Adonis Mak (麦协林)
Adonis@actintl.com.hk

Deputy Publisher (副社长) - China
Lisa Cheng (程丽娜)
lisac@actintl.com.hk

Editor in China (中国版编辑)
Min Lu (陆敏)
minL@actintl.com.hk

UK Office (英国办公室)
Angel Business Communications Ltd.
6 Bow Court, Fletchworth Gate,

Burnsall Road, Coventry, CV5 6SP, UK
Tel: +44 (0)2476 718 970

Chief Operating Officer
Stephen Whitehurst
stephen.whitehurst@angelbc.com
Tel: +44 (0)2476 718970

销售人员 Sales Offices

Asia (亚洲)

Floyd Chun (秦泽峰)
floyd@actintl.com.hk
Tel: 852 2838 6298

China (中国)

Lisa Cheng (程丽娜)
lisac@actintl.com.hk
Tel: 86 185 7156 2977

Mini Xu (徐若男)
minix@actintl.com.hk
Tel: 86 187 7196 7314

Phoebe Yin (尹菲菲)
phobey@actintl.com.hk
Tel: 86 159 0270 7275

Mandy Wu (吴漫)
mandyw@actintl.com.hk
Tel: 86 187 7196 7324

Grace Zhu (朱婉婷)
gracez@actintl.com.hk
Tel: 86 159 1532 6267

Cecily Bian (边团芳)
cecilyb@actintl.com.hk
Tel: 86-135 5262 1310

Taiwan, Singapore, Malaysia
(台湾, 新加坡, 马来西亚)
Floyd Chun (秦泽峰)
floyd@actintl.com.hk
Tel: 852 2838 6298

Korea (韩国)

Lucky Kim
semieri@semieri.co.kr
Tel: 82-2-574-2466

US (美国)

Janice Jenkins
jjenkins@brunmedia.com
Tel: 724-929-3550

Tom Brun
tbrun@brunmedia.com
Tel: 724-539-2404

Europe (欧洲)

Shehzad Munshi
sm@angelbcl.co.uk
Tel: +44 (0)1923 690215

Jackie Cannon
Jackie.cannon@angelbc.com
Tel: +44 (0) 1923 690205



深圳电子元器件及物料采购展览会 Electronics Sourcing Show

2023年10月11日-13日 深圳国际会展中心（宝安）



AUTOMOTIVE WORLD
INTERNATIONAL ELECTRONIC SOURCE SHOW

- 智能整车制造
- 自动驾驶
- 车联网
- 智能座舱
- EE构架
- 车载信息安全
- 新能源汽车技术
- 未来汽车开发

- 新能源汽车及动力总成
- 数字化产线与车间
- 车身冲压、焊装与连接、涂装
- 零部件制造
- 总装及智能产线物流
- 质量控制与测试
- 装配技术
- 传输技术

- 机器人视觉
- 机器人系统集成
- 供料及连接技术
- 驱动-控制-测试技术
- 数据采集与智能传感
- 工业机器人
- 系统集成
- 机器视觉

- 物联网与大数据处理
- 工业软件
- 智能仓储与物流
- 运动控制设备
- 传动/气动设备及配件
- 自动化配套设备及配件

ES ELECTRONICS SOURCING SHOW
国际电子元器件及物料采购展览会

- 集成电路
- 功率半导体
- 二三极管
- 分立元件
- 继电器开关和连接器

NEPCON ASIA
INTERNATIONAL ELECTRONIC SOURCE SHOW

- SMT 表面贴装
- 焊接及点胶喷涂
- 测试测量
- SMT周边

- 精密仪器设备
- 智能工厂及自动化
- 半导体封装测试设备
- 及材料

UFI
INTERNATIONAL ELECTRONIC SOURCE SHOW

国际全触与显示展 C-TOUCH & DISPLAY

- 触摸屏生产材料/设备
- 盖板玻璃, 触摸屏, 触控模组
- 显示面板生产材料/设备

UFI
INTERNATIONAL ELECTRONIC SOURCE SHOW

国际薄膜与胶布展 FILM & TAPE

- 新材料
- 化工原料
- 功能性薄膜
- 胶粘带

- 氟硅
- 涂布机
- 模切机
- 相关配件及设备

展览总面积
CONCURRENT EXHIBITION

160000m²

3000+

同期参展商品品牌
CONCURRENT BRANDS



同期专业观众
CONCURRENT VISITORS

100000+

50+

同期会议活动
CONCURRENT EVENTS

码上登记 免费参观

电子+汽车+PCBA+智能制造+触控显示

“跨界+芯+制造” 呈现电子产业大秀

焕新升级

慕尼黑华南激光展

LASER PHOTONICS SOUTH CHINA

2023年10月30日-11月1日

深圳国际会展中心 (宝安新馆)

展位预定

Tel: +86 21 2020 5652

Email: laser@mm-sh.com

