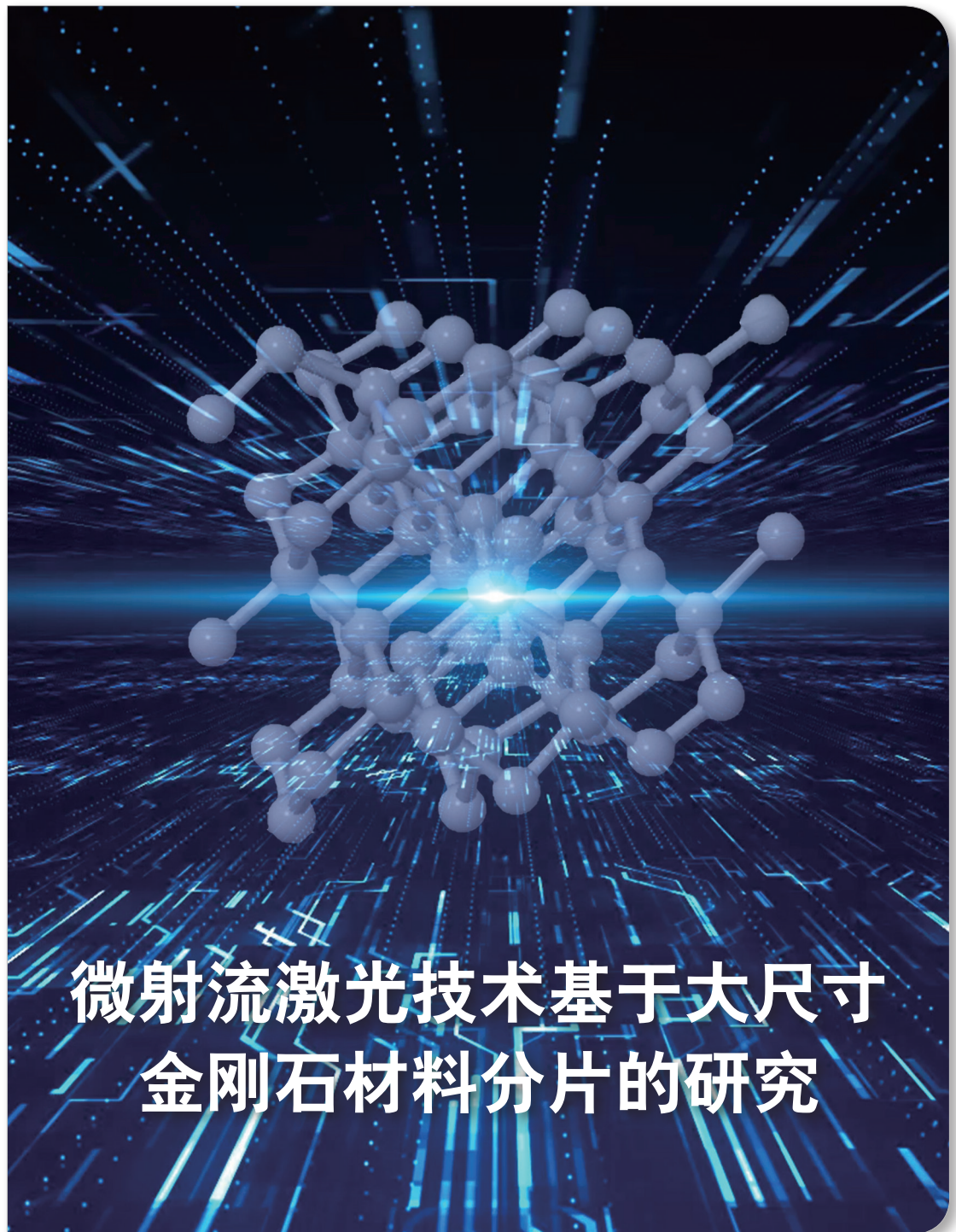
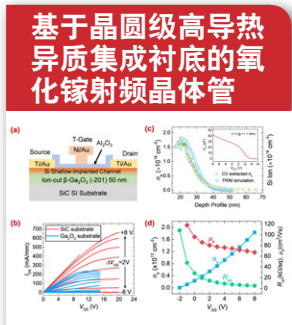
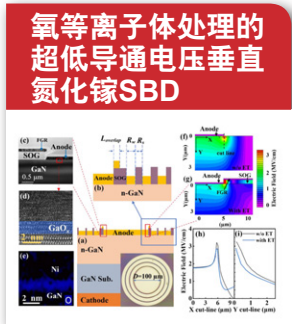


化合物半导体

CS COMPOUND SEMICONDUCTOR CHINA

2023年 12月 / 2024年 1月



微射流激光技术基于大尺寸金刚石材料分片的研究



深得 MBE 精髓

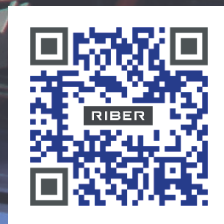
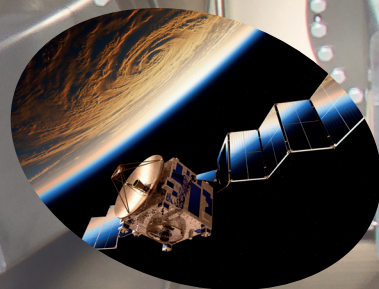
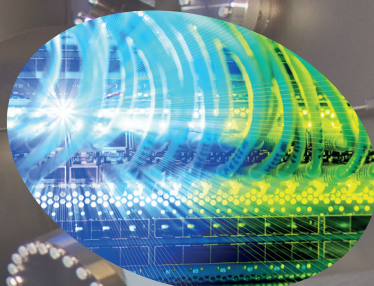
研发及生产设备全球市场最大拥有者

MBE不仅可以让我们去发现，更可以让我们去实现。

*Riber*是MBE设备和相关服务的世界主要的供应商。

拥有30年的经验，设计与客户密切相关的系统是公司的核心理念。*Riber*发明并设计的主要功能目前在所有MBE系统中都能找到。

*Riber*在MBE技术的发展中起着关键作用，为客户提供从设备配置到外延生长的整套解决方案。



RIBER

INNOVATIVE SOLUTIONS FOR SEMICONDUCTOR INDUSTRY

info@riber.com
www.riber.com



国际知名媒体授权
 引领全球高新科技信息
 8本专业杂志(双月刊)
 欢迎免费索阅
 全年行业资讯



免费
 订阅

扫一扫添加
 ACT读者服务号免费订阅

雅时国际商讯 (ACT International) 成立于1998年, 为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品 - 包括杂志和网上出版物、培训、会议和活动 - 为跨国公司及中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站, 以及各种技术会议, 服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT 亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港, 在北京、上海、深圳和武汉设有分公司及联络处。

封面故事 Cover Story

25 微射流激光技术基于大尺寸金刚石材料分片的研究

Microjet laser technology based on large size diamond material fragmentation research

本研究使用微射流激光技术对单晶金刚石晶体进行切片加工，当耦合功率达到20W能量时，金刚石表面材料达到等离子态，在水层约束下，等离子体诱导反冲压力，提升材料等离子化效率，进一步加快材料去除速率。通过引入金刚石烧蚀阈值分析、材料表征测试、缺陷测试分析，对缺陷的分布、界面处的界面态密度在金刚石禁带中的能级位置和浓度、表面形貌、粗糙度、缺陷类型和表现形式等微观特征进行定量研究，揭示微射流激光技术在单晶金刚石切片加工过程中的材料去除机理。

- 杨森, 张聪, 龚德珍, 郭辉, 李一帆, 梁建华, 周磊荡, 赖景航;

西安晟光硅研半导体科技有限公司

编者话 Editor's Note

04 AI助力化合物半导体行业新发展

AI is driving new developments in the compound semiconductor industry

- 陆敏

业界动态 Industry

05 奋楫扬帆，破浪笃行！化合物半导体先进技术及应用大会在太仓盛大召开，圆满落幕！

Compound Semiconductor Advanced Technology and Application Conference was held in Taicang and ended successfully!

09 BelGaN开始提供第二代650V eGaN样品，展示1200V eHEMT硅基氮化镓技术

BelGaN starts sampling of its second Generation 650V eGaN platform, and demonstrates 1200V eHEMT GaN-on-Si technology

10 冲电气在信越化学的QST衬底上开发出GaN剥离/键合技术

OKI develops GaN lifting-off/bonding technology on Shin-Etsu's QST substrates

10 Diamond Foundry制造出首个100mm单晶金刚石晶圆

Diamond Foundry creates first 100mm single-crystal diamond wafer

11 氮化镓和碳化硅对人工智能的规模和潜力至关重要

Gallium nitride and silicon carbide to be essential for enabling scale and potential of AI

12 九峰山实验室着力破解太赫兹器件频率瓶颈

Jiufengshan Laboratory strives to crack the frequency bottleneck of terahertz devices

12 罗姆完成对SiC生产基地的收购

Rohm completes acquisition of SiC site

九峰山实验室专栏 JFS Laboratory Column

13 异质集成核心工艺晶圆键合综述

A review of wafer bonding process for heterogeneous integration

- 张洁琼, 柳俊, 徐哲, 熊伟, 李成果, 赵波, 彭文斌, 向诗力, 王盼盼, 邱磊, 宋月平,

九峰山实验室

关于雅时国际商讯 (ACT International)

ACT 25 雅时国际商讯 (ACT International) 成立于1998年，为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品—包括杂志和网上出版物、培训、会议和活动—为跨国公司及中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站，以及各种技术会议、服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港，在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

关于《化合物半导体》

《化合物半导体》中国版(CSC)是全球最重要和最权威的杂志Compound Semiconductor的“姐妹”杂志，亦是中国唯一专注于化合物半导体产业的权威杂志，重点介绍国外先进技术和产业化经验，促进国内产业发展，为国内读者提供化合物半导体行业的专业知识。内容涵盖晶体的特性研究，器件结构的设计，生产中用到的材料、设备、软件、测量、厂房设施，以及有关市场分析和动态。



扫一扫
免费下载电子书

技术 Technology

- 31 先进封装之于化合物半导体——大有用武之地
Advanced packaging is very useful for compound semiconductors
- 宗蕾, 厦门云天半导体科技有限公司
- 39 基于晶圆级高导热异质集成衬底的氧化镓射频晶体管
Wafer-scaled Heterointegrated Ga₂O₃-on-SiC Radio Frequency Transistors
- 郝鑫鑫^{1,2}, 徐文慧³, 欧欣³, 叶建东¹;
¹南京大学电子科学与工程学院, ²南京电子器件研究所, ³中国科学院上海微系统与信息技术研究所
- 42 Micro-LED技术研究进展
Research progress of Micro-LED technology
- 吴挺竹、刘苏阳、林岳、张荣、陈忠、郭浩中
- 49 通过氧气等离子体处理的超低导通电压 (0.37V) 垂直GaN-on-GaN肖特基势垒二极管
Ultra-low turn-on voltage (0.37V) vertical GaN-on-GaN Schottky barrier diode via oxygen plasma treatment
- 吴钧焯¹, 廖泽亮¹, 王颀帆¹, 邹平¹, 蔡伟雄¹, 陈少军¹, 熊信伯¹, 黎晓华¹, 屠宇迪¹, 刘新科^{1*}, 朱仁强², 庄文荣³, 邱显钦⁴; ¹深圳大学; ²成都电子科技大学深圳高等研究院; ³东莞中镓半导体科技有限公司; ⁴长庚大学; *通信作者xkliu@szu.edu.cn
- 56 半绝缘半导体电阻率、迁移率和载流子浓度的非接触测量
The non-contact measurement of Resistivity, mobility and carrier concentration of semi-insulated semiconductors
- 刘火阳¹, 吴春龙¹, 马金峰¹, 周铁军¹, 王昕², 李俊生², 叶灿明², 赖小妮²;
¹广东先导微电子科技有限公司; ²广州昆德半导体测试技术有限公司

科技前沿 Research Review

- 61 改进氮化镓衬底减薄技术
Refining GaN substrate thinning
- 62 基于自对准Mesa终端成功制备了高性能PtOx/β-Ga₂O₃ SBD器件
High performance vertical PtOx/β-Ga₂O₃ schottky barrier diodes with self-aligned mesa termination
- 63 β-Ga₂O₃器件的液体雾化外延法
Mist epitaxy of β-Ga₂O₃ devices
- 64 广告索引 Advertisement Index

《化合物半导体》编委会 (排名不分先后)

张国义教授 北京大学东莞光电研究院常务副院长, 中国有色金属学会宽禁带半导体专业委员会常务副主任
郑小鹿博士 营口天维半导体制造有限公司创办人, 功率半导体材料和器件的行业独立顾问
郑中屏博士 台湾工业研究院光电所资深研究员, 台湾鹏正光电创建人, 佛山照明LED事业部创建人
武良文博士 台湾国立成功大学微电子工程研究所 博士、SEMI中国HB-LED标准技术委员会 核心委员
刘红超博士 安徽长飞先进半导体有限公司 首席科学家
孙 钱博士 中国科学院苏州纳米技术与纳米仿生研究所 研究院、博导、副主任
李顺峰博士 苏州半导体激光创新研究院 执行院长
佟存柱教授 中科院长春光学精密机械与物理研究所 常务副主任/研究员
陈明祥教授 华中科技大学/武汉利之达科技 教授/首席专家
周贞宏博士 BelGaN CEO
王新强教授 北京大学博雅特聘教授
程 凯博士 苏州晶湛半导体有限公司 董事长
张昭宇教授 香港中文大学(深圳)理工学院副教授 深圳半导体激光器重点实验室主任
孙海定博士 中国科学技术大学微电子学院 研究员、博导
钮应喜博士 中国科学院半导体研究所, 教授级高级工程师



高端湿法制程
设备制造商

专注于化合物半导体、
硅材料、集成电路 (IC)、
微机电系统 (MEMS)
等领域。



北京华林嘉业科技有限公司
Beijing CGB Technology Co., Ltd

网 址: <http://www.cgbtek.com>
电 话: 400-650-7658

北方制造基地: 河北省廊坊市. 香河机器人产业港三期A栋

耿 彪 13910297918
gengbiao@cgbtek.com
牛沈军 13911271076
niushenjun@cgbtek.com
郭生钢 13911279276
sgguo@cgbtek.com



AI 助力化合物半导体行业新发展

生成式 AI 最近在科技行业掀起了一股热潮，ChatGPT 和 EinsteinGPT 等标志性产品吸引了开发者、企业和消费者的目光。这些 AI 应用能够生成类似人类的文本、理解上下文，并以惊人的准确性执行翻译、总结等任务。其实早在 1997 年，IBM‘深蓝’计算机战胜国际象棋冠军加里·卡斯帕罗夫。2016 年，Google 旗下的 DeepMind 公司团队开发的 AlphaGo 以 4:1 的总比分战胜了围棋世界冠军李世石，就在全球范围引起巨大关注，各大科技巨头就纷纷入局 AI。

AI 是计算机科学的分支领域，专注在创建拥有类智能行为的系统或机器，其目标为模拟人类的各种认知功能，包含学习、推理、解决问题、感知、语言理解等。AI 涵盖了各种技术领域，如机器学习、自然语言处理、计算机视觉等。AI 的历史可追溯到 1956 年，John McCarthy 联合神经网络计算机发明者 Marvin Minsky、信息论创始人 Claude Shannon 等人，在达特茅斯大学举行了一个研讨会，会议提案中首次提出了“AI”的概念。按照技术的维度可将 AI 产业划分为基础层、技术层、应用层。基础层主要包括算法、算力、数据等，是 AI 的软硬件基础。算法有大家熟知的机器学习和强化学习等算法；算力有英伟达的 GPU、谷歌的 TPU 以及国内寒武纪研发的 AI 芯片。技术层主要包括语音 / 视频识别、文本识别等，其中语音识别已延展到语义识别层面，图像 / 视频识别包括人脸、手势和指纹识别等，目前各类大模型就属于该层级。应用层主要包括垂直应用和行业应用。垂直应用包括智能机器人、无人驾驶等能够进入到大众消费的市场。行业应用包括智能金融、智能医疗、智能安防、智能搜索、智能教育、智能制造系统及智能家居等。

AI 的支撑技术是半导体，固然在基础层面的 AI 芯片及相应的高端存储都是硅基的，不过在电源技术、通信技术及应用层面还是离不开化合物半导体的，他们之间是相互依赖，相互成就的关系。

一、化合物半导体助力 AI 算力能耗降低

大模型训练成本 60% 是电费，机器学习就意味着高功率能量的付出，AI 就意味着高品质能量的堆叠。据说 ChatGPT 训练一次，相当于 6 万辆特斯拉都跑 1 万英里；训练 GPT-3 消耗的能量，相当于一个普通美国家庭数百年能耗；GPT-3 是目前大模型第一大“电老虎”，耗电量高达 1287 兆瓦时，那 GPT-4 或 5 就成为了“电恐龙”了。随着 AI 广泛应用于各领域，电力消耗量激增，全球数据中心 2030 年电力消耗量将达 6700 亿千瓦时。服务器消耗电量较大，如何节能成为产业发展的关键。碳化硅、氮化镓等宽禁带半导体高功率、高频率和高效率电源技术就量身定做般的切合了这一需求，使得 AI 算力成本大幅降低，助力 AI 应用的低成本化。

二、化合物半导体助力 AI 应用中高速通信需求

传统的计算机芯片属于冯·诺依曼架构，AI 芯片则仿造大脑的结构设计，试图突破通过总线交换信息的瓶颈，故属于信息处理领域，而在信息通信领域的技术是延续不变的。很多 AI 算法或大模型平台都在云端服务器上，用户使用必须通过网络访问平台来实现；另外很多 AI 应用都涉及到高速的实时数据通信，如智能交通、智能家居和智能港口等，基于砷化镓 / 磷化铟体系的光通信及微波通信，以及基于氮化镓的毫米波通信和可见光通信都将会大有用武之地，是很好的增量市场。

三、AI 助力化合物半导体研究高效开展

“AI for science”是指以机器学习、深度学习等 AI 技术分析处理多维度、多模态、多场景下的模拟和真实数据，解决复杂推演计算问题，加快基础科学和应用科学的发现、验证、应用，打造下一代科学范式。目前英伟达开发的 cuLitho 计算光刻库已经获国际半导体设备、半导体制造厂等应用，加速 2 纳米制程的芯片设计和生产开发；上海集成电路材料研究院在抛光材料计算、光刻胶底层配套材料设计以及滤波器掺杂材料选择等方面已经使用 AI 加快工艺设计，提升研发效率。因此 AI 在数据分析、机器学习等方面的强大能力，能够加速化合物半导体新材料的筛选和设计过程，从而显著降低研发周期和成本，也将助力已有化合物半导体材料制备工艺研发创新。

四、AI 助力化合物半导体产业智能化升级

“AI for industry”包括 AI 流水线和 AI 大模型两个范式，即将行业发展积累下来的海量数据进行直接的模型训练，然后用于解决实际问题。对于传统化合物半导体企业而言，生产的智能化是时代改变赋予化合物半导体制造企业产业升级的机遇与任务，适时地选择智能化转型升级将有助于提升化合物半导体企业的长远竞争力。通过大数据分析，提高生产作业环节中的流程安排与能源利用率。AI 也可以应用于目前化合物半导体生产活动中对人的健康与安全不利的工作（如湿法化学制程、特气更换等）改由机器人从事。另外也可以使用 AI 来增强化合物半导体企业内部的运营与管理、客户服务、办公流程优化等。



社长 Publisher

麦协林 Adonis Mak

adonism@actintl.com.hk

主编 Editor in Chief

陆敏 Min Lu

MinL@actintl.com.hk

出版社 Publishing House

雅时国际通讯 ACT International

香港九龙 B, 13/F, Por Yen Bldg,

长沙湾青山道478号 478 Castle Peak Road,

百欣大厦 Cheung Sha Wan,

13楼B室 Kowloon, Hong Kong

Tel: (852) 2838 6298

Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988573

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 59233884

UK Office

Angel Business

Communications Ltd.

6 Bow Court,

Fletchworth Gate,

Burnsall Road, Coventry,

CV56SP, UK

Tel: +44 (0)1923 690200

Chief Operating Officer

Stephen Whitehurst

stephen.whitehurst@angelbc.com

Tel: +44 (0)2476 718970

ACT 25
INTERNATIONAL



ISSN 2789-2735

© 2023 版权所有 翻印必究



奋楫扬帆，破浪笃行！ 化合物半导体先进技术及应用大会在太仓盛大召开， 圆满落幕！

2023年11月1-2日，“2023化合物半导体先进技术及应用大会”在太仓隆重召开。会议议题涵盖功率电力电子、泛光电等热门话题，由太仓市科学技术局主办，中国光学学会信息光电子器件技术专委会作为指导单位，国家第三代半导体技术创新中心（苏州）、宽禁带半导体国家工程研究中心、雅时国际咨询（深圳）有限公司承办，展开化合物半导体产业高端对话，促进参会者的交流信息与合作。

此次大会由太仓市人民政府副市长王莉萍、中国科学院院士 & 西安电子科技大学教授郝跃以及雅时国际商讯总裁麦协林发表开幕致辞。开幕会上，太仓市科学技术局局长郁颖珠还为大家带来了关于太仓市科创生态方面的精彩介绍。



王莉萍 副市长



郝跃 院士



麦协林 总裁



郁颖珠 局长



孙钱 博士



刘红超 博士

11月1日上午9时大会正式开始，第一天主要以功率电力电子为主题，此次大会上半场由中国科学院苏州纳米所研究员 孙钱博士主持，下午场由安徽长飞先进半导体有限公司首席科学家/高级副总裁 刘红超博士担任主持。开幕式致辞结束后，来自化合物半导体产业的专家们发表了干货满满的演讲报告。



国立阳明交通大学 郭浩中教授分享了《氮化镓基 micro-LED 在全彩显示与可见光通信领域的研究进展》专题报告，他提到了 micro-LED 相关需要解决等问题，介绍了包括喷墨打印技术、量子点光刻胶技术和无机薄膜色转换等方案实现 micro-LED 全彩显示等。



日立科学仪器（北京）有限公司专门部长 周鸥带来了《从样品制备出发了解日立半导体失效分析解决方案》报告。本次演讲中，他从离子研磨系统、聚焦离子束系统出发介绍了半导体样品的制样方法，以及日立产品在半导体物性及电性失效分析方面的解决方案。



香港科技大学 Research Professor Kei May Lau 刘纪美教授给大家带来了《GaN VMOS with high current density and V_{th} 》的精彩报告。她介绍道，GaN VMOS 在高效功率开关应用方面显示出巨大的潜力，她为此探索了 quasi-vertical GaN MOSFET 的均匀沟道掺杂和阶梯渐变掺杂，以研究高电流密度和阈值电压之间的权衡。



山东天岳先进科技股份有限公司首席技术官 高超博士分享了《大尺寸碳化硅单晶制备技术研究进展》，他从技术层面探讨了大尺寸碳化硅单晶制备的主要技术难点及产业化过程中面临的问题，以及近期进展。



西安电子科技大学宽禁带半导体技术国家工程中心主任 马晓华教授带来了《宽禁带半导体材料与器件研究进展》演讲，在演讲中首先为大家介绍了氮化镓射频功率芯片研究进展，之后针对 Si 基氮化镓研究及应用，进行了详细的讲解。



九峰山实验室主任工程师 权志恒博士为分享了《微转印技术在硅光与化合物半导体器件异质集成的应用》，在本报告中，他论述了微转印技术与其他硅光集成技术路径的差异，并介绍微转印技术关键性和应用，及其潜在的应用前景。



广东天域半导体股份有限公司副总经理/研发总监 韩景瑞在会议上分享了《碳化硅外延关键技术及 8 英寸外延进展》的报告。他主要围绕外延产业化关键技术展开，从外延的材料、设备、工艺等方面对外延环节的一些关键点进行了相关说明及介绍。



派恩杰半导体（杭州）有限公司 CEO 黄兴博士在会议上带来了《新能源汽车中的功率器件应用与功率器件的摩尔定律》的专题演讲。在演讲中与大家探讨了，技术上的突破如何为电动汽车的未来带来更多创新。



应用材料公司 ICAPS 产品与技术副总裁原铮博士带来了《化合物半导体大规模量产制造中的挑战和解决方案》的专题分享。他表示，应用材料公司拥有广泛的业界产品组合与解决方案，可满足从物理/化学气相沉积、高温离子注入到量测与检测等多个芯片制造工艺步骤。



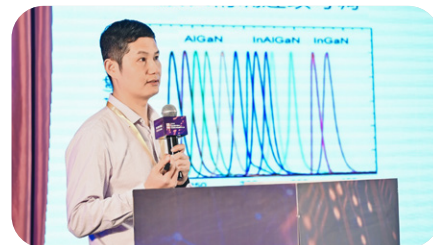
苏州立琰半导体有限公司研发副总裁高飞博士在此次会议上给大家分享了《像素化矩阵式半导体车大灯芯片》的演讲。他表示，苏州立琰半导体有限公司致力于像素化矩阵式智能车灯芯片的研发与量产，可提供高性能、高可靠性的车载半导体光源芯片。



北京特思迪半导体设备有限公司 CEO 刘泳泮在大会上分享《先进抛光技术助力量产型大尺寸碳化硅制造》，他以先进磨抛技术的应用为切入点，介绍了磨抛技术在 6-8 寸高品质碳化硅衬底及器件领域的磨抛工艺解决方案。



苏州迈创泰克电子科技有限公司 Global Product Specialist Kenji Uehara 为大家介绍了《无图形晶圆检测系统在化合物半导体市场的应用》的演讲。针对化合物半导体晶圆的特殊需求，高灵敏度测量和小直径晶圆的支持，他介绍了 Takano 的缺陷检测系统，该系统结合了高灵敏度测量、对小直径晶圆的支持以及可靠的测量系统。



山西中科瀚安紫外光电科技有限公司总经理 闫建昌博士在大会上分享了《第三代半导体紫外 LED 技术进展与产业探讨》。他在演讲中介绍，基于第三代半导体氮化镓材料的紫外发光二极管 (UV LED) 有着许多优势。未来三年内，大功率紫外 LED 的效率将会超越 10%，随之将带来整个行业爆发的机会。



郭浩中教授



许奇明博士

广东省科学院半导体研究所 龚政教授于大会上分享了《Micro-LED 巨量转移、集成技术研究进展及挑战》的专题报告。他在演讲中主要分享了其近期发展的 Micro-LED 巨量转移技术，讨论了相关方法的工作原理以及其优点/缺点，并展示了巨量转移的一些代表性应用，例如透明显示器及量子点转移等。

牛津仪器科技（上海）有限公司光电子产品经理 邓丽刚博士带来了《Plasma dry etching process review for fabricating optical devices》演讲。她首先介绍了牛津仪器公司的创办历史，表示整个工艺的制造过程也面临新的挑战，由此主要针对包括 VCSEL 和 InP EML 在内的 III-V 组材料的刻蚀工艺给出了牛津仪器的一系列新的解决方案。

11 月 2 日上午场由国立阳明交通大学郭浩中教授担任主持，下午场由苏州立琰半导体有限公司 CEO 许奇明博士担任主持。



卡尔蔡司（上海）管理有限公司业务拓展经理 黄承梁为大家介绍了《克服化合物半导体的挑战 - 蔡司显微镜解决方案》。他表示，蔡司全系列相关产品解决方案不仅能帮助衬底和外延制造商识别并分析化合物半导体晶圆中的晶体缺陷和形貌缺陷，也可以为功率、通信等芯片制造商提供器件和封装的失效分析解决方案。



镭昱光电科技（苏州）有限公司 CEO 庄永漳博士为大家分享《创新的单屏全彩 Micro-LED 微显示器：AR/XR 行业的革命性技术》。庄永漳博士介绍，Micro-LED 微显示的技术有众多瓶颈问题，一直无法实现单片彩色显示。现在，镭昱重新定义单片集成技术，实现晶圆级全彩 Micro-LED 微显示芯片，将会是未来 AR/XR 行业的最佳微显技术。



苏州晶湛半导体有限公司技术总监 张丽昀博士会上为大家介绍了《Full Color GaN for Micro-LED Applications》。张丽昀博士表示，晶湛半导体的 300mm 大尺寸硅基 GaN 外延片，为先进的功率、射频、光电芯片与逻辑芯片的混合异构集成铺平了道路。



爱发科真空技术（苏州）有限公司副总经理 沈坚带来了《爱发科面向光电器件行业的解决方案》的分享。他表示，爱发科深入光电子器件多年，有成熟的配套工艺。针对光波导的先进材料 LN/LT、石英玻璃刻蚀工艺有丰富的经验，可帮助客户实现产品的更低成本，更高效率。



广西颀芯科技有限责任公司董事长 胡晓东教授为大家带来了《GaN 基激光器及其应用》的分享。他表示，2023 年初广西颀芯科技有限责任公司的 GaN 基激光芯片量产线投产，成为了国内第一个量产该芯片的企业。在报告中，胡晓东教授主要介绍了 GaN 基激光器相关技术及其应用。



全磊光电股份有限公司研发部经理 李洪雨分享了《InP 和 GaAs 基外延材料技术进展》，他在报告详细介绍了 GaAs 和 InP 基外延材料的技术进展，并着重介绍了 InP 基高速 EML 激光器外延材料及其在光通信领域的应用和发展趋势。



厦门韞茂科技有限公司 王韞宇博士分享了《ALD 薄膜沉积技术在 LED 行业的产业化应用》。王韞宇博士介绍，韞茂推出的连续批次型 CBATCH ALD 装备可以大批量处理 LED 芯片及封装产品，其产能是同类装备产品的数倍，可大幅降低客户 COO，推动 ALD 在 LED 行业的产业化应用。



无锡邑文微电子科技股份有限公司 副总经理 叶国光分享了《新能源与元宇宙的国产半导体设备进展》的报告。在本次报告中分享了目前国内半导体设备产业在新能源与元宇宙发展状况，以及邑文科技的国产半导体设备的发展之路等。



宁波云德半导体材料有限公司总经理 顾永明带来了《石英产品在第三代半导体制造过程中的应用》报告。演讲中，他提到，在制程改进过程中，目前仍有一些材料、技术依赖进口。面对如此挑战，材料的研发方向、零部件的材料选择与应用极为重要。



苏州智程半导体科技股份有限公司产品总监 黄政为大家分享了《单片机关台 RCA 清洗新方向——诱导氧化层生长与旋转马兰戈尼干燥技术》，他提到，智程半导体在此基础上研发了业界首创的 INDUCO3 诱导式氧化层生长技术，实现了单片清洗机台在化合物晶圆清洗领域的优秀清洗效果。



华泰联合证券有限责任公司执行总经理 田来为大家分享了《资本助力化合物半导体产业发展》的演讲，田总在演讲中表示，化合物半导体目前是资本市场的热点，通过分析产业发展、融资情况、资本运作情况等，可为参会企业如何利用好资本市场、做好投融资提供建议。



常州纵慧芯光半导体科技有限公司首席产品官 Ryan Rao 博士分享了《面向车载激光雷达应用的高功率高可靠性 VCSEL》的演讲。在报告中介绍了激光雷达应用对光源的要求，以及相关进展，通过示例介绍几种不同多节 VCSEL 在激光雷达系统的应用及未来发展趋势。

行业齐聚，共创商机。大会虽已落幕，而盛况始终萦绕心头。非常期待与诸位一同见证下一个更美好的产业未来，一同奋楫扬帆，凝聚前行，加速化合物半导体产业腾飞! OSC

BelGaN 开始提供第二代 650V eGaN 样品，展示 1200V eHEMT 硅基氮化镓技术

继 4 个月前，欧洲领先的 GaN 车规半导体代工厂 BelGaN 将其第一代 650V eGaN 技术投入生产。目前，BelGaN 开始引导客户对其第二代 650V eGaN 工艺技术进行 Beta 采样。

第二代工艺技术建立在第一代工艺技术的基础上，改进了静态和动态性能参数 (Rsp 和 Ron*Qg)，GaN 芯片尺寸缩小了 25% 以上，同时还提高了能量转换效率。Beta 样品附带全套文档，包括数据表和 PDK。此外，为了支持客户设计高性能和高质量的产品并加快上市时间，Beta 版本附带了一个参考器件库，Ron 范围在 50-1000mΩ 之间，可作为裸片进行采样，采用 DFN 8x8 和 5x7 封装。

BelGaN CEO 周贞宏博士表示：“随着移动消费者的快速充电器从硅 MOSFET 快速转换到 GaN 功率器件(从 150W 降至 25W 适配器)，GaN 市场

正在以前所未有的速度加速发展。我们已经与全球 30 多个 GaN 客户达成合作。随着 GaN 产量的增加，客户也在寻求降低成本，而我们的 Gen-2 技术可使芯片尺寸减少 25%，正符合他们的期望，此外，客户告诉我们，他们需要 1200V GaN 车规级器件，有望在未来电动汽车和工业应用中取代 SiC 和 IGBT”。

作为其前瞻性创新计划的一部分，BelGaN 开发并展示了 1200V eHEMT 硅基氮化镓技术 (Alpha 版本)。BelGaN 的 1200V eHEMT 技术建立在采用 MOCVD 制造的工程厚 6 英寸硅基氮化镓衬底上，可实现 >1600V 的硬击穿电压和 4mΩ·cm² 的低 Rsp，并已通过初始可靠性测试。

BelGaN 首席技术官兼业务开发副总裁 Marnix Tack 博士评论道：“1200V 是即将推出的 GaN 技术节点，受到

电动汽车电池电压不断提高 (400V -> 800V) 的推动。虽然垂直型 GaN 架构带来能够处理高功率并旨在与 SiC MOSFET 竞争的 650V-1200V 技术，但我们的横向型 1200V 模式 HEMT 硅基氮化镓技术允许我们在 1MHz 以上的极高频率下从低功率切换到中功率 (提高功率密度并降低系统 BOM 成本) 并实现附加功能 (GaN IC) 的单片集成。”

BelGaN 正在为不断发展创新的产业链 “GaN Valley” 奠定基础，该产业链适用于欧洲及其他地区的电动汽车、手机、工业、数据中心和可再生能源市场中的 GaN 基芯片和电力电子产品。符合欧洲的芯片更大自主权 (欧洲芯片法案) 和碳中和社会 (绿色协议) 的目标。

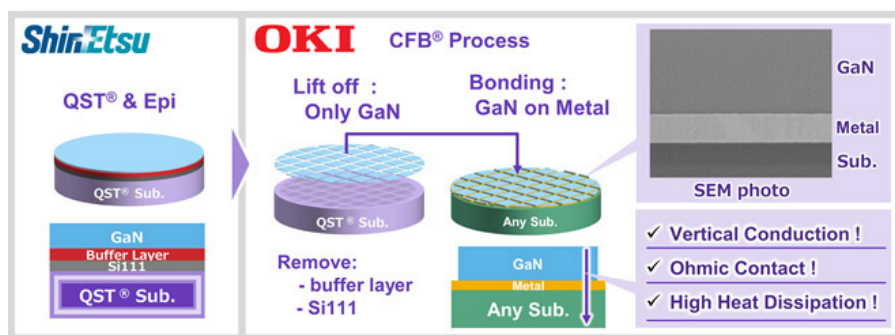
BelGaN 成立仅几个月，GaN Valley 产业链就已拥有欧洲 GaN 行业价值链上超过 55 家成员公司和机构。OSC

冲电气在信越化学的 QST 衬底上开发出 GaN 剥离 / 键合技术

总部位于东京的冲电气工业株式会社与信越化学株式会社合作开发了一项技术，冲电气利用其 CFB（晶体薄膜键合）技术，可从信越化学的 QST（Qromis Substrate Technology, Qromis 衬底技术）衬底（一种复合材料衬底，由总部位于加利福尼亚州的 Qromis Inc 开发，2019 年独家授权给信越化学，用于生长 GaN）上仅剥离氮化镓（GaN）功能层，并将其键合到不同材料的衬底上。

该技术实现了 GaN 的垂直传导，有望使可控制大电流的垂直 GaN 功率器件成为现实并商业化。两家公司将进一步合作，开发垂直 GaN 功率器件，并与制造这些器件的公司合作来进行落实。

GaN 器件具备高性能器件特性的同时，功耗较低，如需要 1800V 及以上击穿电压的功率器件、用于 Beyond5G 的高频器件、高亮度 micro-LED 显示器。需要注意的是，垂直 GaN 功率器件可通过延长行驶里程、缩短供电时间来改善电动汽车的基本



图：联合开发新技术的概览。

性能，因此其需求有望大幅增长。然而，目前有两大难题阻碍了垂直 GaN 功率器件的实现：一是需扩大晶圆直径以提高生产率，二是需实现垂直导电以控制大电流。

信越化学 QST 衬底的热膨胀系数与 GaN 相当，可以抑制翘曲和开裂。因此，即使在 8 英寸以上的晶圆上，也能够生长具有高击穿电压的厚 GaN 薄膜，使得生产直径较大的晶圆成为可能。

另一方面，冲电气的 CFB 技术可以在保持高器件性能特性的同时，从 QST 衬底上仅剥离 GaN 功能层。可去除 GaN 晶体生长所需的绝缘缓冲层，

并通过允许欧姆接触的金属电极将其键合到各种衬底上。将这些功能层键合到散热性强的导电衬底上，将实现高散热性和垂直导电性。据评估，信越化学和冲电气的联合技术可以解决上述两大难题，为实现垂直 GaN 功率器件铺平道路。

未来，信越化学将向制造 GaN 器件的企业提供 QST 衬底或生长 GaN 的 QST 衬底，冲电气则将通过合作和授权提供 CFB 技术，两家公司都将对普及垂直 GaN 功率器件做出贡献。此外，冲电气还希望利用 CFB 技术，为超越单一材料框架的半导体器件提供附加价值。

Diamond Foundry 制造出首个 100mm 单晶金刚石晶圆

总部位于美国加利福尼亚州旧金山的 Diamond Foundry Inc (DF) 表示，已制造出世界首个 100mm 单晶金刚石晶圆。

三十年前，Diamond Foundry 团队成员就着手制造金刚石晶圆，制造出首个 100mm 单晶金刚石晶圆就是他们这些年来在工作成果，其中需要开发各种技术，包括在可扩展的衬底上制造单晶晶格、大面积生长金刚石晶锭、

金刚石切割技术、精密表面处理技术。

目前，金刚石无法达到晶圆尺寸，因此 Diamond Foundry 必须制造出“金刚石晶圆之母”，然后利用它生产出更多晶圆。该公司使用金刚石异质外延技术（在可扩展的衬底上制造单晶金刚石），并将其与其他技术相结合，制造出有史以来首个单晶金刚石晶圆。该公司补充说，以前有过金刚石晶圆，但实际上以压缩金刚石粉末的形式存

在，无法媲美单晶金刚石的特性。

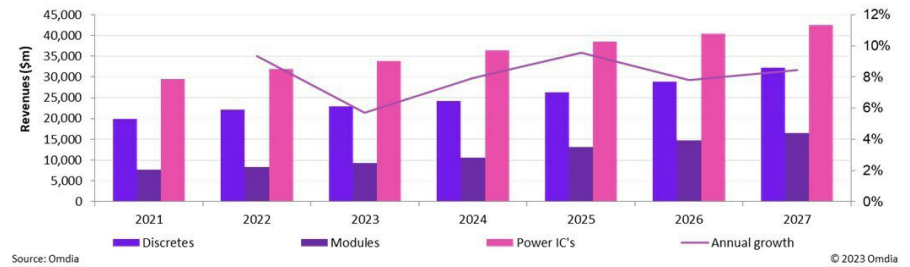
相比之下，迄今从地球自然资源中开采出的最大金刚石原石（库里南金刚石）的最大尺寸为 5.89cm，比 Diamond Foundry 的金刚石小 4cm 以上。Diamond Foundry 表示，其下一个目标是进一步降低金刚石晶圆的缺陷密度，使金刚石的品质因数达到半导体标准，即比硅高出 17200 倍，比碳化硅高出 60 倍。

氮化镓和碳化硅对人工智能的规模和潜力至关重要

Omdia 预测，随着电动汽车（EV）革命的到来，新型半导体将出现爆炸式增长，功率半导体行业数十年的旧有规范正面临挑战。Omdia 不禁提出疑问：“人工智能（AI）的兴起是否会产生类似影响？” 半导体元件资深分析师 Callum Middleton 指出：“对于长期依赖硅技术的行业，新材料制成的器件不仅为其带来了挑战，也为其带来了机遇。” 他补充说：“氮化镓（GaN）和碳化硅（SiC）功率器件的开发始于上个世纪，但它们的技术成熟度与可持续发展趋势相匹配，用新材料制造的器件为我们这个能源匮乏的世界带来显著的效率提升。”

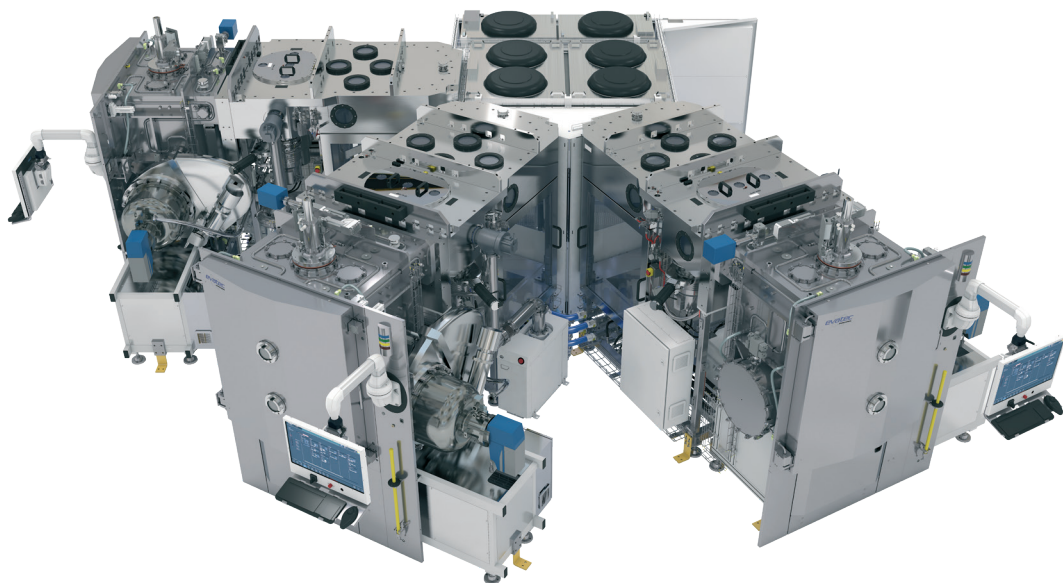
2018 年，特斯拉电动汽车首次采用 SiC 器件，使该技术从实验室和测试设计一跃成为主流。从那时起，电动汽车市场开始腾飞，而这类技术在

Power discretes, modules and ICs forecast



性能、充电速度、续航里程等方面存在优势，因此采用这类技术的汽车制造商越来越多。早期对 SiC 的采用使其得以在现实世界中证明其性能和可靠性，而 GaN 在手机和笔记本电脑的充电器中同样证明了其性能和可靠性。Omdia 表示，随着人工智能的蓬勃发展，我们的能源供应和分配系统将面临更大的压力。并补充道，为使行业充分享受人工智能带来的好处，并以可持

续的方式做到这一点，我们必须确保效率最大化，但这并不一定要以牺牲盈利为代价。在数据中心的电源中采用 SiC 或 GaN 解决方案可以显著降低能耗，同时为额外的计算能力腾出空间。Callum Middleton 认为：“虽然这些新型器件及此前数十年的研究、开发、测试和工程可能不会成为头条新闻，但它们对人工智能的规模和潜力至关重要。”



MULTI BAK – 颠覆传统的半导体蒸镀科技

想象一个全自动机台，它可以使您的每个工艺腔的产量翻倍¹，跟踪每一个晶圆的工艺，并将您在 6 或 8 寸衬底上的量产应用使用成本 CoO 降低多达 40%。MULTI BAK 将 Evatec 在蒸发台方面成熟的专业知识，用于消除昂贵手动上片问题的自动化，以及高性能真空预抽腔结合在一起，组成最多 4 个工艺腔的集群式机台。现在就联系我们，了解如何彻底改变包括下一代无线通信技术等工艺的产能和良率。

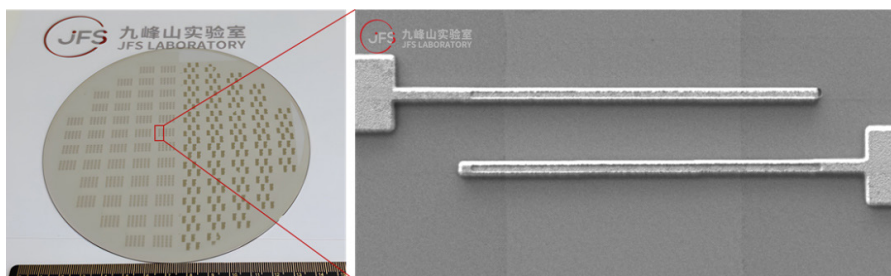
先进封装 · 半导体 · 光电 · 光学 · THE THIN FILM POWERHOUSE

www.evatecnet.com/cn

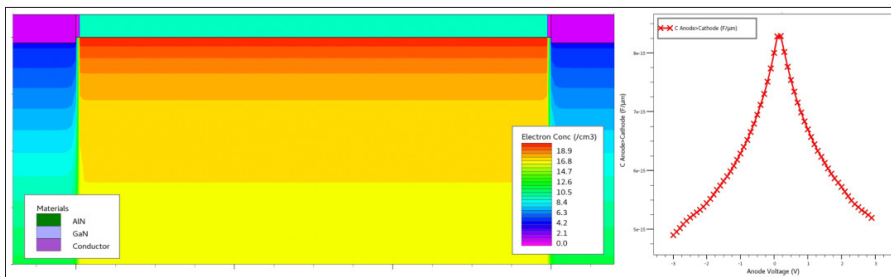
Footnote: 实际产量依据工艺决定

九峰山实验室着力破解太赫兹器件频率瓶颈

2023年11月，九峰山实验室基于氮化镓（GaN）材料的太赫兹肖特基二极管（SBD）研制成功。经验证，该器件性能已达到国际前沿水平。肖特基二极管（SBD）技术是太赫兹领域应用广泛的核心技术，此项成果打破了制约氮化镓 SBD 器件频率提升的行业瓶颈，为实现高频、高效的倍频电路，以及小型化、轻量化的太赫兹源奠定重要器件基础。



九峰山实验室6英寸GaN SBD Wafer及结构。



仿真结果。

面向未来 开发太赫兹核心技术

太赫兹技术具有分辨率高、方向性强、信息量大、安全性好等优点。肖特基二极管（SBD）则是太赫兹领域非常重要的一类器件，它具有强电容非线性，可以对输入信号频率生成高次谐波，倍频输出太赫兹（THz）信号。而氮化镓（GaN）的材料特性使此类器件具有高频、高功率、低损耗等优点，因此氮化镓肖特基二极管（GaN SBD）被认为是实现全固态、小型化及轻量化太赫兹源的核心器件。

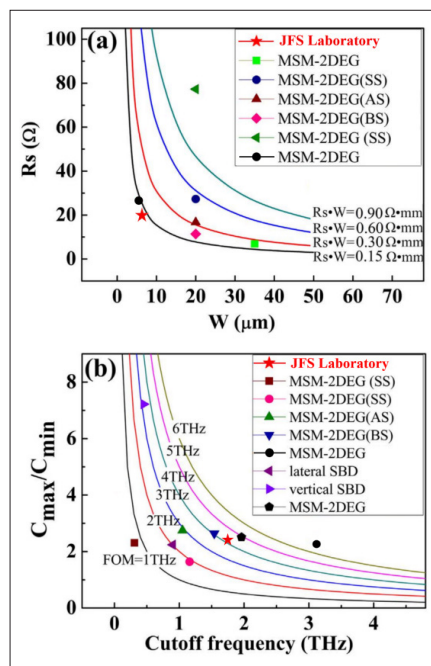
通过开发具有强极化超薄势垒的 GaN 异质结构，二维电子气的的面密度和迁移率显著提升、材料电阻明显降低；同时低寄生肖特基结结构则有效降低了开启电压、减小寄生电容，使器件频率特性进一步提升。

突破瓶颈 器件性能达国际前沿水平

传统的氮化镓肖特基二极管存在串联电阻大、寄生电容高的问题，严重制约了器件频率的提升。面对挑战，九峰山实验室研究中心无线技术组，在分析制约器件频率特性提升的关键因素后，从材料和器件两方面入手进行设计。

在器件制备流程方面，团队开发了高精度光刻及低损伤刻蚀技术，连续攻克了绝缘衬底 GaN 小尺寸器件的光刻曝光精度差、套刻容差大、刻蚀损伤大等多项关键工艺问题；并制定和实施了全套微观表征及电学特性测试方案。

最终测试结果表明，该器件零偏时结电容最小仅为 6fF，最大截止频率超过 1.5THz，处于国内领先及国际先进水平。CS



氮化镓SBD器件性能对比图。

罗姆完成对 SiC 生产基地的收购

国富工厂位于日本，原属 Solar Frontier，近日罗姆已完成对该工厂的资产收购。

该工厂将由罗姆集团的子公司 Lapis Semiconductor 来运营，成为其宫

崎第二工厂。

国富工厂将成为罗姆集团生产 SiC 功率器件的主要基地，计划于 2024 年投入运营。



异质集成核心工艺晶圆键合综述

作者：张洁琼，柳俊，徐哲，熊伟，李成果，赵波，彭文斌，向诗力，王盼盼，邱磊，宋月平

Part I. 晶圆键合起源及发展

键合技术的发展历程可以追溯到 19 世纪，最早被用于实现两种打磨抛光过的材料表面的轻微接触而形成键合。1969 年，Wallis 和 Pomerantz 首次展示了硅晶圆与玻璃晶圆的键合技术^[1]。在随后的几十年里，键合技术逐渐演变成成为半导体制造工艺中的关键技术。特别是 1986 年，IBM 公司 Lasky 和日本东芝公司 Shimbo 等人发明了硅与二氧化硅的键合技术，直接推动了绝缘体上硅（SOI）技术的发展，显著提高了集成电路的性能^[2,3]。第三次工业革命的发展推动着晶圆间键合技术的应用范围逐渐扩大，在其他领域例如在微机电系统（MEMS）和微纳米流体器件的封装以及新型高性能绝缘体上化合物半导体（XOI）复合晶圆制造方面也发挥着重要作用^[4-7]。由于键合工艺技术可将不同材料及器件集成起来从而实现更为复杂的多功能芯片系统，促使其不再仅局限于半导体

制造的后道加工阶段，更开始扩展到前道制造工序中并逐渐得到重视和应用。近年来，随着半导体集成电路的微缩化，摩尔定律也逐渐接近极限，半导体集成电路对高密度集成工艺的需求变得更为迫切。研究者们开始意识到异质融合和 3D 集成是未来发展的重要方向，自 2016 年索尼首次报道了利用铜-二氧化硅混合键合技术实现 CMOS 图像传感器产品生产后，近几年以来键合技术已迅速发展成为了实现高密度互连和异质异构集成的不可或缺的核心工艺技术^[8]。在硅基光电子领域，键合技术能够将来自不同材料的不同功能器件（如硅基无源器件、三五族激光器、铈酸锂调制器、硅锗探测器等）集成在一起，进一步提高数据传输速率。在先进封装领域，例如 3D 集成 DRAM 和 NAND 存储器堆叠，以及逻辑芯片和存储器的堆叠中，键合技术也扮演着至关重要的角色。目前，键合技术已经被广泛应用于集成电路半导体微电

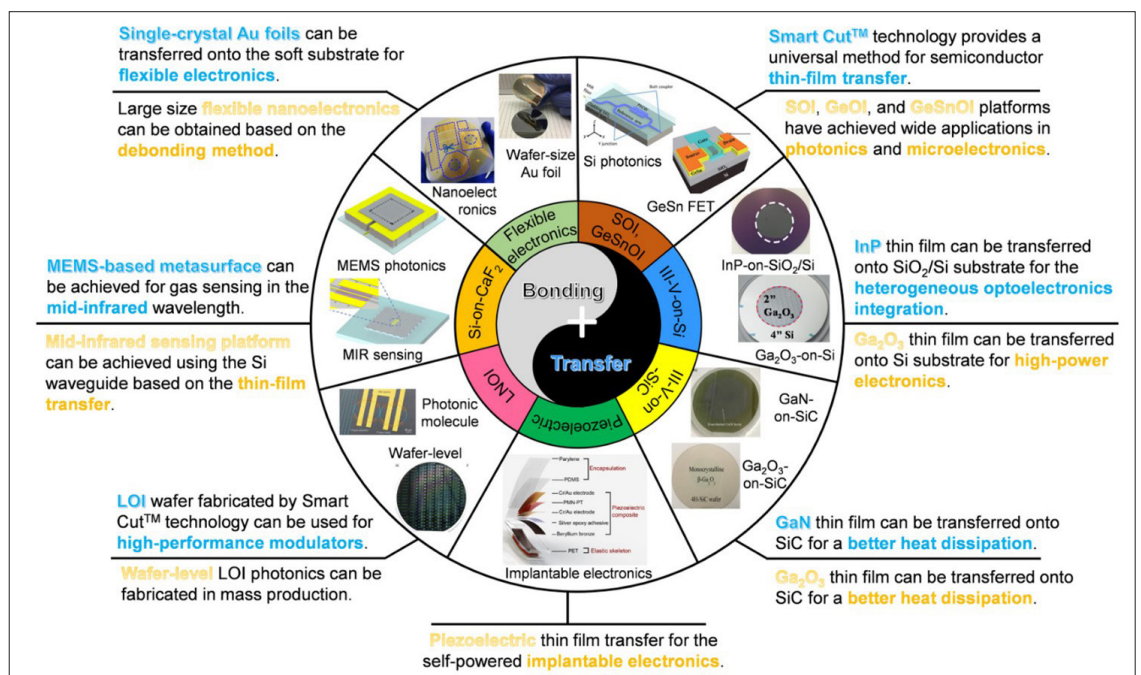


图1：键合及转移技术的广泛应用^[17]。

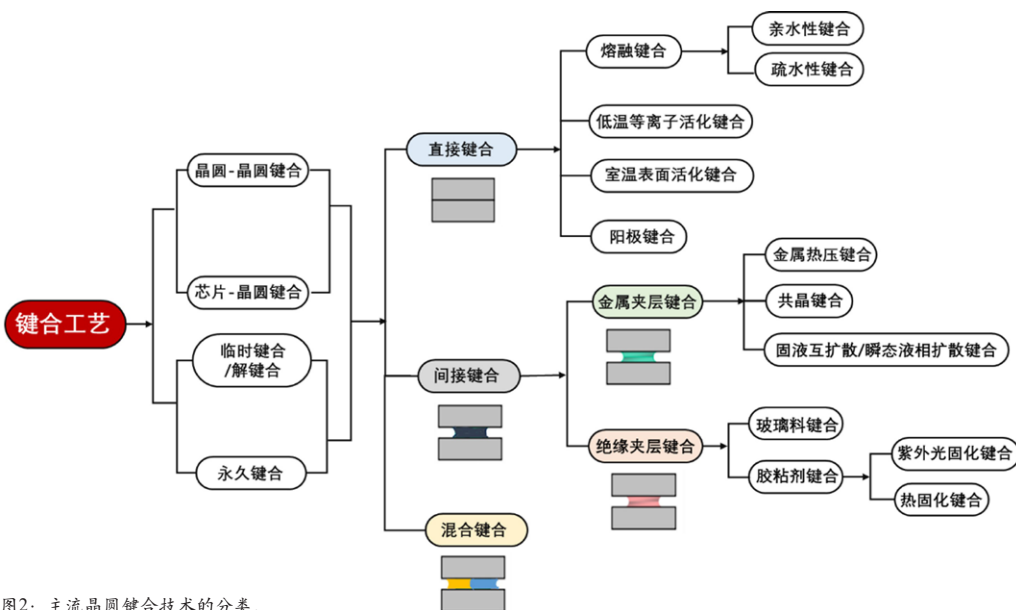


图2：主流晶圆键合技术的分类。

子学、电子电子学、光子学、生物医学、智能传感、光电集成、异质集成、3D 集成以及先进封装等众多领域 (图 1)，并取得了重大研究进展。在未来，键合工艺技术的应用还将继续扩大^[9-16]。本文将详细介绍键合工艺的发展历史、当前代表性技术与原理以及其在不同领域的典型应用。

Part II: 键合技术分类与原理

晶圆键合工艺技术是通过不同物理或化学的方法将两片表面光滑且洁净的晶圆紧密的贴合在一起，以辅助半导体制造工艺或者形成具有特定功能的异质复合晶圆^[4,16]。键合技

术有很多种，通常根据晶圆的目标种类可划分为晶圆级晶圆到晶圆键合和芯片到晶圆键合。根据键合完成后是否需要解键合，又可分为临时键合和永久键合。一般而言，根据待键合晶圆间是否需要引入辅助界面夹层，还可分为直接键合和间接键合。直接键合技术是通过特殊的预处理工艺对晶圆表面进行活化处理，以在键合界面形成相互作用力使晶圆贴合在一起。根据表面活化处理的不同，又可以分为：熔融键合、低温等离子体活化键合、室温表面活化键合和阳极键合。其中，熔融键合中又可根据键合环境的不同分为亲水性键合和疏水性键合。而间接键合则是采用一定的中间层材料（金属或绝缘材料）将两片晶圆粘合在一起，主要包括：金属热压键合、共晶键合、固液互扩散/瞬态液相键合、玻璃料键合以及胶粘剂键合。近年来，由于 3D 集成高密度互连及先进封装的迫切需求，还发展出一种新型的混合键合技术。图 2 展示了目前应用于集成电路半导体领域中代表性的键合工艺技术及其分类，并对各类键合工艺技术存在的优缺点及典型应用进行了对比与总结 (表 1)。

表1：各种类型键合技术的优缺点与典型应用总结。

键合工艺	优点	缺点	应用
熔融键合	连接强度高，气密性高	高温工艺易诱发热应力，掺杂元素的有害扩散，损害温度敏感元件	硅-硅键合，硅-氧硅键合，MEMS 器件
低温等离子体活化键合	无需高真空，操作方便，成本较低	成品率及可靠性较低	工程衬底基板，叠层太阳能电池，高性能逻辑器件，功率器件，三维集成与封装
室温表面活化键合	工艺温度低，热应力小	需要高真空系统，设备复杂昂贵，成本较高	工程衬底基板，MEMS封装，叠层太阳能电池，高性能逻辑器件，功率器件
阳极键合	工艺简单，结合强度高，密封性好	施加电压高，限制应用范围；键合温度过高导致热膨胀系数失配产生机械应力，降低器件的耐疲劳性	MEMS 器件，硅-玻璃键合
金属热压键合	键合材料具有与母材同样的机械与物理特性	键合需要高压，键合时间较长	MEMS 器件，陀螺仪
共晶键合	工艺简单，对表面不太敏感，更好的脱气性和气密性	对键合力精确度及温度分布均匀性要求较高	MEMS 器件，陀螺仪
固液互扩散键合	工艺温度低、键合压力小	回流时间长	RF-MEMS，发光二极管(LED)，激光二极管，功率器件，高可靠性键合线或电气连接
临时键合/解键合	对不规则表面，划痕和颗粒不太敏感，有利于大批量生产	某些有机聚合物临时键合胶耐受温度不高，化学稳定性较低	超薄芯片拿持，扇外型封装，三维集成与封装，2D材料转移
芯片到晶圆键合	键合混合键合效率高，同一基板上可集成多个不同工艺制程及独立IP芯片	工艺过程中洁净度及颗粒污染物的管控难	高带宽存储器，小芯片，Micro-LED
混合键合	芯片总体厚度低，高密度金属触点	对晶圆间键合对准精度要求高	CMOS图像传感器(CIS)、存储器以及三维片上系统 (SoC)

1. 直接键合 (Direct Bonding)

1.1 熔融键合 (Fusion Bonding)

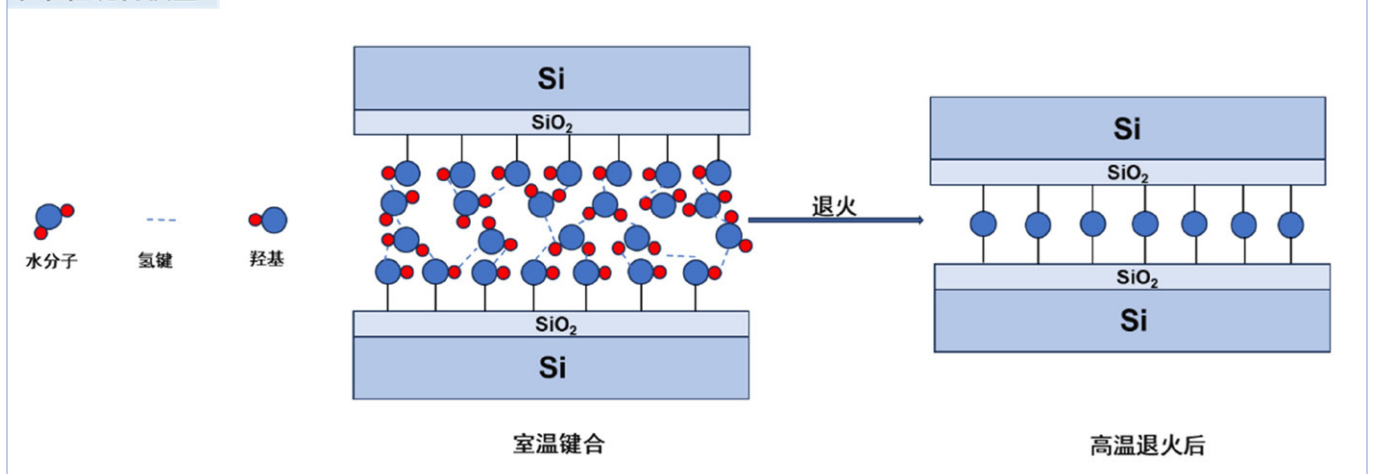
熔融键合，也称为硅的高温熔融键合，属于直接键合工艺中的一种早期传统技术。该技术是将两片表面抛光后的晶圆经清洗后，无需引入界面夹层，在室温下直接进行贴合，通过施加一定的压力使得此两片干净平整的晶圆表面实现紧密连接^[4-6]。由于这种键合强度相对共价键较弱，因此通常需高温退火 (>650℃) 进一步增加晶圆间界面的结合力。一般而言，如图 3 所示，熔融键合可根据清洗后待硅晶圆表面环境状态的不同而划分为亲水性键合及疏水性键合两种模型^[18]：亲水性键合通常需通过 RCA 清洗液 (氨水和双氧水的混合水溶液) 清洗硅片表面，以形成羟基 (-OH) 密度较高的亲水性表面，当两片硅片贴合后会首先在键合界面形成较弱的范德华力或氢键，经后续高温退火后转化为较强 Si-O-Si 共价键得到高强度键合界面；而疏水性键合则是采用氢氟酸 (HF) 去除硅片表面的自然氧化层，使得硅片表面形成具有疏水特性的硅氢键 (Si-H)，键合后通过高温脱氢缩合反应使得键合界面形成 Si-Si 共价键。然而，这写高温键合工艺难以适用于温度敏感器件或热膨胀系数差异大的材料，因为高

温退火引发的热应力和有害元素扩散等问题可能会导致器件失效。因此，高温熔融键合技术限制了其在半导体微纳器件和系统封装领域的应用。如何在较低甚至室温条件下实现牢固的键合成为该领域的挑战，也激发了相关研究者们后续对低温键合工艺技术的研究兴趣。

1.2 等离子体活化键合 (PAB: Plasma Activated Bonding)

等离子体活化键合技术 (PAB) 作为低温键合工艺的主流代表之一，由于操作简便，成本相对较低，键合过程可在大气或低真空环境下进行键合，且后续只需低温退火处理 (<400℃) 等优点，近年来受到了研究者和工业界的广泛研究与应用。与亲水性熔融键合类似，PAB 技术是利用等离子体 (常见工艺气体为 O₂、N₂) 活化 (照射) 处理晶圆表面，从而增强了表面能并改善了材料附着性 (图 4)^[2,16,18,19]。其主要机理包括：i) 清洗表面杂质，增加接触面积从而促进键合；ii) 改变表面化学性质，引入活性基团以增加键合强度。然而，等离子体作用会导致表面多孔结构和吸附水分，可能在退火过程中形成键合界面孔洞，降低器件成品率和可靠性。有研究表明，可通过优化等离子体

亲水性键合模型：



疏水性键合模型：

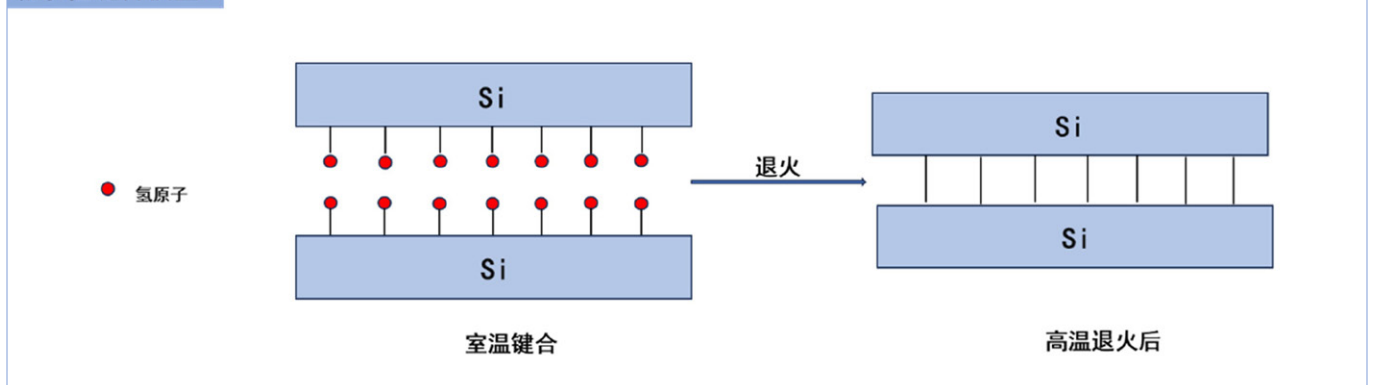


图3：熔融键合中亲水性键合和疏水性键合模型示意图。

等离子体活化键合模型

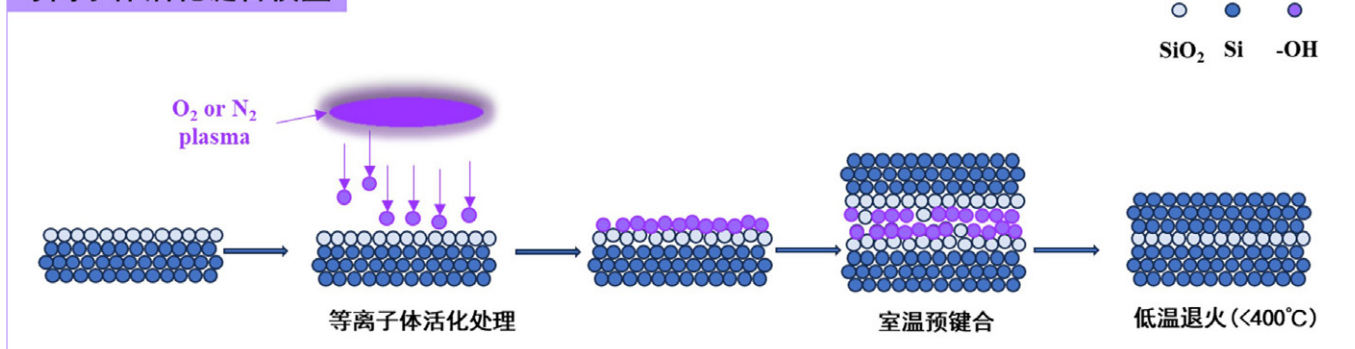


图4: 等离子体活化键合工艺流程示意图。

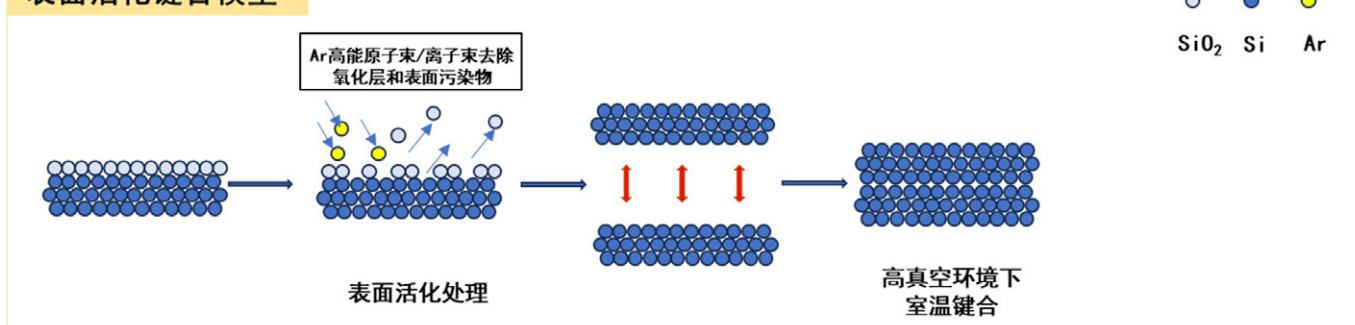
照射活化时间或于等离子体中添加微量其他处理气体,可减少孔洞生成从而改善键合强度)^[20]。随着等离子处理工艺的发展,不仅可以实现 Si/Si 键合,还能应用于多种材料的键合,如 Si/SiO₂、Si/SiN、Si/GaAs、Si/GaN、Si/SiC、Si/LiNbO₃、Si/LiTaO₃ 等^[16,21]。

1.3 表面活化键合 (SAB: Surface Activated Bonding)

表面活化键合技术 (SAB) 是一种在高真空环境 (10⁻⁵~10⁻⁸ mbar) 下使用快速高能氩 (Ar) 原子或离子束处理待键合晶圆的表面,随后在室温 (25 °C) 下实现同质或异质材料晶圆的直接键合工艺。此技术的键合原理如图 5 所示,利用 Ar 原子或离子束的活化效果清除待键合晶圆材料的表面污染物和氧化层,以提高材料表面的活性,随后通过一定的键合压力在室温下即可达到高强度键合界面 (图 5)^[22]。SAB 技术的优点在于无需高温退火,在室温下即可完成键

合,因而避免了因热膨胀系数失配而导致的热应力问题,提高了键合强度和可靠性。然而,为避免待键合材料的二次氧化,SAB 工艺通常需要在高真空环境下进行,这增加了设备成本。同时,SAB 对某些绝缘材料 (如氧化物、石英、玻璃、有机物聚合物等) 的键合效果不佳,可能需要后续热处理来进一步增强键合强度。因此,针对该技术的局限性,后有研究者提出了一种改进型的 SAB 技术,即原子扩散键合 (ADB) 技术^[23-26]。ADB 类似于 SAB,而不同之处在于 ADB 技通常会在晶圆表面经预处理后沉积一层纳米薄膜层 (如金属 Ti、Au 或半导体 Si 等) 作为键合辅助界面,随后在室温下完成键合。ADB 技术可应用于涉及绝缘材料的多种异质半导体材料的键合。总体而言,SAB 和 ADB 技术为硅基半导体、化合物半导体材料以及新型多功能材料的直接异质集成提供了一种新的极具前景的技术途径。

表面活化键合模型



原子扩散键合模型

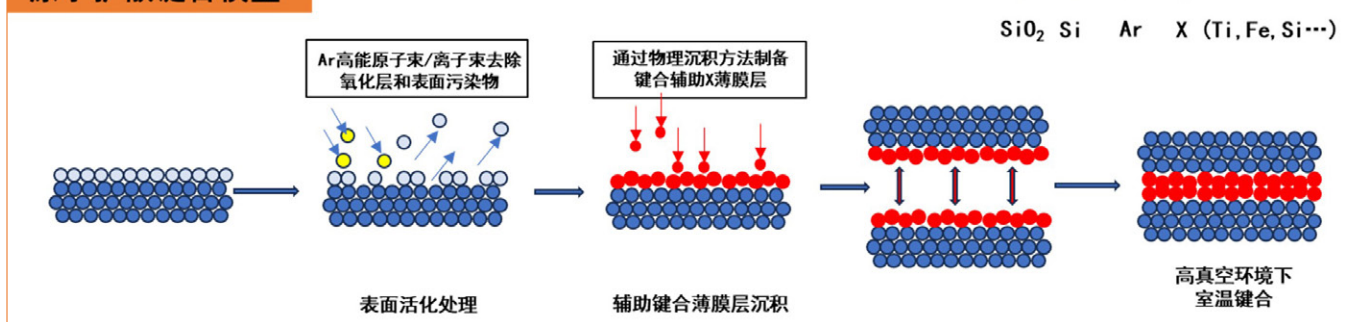


图5: 表面活化处理键合与原子扩散键合工艺流程示意图。

阳极键合模型：

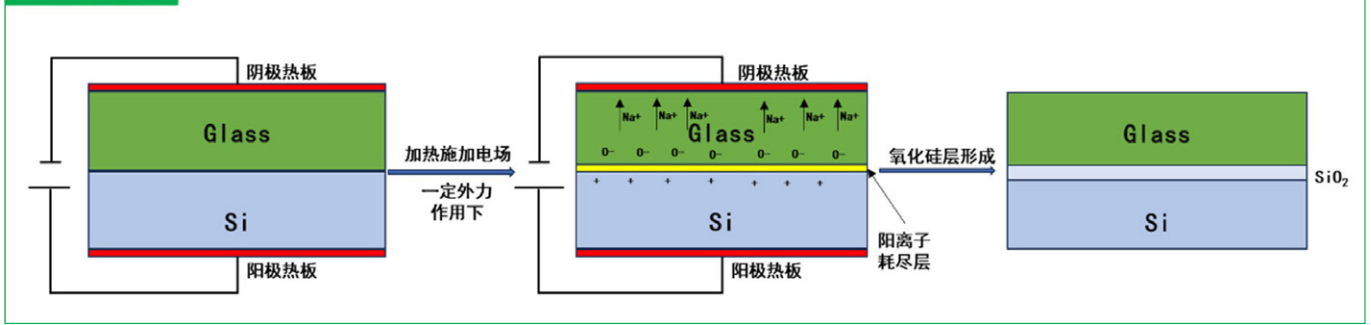


图6：阳极键合工艺流程示意图。

1.4 阳极键合（Anodic Bonding）

阳极键合技术，又称为“场辅助密封”或“静电键合”，最早于1968年由Wallis和Pomerantz提出^[1,20]。它是一种将硅晶圆衬底与玻璃衬底（如Pyrex7740，肖特BF33玻璃等）直接连接而无需界面夹层的键合工艺。该技术通过加热硅和玻璃，在电场作用下利用玻璃中的Na⁺离子迁移、形成静电场，使硅和玻璃之间紧密接触并在高温下形成共价键，得到牢固持久的键合界面（图6）^[4-6]。这种方法简单、强度高、密封性好，常用于MEMS及微电子器件的封装技术中。然而，该方法需要施加高电压，限制了其应用范围。高温还容易引起键合材料组合的热膨胀系数不匹配导致的机械应力，影响器件的耐疲劳性，并可能导致应变和破裂。

2. 间接键合（Indirect Bonding）

2.1 金属键合（Metal Bonding）

金属材料如铜、铝等低电阻金属因其具有良好的电导率和热导率，在半导体集成电路和微电子领域应用广泛。基于金属材料的键合工艺也是实现3D集成和封装互连的关键技术之一。通常，金属键合中金属层是通过热蒸发、溅射或电镀等工艺制备得到，同时也常会在金属结合层与其基底之间引入适当的扩散阻挡层或粘附层以便于得到牢固的键合界面。由于金属材料尤其如活性较高的铜的表面易于氧化，阻碍了其在室温下键合，因而金属间的键合过程通常需要经过表面预处理，并进行晶圆间预对准后，在真空环境下加温加

压通过扩散、反应或熔化而实现结合（图7）。常见的金属键合技术根据材料种类不同可分为：热压键合（TCB：Thermo-Compression Bonding）、共晶键合（Eutectic Bonding）、固液互扩散键合/瞬态液相键合（SLID：Solid Liquid Interdiffusion Bonding/TLP: Transient Liquid Phase Bonding）^[4,6,9,10]。金属热压键合，也称金属扩散键合，是在加热和高压的作用下金属原子相互扩散的结果。该技术对晶圆表面的粗糙度要求较高，常见的材料包括铜-铜（Cu-Cu）、铝-铝（Al-Al）和金-金（Au-Au）等。较热压键合而言，共晶键合一般不需要施加太大的压力，键合温度较低，且对键合表面的粗糙度要求不高。共晶键合过程是两种或多种金属的共晶合金作为中间层，通过加热使共晶合金原子扩散到待键合材料原子结构中，从而形成材料间的固态结合。共晶温度通常为合金熔化的最低温度。常见的共晶键合材料组合体系如Al-Ge、Au-Si、Au-Sn、Au-In等。SLID/TLP技术则是一种在低温下进行的先进的焊料键合工艺。此技术基于共晶键合的原理，并引入了金属间化合物（IMC）插入层。与共晶结合相比，TLP键合的特点为液相结合界面是通过扩散而不是冷却到熔点以下而凝固，因而可以实现较低的工艺温度，同时在键合后可得到更高的重熔温度界面。此技术至少需要低熔点和高熔点两种金属，键合过程中通过加热使低熔点中间层金属或合金（如In、Sn、Bi或Cu-Sn、Ni-Sn等）扩散进入到高熔点母材金属的晶格和晶界中并形成IMC，从而引起等温凝固，最后得到高于键合温度的高熔点成键界面。由于其与CMOS低温

金属键合模型

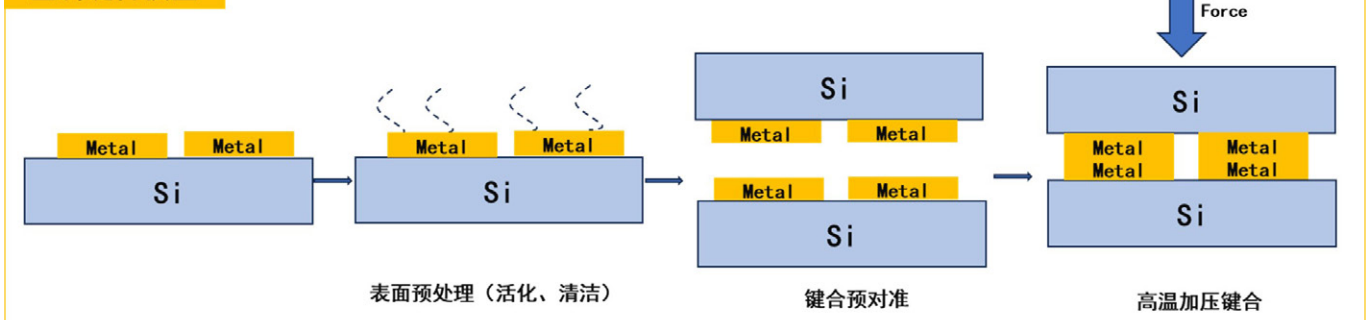


图7：金属键合工艺流程示意图。

混合键合模型

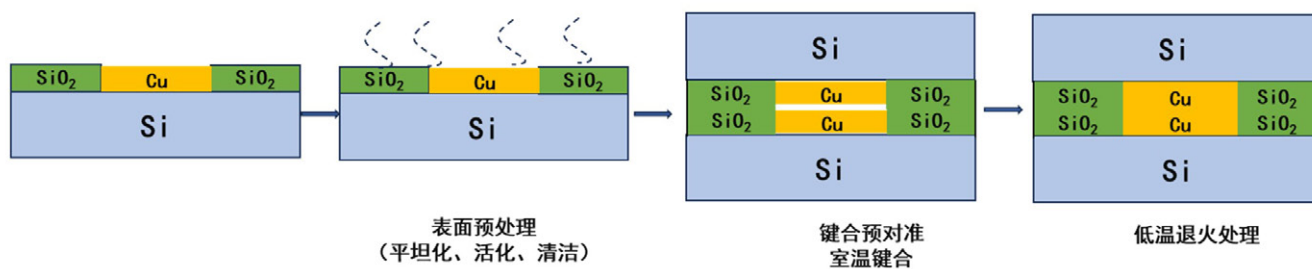


图8：混合键合工艺流程示意图。

工艺兼容且键合后可承受高温恶劣环境，TLP 技术被认为是功率器件和 MEMS 器件气密封及真空封装的理想选择。

2.2 玻璃料键合 (Glass Frit Bonding)

玻璃料键合是一种传统的键合技术，目前已成功应用于加速器、陀螺仪和压力传感器等产品制造中。相较于其他的键合工艺技术，玻璃料键合由于其热膨胀系数与 Si 较为匹配并且对键合界面的粗糙度、平坦度有一定的容忍性，因而可实现密封效果好、键合强度高、生产效率及成本低廉的晶圆级封装。其工艺过程包括玻璃浆料的丝网印刷、预烧结、晶圆键合及测试过程。然而，由于玻璃料键合工艺的洁净度不高且不能实现高精度对准工艺，因此其应用受到了很大的限制^[4,5]。

2.3 胶黏剂键合 (Adhesive Bonding)

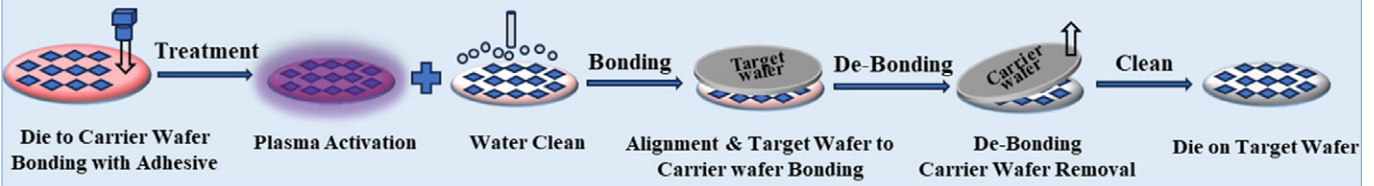
胶黏剂键合技术是一种将两个晶圆临时或永久连接的技术，使用中间聚合物作为粘合层。此工艺过程通常通过加热或紫外光照射使中间聚合物胶粘剂从液态或黏弹态转化为固态，然后施加压力让两片晶圆的表面紧密接触，实现牢固键合^[4,5,20]。根据中间聚合物的类型，胶黏剂键合可分为热塑性材料（可溶性溶剂）加热固化键合和紫外光（UV）固化键合。热塑性材料是有机聚合物，受热时熔化成液体，冷却后恢复成固态。专用的临时键合胶通常在 120-250℃ 温度之间液化。键合温度比焊料温度高 20℃ 以上。在热塑性材料键合过程中，先涂覆可溶性键合剂在待键合晶圆上，经烘干加热蒸发掉溶剂，使键合剂逐渐固化。然后将器件晶圆与载体晶圆接触并对准，在较低的温度和压力下持续施加约几十分钟完成键合。UV 固化键合工艺中，涂覆 UV 固化材料在载体晶圆表面，然后使用对 UV 不敏感的释放层。UV 固化材料在 UV 照射下发生交联，将载体晶圆和器件晶圆稳定地结合在一起。胶黏剂键合的优势在于其较低的键合温度、适应不平整晶圆表面、不需要特殊处理，并且工艺相对简单、稳定且成本低。但是，由于胶黏剂键合的聚合物温度稳定性有限、且不能对气体和水分进行有效密封、长期使用存在可靠

性和密封性等问题，需要考虑其在特定环境或长期使用可能存在的可能性。

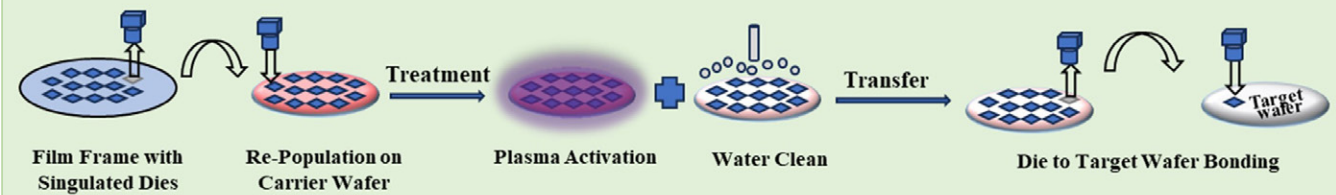
3. 混合键合 (Hybrid Bonding)

混合键合的命名由来是因其键合界面同时包含金属和介质或聚合物（如 Cu/SiO₂, Cu/SiCN, Cu/BCB 等）两种材料。因而该技术兼具金属键合和介质熔融键合 / 聚合物胶粘剂键合的特点，通过堆叠接触方式将来自不同工艺的晶圆结合在一起实现电气互联。典型代表如铜 - 二氧化硅 (Cu/SiO₂) 混合键合技术最早被业界公认为由 Ziptronix 推出的称为低温直接键合互连 (DBI) 的技术演化而来，并于 2016 年由日本索尼公司首次报道成功应用于在 CMOS 图像传感器 (CIS) 产品开发生产线中^[8,12,27-32]。当铜互连凸点间距缩减到 10 μm 后，每平方毫米可高达 10,000 个微凸点。因而通过采用铜互连的细间距晶圆级混合键合技术，可在芯片间有望实现更短的互连距离、更高密度、更低成本及更高性能。混合键合不需要金属引线或微凸点，仅通过铜触点实现短距离电气互连，并提供机械支撑与电气隔离。因其突出的优点，近年来晶圆级混合键合技术备受业界关注与重视^{[12], [27], [28]}。如图 8 所示，典型的 Cu/SiO₂ 混合键合主要包括三个关键工艺步骤：1) 键合前预处理：晶圆需经过化学机械抛光 / 平坦化 (CMP) 和表面活化及清洗处理，实现平整洁净且亲水性表面；2) 两片晶圆预对准键合：两片晶圆键合前的进行预对准，并在室温下紧密贴合后介质 SiO₂ 上的悬挂键在晶圆间实现桥连，形成 SiO₂ - SiO₂ 间的熔融键合。此时，金属 Cu 触点间存在物理接触或凹陷缝隙 (dishing)，未实现完全的金属间键合；3) 键合后热退火处理：通过后续热退火处理促进了晶圆间介质 SiO₂ 反应和金属 Cu 的互扩散从而形成永久键合。良好的工艺控制对成功高产量制造至关重要。相较传统技术而言，基于细间距的铜互连混合键合技术具有优良导电性、紧密互连距离和低温键合的优势，可提供更高的电流负载能力、更高的铜互连密度和更好的热性能。此技术推动了 3D 芯片封装、高速通信、多功能集成芯片和高性能存储器等领域的发展。然而，晶圆级高精度对准以及制程良率仍面临巨大挑战，有

Collective Die-to-Wafer Bonding



Direct Placement Die-to-Wafer Bonding

图9: 芯片到晶圆键合工艺流程示意图^[33]。

待设备及工艺的进一步研发与优化以实现该技术可重复性及可靠性的提高。

4. 芯片到晶圆键合 (D2W: Die to Wafer Bonding)

随着近年来 AI 人工智能、高性能计算 (HPC) 对于芯片的设计规模要求的提高, 小芯片 / 芯粒 (Chiplet) 芯片封装技术因其可重用性且低成本高良率等优势而引起业界及研究者的广泛关注与布局开发。同时, 异质异构集成及先进封装技术也促使芯片到晶圆 (D2W) 键合技术的不断开发与优化。目前涉及异质异构集成的 D2W 键合方法主要分为两种 (图 9): 集成式芯片到晶圆键合 (Collective D2W, Co-D2W) 和直接放置式芯片到晶圆键合 (Direct Placement, DP-D2W)^[11,33-37]。Co-D2W 键合技术已广泛用于硅基光电集成的

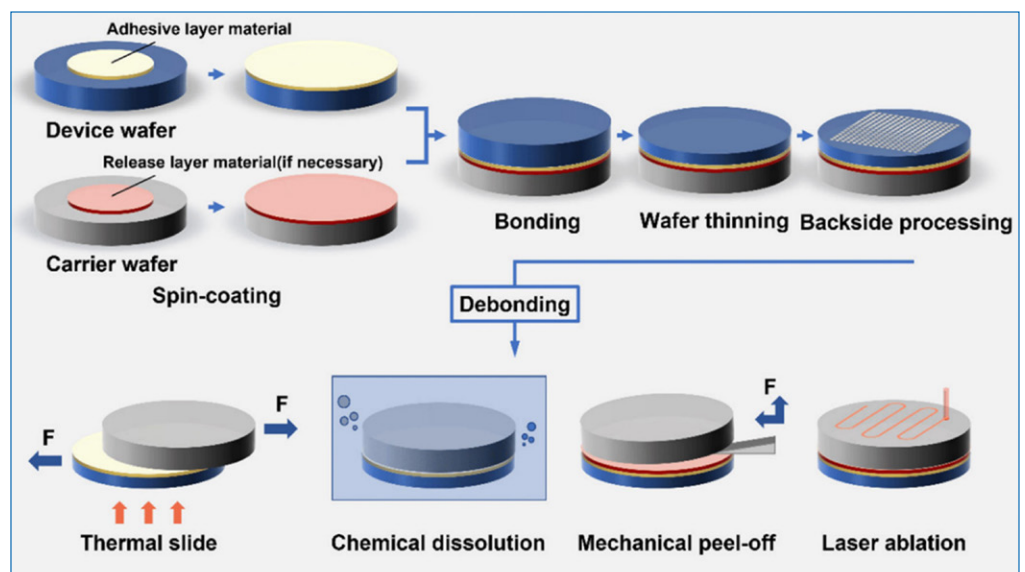
批量生产制造。其工艺包括切割分离芯片 (Die), 将单个 Die 放置在临时载体晶圆 (Carrier Wafer) 如玻璃或硅衬底晶圆上, 经表面活化及清洗处理后, 与目标晶圆 (Target Wafer) 进行晶圆级键合以实现芯片转移, 最后再去除 Carrier Wafer 衬底。另一种则为 DP-D2W 键合技术, 通过拾放式 (Pick & Place) 键合设备将 Die 逐个键合到 Target Wafer 衬底上。对于这两种技术, 表面活化和清洗工艺的优化至关重要, 如何

保持键合表面清洁并消除微小尺度的水分或气泡等以确保键合界面的重复性和可靠性, 是实现高产高质键合界面的关键。此外, 芯片尺寸、厚度、堆叠高度和金属触点密度等因素在 D2W 键合工艺中也需要考虑。

Part III. 键合技术典型应用

1. 超薄器件晶圆的制备

随着半导体元器件的不断小型化和集成化, 对于超薄晶圆 (厚度小于 100 μm) 的需求变得愈发显著。对于超薄器件晶圆尤其是化合物半导体材料晶圆, 由于其自身柔性和易脆性以及在前道加工过程中容易出现翘曲、起伏和封装精度低等问题, 导致其在后续工艺 (背面减薄、光刻、刻蚀、金属图案化等) 加工过程中容易受损, 且物理结构和稳定性发

图10: 临时键合/解键合技术工艺流程示意图^[38]。

生严重恶化。为了提高器件良率、封装精度和成本效益，随后研发人员提出了一种解决方法，即通过采用一个载体晶圆（通常用硅、玻璃或蓝宝石衬底）作为临时支撑系统，通过粘合剂与超薄器件晶圆暂时性地粘在一起，以便顺利进行后续加工。当后续工艺全部完成后，再将临时支撑的载体晶圆与超薄器件晶圆分离，进而最终得到加工完成的完好超薄器件晶圆。因此，临时键合/解键合（TBDB: Temporary Bonding & De-Bonding）工艺技术便应运而生了。随着先进封装技术与3D集成的飞速发展，如今此技术已经发展成为面向大尺寸超薄晶圆的拿持与后道工艺加工处理的重要解决方案^[4,38-41]。典型的TBDB工艺流程如图10所示。一般而言，临时键合胶可根据材料地物理形态而划分为临时键合蜡、复合胶带以及旋转涂敷式胶粘剂如临时键合胶包括热塑性树脂、热固性树脂及光刻胶等。临时键合技术原理即类似于胶黏剂键合主要包括加热固化及UV固化两类。目前常见的解键合技术包括四种，即化学浸泡解键合、热滑移解键合、机械解键合、紫外/红外激光解键合，表2对比总结了各类解键合技术的优缺点。考虑到临时键合/解键合技术在未来高密度异质集成中的可扩展性，临时键合材料必须兼容高温和耐化学等工艺条件。由于在大规模应用中受到易损坏、良率低、通量低等缺点的限制，传统的热滑移解键合和湿化学溶解解键合将不再适用。近年来，激光解键合技术因其具备能量输入效率高、器件损伤低以及操作灵活等优点，更容易满足低损耗、高效率、大规模制造的需求，因而被认为是更适用于大尺寸超薄晶圆以及特殊易脆材质晶圆如化合物半导体材料晶圆的极具广阔应用前景的技术^[40-41]。

表2: 常见解键合技术的优缺点对比。

技术	优点	缺点
化学浸泡解键合	成本低，利用化学溶剂溶解键合胶实现分离	效果较低，时间长(8~24 h)，多孔晶圆增加成本，不适合量产
热滑移解键合	设备成本低，用于小型较厚晶圆分离	需要高达200°C的温度，柔性材料难以承受，对大尺寸晶圆不适用
机械解键合	通过来具设计实现分离	插入刀片可能增加机械应力，易破碎对大尺寸晶圆有限适用
红外激光解键合	利用红外激光降解高分子树脂分离器件	高温可能损伤硅器件
紫外激光解键合	可实现室温、无应力、高可靠性的解键合，能处理50 μm以下薄晶圆	只适用于透明玻璃衬底

注入高剂量轻离子（如H⁺，He⁺），并运用晶圆键合技术与目的晶圆B结合，经过后续高温退火处理实现A晶圆上Si薄层的剥离转移以制造SOI晶圆。Smart Cut™技术的优势在于可调节顶部薄膜层和埋入氧化物层的厚度，控制均匀性、结合界面和厚度变化。同时，支撑衬底可在每次注入和层转移剥离后回收重复利用，从而降低制造成本。键合技术随后的快速发展与技术创新，也得益于Smart Cut™技术的推动。

通过结合晶圆直接键合技术与Smart Cut™技术，可克服不同晶格材料限制，因而使得许多单晶薄膜可转移到其他衬底上。此技术可适用于硅以外的多种新型材料和化合物半导体材料（如GaAs、InP、GaN、SiC、Ga₂O₃等），为多功能复合衬底制备和多功能材料间的异质集成提供新可能。近年来，基于晶圆直接键合技术和Smart Cut™技术，许多大尺寸复合衬底（如SOI、GeOI、GaAsOI、LNOI、LTOI、

2. 多功能复合衬底的制备

随着传统硅器件尺寸接近极限，将晶体管进一步缩小至纳米尺度变得愈发困难。为了应对信号串扰和元素扩散扩散等问题，SOI绝缘体上晶圆作为传统硅衬底的替代方案受到重点关注。智能剥离（Smart Cut™）技术，又被称为衬底行业的“纳米刀”，最早由SOITEC与CEA-LETI联合开发，并结合晶圆键合工艺进而开发了如今广泛应用于业界的SOI晶圆制备技术^[43]。典型的Smart Cut™工艺如图11所示，该工艺过程为首先通过在经氧化处理后的A晶圆Si的表面

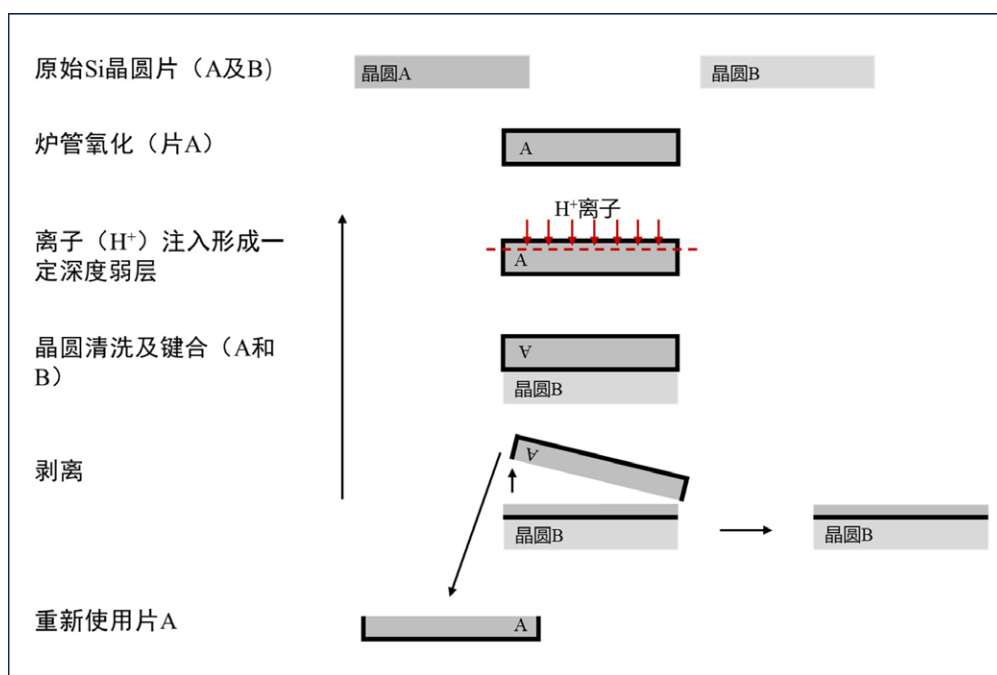


图11: 基于键合及智能剥离技术制备SOI晶圆衬底的工艺流程示意图^[43]。

Smart SiC™ 等) 已被成功制备开发出来^[43-48]。直接键合工艺不仅可制备高质量的半导体器件和光学元件, 还可实现宽禁带化合物半导体单晶薄膜的批量制造与转移。同时, 基于键合技术实现 Si 与 III-V 化合物半导体材料及器件间的异质集成也引发了业界相关研究人员的兴趣^[11,36]。氮化镓 (GaN) 因其高带宽以及高功率和高频率下的出色表现而被视为适用于无线通信和光通信的理想材料。然而, 由于 GaN 和 Si 之间晶格失配, 将这两种材料整合成一个系统具有挑战性, 因而键合工艺作为一种极具前景的新的技术途径而备受关注。例如, Intel 报道通过利用晶圆键合及层转移工艺, 成功地实现了 12 英寸晶圆级的 Si PMOS 晶体管与 GaN NMOS 晶体管的堆叠单片异质集成^[49]。此外, 近几年有相关研究者们尝试通过直接键合和 Smart Cut™ 技术实现层转移将功率及射频器件 (如 GaN HEMT, Ga₂O₃ MOSFET 等) 与具有良好导热性能的热沉衬底材料 (如 SiC, diamond 等) 结合, 可有效地改善散热问题, 从而提高了器件性能^[50-52]。这些具有创新性的键合异质集成方案为 MEMS、光电集成和新兴领域如传感器、能量采集、柔性电子和光子学提供了新思路与新机遇。

3. 三维集成与封装

随着半导体芯片制程的不断缩小, 连接集成电路至芯片或电路板的封装技术变得至关重要。近年来, 键合工艺技术, 特别是混合键合技术, 已经成功地应用于存储器堆叠、计算与通信系统中的存储器/微处理器堆叠, 2.5D/3D 集成以及先进封装等众多领域中^[8,12,16,20,28-32,34,35,53,54]。混合键合工艺为三维集成电路 More Moore 的发展开辟了一条新途径。基于混合键合的 3D 集成封装技术, 通过 TSV 互连将芯片垂直堆叠, 可以实现微米级以下间距的高密度集成, 缩短了传输路径, 提高了整体芯片的速度和性能, 已广泛应用于高带宽存储器 (HBM) 与 CPU、GPU、及 FPGA 等处理器的芯片整合。最先采用混合键合技术应用于产品生产线中是 CMOS 图像传感器 (CIS), 随后慢慢延伸到 3D NAND 闪存以及 Micro-LED 等产品的封装集成中。目前业界代表性公司如 Global Foundry、Intel、Xperi、TSMC 和 UMC、研究机构如 IMEC 和 CEA-LETI, 以及相关键合设备厂商如 EV Group、SUSS、Besi、Nikon 等众多研发团队都在致力于混合键合先进技术的开发与应用。另一方面, 随着高良率、低成本及高设计灵活性的 Chiplet 技术的发展, D2W 混合键合技术也日益受到业界广泛关注, 成为研究热点。这种技术提升了芯片组之间的数据吞吐量, 增加了在给定空间内安装的芯片组数量, 有助于将技术整合到更小型设备中, 提高性能和能源效率, 特别适用于单个 SoC 的芯片组系统。例如, Intel 及 CEA-LETI 联合开发了一套混合直接键合及自组装 (Self-Assembly) 制

造流程, 大幅提高吞吐量和放置精度从而促进了 D2W 键合广泛应用^[55]。然而, 混合键合工艺中仍存在一些技术挑战, 例如亚微米级以下高对准精度的要求, 以及洁净度和缺陷管控等问题, 仍有待后续更多的测试与持续的工艺验证, 以实现最终优化与提高。

4. 光电集成

随着全球数据需求的指数级增长, 光子集成芯片以光子为信息传输媒介, 因具有高带宽、高速率、高灵敏度等优点, 已广泛应用于光通信、光互联、光学传感等领域。由于 CMOS 工艺制造的兼容性, 电子学和光子学可以集成在同一芯片中。目前, 通过晶圆键合技术实现光子集成芯片的制备受到了业界及研究人员们的广泛关注^[11,31,34,36]。众所周知, 硅光子平台由于硅材料自身间接带隙的固有性质, 硅上激光源的集成是硅基光子学的关键挑战。基于晶圆级键合及芯片到晶圆键合技术实现异质异构集成, 被认为是更有利的光子集成芯片的制备方法。例如, 利用键合技术可以将 III-V 族光学增益材料转移到图案化 SOI 晶圆上, 然后使用 CMOS 兼容的工艺制造来处理大规模晶圆。此方法允许从 III-V 芯片到硅光子电路的低损耗瞬逝光学耦合, 可以减少封装成本, 同时还具有将不同外延材料键合到单个硅衬底上的优点, 并能够实现密集集成。此外, LiNbO₃ 由于其优异的电光性质如优异的机电耦合系数、声光效应和非线性光学效应等, 将 LiNbO₃ 高速电光调制器芯片键合到 Si 衬底上被认为解决 Si 本身无法提供高速光学调制所需的电光效应的有效方案之一。近日, 有研究报道基于晶圆级直接键合技术实现了一种高产低损耗的异构集成 LiNbO₃-Si₃N₄ 光子集成电路混合平台, 即将 LNOI 晶圆直接键合到图案化和平坦化的超低损耗 Si₃N₄ 晶圆上, 首次在晶圆级上实现了兼容成熟的低损耗 Si₃N₄ 技术与 LiNbO₃ 的二阶非线性所有有益特性的光子平台的异构集成^[56]。同时, LiNbO₃ 因其自身材料的丰富特性和在大晶圆尺寸中的 LNOI 适用性与兼容性, 通过晶圆键合技术实现 LiNbO₃ 晶圆级集成将成为 LNOI PIC 异质异构集成的一种更具吸引力且成本效益的方法^[9,46,57]。总之, 基于键合技术实现在通用 Si 平台上多种材料如 SiN、聚合物、III-V 族化合物半导体和新材料器件与 Si CMOS 的异构集成在新一代电气和光学系统中展现了巨大的前景, 适用于新颖的应用例如具有集成控制电路 HEMT 或 LED。然而, 根据材料不同, 制备工艺也有很大的区别, 因此要确保引入的工艺兼容性。同时, 为了最大限度地节约制造成本, 仍然需要持续投入大量的研究以开发高效、可靠和高质量的大面积晶圆键合技术, 以促进其在实际大规模标准 CMOS 代工厂中的应用及市场商业化的推广。

Part IV. 九峰山实验室键合工艺平台介绍

湖北九峰山实验室 (JFS Laboratory) 成立于 2021 年, 专注于化合物半导体异质集成技术, 已建设完成先进的键合工艺平台。如图 12 所示, 九峰山实验室键合工艺平台拥有全球顶尖的多种类型键合设备, 如全自动熔融键合设备、超高真空室温键合设备、高压键合设备、芯片-晶圆键合设备、临时键合/解键合及清洗设备等, 可提供支持多种键合工艺能力与开发及代工服务, 包括永久/临时键合、亲水/疏水键合、混合/熔融键合, 阳极键合、金属热压键合、共晶键合及瞬态液相键合等, 同时满足可兼容 4/6/8 英寸的硅基及化合物半导体材料衬底的晶圆级晶圆到晶圆键合和芯片到晶圆键合, 以满足异质异构集成的需求(键合实例如图 13 所示)。同时, 配合先进的 inline 键合量测设备和全面的前后道工艺, 以及强大的检测分析平台能力, 九峰山实验室可为合作伙伴提供多材料、多结构、多功能、多体系、多元化的异质异构集成的解决方案, 支撑硅基光电融合、MEMS 制造与真空封装、功率及无线器件制造、3D 集成与先进封装、Chiplet、生物芯片、AI 互联网等相关领域的创新研究与开发工作。

九峰山实验室聚集了全球顶尖的研发专家及工程师团队, 专注解决产业共性关键问题。针对键合工艺中高温引发的异质材料间热应力和晶圆形变问题, 我们成功研发出多种材料间的室温直接键合工艺极大地降低了异质材料间的热应力和晶圆形变, 使得大尺寸晶圆间的高强度键合成为可能。我们的技术能够实现极薄的键合界面, 仅有几个原子层厚度, 具有良好的界面导热和导电特性。为实现低成本的硅基光电子芯片融合, 九峰山实验室键合技术团队通过高对准精度芯片-晶圆键合技术, 成功实现了 8 寸 Si 晶圆上 InP 芯片的高良率键合, 成为国内首家通过芯片-晶圆键合技术实现硅基 III-V 芯片异质集成的研发机构。此外, 为满足微纳器件制

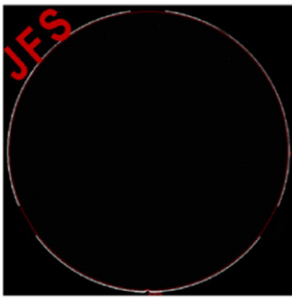
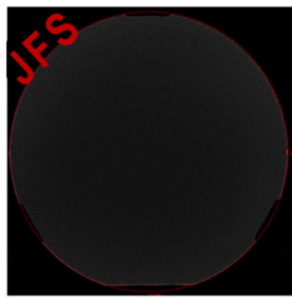
造及 MEMS 晶圆级封装应用需求, 针对化合物半导体晶圆易碎问题, JFS 实验室键合工艺研发团队通过持续工艺创新, 开发出一套高效可靠的键合和解键合工艺方案, 成功地降低了大尺寸化合物半导体薄片晶圆的碎片率, 极大地提高了后续工艺良率, 已经在实际产品如 Si、InP、GaN、SiC 基器件晶圆的工艺流片中得到了初步验证。

随着芯片平面微缩工艺已接近极限, 进一步提高芯片密度、增强芯片性能必然需向三维方向、面向多种材料进行集成, 研究者们尝试通过异质集成及融合的方法来延续摩尔定律的发展, 通过三维空间上堆叠集成多类型器件如存储器器件, 逻辑器件, 功率器件等其他功能性器件来提高器件的性能及功能。键合技术在这一趋势中变得越来越重要。随着高密度集成晶圆的堆叠以及纳米级晶圆键合的需求也正在不断增加, 这也对晶圆键合工艺的高对准精度、高键合强度、低应力、高均匀性、高良率和低成本等多方面提出了更高的要求及苛刻的挑战。此外, 由于兼容性问题 and 特殊工艺技术的需要, 具有截然不同的物性或化学成分的异质材料间的键合工艺过程可能会变得很复杂。在实际键合工艺过程中, 为确保最终良好的键合界面质量, 工艺开发人员往往需要综合考虑及精确监测调控诸多因素, 包括晶圆表面洁净度、表面平坦化和活化处理、化学吸附状态、表面粗糙度、对准精度、以及相关键合工艺参数如真空环境、温度、压力和时间。同时, 除了键合机械强度的表征以外, 针对异质材料及结构的键合界面的热学及电学特性的表征测试与深入分析也尤为重要, 这有利于促进对异质材料键合的深入理解与实际产品应用。目前, IC 制造厂商们也致力于生产更大尺寸晶圆, 这对晶圆键合设备供应商也提出了更高的要求及挑战。对于技术, 从实验室规模的键合工艺过渡到大批量大尺寸规模的键合工艺制造仍然极具挑战性, 亟待相关技术研发人员及设

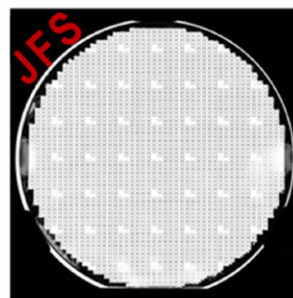


图12: 九峰山实验室键合异质集成平台能力。

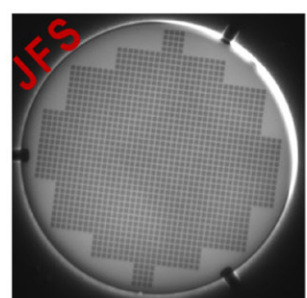
九峰山实验室4/6/8英寸晶圆级多种键合工艺技术实例

Si-SiO₂ 熔融键合

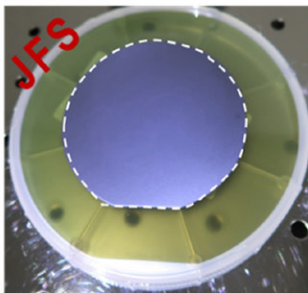
Si-Glass 阳极键合



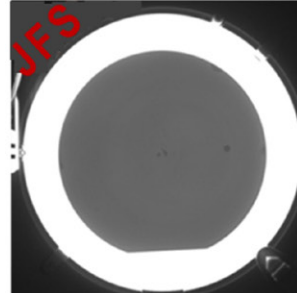
Au-Si 共晶键合



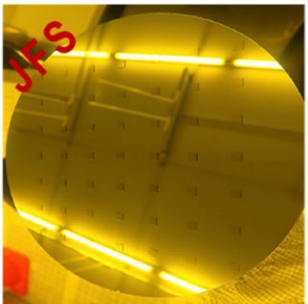
器件晶圆低温键合



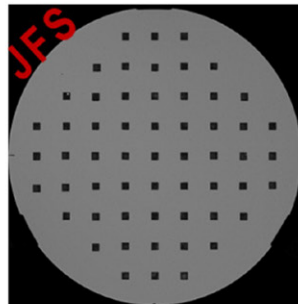
高键合良率>98%

LiNbO₃ on SiLiNbO₃ on SiC

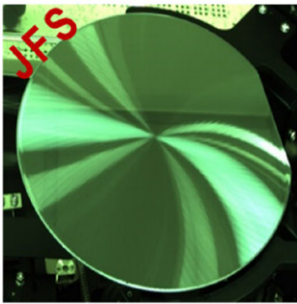
InP on SiC



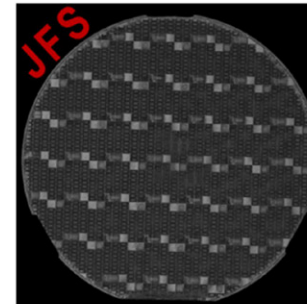
高良率芯片到晶圆键合



芯片到晶圆键合SAM图



临时键合及减薄后晶圆



解键合后器件晶圆SAM图

备制造商持续探索开发出可靠且高效的键合量产工艺。材料、工艺和应用的研究与开发将在未来几年持续推动晶圆键合技术的不断创新。应对上述这些挑战通常需要结合材料工程、工艺优化、先进设备和创新技术，以推动晶圆键合技术在集成电路半导体器件、功率器件、光学器件、MEMS 和先进

封装及 3D 异质异构集成等领域的各种应用中取得突破性进展与成功。未来，九峰山实验室将继续围绕异质集成、先进封装、先进复合材料等技术领域，持续进行技术创新，突破技术瓶颈，不断丰富和增强我们的工艺能力，为全球合作伙伴提供更优质的服务。CS

扩展阅读

- [1] G. Wallis et al., Journal of Applied Physics, vol. 40, no. 10. pp. 3946–3949, 1969.
- [2] J. B. Lasky, Applied Physics Letters, vol. 48, no. 1. pp. 78–80, 1986.
- [3] M. Shimbo et al., Journal of Applied Physics, vol. 60, no. 8. pp. 2987–2989, 1986.
- [4] M. Alexe, et al., Springer Science & Business Media, 2013.
- [5] P. Ramm et al., John Wiley & Sons, 2011.
- [6] R. Ghodssi et al., Springer Science & Business Media, 2011.

- > [7] R. Soref et al., IEEE Journal of Selected Topics in Quantum Electronics., vol. 29, no. 2: Optical Computing, pp. 1–8, 2023.
- > [8] Y. Kagawa et al., 2016 IEEE International Electron Devices Meeting (IEDM), Dec. 2016.
- > [9] J. Xu et al., International Journal of Optomechatronics, vol. 14, no. 1, pp. 94–118, 2020.
- > [10] A. Hilton et al., Sensors, vol. 16, no. 11, p. 1819, 2016.
- > [11] D. Caimi et al., IEEE Trans. Electron Devices, vol. 68, no. 7, pp. 3149–3156, 2021.
- > [12] S. Lee et al., IEEE Trans. Electron Devices, vol. 70, no. 11, pp. 5638–5644, 2023.
- > [13] T. Suzuki et al., 2015 IEEE 65th Electronic Components and Technology Conference (ECTC). IEEE, 2015.
- > [14] Y. Ouyang et al., 2021 IEEE International Reliability Physics Symposium (IRPS), 2021.
- > [15] G. X. Shi et al., Journal of Physics: Conference Serie, vol. 986. No. 1. IOP Publishing, 2018.
- > [16] S. H. Christiansen et al., Proc. IEEE, vol. 94, no. 12, pp. 2060–2106, 2006.
- > [17] Z. Ren et al., Micromachines, vol. 12, no. 8, p. 946, 2021.
- > [18] U. Gösele et al., Annu. Rev. Mater. Sci., vol. 28, no. 1, pp. 215–241, 1998.
- > [19] M. Gabriel et al., Microsyst Technol, vol. 12, no. 5, pp. 397–400, 2006.
- > [20] T. Plach et al., Journal of Applied Physics, vol. 1113 no. 9, pp. 094905, 2013.
- > [21] V. Dragoi et al., Microsyst Technol, vol. 14, no. 4–5, pp. 509–515, 2007.
- > [22] T. et al., Acta Metallurgica et Materialia. 1992.
- > [23] T. Suga et al., Jpn. J. Appl. Phys., vol. 54, no. 3, p. 030214, 2015.
- > [24] F. Mu et al., 2015 International Conference on Electronic Packaging and iMAPS All Asia Conference (ICEP-IAAC), 2015.
- > [25] T. Shimatsu et al., Materia Japan, vol. 49, no. 11. pp. 521–527, 2010.
- > [26] T. Shimatsu, Asia Electronics Industry, no. 9. p. 24, 2019.
- > [27] P. Enquist et al., 2009 IEEE International Conference on 3D System Integration, 2009.
- > [28] S. Lhostis et al., 2016 IEEE 66th Electronic Components and Technology Conference (ECTC), 2016.
- > [29] K. Hozawa et al., 2013 8th International Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT), 2013.
- > [30] S. Moreau et al., ECS Journal of Solid State Science and Technology, vol. 11, no. 2. p. 024001 (7pp), 2022.
- > [31] C. T. Ko, Games & Economic Behavior. 2010.
- > [32] D. B. L. Yolanda, 2022 China Semiconductor Technology International Conference (CSTIC), 2022.
- > [33] <https://www.evgroup.com/technologies/die-to-wafer-fusion-and-hybrid-bonding/>
- > [34] J. H. Lau, Journal of Microelectronics and Electronic Packaging, vol. 18, no. 4, pp. 145–160, 2021.
- > [35] G. Gao et al., 2020 IEEE 70th Electronic Components and Technology Conference (ECTC), 2020.
- > [36] Y. Hu et al., OEA, vol. 4, no. 9, pp. 200094–200094, 2021.
- > [37] D. Chen et al., Research, vol. 6, 2023.
- > [38] Z. Mo et al., Electronics, vol. 12, no. 7, p. 1666, 2023.
- > [39] Q. Ren et al., 2020 IEEE 22nd Electronics Packaging Technology Conference (EPTC), 2020.
- > [40] H. Mizuno et al., 2018 International Conference on Electronics Packaging and iMAPS All Asia Conference (ICEP-IAAC), 2018.
- > [41] <https://www.evgroup.com/technologies/nanocleave/>
- > [42] A. J. Auberton-Herve et al., IEICE Transactions on Electronics, vol. 80, no.3. pp. 358-363, 1997.
- > [43] M. Christophe, Solid-State Electronics, vol. 48, no.6. pp. 1055-1063, 2004.
- > [44] Y. Moriyama et al., Solid State Electronics, vol. 83, no. may. pp. 42–45, 2013.
- > [45] G. Gawlik et al., Vacuum, vol. 70, no. 2–3. pp. 103–107, 2003.
- > [46] H. Hu et al., Proceedings of SPIE - The International Society for Optical Engineering, vol. 8431. p. 30, 2012.
- > [47] Y. Yan et al., ACS Applied Electronic Materials, vol. 1, no. 8. 2019.
- > [48] H. Biard et al., Solid State Phenomena, vol. 344. pp. 47–52, 2023.
- > [49] H. W. Then et al., 2019 IEEE International Electron Devices Meeting (IEDM), pp. 17.3. 1-17.3. 4, 2019.
- > [50] F. Mu et al., 2019 International Conference on Electronics Packaging (ICEP), 2019.
- > [51] J. Liang et al., Adv. Mater., vol. 33, no. 43, 2021.
- > [52] W. Xu et al., ACS Applied Electronic Materials, vol. 4, no. 1. pp. 494–502, 2022.
- > [53] X. Luo et al., IEEE J. Select. Topics Quantum Electron., vol. 22, no. 6, pp. 443–454, 2016.
- > [54] A. Bond et al., 2022 IEEE 72nd Electronic Components and Technology Conference (ECTC), 2022.
- > [55] E. Bourjot et al., 2023 IEEE 73rd Electronic Components and Technology Conference (ECTC), 2023.
- > [56] M. Churaev et al., Nat Commun, vol. 14, no. 1, 2023.
- > [57] H. Takagi et al., Appl. Phys. Lett., vol. 74, no. 16, pp. 2387–2389, 1999.

微射流激光技术基于大尺寸 金刚石材料分片的研究

摘要：

金刚石在高频高压条件下具有广泛且不可替代的应用优势和前景，被认为是制备下一代高功率、高频、高温及低功率损耗电子器件最有希望的材料，被业界誉为“终极半导体”。到目前为止，这些“超级器件”商业化的最大挑战是缺乏工业尺寸的金刚石晶片，一旦形成大尺寸金刚石晶片，那么如何高质量的将其形成满足半导体需求的衬底，将成为行业面临的又一挑战。本研究使用微射流激光技术对单晶金刚石晶体进行切片加工，并采用亚纳米级白光干测仪进行材料形貌分析，当耦合功率达到 20W 能量时，金刚石表面材料达到等离子态，在水层约束下，等离子体诱导反冲压力，提升材料等离子化效率，进一步加快材料去除速率。通过引入金刚石烧蚀阈值分析、材料表征测试，包括通过 XRD、PL、二次离子质谱仪 (SIMS)、X 射线能谱仪 (EDS) 等仪器进行各种测试，开展缺陷测试分析，对缺陷的分布、界面处的界面态密度在金刚石禁带中的能级位置和浓度、表面形貌、粗糙度、缺陷类型和表现形式等微观特征进行定量研究，揭示微射流激光技术在单晶金刚石切片加工过程中的材料去除机理。研究表明：在高功率微射流激光耦合光束作用下，不同水射流直径对金刚石材料表面切割粗糙度存在一定影响，不同水压及耦合单点能量密度均会影响金刚石材料加工从而造成差异化切割效果。

关键词：微射流激光技术；金刚石；切片；粗糙度；热影响

作者：杨森，张聪，龚德珍，郭辉，李一帆，梁建华，周磊蕩，赖景航；西安晟光硅研半导体科技有限公司

引言

金刚石作为超宽禁带半导体材料的一员（禁带宽度 5.5eV），具有一系列优异的物理和化学性质，如高载流子迁移率、高热导率、高击穿电场、高载流子饱和速率和低介电常数等，这使其在高科技尖端领域，特别是电子技术中得到广泛关注，被公众认为是最具前景的新型半导体材料。基于这些优势，使用超宽禁带半导体材料可以使新一代电子器件变得更小、更快、更可靠且更高效，还有助于减少电子元件的质量、体积以及生命周期成本，同时允许设备在更高的温度、电压和频率下工作，也使得电子器件使用更少的能量却可以实现更高的性能。在性能需求的牵引下，金刚石材料逐渐进入了研究人员的视野。金刚石

具有极高的临界击穿电场（超过 10 MV/cm）、超高的热导率（超过 20 W/cm·K），特别是其具有超高的本征空穴载流子迁移率（超过 3500 cm²/V·s），已经超过了 Si、GaAs、GaN 和 SiC 等大多数半导体材料，未来金刚石将成为高集成度功率和射频器件的优秀材料。

尽管金刚石在半导体材料应用方面具有诸多优势，但仍存在以下问题亟需解决：

（一）缺乏大尺寸金刚石衬底，阻碍了大尺寸金刚石的生长。目前行业内通过马赛克法将小尺寸金刚石衬底拼接，可以制备出大尺寸金刚石单晶，但材料的拼接处存在缺陷，影响金刚石膜的质量，同时采用拼接法制备的大面积金刚石衬底并不能增加后续器件工艺中单位面积的器件数

量，阻碍了金刚石的应用；

(二) 亟待更深入的研究金刚石 p 型和 n 型掺杂。金刚石 n 型掺杂一直是困扰科学家们的难题，除了采用改变磷源和降低载流子浓度的方法外，还可以尝试寻找比磷更合适的掺杂元素，以实现金刚石更为优异的 n 型导电性能；

(三) 实验所产出金刚石器件的性能还未达到预期效果。这主要存在两个问题：其一是难以控制外延膜的掺杂。为了控制金刚石功率器件的电场和串联电阻，需要精确控制选择性区域的掺杂浓度，这目前还难以做到；其二是器件制备工艺存在一定的困难。通过材料制备、器件设计和制造以及应用研究等方面的紧密结合，可以将培育金刚石器件的研究推上一个新的台阶。

传统金刚石分片切割技术：

目前，切割金刚石材料的主要方式有水刀切割、电火花切割和激光切割。采用传统的机械和化学法很难对其进行加工，目前较为成熟的加工方式是激光切割。激光切割的过程为脉冲激光与金刚石表面的二级作用，光子以双光子或多光子的方式与金刚石晶格发生作用，首先高功率激光束使材料聚焦处表面发生石墨化，之后石墨化的表面在下一束脉冲激光的作用下升华。从原理上可以看出，激光切割相较于其他加工方式具有其独特的优势，即无接触式加工、效率高、切缝小、热影响区域小等优点。虽然激光切割金刚石有很多优点，但由于金刚石对紫外光比红外光的吸收比更高，采用波长更短的准分子激光用于金刚石切割更为高效。然而目前还难以研制出具有适合脉冲能量、光束质量和脉冲重复率的准分子激光器，并且准分子激光器价格昂贵，不易商品化。对于金刚石切割来说，金刚石吸收光的关键是在高温时金刚石表面遭受到的石墨化效应，石墨化是金刚石有效烧蚀的过程。形成 500 μm 所需材料，其激光损耗厚度约为 1200 μm ，对材料本身的损耗相对较大，结合晶体材料本身超长的生长周期及有限的成锭尺寸，传统激光切割金刚石的局限性让使用者颇为头疼。鉴于激光束高能量密度以及易于导向、聚焦等特点，激光加工成为实现金刚石微孔结构的最佳手段，但与所有脆性材料一样，金刚石在激光加工过程中容易开裂，易形成明显的加工缺陷。

本文引入新型技术——微射流激光，将通过微射流激光对金刚石进行模型分析稳态观察，寻

找最优参数完成切片，分析微射流激光技术对金刚石切片全过程形态的影响，并探讨切面特征和内部缺陷特征及其形成机制。

实验

理论方面使用 TDDFT (含时密度泛函理论) 方法模拟了光照情况 300 K 下包含 64 个原子的 $2 \times 2 \times 2$ 大小超胞中非绝热近似下电子的激发导致的原子位移，在此过程中通过修改 C 原子对应的 SG15 赝势 (采用文献 Phys.Rev. B.100,165203(2019) 中的方法) 使金刚石的带隙接近实验值，同时使用 PBE 方法可加速驰豫速度。发现当光垂直于晶胞 c 轴、横向发现上电场超过 0.004 eV/Bohr 时，原始超胞对应格点上的碳原子开始偏离其平衡位置。当电场进一步增加到 0.01 eV/Bohr 时，发生了 C 团簇的生成，对应金刚石结构发生了破坏，电子激发到反键态导致原子之间相对位置变化导致化合键长变化。图 1- 图 3 展示系不同光强对应电场下的结构：

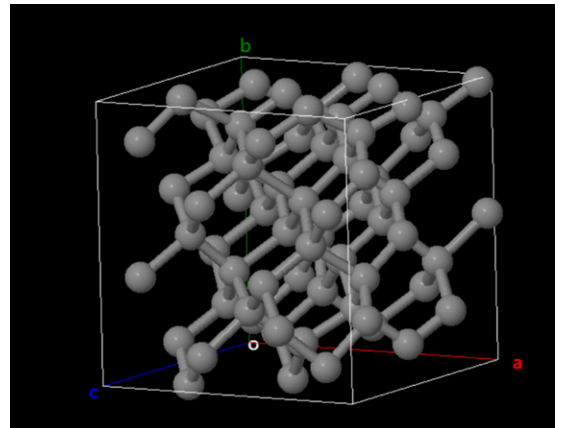


图1：电子激发到反键态导致原子之间未发生位置相对变化。

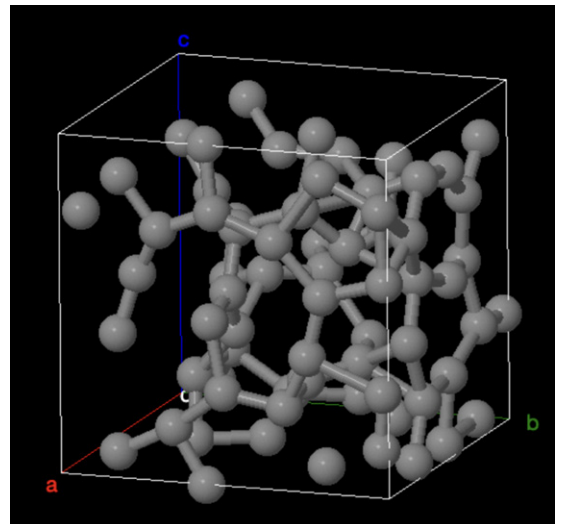


图2：电子激发到反键态导致原子之间相对位置/键长变化。

这个是横向电场（垂直于晶胞 c 轴）增加到 0.01eV/Bohr 时，包含 64 个原子的 $2 \times 2 \times 2$ 金刚石 (Fd-3m) 超胞经过 5000 步 TDDFT（含时密度泛函理论）弛豫原子后，所得到的最终构型，所用赝势为 SG15，GGA-PBE 泛函。与此同时，当所加电场减小到约为上一个的一半时 (0.005eV/Bohr)，原子移动不显著。实验证明微射流激光作用在晶圆表面过程中，即使表面温度远低于金刚石的熔点，也可以通过非热效应切削。亦表明可通过调控所加脉冲光场的强度来调控原子级晶格中的电场，来达到非绝热近似下电子跃迁导致的晶格中键长的改变以及键的软化、断裂，以及由此而来的相对完美晶格中原子位置的变化引起的结构变化。

加工过程采用的金刚石晶体是由合作高校实验室自主生长的金刚石晶体，样品尺寸 $20\text{mm} \times 20\text{mm} \times 2.317\text{mm}$ (长 × 宽 × 厚)，材料原始厚度 2.317mm。

实验预期，将晶体切割成 $500 \mu\text{m} \pm 70 \mu\text{m}$ 的衬底片，在保证材料表面粗糙度尽可能低及材料不隐裂 / 断裂的前提下，尽可能多的出片。实验采用的激光器波长为 532nm，Nd:YAG 型激光器 (如图 3 所示)。其重复频率为 1 ~ 500Hz，激光输出功率为 50 ~ 100W，激光脉冲最大宽度为 500ns，最大单脉冲能量 $>20\text{mJ}@6\text{kHz}$ ，光斑大小 $2.3 \pm 0.3\text{mm}$ 。将金刚石放置于微射流激光设备工作台上 (设备技术原理图如图 4 所示)，定制晶体装夹装置 (如图 5 所示)，通过控制系统对金刚石待加工位置进行确定，通过已设定的程序对金刚石进行切片加工。加工过程由 CNC 数控系统控制，同轴 CCD 视觉系统进行同步监控。加工过程中，持续通水对夹具边缘进行持续降温，避免晶体胶脱落，使用固定位置模式进行扫描，对金刚石表面进行行程 25mm 持续往复切割运动。设备选取的 YAG 激光器主要考虑三个激光加工参数，包括平均激光功率、激光频率、激光脉宽；同时进行光水耦合重点考量指标参数包括：耦合光斑直径、水柱压强、光水耦合效率、控制进给速度、保护气体。由于光水耦合功率对金刚石分片的影响是最为直接的，因此本研究主要通过调节光水耦合功率变化，研究微射流激光功率对金刚石分片的影响，讨论微射流激光与金刚石相互作用的反应机制，深入研究金刚石晶体材料的去除机理。



图3：YAG激光器。

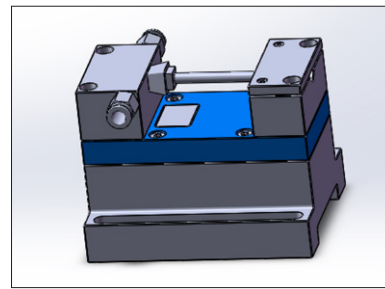


图5：定制晶体装夹装置。

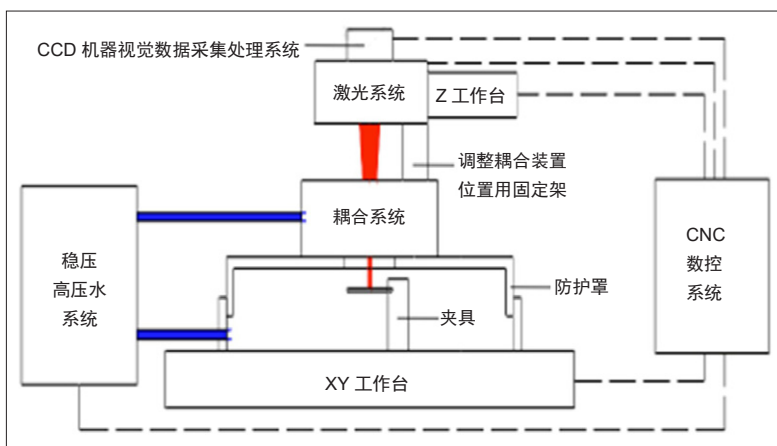


图4：微射流激光设备技术原理图。

结果及讨论

实验加工结果：

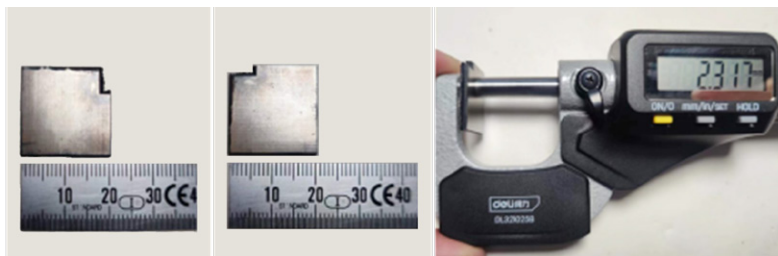


图6：待分片金刚石晶体原貌。

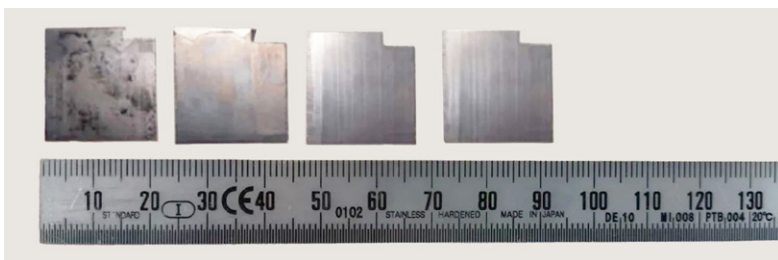


图7：金刚石晶体分片后形貌。

如图所示，该材料为客户提供的原始金刚石样品，样品尺寸 $20\text{mm} \times 20\text{mm} \times 2.317\text{mm}$ (长 × 宽 × 厚)，金刚石缺一角，四周边缘存在多晶且有多条向内部延伸的微裂纹，微裂纹长度基本集中在 2-5mm。沿金刚石边缘纵向切片，切割深度 20mm，切割单片厚度 0.5-0.6mm，尽量保证一次性切割成片，切割面满足粗糙度检测需求。

共计三刀形成4片，单片切割时长3h左右，图7为切片的切割效果。一次性实现20mm×20mm大尺寸的金刚石切割，切片过程中未产生新的裂纹，也未使原始裂纹发生延展。材料原始厚度2.317mm，共计成片四片，成片结果厚度单片为0.56mm，整个切片过程中，共计损耗材料77 μm，晶体切割面粗糙度检测 Ra=0.336 μm。

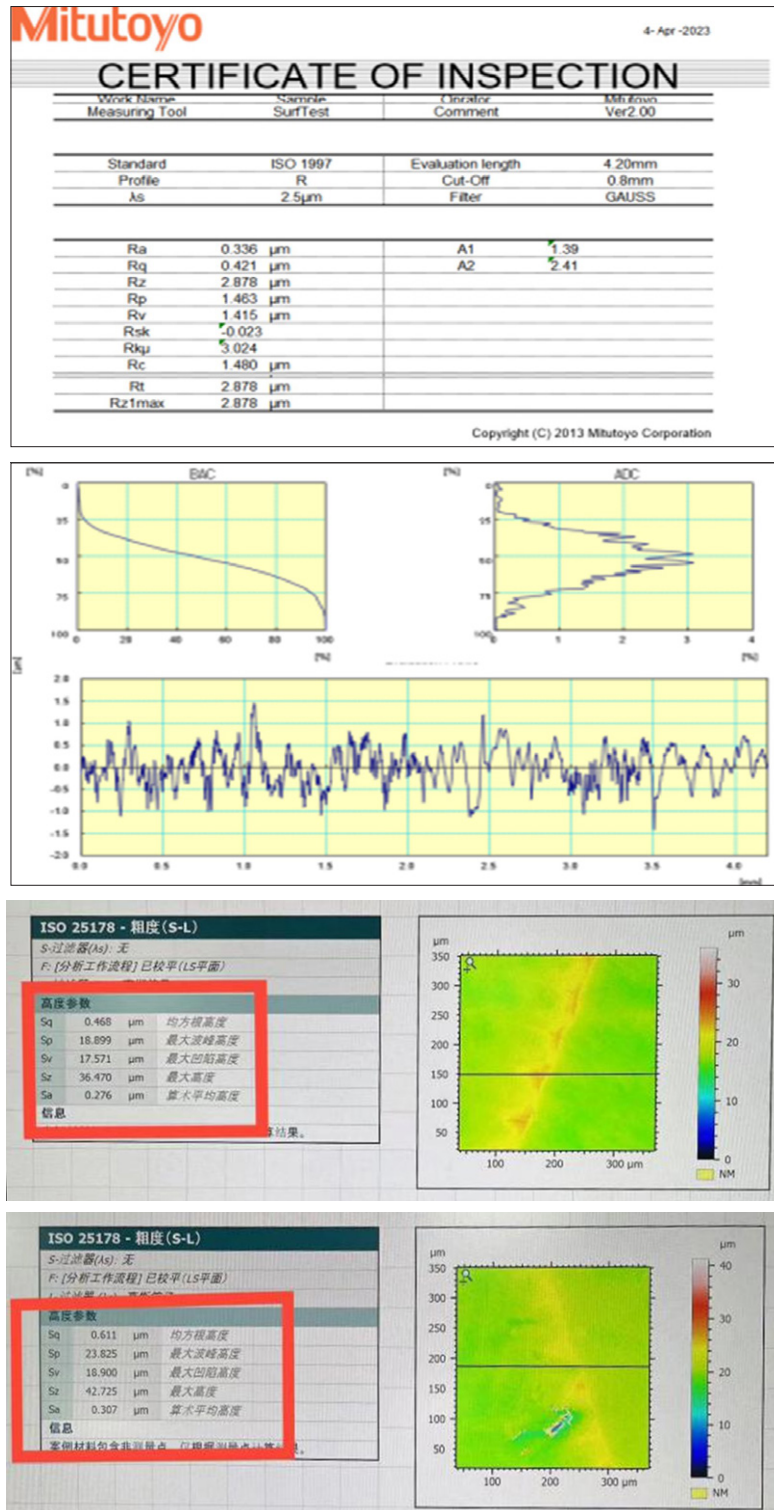


图8：晶体切割面粗糙度检测Ra=0.336 μm。

1. 微射流激光功率参数对材料去除的影响

针对材料去除问题，采取研究测试方案如下：

工件材料在高能脉冲激光作用下产生等离子体并被去除，过程中会导致工件内部产生非均匀分布温度场，温度过高会导致材料热损伤，而微射流引起的强制对流换热过程可有效降低工件材料的瞬时温升，使得材料去除的同时不会由于温度过高导致材料热损伤。因此，合理的激光及微射流参数设计是实现材料高效低损伤去除的关键。

实际加工中，受工件形状和切削路径的影响，可能出现微射流激光入射方向与工件不垂直的状态，而不同入射角下材料吸收率不同，同时光斑形状变为椭圆形，导致微射流激光功率密度分布发生改变。同时，加工过程中可能存在微射流激光与工件相对位置时变的状态，从而引起激光工作距离、入射角等参数变化，进而导致热影响区分布变化，如图9所示：

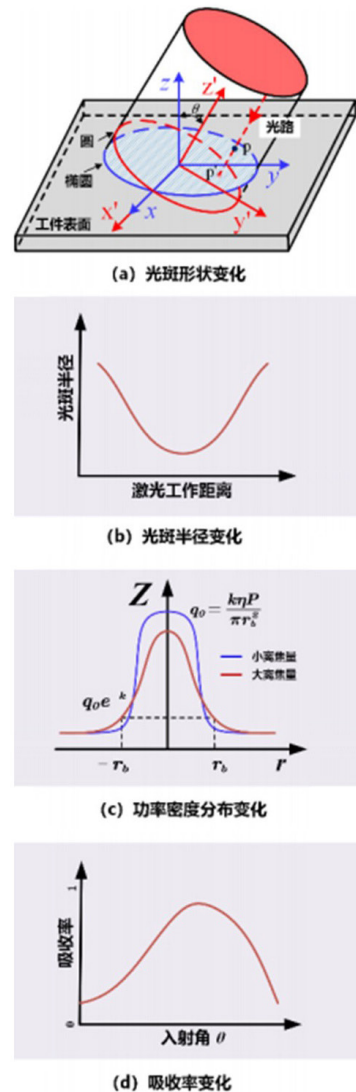


图9：加工中激光的时变及参变特征。

为实现对微射流激光热影响区演化的精确控制，须辨识实际工况下的激光参数。针对激光功率密度分布及光斑半径，可利用光束质量分析仪进行测试，获取激光不同工作距离下的功率密度分布与光斑半径，进而修正激光热源模型。一般而言，激光功率密度为高斯分布，研究过程中修正为实际功率分布相符的超高斯分布形式，表达式如下：

$$I(r) = \frac{N_s Q}{2^{(1-\frac{2}{N_s})} \pi r_p^2 P(2, \frac{2}{N_s}) \Gamma(\frac{2}{N_s})} \exp\left[-2\left(\frac{r}{r_p}\right)^{N_s}\right] \quad (1)$$

$$r_p = \sqrt{r_b^2 + \frac{1}{4} \Delta Z^2 \theta_L^2} \quad (2)$$

式中： N_s 为超高斯光束阶次，主要受激光束质量影响； Q 为激光功率； r_p 为激光半径； r 为距激光中心距离； r_b 为最小光斑半径； ΔZ 为激光离焦量； θ_L 为激光远场发散角； $P(2, 2/N_s)$ 为不完全伽马函数； $\Gamma(2/N_s)$ 为伽马函数。

受人射角 θ 影响，激光投影至工件表面的光斑为椭圆形，半长轴为 $r_b/\cos(\theta)$ ，半短轴

为 r_b ，故工件上一点距光斑中心 (x_b, y_b) 距离， $r = \sqrt{(x - x_b)^2 + (y \cos(\theta) - y_b)^2}$ 将其代入式(1)可得光斑形状变化下的激光功率密度分布函数。此外，微射流激光中须结合水射流作用，分析高速水流作用下的对流换热过程，辨识不同射流参数下的强制对流换热系数，进而开展不同激光入射角下的激光微射流实验并测量温度值，通过实验和仿真相结合的方式对激光吸收率及强制对流换热系数进行修正。

考虑上述激光束姿态变化下的参变特性，基于传热学基本理论，推导变参数激光移动热源加载下的温度场分布理论求解表达式，通过解析求解与有限元求解相结合的方式分析微射流激光切削温度场分布，开展微射流激光切削实验，通过热电偶测量工件内部温度，通过热像仪或红外测温仪测量工件表面温度，并与前述计算模型结果进行对比，以修正模型参数，最终实现变姿态、变参数激光微射流移动加载温度场计算的准确建模，其流程如图10所示：

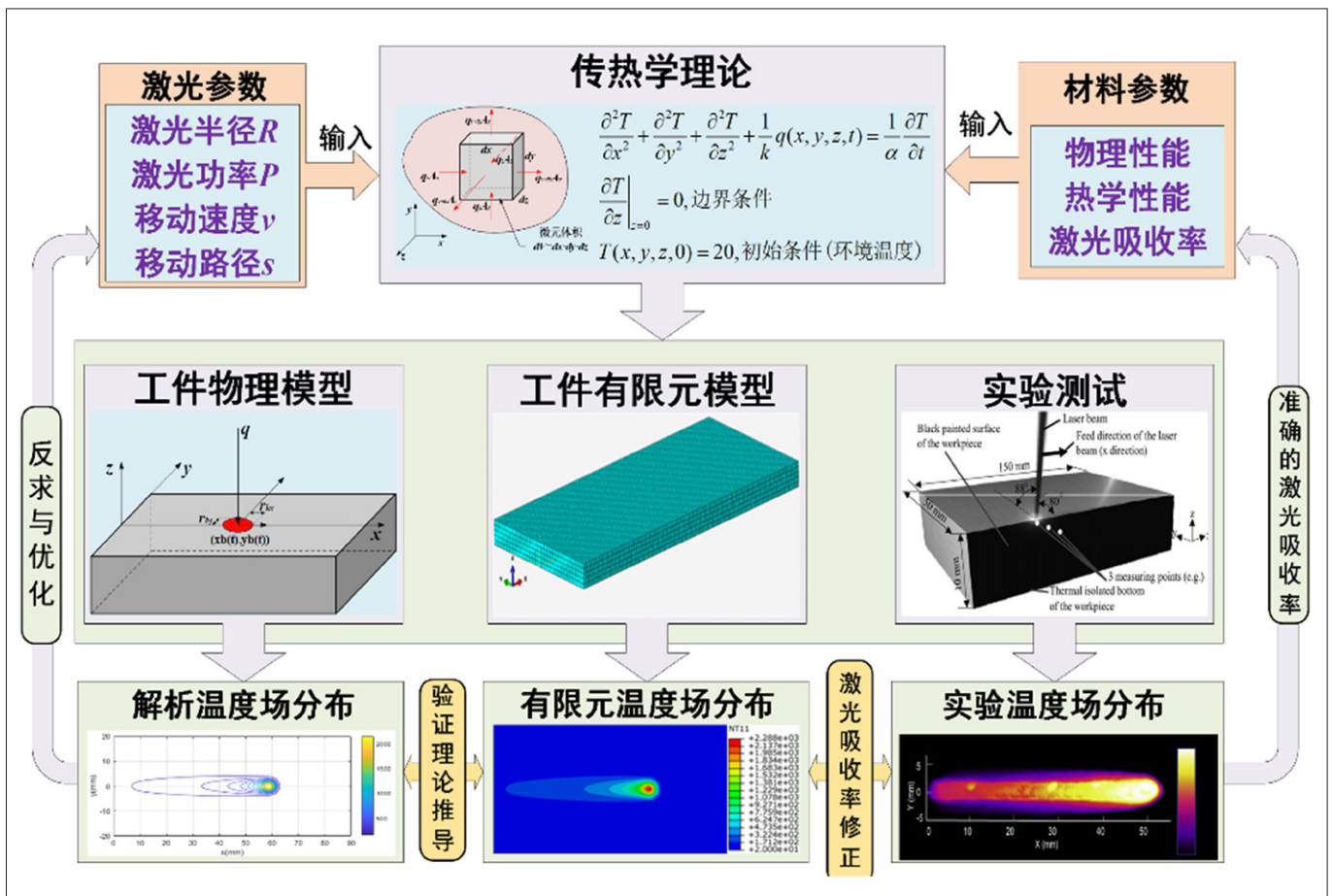


图10：激光微射流影响区演化过程分析流程。

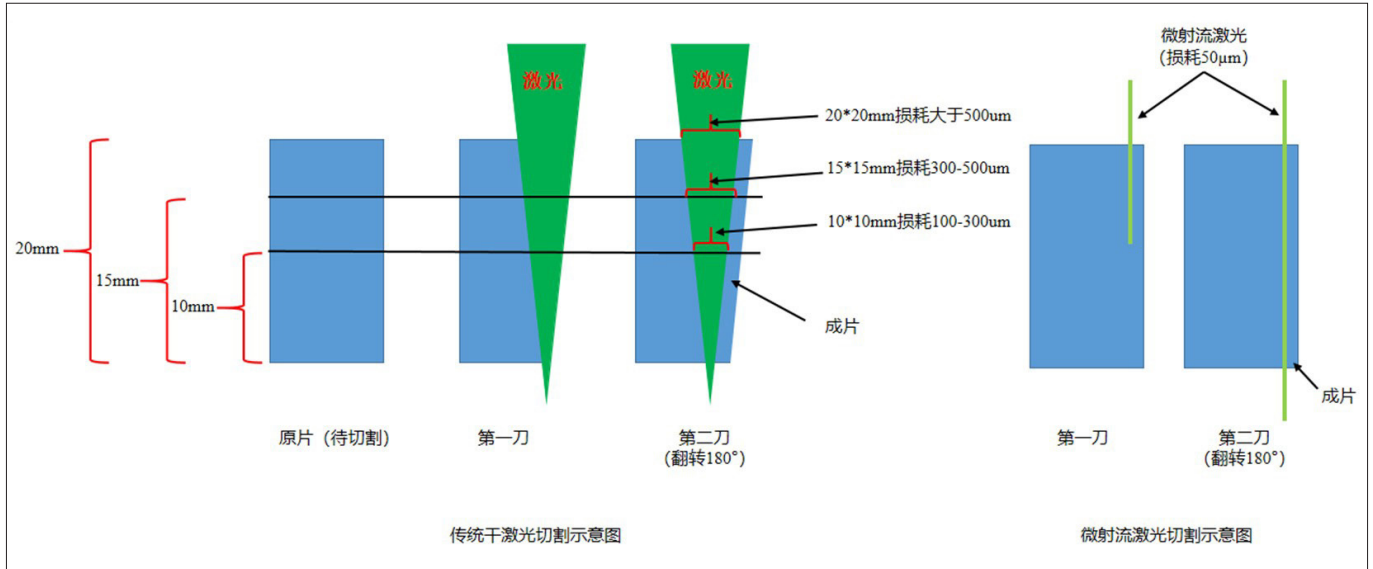


图11: 传统干激光与微射流激光技术切片对比。

2. 微射流激光对金刚石材料分片后缺陷研究

针对缺陷微观机理问题，做以下研究：

采用在不同水射流参数环境下的实验研究方法研究材料缺陷对器件性能的影响。结合材料表征手段与器件表征手段对金刚石缺陷特性进行表征。通过材料表征测试，包括通过 XRD、PL、二次离子质谱仪 (SIMS)、X 射线能谱仪 (EDS) 等，与高性能器件性能的宏观测试，包括电容 - 电压 (C-V)、电流 - 电压 (I-V)、低噪声等效谱 (LFN)、DLTS、脉冲 I-V 和脉冲 C-V 等各种测试，开展缺陷测试分析，对缺陷的分布、界面处的界面态密度在金刚石禁带中的能级位置和浓度，表面形貌、粗糙度、缺陷类型和表现形式等微观特征进行定量研究。采用仿真模拟手段，将材料表征结果带入仿真软件，分析器件击穿电压和导通电阻对金刚石材料缺陷类型、陷阱能级的不同敏感度。结合热反射图谱法测试，观察器件发生击穿、泄露电流增加的区域位置，基于大量测试分析和统计结果，绘制位错缺陷种类、界面态密度与器件击穿电压、饱和电流以及器件工作时的温度等关系图谱，阐明水射流对金刚石材料的缺陷影响，为优化工艺奠定基础。

3. 微射流激光在金刚石材料分片与传统激光对比研究

传统干激光金刚石切割工艺，如下图所示，传统干激光切割的损耗较大，单片尺寸越大损耗也越大， $20 \times 20\text{mm}$ 的片子损耗理论值 > 500

μm ，而金刚石的生长片厚度一般在 $300\text{-}500 \mu\text{m}$ ，传统干激光的损耗足以损失一整个成片。在实际切割中， 3.1mm 的单晶金刚石片采用微射流激光切割可切 5 片（其中一片为修面），成品 4 片，而用干激光切割实际只能产生 2 片成品，其余部分均被激光损耗，由此可见微射流激光相比传统激光在金刚石的切割上具有明显的优势（示意图如图 11 所示）。

结论

利用微射流激光技术对金刚石进行分片过程中，通过研究微射流激光功率对金刚石材料分片的影响，讨论微射流激光与金刚石相互作用的反应机制，通过分析金刚石的烧蚀阈值，寻找到最优加工参数，结论如下：

(1) 采用 $60 \mu\text{m}$ 喷嘴切割单晶金刚石，功率测试入刀处 (10mm) $25.5\text{-}26\text{W}$ ，材料入射位差 20mm ，功率测试 $24.6\text{-}25\text{W}$ ，水压 400bar ，氦气流量 $1.0 \text{NL}/\text{min}$ ，切割速度 $600\text{mm}/\text{min}$ ， $20 \text{mm} \times 20 \text{mm} \times 2.317 \text{mm}$ 金刚石材料分片，成标准片 4 片，成片结果厚度单片为 0.56mm ，整个切片过程中，共计损耗材料 $77 \mu\text{m}$ ，晶体切割面粗糙度检测 $Ra=0.336 \mu\text{m}$ ；

(2) 在金刚石切割工艺中，较比于传统干激光，微射流激光具备加工时间短、表面粗糙度低、避免加工裂纹、节约材料、出片率高等优势，系大尺寸金刚石晶体分片优秀的技术解决方案。☞

先进封装之于化合物半导体——大有用武之地

作者：宗蕾，阮文彪，李金喜，厦门云天半导体科技有限公司

半导体材料的演进已历经三代，第一代的硅（Si）、锗（Ge）；第二代的砷化镓（GaAs）、磷化铟（InP）；第三代的碳化硅（SiC）、氮化镓（GaN）。目前，全球 95% 以上的集成电路（IC）是基于硅晶圆生产的。随着物联网、新能源汽车及 5G 时代的到来，以第二代和第三代半导体为代表的化合物半导体正逐步渗透更多应用场景，市场规模也在不断扩大。

本文将结合不同半导体材料，特别是化合物半导体的特性，阐述近年来呈爆炸式向各个方向发展的先进封装，在化合物半导体器件制造中的应用。

为什么需要化合物半导体？

虽然硅技术和产业链很成熟，芯片制造成本也低，但材料的物理性质限制了其在光电子、高频大功率器件和高温器件中的应用。三代半导体材料有着不同的特性，这也决定了它们自身的优势适合不同的应用场景。

第一代半导体包括硅、锗，其间接带隙较窄，饱和电子迁移率较低，主要应用于低压、低频（约 3GHz）、中低功率（100W 左右）的晶体管和探测器中，是目前半导体器件和集成电路的主要制造材料；由于产业链成熟、成本较低，渗透率已近 95%。

第二代半导体包括砷化镓、磷化铟等，为直接带隙，电子迁移率更高，广泛应用于功率在 100W 左右、频率约 100GHz 的卫星通信、移动通信和 GPS 导航领域。不过，砷化镓资源较为稀缺，价格昂贵，且材料具有毒性，对环境危害较大，其渗透率近 1%。

第三代半导体包括碳化硅、氮化镓等，具有禁带宽度大、击穿电场高、热导率高、电子饱和速率快、抗辐射能力强是优点，可满足电力电子

技术对高温、高功率、高压、高频以及抗辐射等工作场景的要求，其渗透率近 5%。

事实上，随着硅半导体材料主导的摩尔定律逐渐走向其物理极限，具有高电子迁移率、高临界击穿场强、高导热能力以及直接能隙与宽能带等特性优势的化合物半导体开始崛起，有望成为超越摩尔定律的途径之一。图 1 是第二代和第三代半导体的化合物半导体的应用分类。

值得一提的是，随着化合物半导体器件的日益普及和广泛应用，出于应用需求，对化合物半导体器件和模块的封装也提出了新的要求，如低损耗、低感量、高功率密度、高散热性能、高集成度、多功能等，正催生出与硅器件封装技术和产品形式不同的发展路线，目的是利用先进封装工艺满足上述要求，同时提升产品的可靠性。

化合物半导体的先进封装

事实上，先进封装的发展起源于业界头部代工厂，例如，近年来，英特尔在先进工艺的研发方面频频“难产”，逐渐与台积电、三星拉开了差

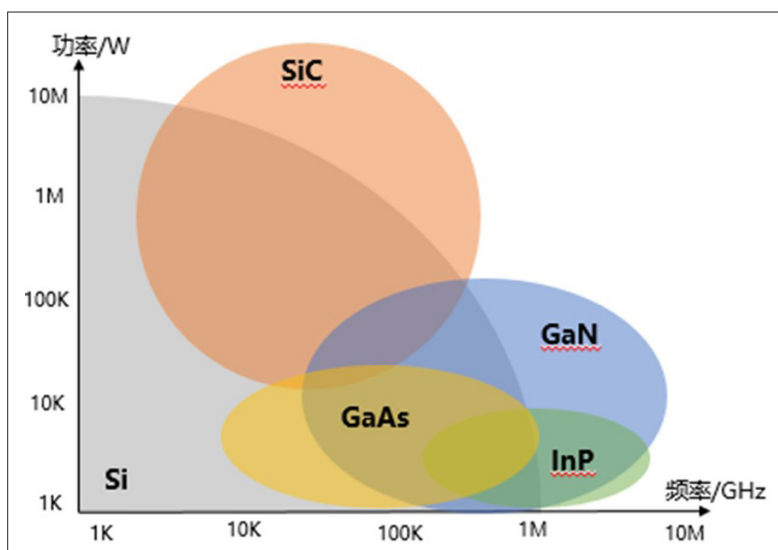


图1：化合物半导体的应用分类。（图源：英飞凌）

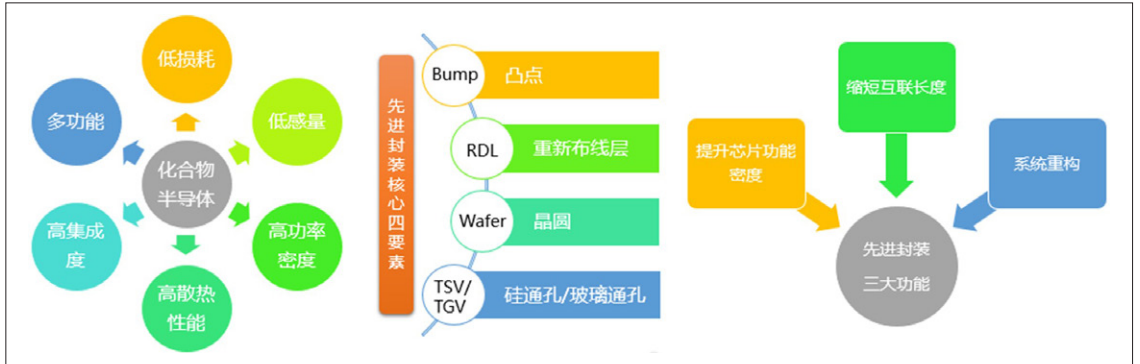


图2: 先进封装的要素和功能。

距。因此，英特尔愈发看重先进封装的研发，不断发力先进封装技术。相比传统封装，通过采用先进设计理念和先进集成化加工工艺，先进封装有助于提升芯片功能密度、缩短互连距离和实现系统重构。

现阶段,先进封装类别主要包括倒装焊 (Flip-Chip)、晶圆级封装 (WLP)、2.5D封装 (Interposer (中介层))、3D封装 (TSV/TGV/Embedded)、系统级封装 (SiP)、小芯片 (Chiplet) 等。图 2 显示了先进封装的要素和功能。

功率电子应用化合物半导体的封装

几经迭代,功率半导体正在向低阻抗、高功率、高频率特性演变。高功率密度、小尺寸的特性使得 GaN 和 SiC 成为功率半导体的新宠, GaN 功率电子器件主要以高电子迁移率晶体管 (HEMT) 为主,在高频功率应用方面有巨大潜力;而 SiC 功率器件主要是二极管 (SBD/JBS) 和金属-氧化物半导体场效应晶体管 (MOSFET),适用于功

率在 1kW-500kW、工作频率在 10kHz-100MHz 的场景。两者都可应用于对能量效率和空间尺寸要求较高的应用。

需要指出的是,要充分发挥化合物半导体材料的优异特性给封装技术带来了一些新的挑战,封装在很大程度上决定了功率半导体器件是否具有更高的功率密度和可靠性,是否能耐受更高的温度,更好地适应恶劣环境。

传统硅基功率器件封装普遍采用引线键合和单面散热技术,存在寄生参数较高、散热效率差的问题。为解决这些问题,无引线互连和双面散热等技术应运而生。

GaN HEMT 器件封装路线

GaN HEMT 器件封装路线技术发展路线图及先进封装应用实例如图 3 所示。可以看到,伴随着高频率的升高和功率密度的增加,键合材料和封装方式都在变化,以适应 GaN HEMT 器件性能的逐步提升。

一个应用实例是 EPC 公司的晶圆级 CSP 封装方法,为了优化开关性能,最大限度减小封装寄生效应,它采用在钝化芯片的源极、栅极及漏极上形成 Bump (凸点),将其直接贴装在 PCB 上。由于没有键合线,最大限度减小了寄生电感和界面热阻,见图 4。

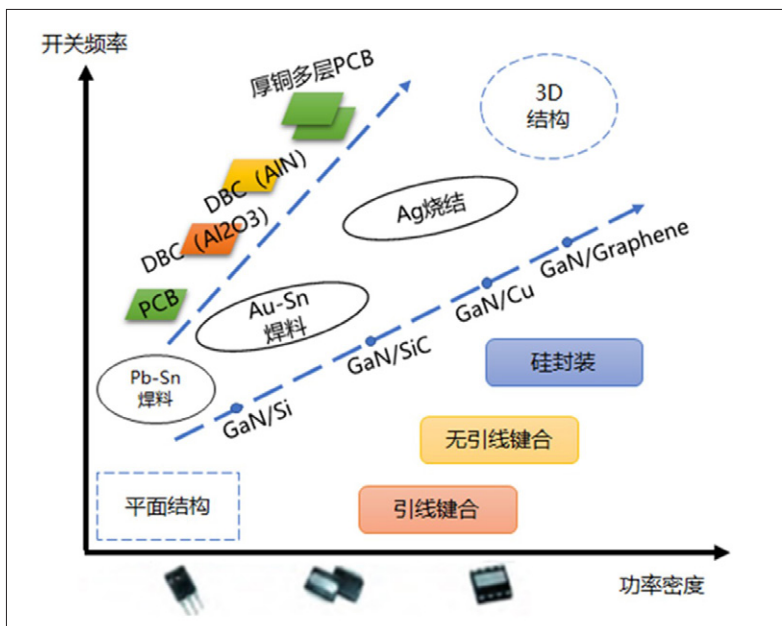


图3: GaN HEMT器件封装路线图。(图源: 电子与封装)

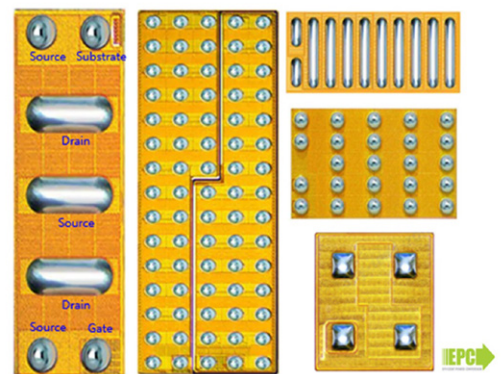


图4: 晶圆级CSP封装。(图源: EPC)

另一个应用实例是 GaN Systems 的定制化嵌入式封装解决方案，采用了独有的专利技术 Island Technology，实现大电流芯片性能和良率，同时用 GaNPX[®] 封装技术实现小型封装中的低电感和低热阻，见图 5。

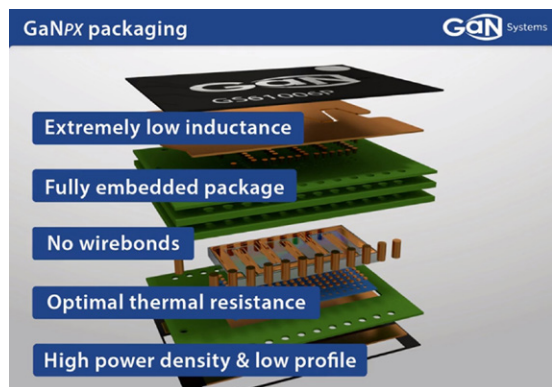


图5: 定制化嵌入式封装。(图源: GaN Systems)

SiC MOSFET 新封装结构

SiC 器件的结电容更小，栅极电荷更低，因此开关速度极快。由于开关过程中电压和电流随时间的变化率 (dv/dt 和 di/dt) 极高，会出现驱动电压波形过冲和震荡，增加器件电压应力、开关损耗及电磁干扰问题，严重时甚至引起功率器件误开关，因此，SiC 功率器件对寄生电容和寄生电感更加敏感。针对上述问题，国内外同行开发了一系列新的封装结构，用于减小杂散参数，特别是杂散电感，如表 1 所示。

以下分别介绍三类 SiC MOSFET 的封装形式。

(1) 单管翻转贴片封装

阿肯色大学团队借鉴 BGA 封装技术，提出了一种单管翻转贴片封装技术，见图 6。方法是通过一个金属连接件将芯片背部电极翻转到和正面电极相同的平面位置，然后在相应电极位置上植上焊球，以此消除了金属键合线和引脚端子。相比 TO-247 封装，其体积减小了 14 倍，导通电阻减小了 24%。

表1: SiC器件典型封装结构 (中国电机工程学报)

器件	金属键合线	封装方式	功率等级	杂散电感大小	制造商
分立器件	有	TO247、TO220、TO263 等	650V~1700V/5A~100A	10~20nH	Wolf speed、Rohm、Infineon 等
	无	翻转贴片	650V~1200V/15A~35A	<5nH	阿肯色大学
功率模块	有	传统封装	1200V~1700V/20A~500A	20~30nH	Wolf speed、Rohm、Infineon 等
		DBC+PCB 混合封装	1200V~1700V/20A~100A	<5nH	CPES、华科等
		SKiN	1200V/400A	<1.5nH	Semikron
	无	DLB、Cu-Clip、SiPLIT	650V~1200V/100A~300A	<5nH	Silicon Power、IR、Siemens
		双面焊接(烧结)	650V~10kV/50A~300A	<5nH	橡树岭实验室、中车时代电气、天津大学、CPES 等
		压接	1200V/100A~200A	<10nH	浙江大学、阿肯色大学、阿尔堡大学
	三维封装	1200V/80A	<1nH	格勒诺布尔-阿尔卑斯大学	

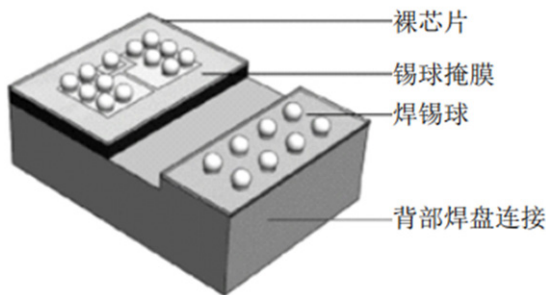


图6: 单管翻转贴片封装。(图源: University of Arkansas)

(2) 芯片正面平面互连封装

平面互连方式不仅可以减小电流回路，进而减小杂散电感和电阻，还具有更出色的温度循环特性和可靠性。

① Cu-Clip (铜夹片): 是一种新型芯片互连技术，利用特殊的铜夹片实现芯片与封装基板的连接，需要采用溅射及电镀或电镀工艺实现芯片表面的金属化处理；

② 嵌入式: 该方法将芯片置于陶瓷定位槽中，再用绝缘介质填充缝隙，最后覆盖掩膜两面溅射金属铜，以实现电极连接。通过选择合理的封装材料可以减小模块在高温时的层间热应力，并能在 279℃ 的高温下测量模块的正反向特性。平面直连封装工艺通过消除金属键合线，将电流回路从 DBC 板平面布局拓展到芯片上下平面的层间布局，显著减小了回路面积，还可实现低杂散电感参数。例如 SCHWEIZER 公司的 p² 封装和 ASE 的嵌入式基板都是将功率半导体嵌入印制电路板的技术，如图 7 所示。

(3) 双面散热封装技术

图 8 是一个典型双面散热封装 SiC 模块，其上下表面均采用 DBC 板焊接，可实现上下表面同时散热。该工艺的难点在于，芯片上表面需要进行溅射或电镀处理使其可焊接，且在芯片上表面还要增加金属垫片、连接柱等，以消除同一模块中不同芯片的高度差。由于 SiC 芯片面积普遍

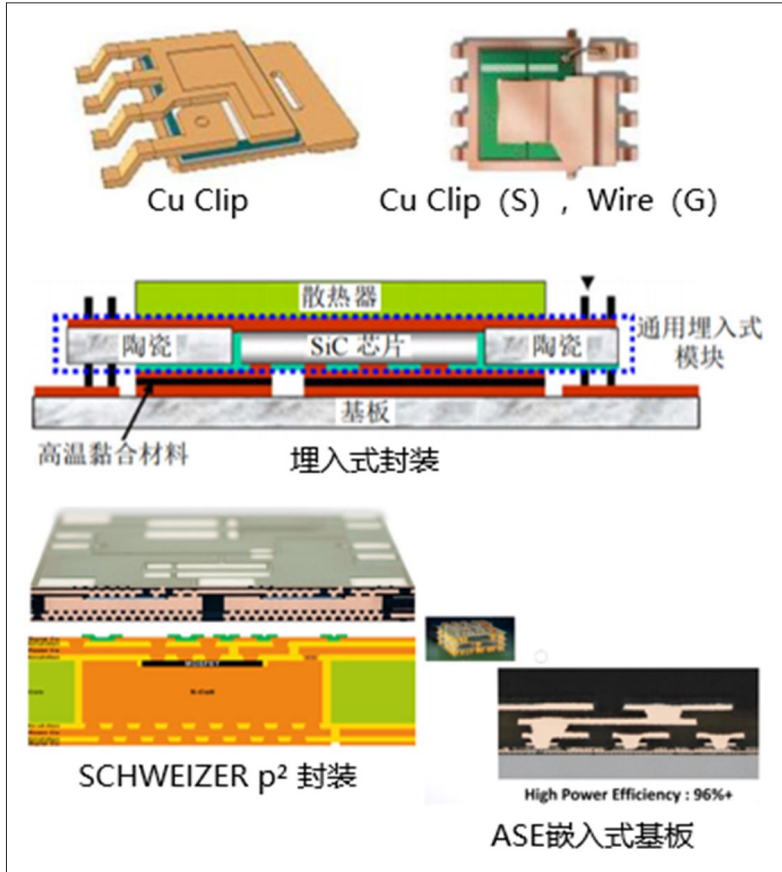


图7：嵌入式基板封装，（图源：SCHWEIZER和ASE）

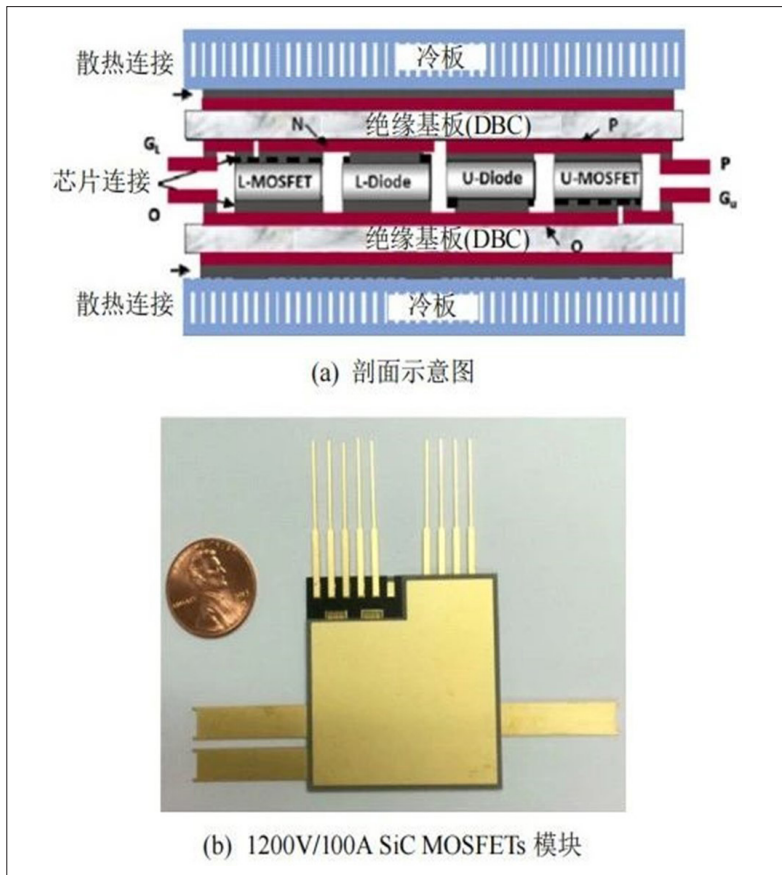


图8：典型双面散热封装SiC模块。（图源：中国电机工程学报）

很小，如何保证在有限的上表面面积范围内的焊接质量是该工艺的关键。得益于上下 DBC 的对称布线与合理的芯片布局，该封装可将回路寄生电感参数降到 3nH 以下，相比传统封装模，块热阻可下降 38%。

光电子应用化合物半导体的封装

目前，光电子器件及组件与 IC 或 I/O 外引线的连接主要基于陶瓷板载芯片共晶焊，或采用胶结以及金丝球键合。模块封装采用传统的 SMD 封装，即将光器件或组件与 PCB 电互连，然后根据协议或客户指定的外壳实现封装工艺。

(1) Mini/MicroLED 封装

Mini/MicroLED 主要采用直显封装，如 IMD/COB 技术，背光封装多采用 COB/COG 技术；

(2) VCSEL 激光器封装

传统 VCSEL 采用 COB 封装。为了降低杂散电感，衍生出了 FlipChip 封装，其优点包括：减少封装步骤、降低封装成本、低电感，实现 2D 阵列可寻址、晶圆级光学集成等。图 9 是几种 VCSEL 激光器封装形式。

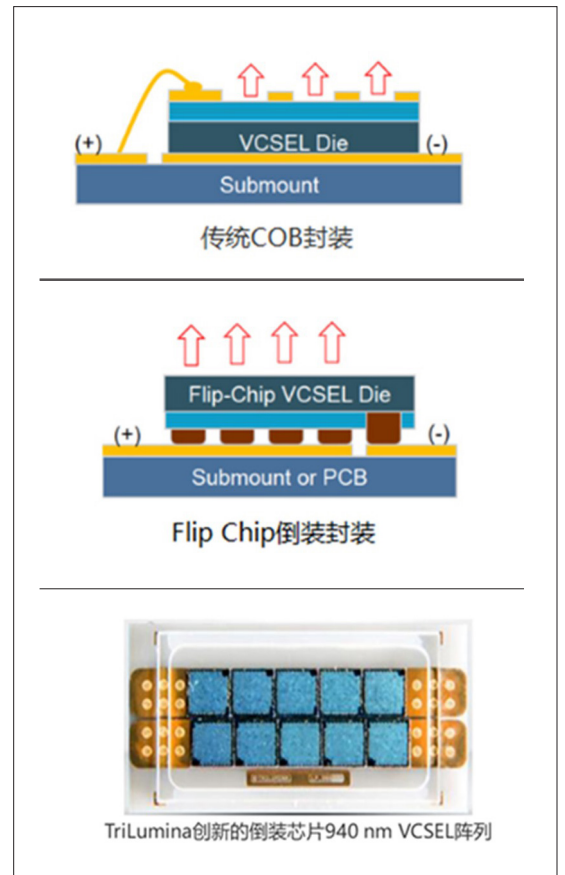


图9：VCSEL激光器封装。（图源：AMS-Osram和TriLumina）

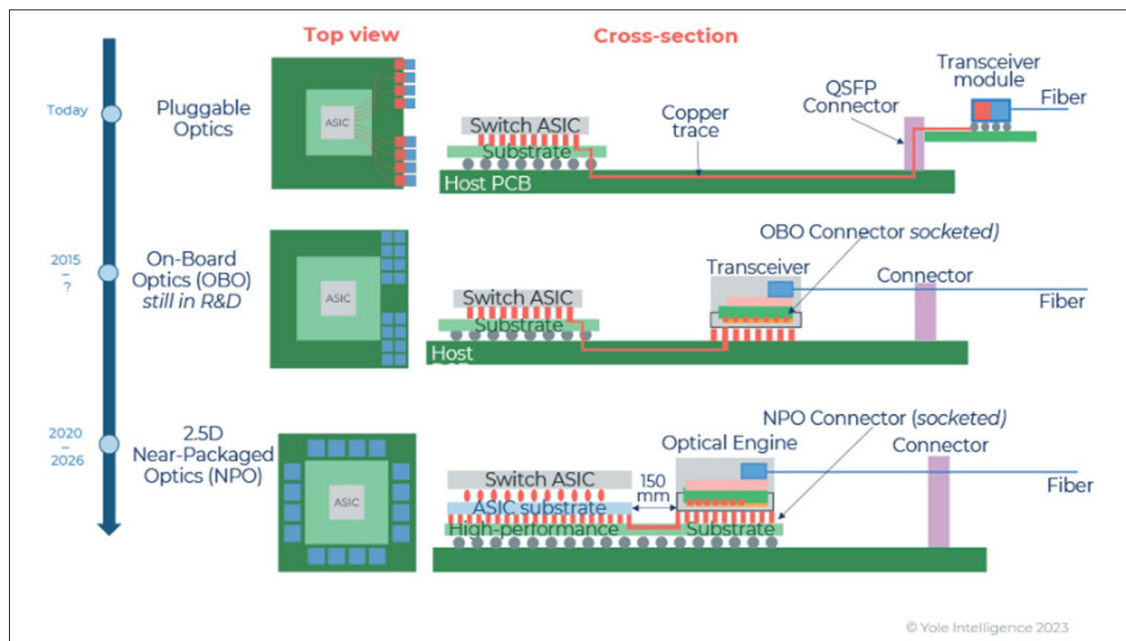


图10：光电合封装示意图。（图源：Yole Group）

(3) 光模块光电合封

光电合封装解决了小尺寸可插拔光学收发器带来的一些挑战，如热管理、功耗、带宽和端口密度，如图 10 所示。其目的是使光电转换过程尽可能靠近计算、转换或 ASIC，以获得更高的带宽和能量效率。将有源器件和光收发器安装在同一基板上，可以消除主板上铜线路造成的所有损耗和失真。

2.5D/3D 封装难点在于高密度光电载板工艺、高精度的光电芯片组装工艺，以及阵列光纤连接器的耐高温性。

射频通信应用化合物半导体的封装

射频前端器件的工艺技术分类如图 11 所示，目前 RF SAW 滤波器常用的两种封装结构分别为 BDMP 和 WLP。在射频前端器件工艺技术中，RF 开关的工艺包括 CMOS、硅、砷化镓、氮化镓；RF 滤波器采用 BAW 和 SAW 工艺；高功率放大

器的工艺有砷化镓和氮化镓；放大器工艺主要是氮化镓、氮化镓、SOI、硅锗和硅。

云天半导体的先进封装

厦门云天半导体科技有限公司（简称云天半导体）成立于 2018 年 7 月，致力于高速、高频通信等应用的先进封装与系统集成，通过自主研发与持续创新，为客户提供从产品协同设计、工艺研发到批量生产的全流程解决方案和服务。

云天半导体一期厂房建筑面积约为 4500 平方米，引入国内稀缺的 4/6 英寸晶圆级 3D 封装平台，特别针对 SAW/FBAR 等产品应用；二期厂房建筑面积约为 35000 平方米，已于 2022 年 9 月通线，引入 4/6/8/12 英寸晶圆级封装平台，总体规划产能 8 万片/月，目前释放产能 1 万片/月，主要聚焦 IPD/WLCSP/FO 等封装。

云天半导体的“特色工艺 + 先进封装”主营

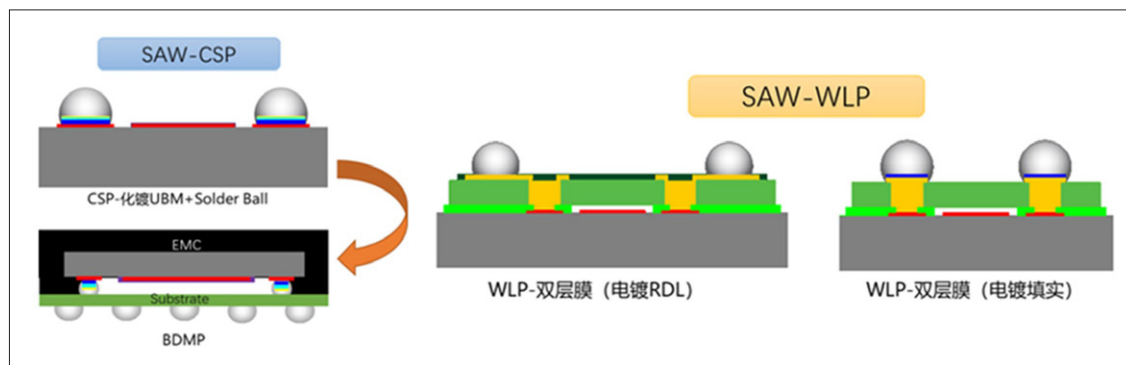


图11：射频前端器件工艺技术分类。（图源：云天半导体）

Bump	结构侧剖示意图	SEM示意图	备注
Copper Pillar			
Solder Ball			UBM: • 化镀 Ni/Pd/Au • 电镀 Cu/Ni/SnAg Solder Ball: • Print-Solder Paste • Ball Drop-Solder Sphere • Plating ※Reflow瞬时最高工艺温度: 265°C左右;

图12: SolderBall及CopperPillar工艺。(图源: 云天半导体)

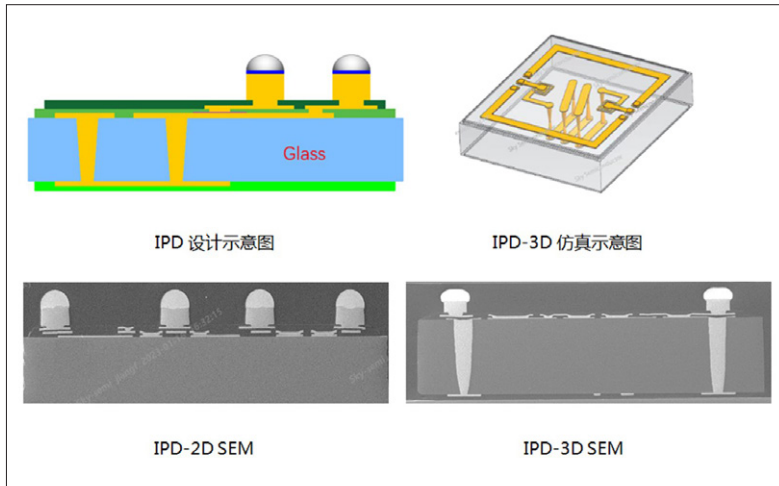


图13: 晶圆级玻璃基IPD产品。(图源: 云天半导体)

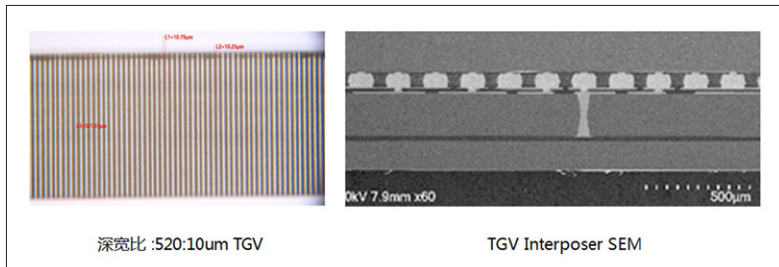


图14: 2.5D玻璃中介层。(图源: 云天半导体)

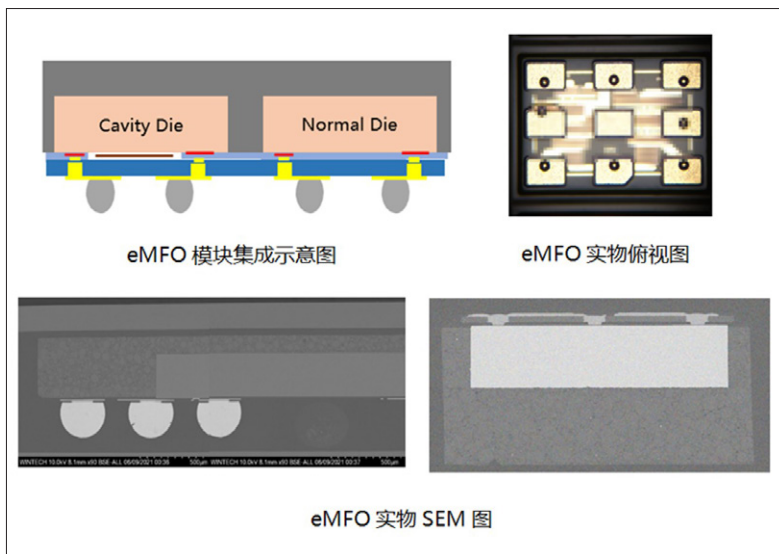


图15: eMFO。(图源: 云天半导体)

业务涵盖以下四大板块：

(1) WLCSP/Bumping (凸点制作)

云天半导体提供 0P1M、1P1M、2P2M、3P3M 等 SolderBall 及 CopperPillar 工艺，见图 12。三种成熟的 SolderBall 实现工艺包括：Print (丝网印刷)、BallDrop (植球) 和 Plating (电镀)。工艺能力包括化镀 NiAu/NiPdAu 以及电镀 Cu/Ni/SnAg。针对 SAW 和 FBAR 产品，具备成熟的 CSP 封装工艺（化镀 UBM+BGA）以及 WLP 双层膜工艺（电镀 RDL 结构和电镀填充结构）。

(2) IPD

图 13 是颇具特色的晶圆级玻璃基 IPD 产品，它具有低成本、高集成度、高 Q 值等特性，适用于高频应用领域。根据不同电感设计方式，IPD 可分为 2D 结构(平面电感)和 3D 结构(3D 电感)。

(3) Interposer (中介层)

图 14 是云天特色的 2.5D 玻璃中介层产品，它采用激光诱导+刻蚀方式形成玻璃通孔，具备大规模量产能力，同时配备玻璃通孔及玻璃表面金属化能力，有助于实现信号互连。该产品具有优良的高频电学、机械特性，而且成本低、工艺流程简单，广泛应用于射频组件、光电集成、MEMS 等领域。

(4) SiP

云天半导体的 SiP 封装主要基于新型晶圆级扇出工艺，根据芯片埋入基底材料不同，分为塑封料扇出封装 (eMFO) 和玻璃基扇出封装 (eGFO) 两大类。

① eMFO：用于射频器件模块集成，具有高可靠性、多芯片集成的特点；用于光收发芯片集成，具有性能优异、易于批量生产的特点，见图 15。

② eGFO：是适用于高频领域理想的系统集成解决方案，具有低成本、低损耗、可扩展到方板、以及优良的电学特性及机械性能，可以通过 TGV 集成天线 3D 封装 (AiP)，见图 16。

除了以上四大全流程业务板块外，云天半导体还可承接以下短流程工艺，满足客户的不时之需：

电镀镍金或镍钯金应用涵盖电镀 UBM、电镀金属层、电镀 Bump、电镀 OPM 等，见图 17/图 18。

电镀工艺能力支持晶圆尺寸、晶圆衬底、Pad 形状、最小化镀 Pad、阶梯化镀深度、最薄化镀金属层、来料厚度、电镀厚度范围和 Passivation 等，如表 2 所示。

表2：电镀工艺能力。

项目	内容	备注
支持晶圆尺寸	4 寸 / 6 寸 / 8 寸 / 12 寸	
支持晶圆衬底	Si、LT、SiC、GaN、Glass、Sapphire 等	支持晶圆背面贴附保护膜
支持 Pad 形状	圆形，方形	
最小化镀 Pad	Pad 开口：min 20um (圆 pad) Pad 间距：min 20um (圆 pad)	
阶梯化镀深度	20um (20um pad, 宽深比 >1)	沟槽型化镀
最薄化镀金属层来料厚度	AlCu 0.5-5%: > 0.8um (铝基) PVD Al: > 1um (铝基) EVD Al: > 2um (铝基) Cu: > 1um (铜基)	铝 / 铝硅铜同类
电镀厚度范围	Ni: 2~10um Pd: 0.05~0.3um Au: 0.02~0.1um	
支持 Passivation	Silicon -nitride, -oxide, -ox-nitride	其他材料需验证

③ DPS (CP 测试 / 研磨 & 切割 / 分选编带)

DPS 的工艺流程包括：分选→切割→晶圆测试→研磨。CP 测试设备构架如图 19 所示。

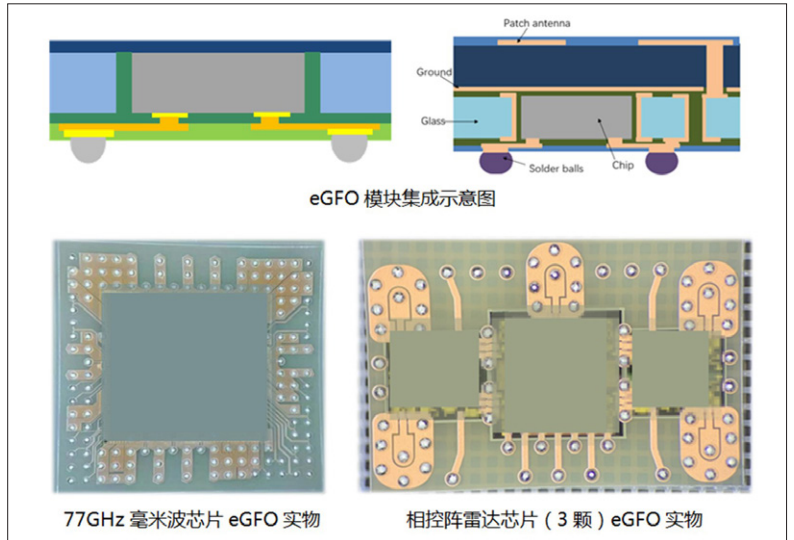


图16：eGFO。（图源：云天半导体）

应用	产品种类	封装方式	应用实例	金属层厚度
化镀 UBM	• Filter • LED • ASIC • CIS	• WLCSP • Flip Chip		• 3~5um Ni; • 薄Au;
化镀金属层	• MOSFET • IGBT	• Wire Bonding • Cu Clip • Sintering		• 1~3um Ni; • 200~300nm Pd; • 薄Au;
化镀 Bump	• RFID • Driver IC	• Adhesive		• 10um Ni; • 薄Au;
化镀 OPM	• Automotive • ASIC • CIS	• Wire Bonding		• 3~5um Ni; • 200~300nm Pd; • 薄Au;

图17：电镀应用。（图源：云天半导体）

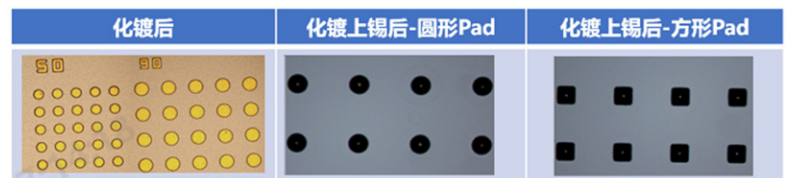


图18：化镀TestVehicle实物效果图。（图源：云天半导体）

序号	支持探针种类
1	悬臂探针
2	射频探针
3	薄膜探针
4	Pogo Pin

序号	测试对象
1	封装前 (Pad)
2	封装后 (Bump)
3	整个Wafer
4	单颗Die
5	切割后带Ring环的Wafer

CP测试设备构架

薄膜探针示意图

测试设备组合

射频器件Smith圆图

序号	测试项目
1	S参数测试
2	OS测试
3	MOS测试
4	BV测试
5	电阻测试

序号	Prober	序号	Tester
1	Wafer Size: 4/6/8 (Inch)	1	支持有源&无源器件的测试
2	支持全自动、半自动上下片	2	频率范围: 100K~20G (分辨率: 1Hz)
3	Wafer Materials: Si/Glass/LT	3	电压: 最高40V, 针对MOS测试最高1000V
4	Wafer Warp: ≤3mm	4	电源: ±1A, ±10uA
5	测试温度: 常温~150°C	5	Port: 6个

图19：CP测试设备构架。（图源：云天半导体）

表3: DPS研磨和切割工艺。(图源: 云天半导体)

DPS-研磨工艺简介				
材质	序号	项目	量产能力	工程样品能力
单一材质	1	支持晶圆材质	Si/Glass/EMC/LT	
	2	支持晶圆尺寸	4寸/6寸/8寸/12寸	4寸/6寸/8寸/12寸
	3	支持最薄晶圆厚度	150um	100um
	4	TTV (After Bond)	5um	3um
	5	粗糙度	≤0.025um (Si)	≤0.01um (Si)

DPS-切割工艺简介				
材质	序号	项目	量产能力	工程样品能力
混合材质	1	支持晶圆材质	Si+EMC	Si+EMC/Glass+EMC
	2	支持晶圆尺寸	6寸/8寸	4寸/6寸/8寸/12寸
	3	支持最薄晶圆厚度	200um	150um
	4	TTV (After Bond)	5um	3um

- DPS-切割工艺简介
- 目前主要采用**机械切割**和**激光隐切**两种
- 支持晶圆材质: **Glass/Si/EMC/LT/LN/SiC/GaN**等
- 机械切割机台主要由以下几大模块构成:
 - 1.图像采集系统 (显微镜)
 - 2.主轴
 - 3.切割工作盘
 - 4.人机操作系统
- 激光隐切面向窄切割道的玻璃和硅片
- 可作业的晶圆尺寸: 4寸/6寸/8寸/12寸晶圆
- 管控: 切割后芯片尺寸/崩边

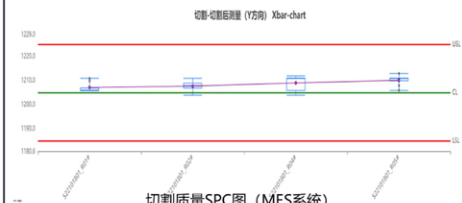


表4: DPS分选编带设备参数。(图源: 云天半导体)

DPS-分选工艺能力			DPS-分选设备展示图	
	项目	设备型号A	设备型号B	
能力	加工尺寸	4、6、8、12inch	4、6、8、12inch	 <p>设备型号A</p>  <p>设备型号B</p>
	可加工材质	Si、LT、EMC、Glass	Si、LT、EMC、Glass	
	Barcode scan	可以	可以	
	检测模块	支持芯片6面检验	支持芯片6面检验和返工功能	
	Reel导入数量	Input10 + Output 10	Input10 + Output 10	
	Map功能	支持	支持	
	PCM (Special Bin & pattern)	支持	支持	
	Skeleton map verification	支持	支持	
	Reel Size	7~13inch	最大直径500mm	
	UPH 1*1mm	42K	40K	
Die size	0.2*0.2 9.0*9.0mm	0.2*0.4 7.0*7.0mm		
Carrier Tape	8/12/16mm	8/12/16mm		
崩边管控	深度≤50um; 长度≤芯片短边3/1	深度≤50um; 长度≤芯片短边3/1		
脏污, 残胶管控	长度≤80um 面积≤3500	长度≤80um 面积≤3500		
识别精度	6um	6um		
精度	X轴	±30um	±30um	
	Y轴	±30um	±30um	

如表 3 所示, DPS 的研磨工艺适用于单一材质和混合材质, 具备不同的量产能力和工程样品能力。DPS 切割工艺目前主要采用机械切割和激光隐切两种, 支持各种晶圆材质。

DPS 分选编带设备有两种, 均支持 4、6、8 英寸晶圆, 表 4 给出了具体工艺能力参数。

总结

今天, 集成电路技术已进入“后摩尔时代”, 受成本及技术壁垒等因素的限制, 先进制程短期内突破难度很大, 而通过先进封装提升芯片整体

性能并有效降低成本, 已成为集成电路产业发展的热门赛道。

厦门云天半导体在先进封测领域深耕多年, 具备从 4 寸、6 寸、8 寸到 12 寸全系列晶圆级封装工艺能力, 以 WLCSP/IPD/TGV/Fan-out 等领先创新技术为客户提供系统封装集成解决方案和量产服务。针对化合物半导体材料的成熟的 WLCSP/Bumping 和 FO 先进封装技术可以实现全流程的 Turnkey 交付。未来, 云天团队将继续发扬“创新、卓越、合作、奋斗”的精神, 不断创新, 挑战极限, 为客户提供更具性价比的解决方案。CS。

基于晶圆级高导热异质集成衬底的氧化镓射频晶体管的

作者：郁鑫鑫^{1,2}，徐文慧³，欧欣³，叶建东¹

¹ 南京大学电子科学与工程学院，南京

² 南京电子器件研究所，南京

³ 中国科学院上海微系统与信息技术研究所，上海

氧化镓是超宽禁带半导体材料的优异代表，由于其禁带宽度和击穿场强远高于 GaN，不仅可在更高场强、更高工作电压下工作，大幅度提升输出功率密度，还可实现在高温、强辐照等极端环境下的应用。约翰逊优值 (JFOM) 与材料的击穿场强和载流子饱和漂移速度的乘积有关，综合考虑了射频器件的频率和功率特性，是衡量射频器件综合性能最重要的指标。氧化镓的 JFOM 大约是 GaN 的 2.6 倍，表明氧化镓在射频器件领域同样具有可观的应用潜力。美国空军研究实验室、布法罗大学等国外机构已相继布局开展氧化镓射频器件的研究。然而，目前氧化镓射

频器件面临的问题较多，由于短沟道效应、迁移率低、热导率低等因素的制约，氧化镓射频器件的频率、电流密度、功率密度等性能指标仍然处于较低的水平。特别是，氧化镓的热导率极低，仅为 $10\text{W/m}\cdot\text{K}$ ，是 SiC 的 2%，导致氧化镓射频器件的散热能力极差。严重的自热效应导致器件功率和频率难以协同提升，很大程度上掣肘了氧化镓射频器件的发展。

应对上述挑战，由南京大学、南京电子器件研究所、中国科学院上海微系统与信息技术研究所、中国科学院苏州纳米技术与纳米仿生研究所和西安电子科技大学杭州研究院组成的联合研究

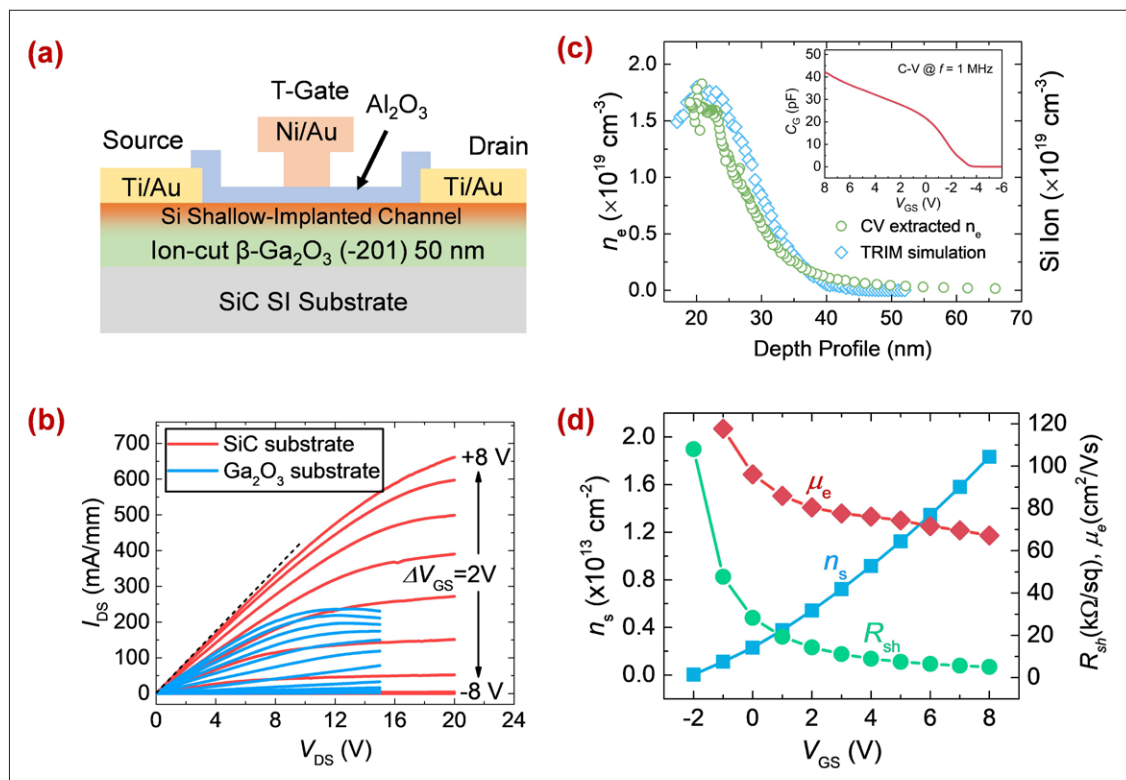


图1: SiC基Ga₂O₃异质集成射频器件(a)横截面结构示意图;(b)直流输出特性;(c) C-V曲线和提取的电子浓度分布;(d)不同栅压下沟道的电子面浓度、迁移率和方阻。

团队，提出基于高热碳化硅衬底与氧化镓射频器件异质集成的架构设计，利用万能离子刀剥离和转移技术实现了2英寸高质量SiC衬底与50nm超薄氧化镓薄膜的晶圆级异质集成（图1a），结合低能离子注入沟道技术（IEEE Electron Device Lett. 44, 1060, 2023），在国际上首次实现碳化硅基氧化镓异质集成射频器件，器件的频率性能能达到目前公开报道的最高值，相关成果以“Heterointegrated Ga₂O₃-on-SiC RF MOSFETs with f_T/f_{max} of 47/51 GHz by Ion-cutting Process”为题，于2023年10月24日在IEEE Electron Devices Letters 44, 1951-1954 (2023)上发表。

器件直流特性

栅长为0.1 μm的氧化镓异质集成射频器件电流密度高达661 mA/mm，导通电阻低至24 Ω·mm。该器件在-8V栅压下关断较好，没有出现明显的短沟道效应，如图1b所示。在15V漏压下，阈值电压为-7.5V，跨导57mS/mm。在-12V偏置栅压下，关态电流低于1nA/mm，击穿电压达到90V，表明器件即使在高场下也未出现漏致势垒下降（DIBL）效应。对比研究，相同结构的氧化镓同质衬底器件的电流密度仅为235mA/mm，出现明显的自热效应，表明异质集成技术可有效

提升器件的散热能力。通过低能硅离子注入结合快速退火技术，实现了高电子浓度的类似2DEG的超薄导电沟道，沟道电子主要分布在距氧化镓表面10nm范围内，可以有效解决射频器件的短沟道效应（图1c）。当栅压为8V时，电子面密度高达 $1.83 \times 10^{13} \text{cm}^{-2}$ ，迁移率为 $67 \text{cm}^2/\text{V} \cdot \text{s}$ ，沟道方阻低至 $5.07 \text{k}\Omega/\text{sq}$ 。当栅压降低至-1V时，电子面密度随之降低至 $1.1 \times 10^{12} \text{cm}^{-2}$ ，对应的迁移率提高到 $118 \text{cm}^2/\text{V} \cdot \text{s}$ （图1d）。与氧化镓同质衬底器件相比，由于自热效应的有效抑制，沟道迁移率得到显著提升，这也是助力氧化镓异质射频器件电流密度提升的重要原因。

频率特性和功率输出性能

栅长为0.1 μm器件的截止频率 f_T 和最大振荡频率 f_{max} 分别达到47GHz的和51GHz，为目前氧化镓射频器件公开报道的最高水平，如图2a所示。图2b和2c对不同栅长的氧化镓射频器件的截止频率 f_T 和最大振荡频率 f_{max} 进行对比。采用传统的体掺杂沟道，当栅长缩短至0.2 μm以下时，器件的截止频率 f_T 不再随栅长的减小而继续上升，表明器件已出现明显的短沟道效应。本工作采用低能离子注入沟道和异质集成技术后，栅长0.5 μm的器件 $f_T \cdot L_G$ 为 $5.45 \text{GHz} \cdot \mu\text{m}$ ，对应的载流子饱

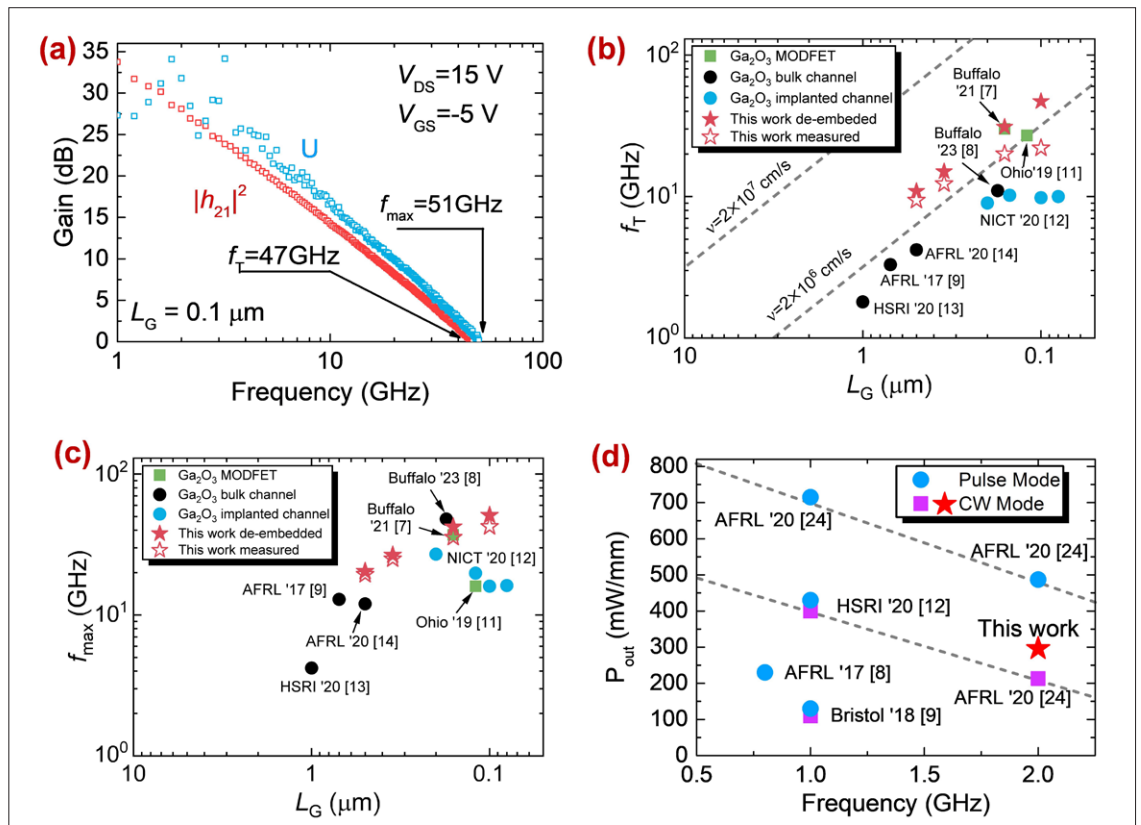


图2: 栅长0.1 μm的氧化镓射频器件(a)小信号增益; 不同栅长氧化镓射频器件(b)截止频率和(c)最大振荡频率对比; (d)不同频率下氧化镓射频器件的输出功率密度对比。

和速度高达 3.42×10^6 cm/s, 与 AlGaO/Ga₂O₃ 调制掺杂结构的射频器件相当, 表明采用低能离子注入沟道技术获得了与 2DEG 性能相近的载流子输运沟道。

采用负载牵引系统对栅长 0.1 μm 的氧化镓异质集成射频器件在 2GHz 频率下的功率输出特性进行测试评估。器件工作在连续波 (CW) 模式下, 饱和输出功率密度为 296 mW/mm, 功率增益为 11 dB, 最大功率附加效率 (PAE) 为 25.7%。值得注意的是, 随着输入功率的增加, 功率增益一直保持较高水平, 在输出功率饱和前没有出现明显的下降。图 2d 对公开报道的氧化镓射频器件在不同频率下的输出功率密度进行了统计对比。输出功率密度与工作频率呈反比关系, 连续波下的输出功率密度普遍小于脉冲模式下的。目前, 公开报道的 2GHz 下连续波最大输出功率为 213 mW/mm, 其漏极工作电压为 20 V。得益于更高的饱和电流密度和更好的散热能力, 本工作研制的氧化镓异质集成射频器件在 15V 工作电压下即实现了 296 mW/mm 的连续波输出功率密度。

综合而言, 低能离子注入技术在沟道掺杂浓

度和深度设计上具有较高的灵活度, 通过优化注入剂量和能量可实现高浓度的超薄导电沟道, 抑制氧化镓射频器件的短沟道效应, 减小低迁移率导致的较高的沟道方阻, 从而提升器件的电流密度和频率特性; 采用高热导率的碳化硅衬底与超薄氧化镓薄膜的异质集成, 可显著改善氧化镓射频器件的散热能力, 提升器件的电流密度, 实现在连续波下工作。这一研究作为氧化镓射频器件的发展开辟了新的技术路线, 在一定程度上解决了制约氧化镓射频器件面临的关键问题。

该研究工作由南京大学、南京电子器件研究所、中国科学院上海微系统与信息技术研究所、中国科学院苏州纳米技术与纳米仿生研究所和西安电子科技大学杭州研究院共同完成。南京大学博士生、南京电子器件研究所高级工程师郁鑫鑫与中国科学院上海微系统与信息技术研究所徐文慧博士为共同第一作者, 叶建东教授、李忠辉研究员、欧欣研究员和韩根全教授为论文通讯作者。该研究工作得到了科技部国家重点研发计划、国家自然科学基金重大/重点项目和广东省重点研发计划等项目的支持。☞



浙江厚积科技有限公司位于海宁经济开发区泛半导体产业园, 公司立足自主创新, 成功研发出拥有自主知识产权的相应设备, 填补国内空白, 其中包括晶圆再生、背磨背金、第三代半导体切磨抛洗一体化等相关领域的设备国产自主化。

公司致力于开发自主高附加值及环境友善特色工艺设备与产品, 引领并扩大国内市场应用。同时以合作开发、技术授权、整线交付等模式响应各类客户的定制化需求, 实现企业可持续发展。

专精特新 特色工艺 一站式客制化专业服务

晶圆再生制程

- 厚度量测
- 物理除膜
- 化学机械抛光
- 第一次清洗
- 先进化学机械抛光
- 单片清洗
- 微尘量测
- 厚度分类
- 真空包装

高功率器件BGBM制程

- 键合
- 晶背研磨
- 旋转刻蚀
- 脱模/贴膜
- 离子注入
- 激光回火
- 金属镀膜
- 激光回火
- 激光切割/贴膜
- 晶圆测试WAT

SiC材料切磨抛洗制程

- 线切割/镭射切割
- 双面lapping
- 粗磨
- 精磨
- PECMP
- 精抛
- 清洗
- 测试

优势

- 低破片率
- 移除量小
- 低污染工艺
- 提高可再生率
- 自主工艺技术和设备

优势

- 晶背应力消除完整
- 有效降低破片风险
- 自主薄化工艺及设备
- 高效去除晶背微细损伤
- 高功率器件核心基础工艺

优势

- 自主工艺
- 提高晶片良率
- 一体化制程设备
- 降低表面粗糙度
- 降低SiC外延后表面缺陷

国产自主

特色工艺

专精特新

环境友善

联系我们

电话: 0573-87221789
地址: 浙江省海宁市海宁经济开发区芯中路8号5幢2楼



Micro-LED 技术研究进展

作者：吴挺竹、刘苏阳、林岳、张荣、陈忠、郭浩中

引言

随着以 AR/VR 为代表的新型微显示技术蓬勃发展，具有超高色彩度与分辨率的微显示技术成为工业界和学术界的共同追求。而传统的显示技术主要适用于大尺寸、低分辨率的芯片制作，很难满足当前市场需求。相较而言，Micro-LED 显示技术具有低成本、低功耗、高分辨率、高透光性、使用寿命长等优点，能更好地适用于微显示器件，在未来具有巨大的科研价值和广阔的应用前景。但是 Micro-LED 在实现全彩化方面仍存在许多难点，包括外延结构设计、芯片制备中的尺寸效应、全彩化问题、Micro-LED 系统集成和可靠性研究等。研究团队利用半极性 (20-21) 晶圆制备了红绿蓝 (RGB) 全彩色 Micro-LED，并在晶圆上添加了量子点光刻胶颜色转换层，实现 RGB 像素在电流密度变化下极小的色移，获得了更宽的色域。此外，研究团队采用原子层沉积和非辐射共振能量传递技术，极大地提高了全彩单片混合量子点纳米环 Micro-LED 的效率，论证了量子点 - 纳米环 - Micro-LED (QD-NR- μ LED) 的颜色转换结构可以获得优异的光学性能和颜色特性。为了克服长波长 InGaN/GaN LED 有限的 3-db 带宽，研究团队通过改进外延生长工艺和芯片工艺制造方法，制作了半极性 (20-21) Micro-LED，实验证明半极性结构的绿色 Micro-LED 在可见光通信 (VLC) 应用中具有良好的传输能力。非

辐射能量转移 (NRET) 机制是一种新颖的技术，可以进一步提高全彩 Micro-LED 器件的颜色转换效率 (CCE) 和有效量子产率 (EQY)。而喷墨打印技术简化了彩色 Micro-LED 的制作工艺，降低了成本，拓展了彩色 Micro-LED 技术的研究思路。这些技术为 Micro-LED 显示技术应用于 AR/VR、水下通信、医疗探测、车载显示等方面奠定了基础。

采用半极性材料制作高色彩稳定性 Micro-LED 器件

研究人员发现使用传统半导体工艺制备技术研究微显示器件时将存在挑战，尤其是应用蓝光或紫外光 LED 器件时，器件的光电性能受到量子限制斯塔克效应 (QCSE) 的严重制约。台湾阳明交通大学与厦门大学的研究人员合作，通过采用半极性 (20-21) 晶圆和量子点光刻胶技术解决这些问题，实现了高色彩稳定性的全彩 Micro-LED 显示。传统的 c 面 LED 容易受 QCSE 影响，导致效率下降和发射波长移位的问题，常见解决方法是在外延过程中插入应变缓解层，但效果一般。半极性 (20-21) 方向的生长为解决极化相关电场问题提供了一种新途径，避免了传统 c 面结构的限制。

研究团队发现使用传统工艺制备半极性 GaN 器件存在高成本的问题，这与产业界希望大规模生产的要求不兼容。为了克服这些挑战，他们采用了一种创新的技术，即定向控制外延技术 (OCE)，直接在常见的蓝宝石晶片上生长半极性 GaN。这项技术采用了金属有机化学气相沉积 (MOCVD) 和沟槽蚀刻衬底侧壁的方法，成功地在特定表面上生长了半极性 GaN 薄膜结构。为了提高色彩稳定性，研究团队采用了量子点融合光刻胶 (QDPR) 的光刻工艺制作颜色转换层。该工艺采用了量子点荧光转换技术，通过在 LED 器

表1: LCD、OLED、Micro-LED性能比较。

显示技术	LCD	OLED	Micro-LED
原理	背光源	自发光	自发光
对比度	>10000:1	~1080000:1	>1080000:1
寿命	中等	中等	长
响应时间	ms	μ s	ns
功耗	高	中等	低
视角	低	中等	高
亮度 (cd/m ²)	3000	1500	10000
色域	75% NTSC	124% NTSC	140% NTSC

件上引入颜色转换层，实现了更宽的色域。该技术的优势在于适用于普通光刻工艺，可实现大规模生产。这种图像化方法具有控制厚度和尺寸的能力，同时克服了传统质技术的难题。

研究团队通过比较 c 面和半极性 Micro-LED 的性能，发现半极性器件的峰值波长在电流密度为 30 A/cm^2 后稳定，而 c 面器件则需要更高的电流密度 90 A/cm^2 才能实现稳定。这表明半极性器件在波长稳定性方面表现更优，这为半极性 Micro-LED 在显示领域的应用提供了有力支持。在色度坐标 CIE 1931 中，半极性 Micro-LED 表现出更小的色移，而随着电流密度的增加，c 面器件有 10% 的色移，而半极性器件几乎没有变化。此外，由于 QDPR 工艺的引入，半极性 Micro-LED 构成的 RGB 像素呈现出更宽的色域，达到了 114.4% 的 NTSC 和 85.4% 的 Rec.2020。

实验结果表明该团队制备的全彩 Micro-LED 阵列具有高色彩稳定性，并且 RGB 子像素在电流密度变化下呈现极小的色移，实现了较宽的显示色域。这一技术突破消除了 Micro-LED 在显示器应用上的不确定性，为显示技术的发展提供了新的思路 and 选择，并在解决波长稳定性和色域扩展方面取得了显著的进展，为高分辨率、大面积显示器的发展提供了经济、实用的解决方案。

提高全彩混合量子点纳米环 Micro-LED 效率的方法

联合研究团队通过结合应变诱导工程、原子

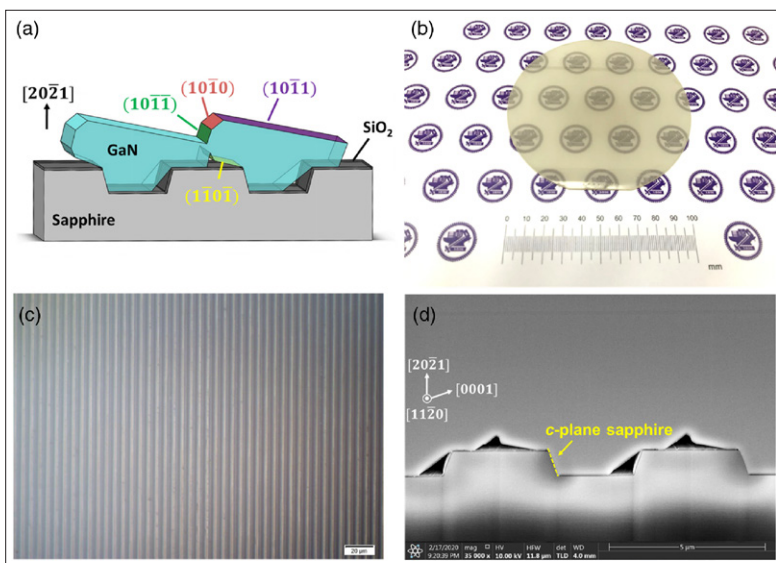


图1: (a) 生长在蓝宝石衬底上的半极性GaN示意图; (b) 生长在半极性 (20-21) 蓝宝石衬底上的InGaN/GaN LED四寸外延片; (c) 生长在蓝宝石衬底上的无半极性InGaN/GaN LED的俯视显微镜图像; (d) 通过定向控制外延生长在图案蓝宝石衬底上的 (20-21) GaN的截面SEM图像。

层沉积和非辐射共振能量传递技术，成功提高了全彩单片混合量子点纳米环 Micro-LED 的效率，为 Micro-LED 显示技术的进一步发展提供了有益的启示。

该团队研究了一种混合量子点 - 纳米线 - Micro-LED (QD-NR- μ LED) 的制备工艺，旨在实现全彩平面显示。首先，通过金属有机化学气相沉积 (MOCVD) 技术在蓝宝石衬底上生长 InGaN/GaN LED 外延层，形成基础 LED 结构。外延结构包括 GaN 缓冲层、n-GaN 层、未掺杂 InGaN/GaN 多量子井 (MQW) 层和 p-GaN 层。随后，通过复杂的光刻和电子束工艺，精确制作

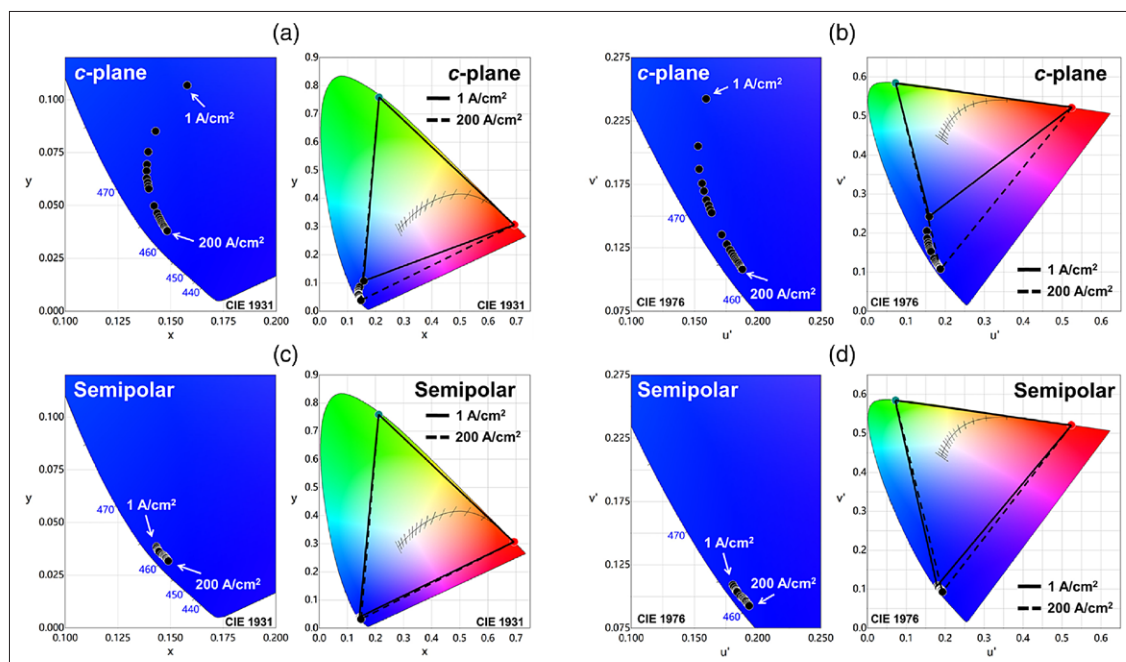
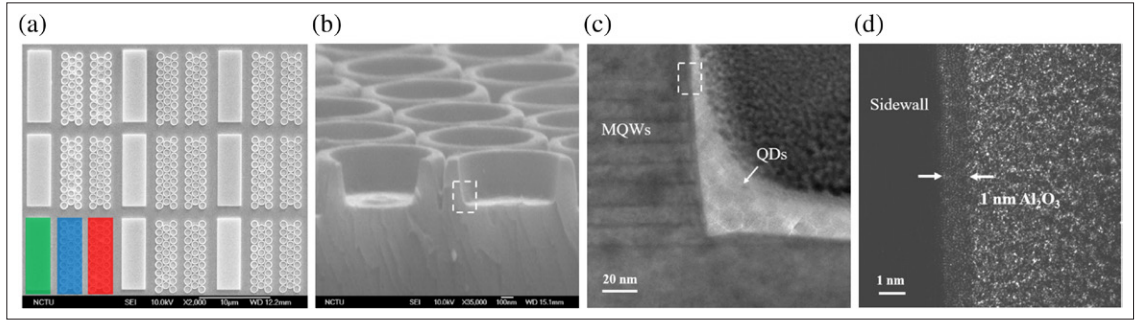


图2: c面 μ -led和QDPR在不同电流密度下的RGB像素色域, (a) CIE 1931和 (b) CIE 1976; 半极性 μ -LED和QDPR在不同电流密度下的RGB像素色域 (c) CIE 1931和 (d) CIE 1976。

图3: (a) RGB像素阵列 SEM图俯视图; (b) 倾斜角度为30°的NR-μLED的SEM图像; (c) MQWs与QDs接触区域的TEM图像; (d) Al₂O₃沉积在NR-μLED侧壁上的TEM图像。



了 Micro-LED 的 RGB 区域和纳米线 (NR) 阵列。纳米线 NR 的制备涉及电子束蒸发沉积镍、剥离工艺去除光刻胶, 并通过离子蚀刻确定有源区域, 分离 pn 层。绝缘层采用了原子层沉积 (ALD) 技术, 通过在氩气环境中使用三甲基铝和水的交替循环, 制备了 Al₂O₃ 钝化层。该层的厚度通过循环次数进行控制。颜色转换层采用超级喷墨技术将 CdSe/ZnS 红色量子点喷涂在蓝色 NR-μLED 的区域上, 形成全彩显示光源的颜色基础。

实验结果表明, 当 Al₂O₃ 钝化层厚度为 1 nm 时, 蓝色 NR-μLED 在波长为 430 ~ 515 nm 的发光强度提高了 143.7%。声子容易在表面缺陷引起的陷阱态中形成非辐射复合, 因此, Al₂O₃ 钝化层薄膜可以减少器件的总内反射和侧壁表面非辐射复合。ALD 沉积的 Al₂O₃ 钝化层薄膜具有适中的折射率, 介于空气和 GaN 之间, 有助于减小全反射的临界角, 使得光能更容易穿透材料。

在先前的研究中, 通过气溶胶喷射打印沉积的量子点的最小线宽被限制在 30 ~ 40 μm。为了克服这一限制, 研究团队升级了量子点 (QD) 喷涂方法, 提高了喷涂精度, 减小了沉积线宽。利用超级喷墨 (SIJ) 打印系统, 成功在玻璃上制备了红色量子点打印出的线宽为 1.65 μm, 实现了对 NR-μLED 的精确喷涂。

该团队使用了典型的室温时间分辨光致发光 (TRPL) 实验来监测 QD-NR-μLED 中的光致发光动态, 特别关注非辐射能量转移 (NRET) 机制。在实验结果中, 通过对衰减曲线的比较, 发现了 QD-NR-μLED 结构的衰减速率明显低于作为参考组 NR-μLED 结构的衰减速率。结果显示, 通过 ALD 钝化层和未经过钝化的 QD-NR-μLED 的 NRET 效率分别为 66.4% 和 53.6%, 表明 ALD 钝化显著提高了 NRET 效率。进一步的分析表明, ALD 钝化不仅改善了 NRET 效率, 还通过修复表面缺陷提高了发光强度, 使得蓝光器件的发光强度提高了 143.7%。通过引入一层 DBR 作为滤波

器, 成功诱导了纯红光的发射, 并且 DBR 的反射率曲线显示了短波长光的强烈反射, 进一步提高了量子点的激发效率。

最终, 混合 QD-NR-μLED 的 EL 光谱呈现出单个 RGB 颜色, 具有优异的色坐标和宽色域。利用这种新颖的结构设计, 使声子施主和受体激子的分离最小化, 有效提高了混合器件的发光性能。总体而言, 该研究突破了量子点和窄带发光二极管的性能瓶颈, 为单片 RGB-μLED 器件的制备提供了新的思路和技术支持。

Micro-LED 在光通信领域的研究

GaN 基 Micro-LED 除了应用在微显示技术方面, 还在光通信领域获得了可靠的进展。因其具有高带宽、低功耗和无需许可证等优点, 其在可见光通信 (VLC) 应用领域具有广阔的前景。目前 LED 可见光通信器件容易受到内部偏振场的影响, 这会严重影响其 3-dB 带宽和传输速率。市场销售的 GaN-LED 通常是极性 LED, 这会导致严重的量子限制斯塔克效应 (QCSE), 从而导致在高注入电流密度下的效率降低, 当 InGaN/GaN MQWs 的晶面生长的方向垂直于极性面时, 可以完全消除极化场, 但会导致外量子效率 EQE 降低, 以及掺杂量低、输出功率低、外延材料质量差等问题。因此, 通过改进锗掺杂氧化铝工艺, 成功制备了无锗半极性 LED。除此之外, 还做了以下工作: ①使电极最小化从而减小电容, 以达到较小的时间常数 RC; ②用圆形电极改善电流扩散并增强电气性能; ③利用原子层沉积 (ALD) 技术制备 Al₂O₃ 绝缘层来消除蚀刻过程中侧壁缺陷的影响; ④用蒸镀设备沉积背面的 DBR 反射层。通过以上工作制作的 Micro-LED 器件具有优异的光电特性, 该半极性 (20-21) Micro-LED 实现了长波长 InGaN/GaN LED 器件中有史以来最高的 3-dB 带宽, 在 2.0 kA/cm² 时具有 756 MHz 的带宽和 525 nm 的峰值波长, 数据传输速率达 1.5 Gbit/s。

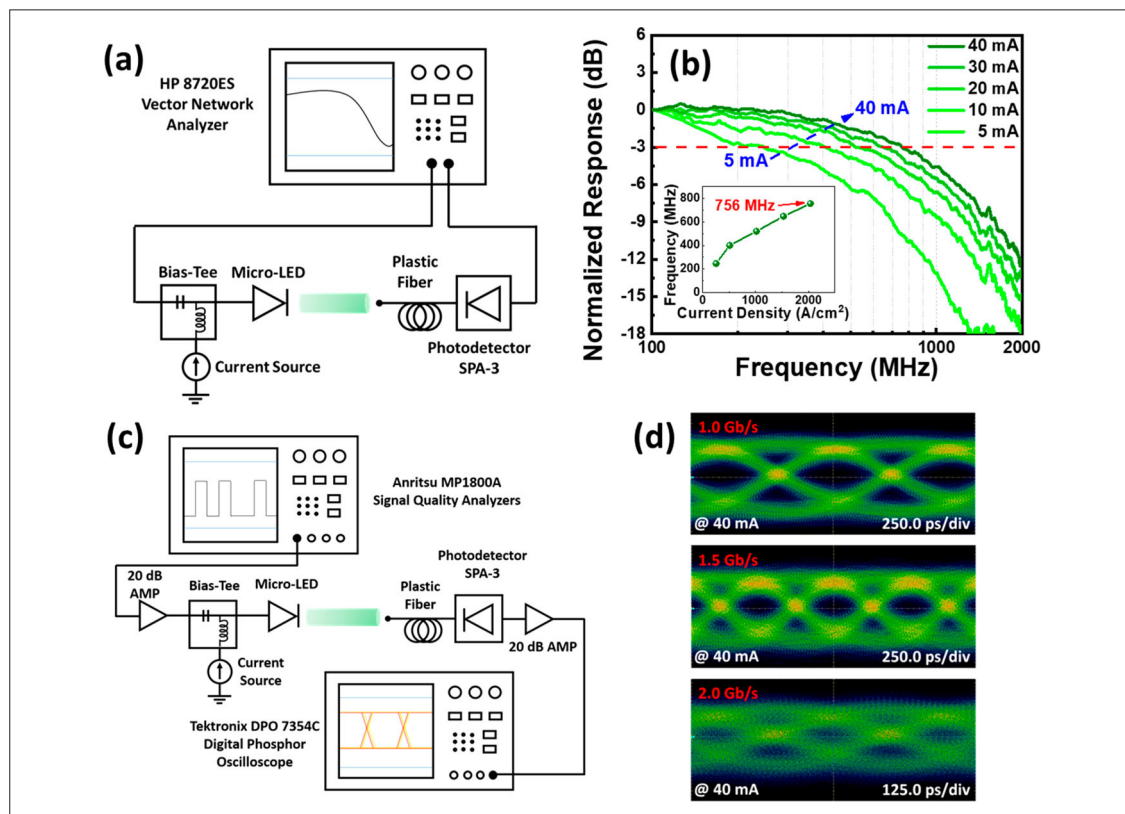


图4: 50 μm 半极性 (20-21) Micro-LED, (a) 原理图; (b) 频率响应测量结果; (c) 原理图; (d) 数据速率测量可视图。

目前, 在基于LED的光电探测(PD)研究中, 器件工作在反向偏置或零偏置状态下显示的正向偏置信号的性能检测和应用研究较少。采用原子层沉积技术(ALD)在有源区域的侧壁表面沉积 Al_2O_3 钝化层, 以减少载流子泄漏并提高响应速率, 并且通过对比有无ALD标准样品的I-V曲线, 以及在偏置电压为-5~3 V时不同接收光功率下的响应速率, 验证了ALD可以提高Micro/Mini-LED PD的响应速率。该实验采用单颗Micro/Mini-LED作为收发器, 使16-QAM-OFDM实现距离超过1m, 数据传输速率350 Mbps的全双工可见光通信系统, 论证了Micro/Mini-LED未来在显示和通信领域具有多功能应用的前景。这些研究工作简化了全双工通信系统的结构, 降低了系统功耗, 便于多功能微型LED器件的集成, 论证了Micro/Mini-LED在小型化物联网和多功能显示领域的应用潜力。

基于非辐射能量转移机制的量子点Micro-LED最新进展

传统的无机荧光粉在尺寸精度和侧壁缺陷控制方面存在限制, 这对微尺寸范围的Micro-LED实际应用造成了困扰。为了解决这些问题, 厦门大学研究团队近年来提出了基于量子点(QD)

和非辐射能量转移(NRET)的新方法。量子点具有纳米级尺寸和高发光效率, 并且可以与Micro-LED芯片紧密结合, 因此非常适合用于NRET。

自2000年德克萨斯理工大学提出Micro-LED技术以来, LED光源进入了微显示时代。相比传统的Mini-LED和OLED等屏幕显示技术, Micro-LED具有高亮度、高光效、低能耗、响应速度快、对比度高、自发光、使用寿命长等优点, 因此备受关注。然而, 基于全彩色Micro-LED的技术在量产方面存在一些挑战, 例如制造高分辨率显示器需要组装和驱动数千万数量级的Micro-LED, 而且贴装精度要求小于 $1\mu\text{m}$ 。在同一基板上转移或生长如此数量的三种色光的Micro-LED是非常困难的。为了解决这个问题, 量子点被引入作为一种颜色转换材料, 通过在蓝光或紫外光激发下实现RGB全彩显示。量子点是由少量特殊发光原子组成的纳米材料, 通过调整量子点的尺寸, 可以比较容易实现不同波长的发光。作为Micro-LED的颜色转换材料, 量子点可以替代尺寸较大且应用困难的传统荧光粉。此外, 通过不同量子点的组合, 可以方便地调节白光参数, 包括色品坐标、相关色温和显色指数。

非辐射能量转移(NRET)是通过量子点和

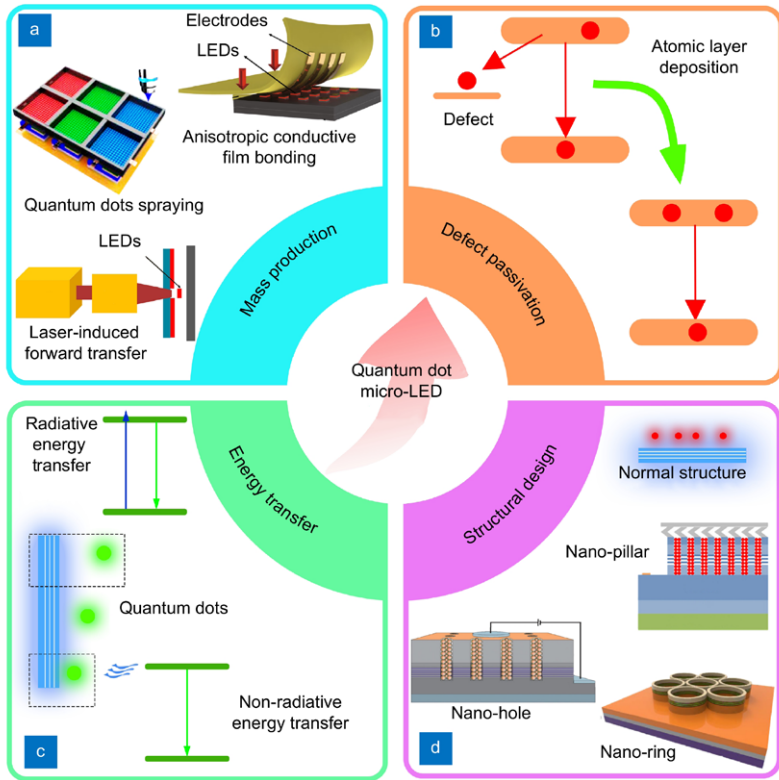
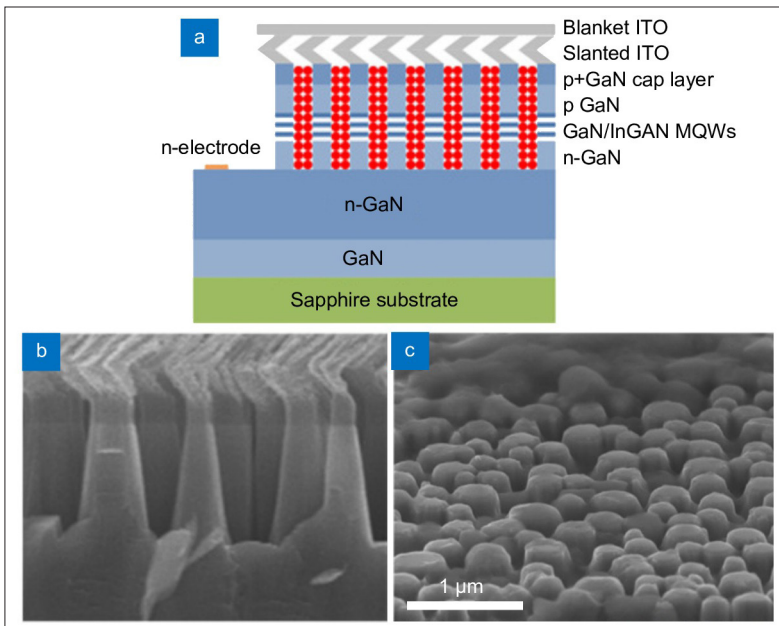


图5: QD Micro-LED的研究进展, (a) 批量生产的方法; (b) 原子层沉积钝化; (c) Micro-LED芯片与QD之间的能量传递原理; (d) QD Micro-LED的结构设计。

Micro-LED 芯片之间的能量传递实现的。量子点具有纳米级尺寸和高发光效率，与 Micro-LED 芯片紧密结合后，能够实现高效的能量传递。本文将首先讨论 QD 和 Micro-LED 之间的 NRET 机制，然后介绍纳米柱 LED、纳米孔 LED 和纳米环 LED 等结构，这些结构有利于实现 QD 和 Micro-LED 之间的 NRET 效应。纳米柱 LED 具有高度可控的结构，可以有效地提高 NRET 效率。纳米孔 LED

图6: (a) 纳米柱 LED 示意图; (b) 纳米柱LED器件的横截面SEM图像; (c) QD涂层纳米柱的SEM图像。



则利用孔洞结构增强了量子点与 Micro-LED 之间的相互作用，从而实现更高的能量传递效率。而纳米环 LED 则通过环形结构的设计，进一步提高了 NRET 效率。这些创新的结构和设计为量子点 Micro-LED 的应用提供了新的途径。

尽管基于非辐射能量转移机制的量子点 Micro-LED 取得了显著的进展，但仍然存在一些挑战需要克服。首先，量子点的合成方法和制备工艺仍然需要进一步改进，以提高制备效率和稳定性。其次，量子点与 Micro-LED 之间的界面优化和能量传递效率的提高也是一个重要的研究方向。此外，大规模制备和集成量子点 Micro-LED 显示器的技术难题也需要解决。未来，可以期待通过深入研究和技术创新，进一步提高量子点 Micro-LED 的性能和应用范围，实现更广泛的商业化应用。

基于非辐射能量转移机制的量子点 Micro-LED 是当前显示技术领域的热点研究方向。通过引入量子点作为颜色转换材料，并利用非辐射能量转移机制，可以提高 Micro-LED 器件的颜色转换效率和能量利用率。纳米柱 LED、纳米孔 LED 和纳米环 LED 等结构的设计和优化进一步推动了该技术的发展。尽管面临一些挑战，但随着研究的深入和技术的进步，基于非辐射能量转移机制的量子点 Micro-LED 将在未来实现更广泛的应用，并为显示技术带来新的突破和发展。

喷墨打印技术在微显示应用中的进展与挑战

为了实现高密度高画质的微显示图像，需要制作具有高像素密度和高亮度的光源元器件。喷墨打印技术作为实现 Micro-LED 的全彩显示都技术方案之一，采用量子点作为色转换层，将量子点涂覆到单色 Micro-LED 阵列上，使原始光源的光色转变为 RGB 三原色实现全彩发光，是实现全彩显示的重要方法之一。

喷墨打印技术是一种将各种材料溶液通过高压喷头按指定坐标点顺序喷射到基底表面，形成指定图案的技术。它具有工艺简单，成本低廉，几乎零废料的优点，广泛应用于印刷、电子材料、生物医药等多领域。2015 年，韩国研究人员利用喷墨打印技术，将量子点溶液直接喷射到 UV-LED 微阵列表面，实现 282 PPI 的微显示器全彩显示。随后，研究人员利用不同的喷墨技术，不断提高微显示的分辨率和画质。Kuo 等人利用超

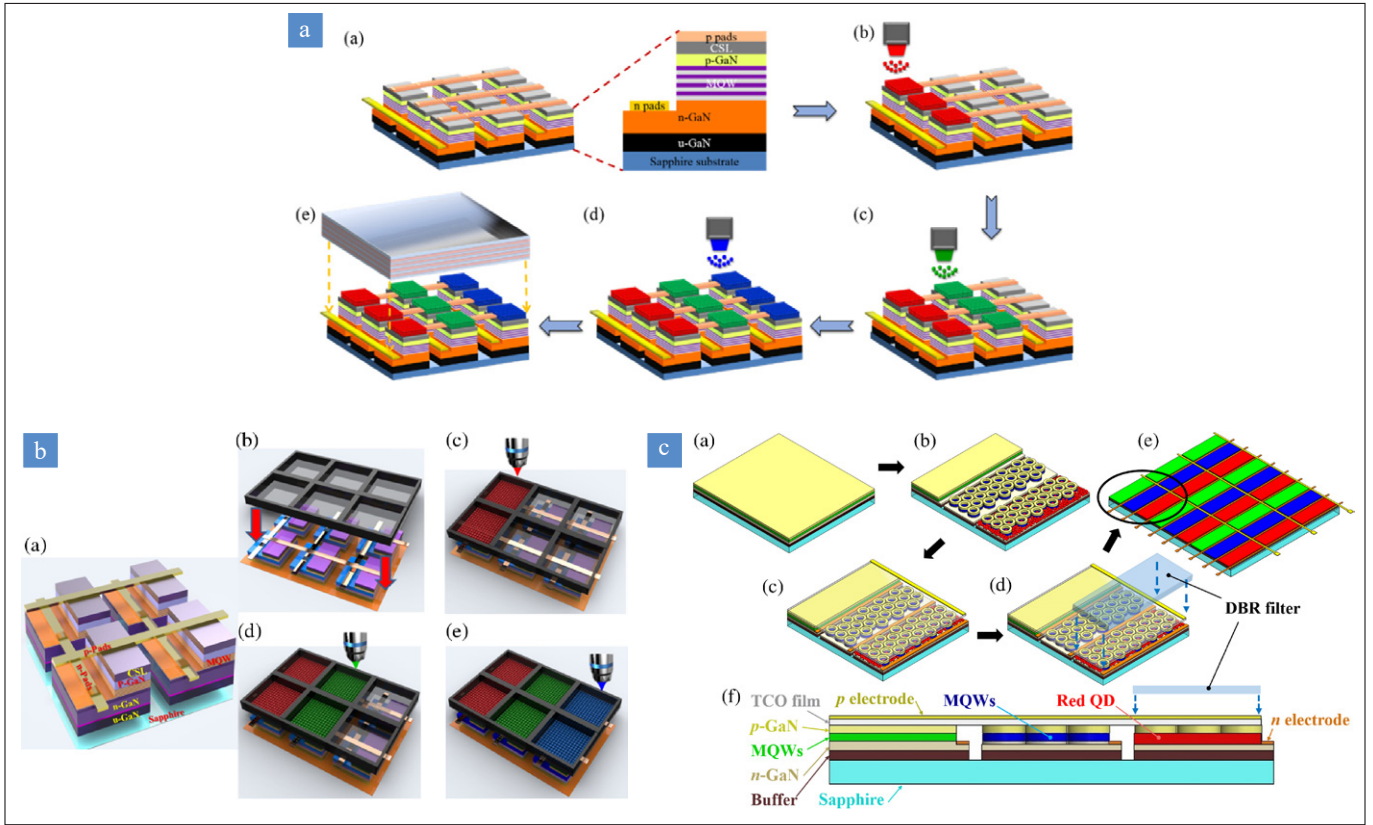


图7: (a) AJP工艺流程图; (b) 基于光刻和AJP技术的全彩Micro-LED显示屏制作工艺; (c) QD-NR-Micro-LED显示屏全彩设计。

级喷墨技术，将单个喷墨水滴量降低到 0.1fL，实现的线宽降低到 1.65 μm ，量子点行列的最小距离为 2 μm ，可达到更高的分辨率。2019 年，钟海政团队提出的另一种解决方案是将纯前驱体溶液喷射到预先制备的各种类型的聚合物薄膜上，这种解决方案避免了使用制备好的量子点进行实验时墨水降解的可能。

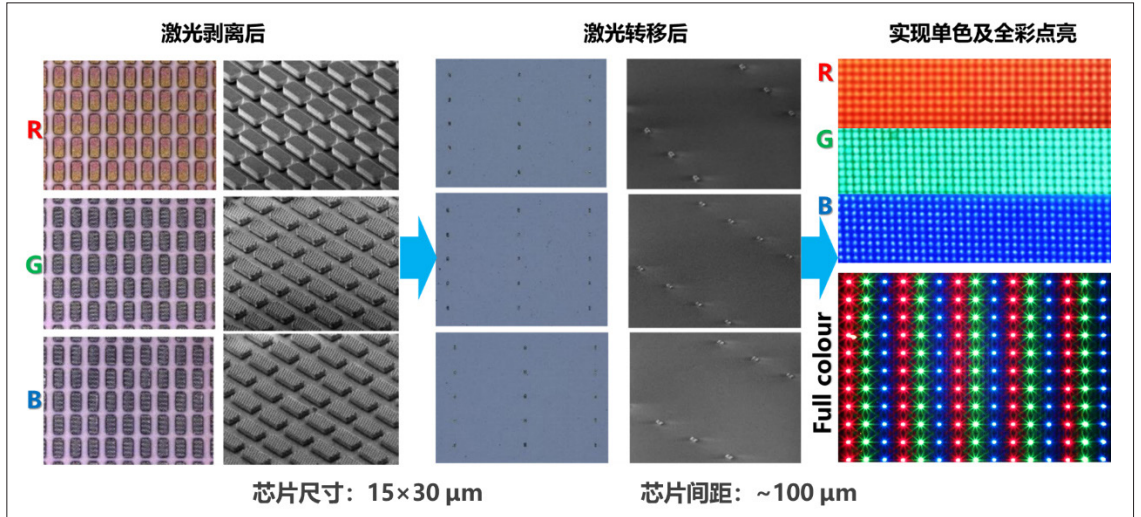
除了不断优化喷墨技术本身，研究人员还通过改造喷墨墨水特性，提高打印效率和质量。首先，适当增加墨水粘度可以抑制喷墨时局部流动，减少“咖啡环”现象，实现均匀印刷。其次，增加墨水表面张力能减少微滴在基底上的扩散，降低线宽。此外，使用多溶剂体系调节其优势挥发速率，可形成表面张力梯度产生的内向马兰戈尼流，进一步抑制“咖啡环”效应。通过以上技术改进，喷墨打印技术在微显示中的应用已经取得了显著进展，实现了高达 5000 PPI 的 Micro-LED 分辨率。然而，仍然存在一些需要解决的难题。厦门大学研究团队不仅研究了量子点喷墨打印技术，还总结了当前喷墨打印技术在 Micro-LED 方面的研究进展及面临的挑战，这些工作为未来喷墨打印技术的发展与研究提供了重要的参考与启示。首先是光学串扰问题，由于 Micro-LED 之间的距离远小于其尺寸，LED 发出的光常常会进入

相邻的 LED 中，影响图像质量。其次是蓝光吸收不足的问题，量子点材料对蓝光的吸收效率较低，导致发光效率不高。此外，喷墨过程中纳米材料的聚集也容易影响器件质量。

为了解决这些问题，研究人员提出了一些新的方法。例如利用光学模具将额外的光束反射回目标像素中，以减少光学串扰现象。另一种方法是将量子点内嵌到 Micro-LED 结构层中，实现非辐射能量转移，从而提高发光效率。还有一种方法是引入 TiO_2 颗粒作为蓝光散射体，以增强蓝光的传输效果。此外，通过优化喷墨过程的参数，控制粒子的生成和分布，也可以改善成品的质量。除了喷墨打印技术，研究人员还探索了全息微显示和纳米印刷技术，以更好地满足未来 AR/VR 对超高分辨率的需求。

总体而言，随着喷墨打印技术和配套材料不断优化，Micro-LED 全彩显示已基本成熟。但与 AR/VR 高端应用还存在一定差距，需要相关技术取得新的突破，例如打印精度、超高分辨率、全息显示等。只有真正实现高画质、低功耗的微显示，才能极大提升用户体验，促进 AR/VR 核心技术的发展。随着人工智能在各行各业的广泛应用，微显示作为重要人机交互载体之一，其应用前景广阔，定将打开崭新的应用模式。

图8: G2.5示范的Micro-LED工艺流程及彩色效果。



巨量转移技术进展

目前商业上已经实现了 RGB 单色 Micro-LED 微小尺寸显示发光单元的制作，如已经报道的 JBD 公司 2.5 μm 像素尺寸单色 Micro-LED 芯片。但是如何实现不同单色 Micro-LED 颗粒单元的高效集成，实现全彩显示，依旧是业界难点。当前主流技术路线以 GaN 材料外延片制作蓝光和绿光 Micro-LED 芯片，以 AlGaInP 材料外延片制作红光 Micro-LED 芯片，然后通过把不同色光 Micro-LED 单元转移到硅衬底上，与有源控制电路键合后实现彩色发光，这种方法称为巨量转移技术。巨量转移技术是迄今为止实现 Micro-LED 芯片全彩化高效集成发光最有效的封装技术。巨量转移技术还包括激光剥离技术、接触式 μTP (Micro-Transfer-Printing) 技术、激光非接触式 μTP 技术和自流体组装技术等。

值得注意的是，巨量转移过程对精度的要求极高，即使存在百万分之一的失误，也会造成明显的显示色彩噪点，并且每个 Micro-LED 显示屏需要精准地集合至少数千万不同的发光单元颗

粒。作为 Micro-LED 产业化全彩显示技术的关键一环，巨量转移技术对转移设备的稳定性与精度要求极高，每种芯片只能单颗转移，同时需要避免转移过程中出现重叠、错位等问题，而转移后如何精准地与硅基控制电路电极实现有效键合，更是重中之重。显然，传统的照明 LED 转移工艺无法满足商业化制造需求。

2023 年 5 月，在全球最大显示展会“SID Display Week 2023”上，厦门大学公布了由其研究团队主持建设，现已建成的全球首条 23.5 英寸 (G2.5, 370 mm × 470 mm) Micro-LED 巨量转移工艺示范线，该产线包括人工智能辅助设计、芯片制造、转移集成、可靠性评估等完备的 Micro-LED 智造创新产业链。当前，研究团队已开发了多应用场景、高性能显示应用的 Micro-LED 芯片产品，并成功开发了高良率、高效率的激光巨量转移全产业链工艺，实现单色、全彩芯片阵列的点亮。该技术进展是 Micro-LED 全彩化道路上里程碑式的进步，引领了新型显示产业发展。CSG

扩展阅读

- Chen, Sung-Wen Huang, et al. "Full-color micro-LED display with high color stability using semipolar (20-21) InGaN LEDs and quantum-dot photoresist, " Photonics Research 630-636 (2020).
- Chen, Sung-Wen Huang, et al. "Full-color monolithic hybrid quantum dot nanoring micro light-emitting diodes with improved efficiency using atomic layer deposition and nonradiative resonant energy transfer, " Photonics Research 416-422 (2019).
- Chen, Sung-Wen Huang et al. "High-bandwidth green semipolar (20–21) InGaN/GaN micro light-emitting diodes for visible light communication, " ACS Photonics 2228-2235 (2020).
- Yang, Xiao et al. "An overview on the principle of inkjet printing technique and its application in micro-display for augmented/virtual realities." Opto-Electronic Advances 210123 (2022).
- Fan, Xiaotong et al. "Recent developments of quantum dot based micro-LED based on non-radiative energy transfer mechanism." Opto-Electronic Advances 210022 (2021).

通过氧气等离子体处理的超低 导通电压 (0.37V) 垂直 GaN-on-GaN 肖特基势垒二极管

摘要：

在这项研究中，展示了具有超低导通电压 V_{ON} (0.37 V) 的垂直氮化镓 (GaN) 肖特基势垒二极管 (SBD)。由于 O_2 等离子体处理 (OPT) 工艺，在 GaN 表面形成了 GaON，进一步改变了材料表面的表面电位，使 V_{ON} 从 0.62 V 降低到 0.37 V。旋涂玻璃 (SOG) 沉积在器件顶部，形成浮动保护环 (FGR)，用于通过减少电场分布将击穿电压提高到 681 V ($J = 1 \text{ A/cm}^2$)。垂直 GaN SBDs 的比导通电阻 (R_{ON}) 为 $2.6 \text{ m}\Omega \cdot \text{cm}^2$ 。器件在不同应力时间变化下的劣化表现出轻微的器件稳定性。

关键词：GaN-on-GaN, O_2 等离子体处理, 超低开启电压

作者：吴钧焯¹，廖泽亮¹，王灏帆¹，邹平¹，蔡伟雄¹，陈少军¹，熊信伯¹，黎晓华¹，屠宇迪¹，刘新科^{1*}，朱仁强²，庄文荣³，邱显钦⁴；

¹ 深圳大学；² 成都电子科技大学深圳高等研究院；³ 东莞中镓半导体科技有限公司；⁴ 长庚大学；

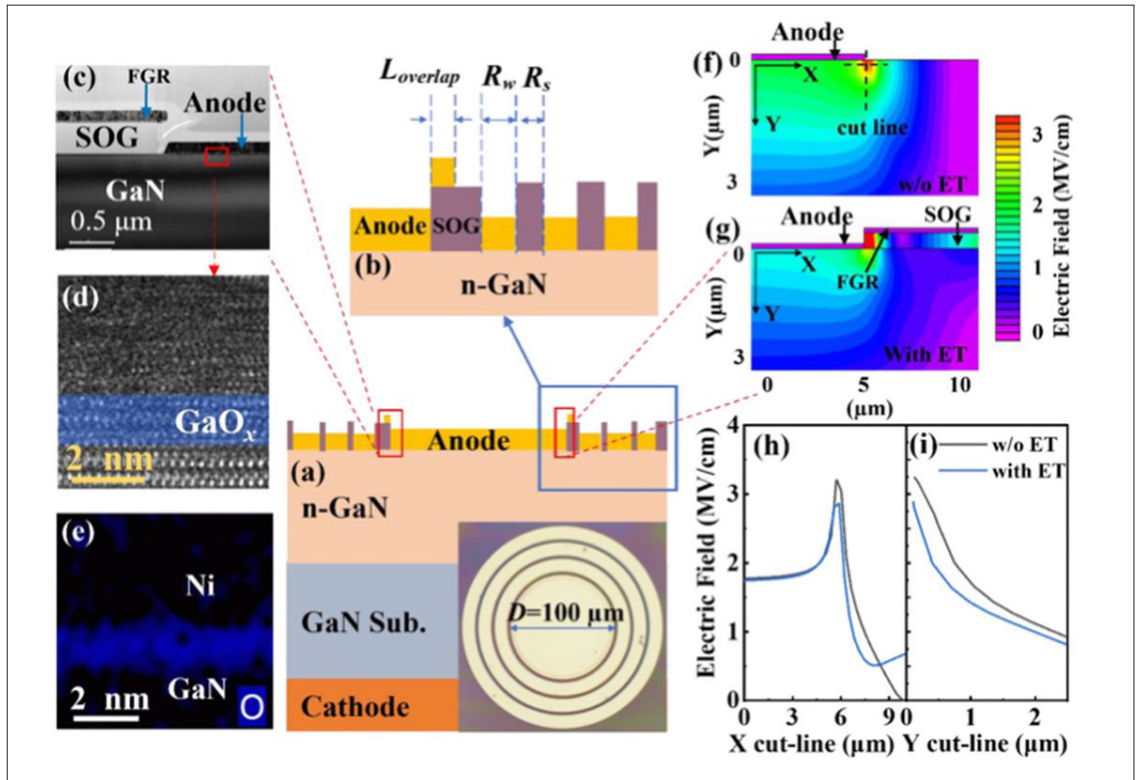
* 通信作者 xkliu@szu.edu.cn

由于 GaN 材料具有优异的物理特性，如宽的带隙 ($E_g = 3.4 \text{ eV}$)、高电子迁移率和高热导率，氮化镓 (GaN) 基器件被认为是最有前途的电力电子元件之一。^[1-5] 研究最广泛的 GaN 基功率二极管主要分为横向和垂直结构。基于二维电子气 (2DEG) 通道的横向二极管具有高电子浓度 ($\sim 1 \times 10^{13} \text{ cm}^{-2}$) 和电子迁移率 ($\sim 2000 \text{ cm}^2/\text{V}\cdot\text{s}$)。^[4] 然而，横向二极管的性能受到表面相关问题和散热不良的限制。与横向 GaN 器件相比，垂直 GaN 器件具有更高的击穿电压、更大的电流和更低的热阻，因为 GaN-on-GaN 同质外延层具有更好的晶体质量，例如低穿透位错密度 (TDD) ($\sim 10^4$ – 10^6 cm^{-2}) 和界面应力。^[6-8] 垂直 GaN 肖特基势垒二极管 (SBD) 由于其低导通电压和快速反向恢复能力，在功率开关应用中具有明显的优势。^[9] SBD 的导通电压直接影响器件的功率转换效率和功率损耗，正向压降越低可以带来更低的功耗和

更高的开关频率。^[10] 但是，与 Si SBD 相比，垂直 GaN SBD 具有更高的开启电压 (V_{ON}) (通常 $> 0.6 \text{ V}$)，这意味着该器件在电源系统中具有更大的功率损耗和更低的整流效率。^[11]

为了解决这些问题，在之前的研究中，降低导通电压的方法通常是通过更换肖特基接触金属，Chen 等人以 Mo 为阳极制备了开启电压为 0.34 V、击穿电压 (V_{BR}) 为 125 V 的 GaN SBD。^[12] 在横向 GaN SBD 中，通常将欧姆阳极和肖特基阳极结合在一起^[13-14] 以获得较低的开启电压。但导通电压的降低通常会导致器件漏电流的增加，从而降低器件的击穿电压。^[15] O_2 等离子体处理 (OPT) 也用于修改横向 GaN 基高电子迁移率晶体管 (HEMT) 和肖特基二极管的界面和表面态来提高这些器件的性能。^[16-18] 必须降低导通电压，同时通过场板和沟槽结构等边缘终端确保一定的击穿电压。^[19-21] 浮动保护环 (FGR) 是一种有效

图1: (a) 整个横截面示意图, 插图显示了带有浮动保护环 (FGR) 的垂直 GaN SBD 的顶视图, 插图显示了其光学图像。(b) 从 (a) 切下的右侧。(c) 阳极/GaN/SOG 界面的 TEM 图像。(d) 阳极/GaN 界面的 TEM 图像。(e) 阳极/GaN 界面处的 O 元素映射。(f) 和 (g) 分别为不带 FGR 终端和带 FGR 终端的垂直 GaN SBD 的模拟电场分布 (f)。分别从 (f) 和 (g) 中沿 X 切割线提取 (h)、沿 Y 切割线提取 (i) 阳极边缘处的模拟电场分布。



且易于实施的降低阳极边缘电场的端接方法。^[22-24]

在本工作中, 通过 OPT 制备了超低导通电压垂直 GaN SBD。将旋涂玻璃 (SOG) 沉积在器件顶部以形成 FGR。经过 OPT 处理后, V_{ON} 从 0.62 V 降至 0.37 V。通过 OPT 工艺和制备终止, 垂直 GaN SBD 表现出超低的开启电压 V_{ON} 为 0.37 V, V_{BR} 为 681 V (在 $J = 1 \text{ A/cm}^2$), 比导通电阻 (R_{ON}) 为 $2.6 \text{ m}\Omega \cdot \text{cm}^2$ 。使用随温度变化的电流密度-电压 (J-V) 特性和脉冲应力测试来分析器件的可靠性。

图 1 (a) 显示了具有 FGR 的垂直 GaN SBD 结构。它由硅掺杂的 $300 \mu\text{m}$ 厚的 GaN 衬底和轻度掺杂的 $20 \mu\text{m}$ 厚的漂移层组成, 掺杂浓度为 $1 \times 10^{16} \text{ cm}^{-3}$ (SINO Nitride, China)。端接结构的细节如图 1 (b) 所示, 它是图 1 (a) 的右侧剖视图。首先, 晶圆经过预清洗过程, 包括 5 分钟的丙酮、5 分钟的异丙醇脱脂步骤和 10 分钟的强氧化性溶液 ($\text{H}_2\text{O}_2:\text{H}_2\text{SO}_4=1:3$) 浸泡步骤以去除有机残留物。采用 BCl_3/Cl_2 等离子刻蚀形成深度为 $1.2 \mu\text{m}$ 、直径为 $350 \mu\text{m}$ 的台面结构。使用均胶机制造的 SOG 来形成 FGR。之后, 通过 (BOE, $\text{NH}_4\text{F}:\text{H}_2\text{O}=1:6$) 进行湿法蚀刻, 用于蚀刻 SOG。

此后, 通过沉积 Ti/Al/Ni/Au ($25 \text{ nm}/100 \text{ nm}/25 \text{ nm}/40 \text{ nm}$) 并在 N_2 环境中在 800°C 下快

速热退火 (RTA) 30 秒来形成欧姆接触。在沉积阳极之前, 对 GaN 表面进行 OPT, 压力为 50 毫托, O_2 流量为 30 sccm, 等离子体功率为 250 W, 持续 100 秒。最后, 沉积 Ni/Au ($25/60 \text{ nm}$) 接触作为直径为 $100 \mu\text{m}$ 的阳极电极和浮动金属环。图 1 (c) 显示了器件阳极/GaN/SOG 界面的透射电子显微镜 (TEM) 图像。图 1 (d) 和 (e) 通过能量色散光谱仪 (EDS) 显示了 GaON 的存在。

图 1 (f) 和 (g) 分别显示了没有和有 FGR 的垂直 GaN SBD 的模拟电场分布。比较两种器件之间的电场分布, 浮动保护环可以降低肖特基接触边缘的峰值电场, 如图 1 (h) 和 (i) 所示。图 2(a) 显示了用于开尔文探针力显微镜 (KPFM) 测量的没有和有 OPT 的样品结构。KPFM 的结果如图 2 (b) 所示, OPT^[18] 后表面电位降低, 这表明 GaON 和金属的功函数差异小于 GaN 和金属的差异。从 X 射线光电子能谱 (XPS) 中提取的结果, 图 2 (c) 和 (d) 显示了 N-1s 核能级和价带最大值 (VBM) 的值, 可以通过差值估计 GaN 和 GaON 之间的 VBM 偏移 GaN 和 GaON 的 N-1s 和 VBM 之间的差异。VBM 偏移为 0.85 eV , GaON 纳米层的 VBM 低于 GaN 衬底的 VBM。GaON 的带隙约为 $4.12\text{--}4.22 \text{ eV}$, ^[25]GaON 的导带最小值 (CBM) 据估计比 GaN 低 $0.05\text{--}0.15 \text{ eV}$ 。

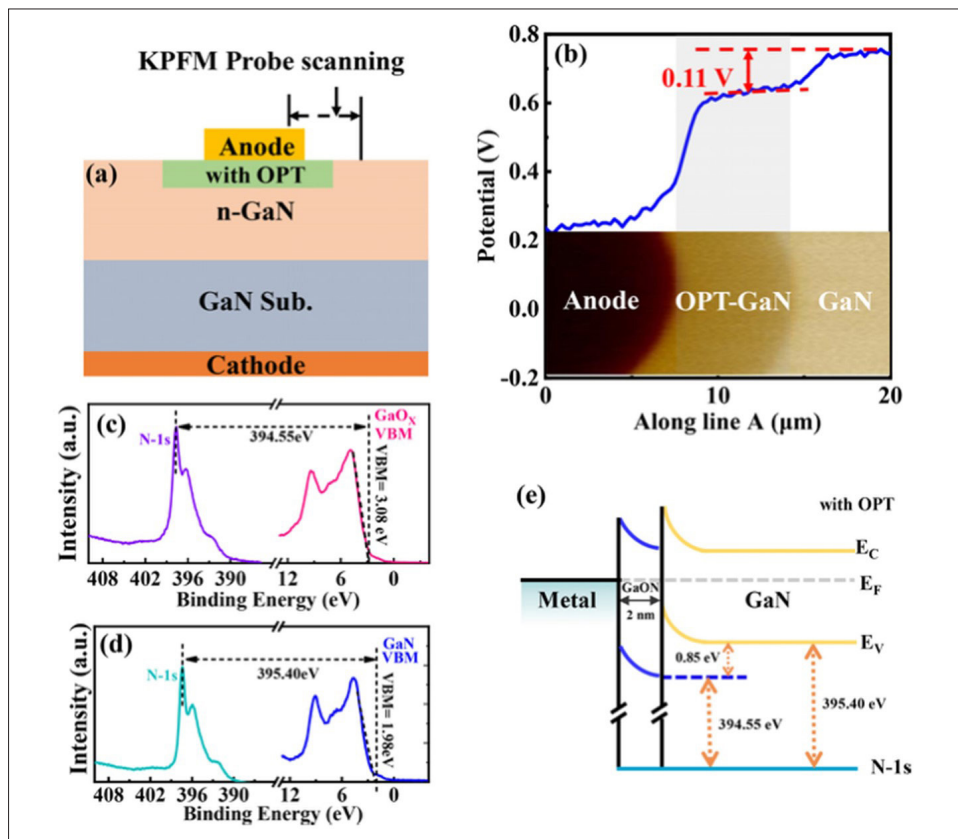


图2: (a) 分别是采用 OPT 进行 KPFM 测量的样品结构。(b) KPFM 对两种类型样品的电位差。分别具有 OPT 和 (d) 的样品 (c) 和 (d) 的 XPS 光谱。(e) 分别具有 OPT 的样品的能带图。

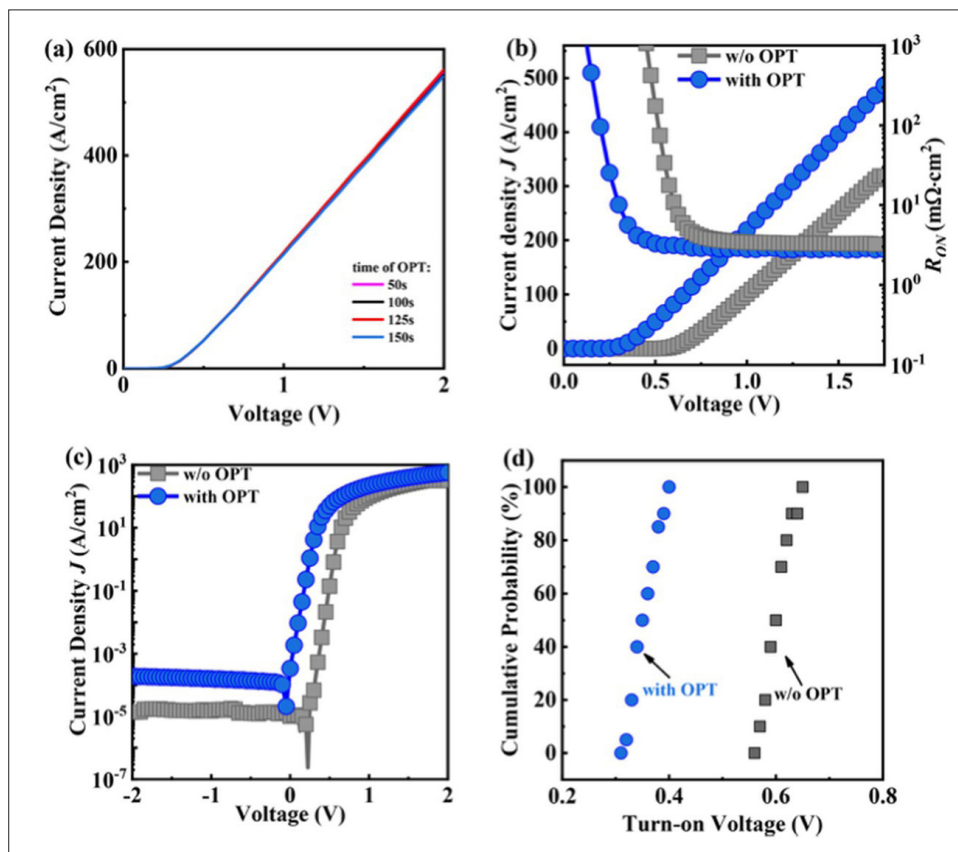


图3: (a) 一系列 OPT 处理时间从 50s 到 150s 的正向 J-V 特性, 步长为 25s。(b) 分别具有和不具有 OPT 的垂直 GaN SBD 的正向 J-V 特性。(c) 两种器件的对数标度图中的正向 J-V 特性。(d) 分别有和没有 OPT 的垂直 GaN SBD 的 V_{ON} 累积概率。

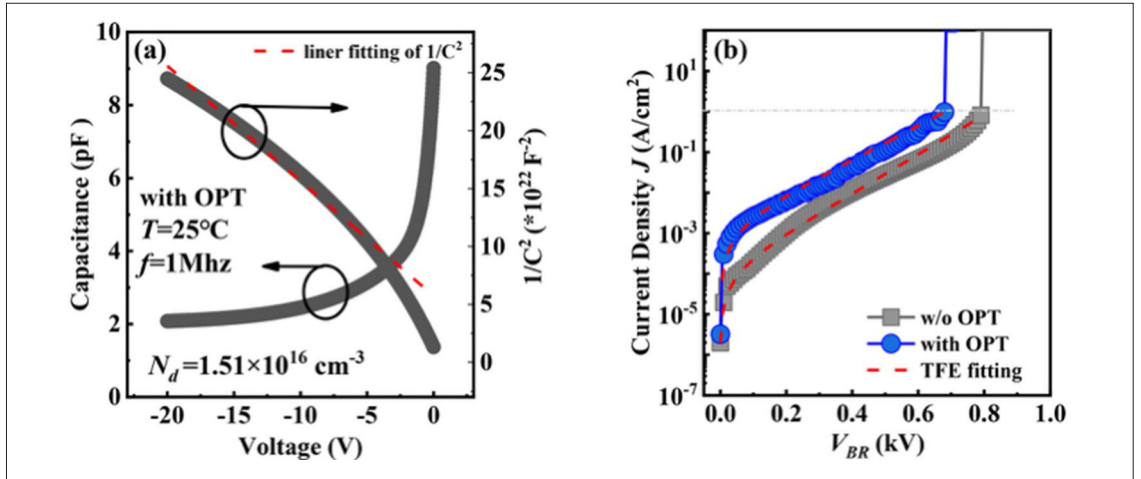
由于 GaON 与金属的功函数差异较小, GaON 的 CBM 较低, OPT 后肖特基势垒高度 (SBH) 降低, 导致导通电压降低, 漏电流增加。图 2 (e) 分别显示了具有 OPT 的器件的能带图。

一系列 OPT 处理时间为 50 s 至 150 s 的样品的正向 J-V 特性如图 3 (a) 所示。随着 OPT 处理时间的增加, 开通电压和电流密度变化不大, 这是由于 OPT 时间大于 50 s 时 GaON 生长过饱和造成的。如图 3 (b) 所示, 带有 OPT 的器件显示 V_{ON} 为 ~ 0.37 V, 这是在室温下标准电流密度为 1 A/cm^2 时推断的。在没有 OPT 的器件中, V_{ON} 约为 0.62 V。通过正向 J-V 提取的带和不带 OPT 的器件的 SBH $\Phi_{B,F}$ 分别为 0.57 eV 和 0.81 eV。^[21] 带 OPT 的器件的 R_{ON} 为 $2.6 \text{ m}\Omega \cdot \text{cm}^2$, 与不带 OPT 的器件 R_{ON} 相当。 $2.8 \text{ m}\Omega \cdot \text{cm}^2$ 。图 3 (c) 显示了两种器件的对数标度图中的前向 J-V 特性。图 3 (d) 显示了带和不带 OPT 的器件的 V_{ON} 的周期累积概率分布, 带和不带 OPT 过程的每个器件测试了 20 个器件, 概率值每个点是 V_{ON} 出现在这个起点 (0% 点) 和这个点之间的循环中的概率。有 OPT 的器件的 V_{ON} 在 0.3-0.4 V 的范围内, 而没有 OPT 的器件的 V_{ON} 在 0.55-0.7 V 的范围内, 表明 OPT 过程后 V_{ON} 明显下降。

图 4 (a) 显示了 1 MHz 下的电容 - 电压 (C-V) 测量值、净掺杂浓度以及通过 $1/C^2$ -V 图的斜率和交点提取的 SBH。净掺杂浓度 ND 为 $\sim 1.51 \times 10^{16} \text{ cm}^{-3}$, SBH $\Phi_{B,C,V}$ 为 0.60 eV^[26]。由于像力等其他影响, $\Phi_{B,C,V}$ 比正向 J-V 估计的要大。

图 4 (b) 分别显示了有和

图4: (a) 采用 OPT 的垂直 GaN SBD 的详细 C-V 和 1/C²-V 图。(b) 分别有和没有 OPT 的垂直 GaN 二极管的反向 J-V 特性。



没有 OPT 的垂直 GaN SBD 的反向 J-V 特性。基于热发射 (TE) 模型的反向 J-V 提取的 Φ_{BR} 为 0.58eV, 与正向 J-V 和 C-V 提取的结果吻合。没有 OPT 的器件的击穿电压为 800V ($J=1A/cm^2$), 而有 OPT 的器件的 V_{BR} 仍保持在 681V 的水平, 这是由于漏电流的增加造成的。反向漏电流主要是电子从金属侧克服接触界面势垒并通过 TE 注入半导体而形成。使用热电子场发射 (TFE) 模型代替 TE 来分析反向漏电流。^[29] 如图 4 (b) 所示, 带有 OPT 的垂直 GaN SBD 的反向 J-V 特性与 TFE 模型匹配。高净掺杂浓度 $ND \sim 1.51 \times 10^{16} cm^{-3}$

导致反向漏电流迅速增加。有和没有 OPT 的器件的漏电流都遵循 TFE 模型。

图 5 (a) 显示了在 298 K 至 473 K 范围内测量的具有 OPT 的 GaN SBD 的随温度变化的正向 J-V 特性。结果表明, 器件在正向电压下表现出很强的温度依赖性, 并且电流密度随着温度的升高而降低。^[24] 在 298 K 至 473 K 范围内测量的 OPT 器件随温度变化的反向 J-V 特性如图 5 (b) 所示, 在反向电压下, 器件表现出良好的整流特性和明显的温度依赖性。器件的反向漏电流随着温度的升高而增大, 表明电子在高温下获得了

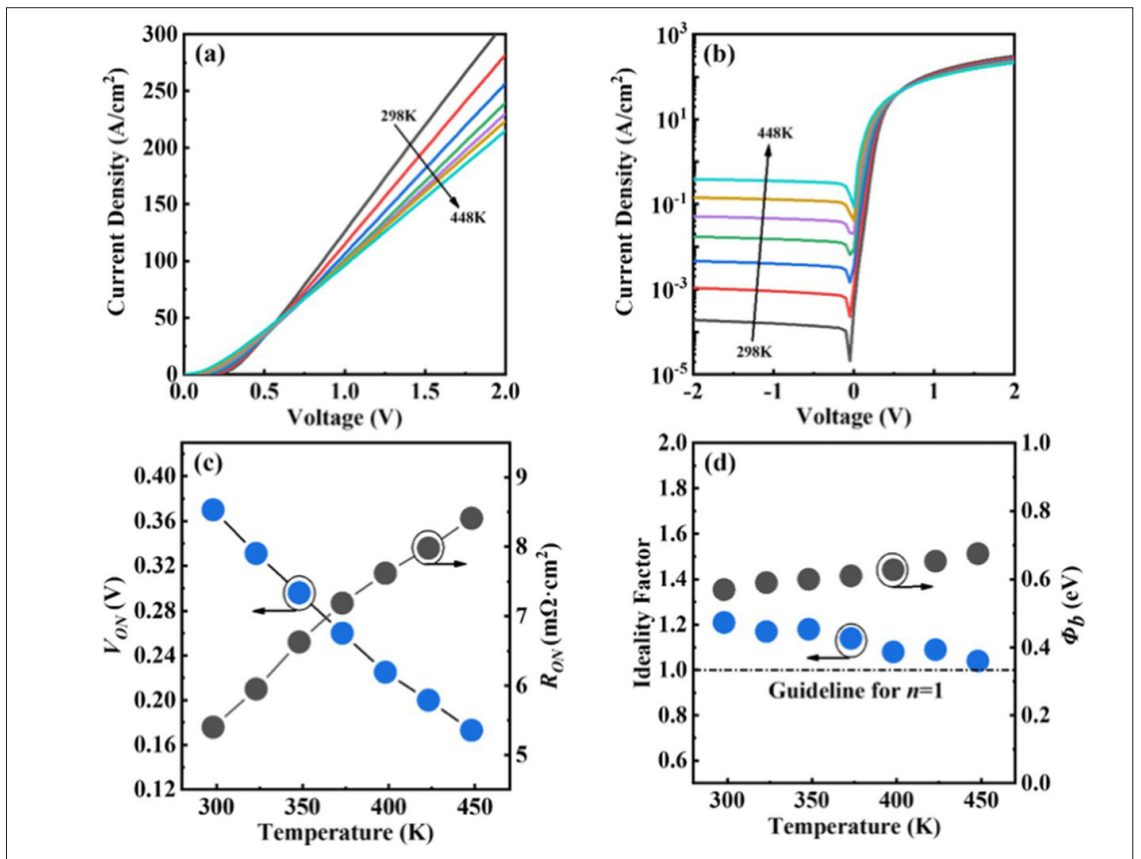


图5: 在 298 至 473 K 范围内测量的具有 OPT (直径 = 100 μm) 的垂直 GaN SBD 与温度相关的 (a) 正向 J-V 特性和 (b) 反向 J-V 特性。(c) V_{ON} 和 R_{ON} 作为具有 OPT 的垂直 GaN SBD 的温度函数。(d) 采用 OPT 的垂直 GaN SBD 的理想因子和肖特基势垒高度与温度的函数关系。

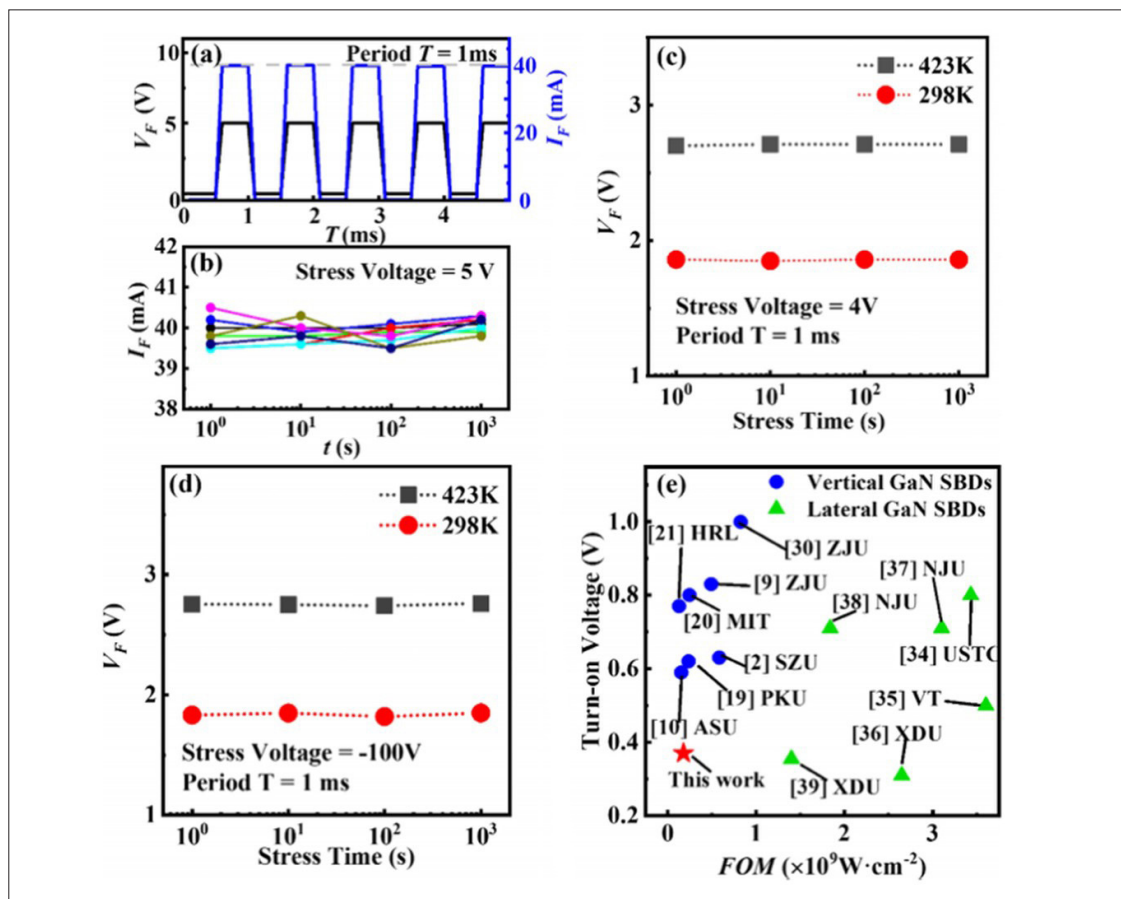


图6: (a) $V_F = 5\text{V}$ 时的脉冲 V-T 和脉冲 I-T, (b) I_F ($V_F = 5\text{V}$ 时) 作为应力时间的函数, (c) V_F ($J = 500\text{A}/\text{cm}^2$ 时) 作为应力时间的函数, 298 K 和 423 K 下应力时间的函数, 以及 (d) V_F ($J = 500\text{A}/\text{cm}^2$ 时) 作为具有 OPT 的垂直 GaN SBD 在 298 K 和 423 K 下应力时间的函数。 (e) 垂直和横向 GaN SBD 的开启电压与 BFOM 基准的开启电压与 BFOM 的关系。

更高的能量来克服 SBH, 这种现象与 TE 模型的特征一致。^[28] 图 5 (c) 显示了具有 OPT 的器件的 V_{ON} 和 R_{ON} 作为温度的函数。温度越高, 设备打开的速度越快。导通电压 V_{ON} 电压从 0.37 V 降低到 0.17 V, 这是由于电子的扩散速率随着温度的升高而增加, 更多的电子可能穿过势垒或发生隧道效应。同时, 随着温度的升高, 器件的 R_{ON} 也相应增大。^[29-33] 图 5 (d) 分别显示了理想因子 n 和肖特基势垒 Φ_b 与温度 T 的函数。

为了研究采用 OPT 的 GaN SBD 的可靠性, 图 6 (a) 显示了正向电压 $V_F = 5\text{V}$ 时的低应力脉冲, 占空比固定为 50%, 周期为 1 ms, 占空比为固定在 50% 是因为模拟器的实际工作状态, 50% 时间在充电, 50% 时间在放电, 如果占空比调制到 1% 或 0.1%, 脉冲时间太短, 会偏离实际工作设备的状况。将静态电压设置为 0 V 不仅可以模拟非工作电压, 还可以缓解内部空穴积累, 减少下一脉冲对阈值电压的影响。图 6 (b) 是从图 6 (a) 中提取的经过 1 s、10 s、100 s 和 1000 s 长时间应力后的结果, 轻微的变化表明器件具有较高的可靠性。图 6 (c) 和 (d) 显示了 V_F (定义为 $500\text{A}/\text{cm}^2$ 下的 J) 与 298 K

和 423 K 应力时间之间的关系, V_F 是在电压分别为 4 V 和 -100V 下应力后获得的。器件在不同应力时间下的劣化变化不大 (5% 以下), 没有明显的规律性。两种脉冲测试表明, 采用 OPT 的垂直 GaN SBD 具有鲁棒且高可靠性的性能。OPT GaN SBD 的 Baliga 品质因数 ($BFOM = \frac{BV^2}{R_{ON}}$) 为 $1.78 \times 10^8 \text{W}\cdot\text{cm}^{-2}$ 。图 6 (e) 分别显示了垂直和横向 GaN SBD 的 V_{ON} vs 与 BFOM 的基准。^[34-39] 与报道的垂直 GaN SBD 相比, 本工作中使用 OPT 制造的器件实现了 0.37 V 的超低 V_{ON} 。BFOM 受限于 681V 的击穿电压。根据平行面击穿极限^[40], 在非击穿条件下, 击穿电压受到漂移区 $20\ \mu\text{m}$ 厚度和 $\sim 1.51 \times 10^{16}\text{cm}^{-3}$ 掺杂浓度的限制。FGR 的结构还有待优化。

总之, 本工作中通过 OPT 制造了具有超低 V_{ON} (0.37V) 的垂直 GaN SBD。垂直 GaN SBD 的 V_{BR} 为 681 V ($J = 1\text{A}/\text{cm}^2$), R_{ON} 为 $2.6\text{m}\Omega\cdot\text{cm}^2$ 。低应力脉冲测试和高应力脉冲测试均表明采用 OPT 的垂直 GaN SBD 坚固可靠。结果表明, 这些器件在 100 V 以下的低功耗应用中具有巨大潜力。

致谢

该工作得到国家自然科学基金 (61974144, 62004127)、广东省重点领域研发计划 (2020B010169001)、广东省杰出青年科学基金 (2022B1515020073)、深圳市科技计划 (JCYJ20220818102809020) 的资助。我们感谢深圳大学电子显微镜中心在 HRTEM 观察方面以及深圳大学光子学研究中心的器件制造过程方面提供的帮助。

利益冲突

作者没有需要披露的利益冲突。

数据可用性

支持本研究结果的数据可根据合理要求从通讯作者处获得。

扩展阅读

- 1. X. Guo, Y. Zhong, J. He, Y. Zhou, S. Su, X. Chen, J. Liu, H. Gao, X. Sun, Q. Zhou, Q. Sun, and H. Yang, "High-Voltage and High-ION/OFF Quasi-Vertical GaN-on-Si Schottky Barrier Diode With Argon-Implanted Termination," *IEEE Electron Device Lett.* 42, 473 (2021) .
- 2. X. Liu, F. Lin, J. Li, Y. Lin, J. Wu, H. Wang, X. Li, S. Huang, Q. Wang, H.-C. Chiu, H. and H.-C. Kuo, "1.7-kV Vertical GaN-on-GaN Schottky Barrier Diodes With Helium-Implanted Edge Termination," *IEEE Trans. on Electron Devices* 69, 1938 (2022) .
- 3. H. Fu, K. Fu, S. Chowdhury, T. Palacios, and Y. Zhao, "Vertical GaN Power Devices: Device Principles and Fabrication Technologies—Part I," *IEEE Trans. on Electron Devices* 68, 3200 (2021) .
- 4. Matteo Meneghini, Carlo De Santi, Idriss Abid, Matteo Buffolo, Marcello Cioni, Riyaz Abdul Khadar, Luca Nela, Nicolò Zagni, Alessandro Chini, Farid Medjdoub, Gaudenzio Meneghesso, Giovanni Verzellesi, Enrico Zanoni, Elison Matioli, "GaN-based power devices: Physics, reliability, and perspectives," *J. APPL. PHYS.* 130, 181101 (2021) .
- 5. T. Pu, U. Y. Ounis, H. C. Chiu, K. Xu, H. Kuo, and X. Liu, "Review of Recent Progress on Vertical GaN-Based PN Diodes," *Nanoscale Res. Lett.* 16 (1) , 14 (2021) .
- 6. Y. Sun, X. Kang, Y. Zheng, J. Lu, X. Tian, K. Wei, H. Wu, W. Wang, X. Liu, and G. Zhang, "Review of the Recent Progress on GaN-Based Vertical Power Schottky Barrier Diodes (SBDs)," *Electronics* 8, 575 (2019) .
- 7. L. Cheng, K. Zhou, Z. Zhang, G. Zhang, Z. Yang, and Y. Tong, "Occurrence of cubic GaN and strain relaxation in GaN buffer layers grown by low-pressure metalorganic vapor phase epitaxy on (0001) sapphire substrates," *Appl. Phys. Lett.* 74, 661 (1999) .
- 8. K.J. Chen, O. Haberlen, A. Lidow, C.L. Tsai, T. Ueda, Y. Uemoto, Y. Wu, "GaN-on-Si Power Technology: Devices and Applications," *IEEE Trans. Electron Devices*, 64, 779 (2017) .
- 9. S. Han, S. Yang, and K. Sheng, "Fluorine-Implanted Termination for Vertical GaN Schottky Rectifier With High Blocking Voltage and Low Forward Voltage Drop," *IEEE Electron Device Lett.* 40, 1040 (2019) .
- 10. H. Fu, X. Huang, H. Chen, Z. Lu, I. Baranowski, and Y. Zhao, "Ultra-low turn-on voltage and on-resistance vertical GaN-on-GaN Schottky power diodes with high mobility double drift layers," *Appl. Phys. Lett.* 111, 152102 (2017) .
- 11. X. Guo, Y. Zhong, Y. Zhou, S. Su, X. Chen, S. Yang, J. Liu, X. Sun, Q. Sun, and H. Yang, "Nitrogen-Implanted Guard Rings for 600-V Quasi-Vertical GaN-on-Si Schottky Barrier Diodes With a BFOM of 0.26 GW/cm²," *IEEE Trans. on Electron Devices* 68, 5682 (2021) .
- 12. J. Chen, Z. Liu, Z. Bian, H. Wang, X. Duan, J. Ning, J. Zhang, and Y. Hao, "Nearly ideal quasi-vertical GaN Schottky barrier diode with 1010 high on/off ratio and ultralow turn on voltage via post anode annealing," in *2021 5th IEEE Electron Devices Technology & Manufacturing Conference (EDTM)* , 1 (2021) .
- 13. X. Kang, X. Wang, S. Huang, J. Zhang, J. Fan, S. Yang, Y. Wang, Y. Zheng, K. Wei, and J. Zhi, "Recess-free AlGaIn/GaN lateral Schottky barrier controlled Schottky rectifier with low turn-on voltage and high reverse blocking." *Proceedings of the 30th International Symposium on Power Semiconductor Devices and ICs (ISPSD)* , 280 (2018) .
- 14. J.-G. Lee, B.-R. Park, C.-H. Cho, K.-S. Seo, and H.-Y. Cha, "Low Turn-On Voltage AlGaIn/GaN-on-Si Rectifier With Gated Ohmic Anode," *IEEE Electron Device Lett.* 34, 214-216 (2013) .
- 15. Y. Zhang, J. Zhang, H. Zhou, T. Zhang, H. Wang, Z. Feng, and Y. Hao, "Leakage current mechanisms of groove-type tungsten-anode GaN SBDs with ultra low turn-ON voltage and low reverse current," *Solid-State Electron.* 169, 107807 (2020) .
- 16. H. Woo, J. Lee, Y. Jo, J. Han, J. Kim, H. Kim, C. H. Roh, J. H. Lee, J. Park, C.-K. Hahn, and H. Im, "Barrier lowering and leakage current reduction in Ni-AlGaIn/GaN Schottky diodes with an oxygen-treated GaN cap layer," *Current Appl. Phys.* 15, 1027, (2015) .
- 17. M. Hua, J. Wei, G. Tang, Z. Zhang, Q. Qian, X. Cai, N. Wang, and K. J. Chen, "Normally-off LPCVD-SiNx/GaN MIS-FET with crystalline oxidation interlayer," *IEEE Electron Device Lett.* 38, 929 (2017) .

- 18. Z. Bian, J. Zhang, S. Zhao, Y. Zhang, X. Duan, J. Chen, J. Ning, and Y. Hao, "1.48MV .cm-1/0.2 mOmega.cm2 GaN Quasi-V ertical Schottky Diode via Oxygen Plasma Termination," IEEE Electron Device Lett. 41, 1476 (2020) .
- 19. R. Yin, Y. Li, C. P. Wen, Y. Fu, Y. Hao, M. Wang, and B. Shen, "High voltage vertical GaN-on-GaN Schottky barrier diode with high energy fluorine ion implantation based on space charge induced field modulation (SCIFM) effect," 2020 32nd International Symposium on Power Semiconductor Devices and ICs (ISPSD) , 298 (2020) .
- 20. Y. Zhang, M. Sun, Z. Liu, D. Piedra, M. Pan, X. Gao, Y. Lin, A. Zubair, L. Yu, and T. Palacios, "Novel GaN trench MIS barrier Schottky rectifiers with implanted field rings," 2016 IEEE International Electron Devices Meeting (IEDM) , 10.2. 1 (2016) .
- 21. Y. Cao, R. Chu, R. Li, M. Chen, R. Chang, and B. Hughes, "High-voltage vertical GaN Schottky diode enabled by low-carbon metal-organic chemical vapor deposition growth," Appl. Phys. Lett. 108, 5 (2016) .
- 22. S.-C. Lee, J.-C. Her, S.-S. Kim, M.-W. Ha, K.-S. Seo, Y. -I. Choi, M.-K. Han, "A new vertical GaN Schottky barrier diode with floating metal ring for highbreakdown voltage," 2004 16th International Symposium on Power Semiconductor Devices and ICs (ISPSD), 319 (2004).
- 23. S.-C. Lee, M.-W. Ha, J.-C. Her, S.-S. Kim, J.-Y. Lim, K.-S. Seo, M.-K. Han, "High breakdown voltage GaN Schottky barrier diode employing floating metal rings on AlGaIn/GaN hetero-junction," 2005 The 17th International Symposium on Power Semiconductor Devices and ICs (ISPSD) , 247 (2005) .
- 24. Tsung-Han Yang, Houqiang Fu, Kai Fu, Chen Yang, Jossue Montes, Xuanqi Huang, Hong Chen, Jingan Zhou, Xin Qi, Xuguang Deng, Yujia Zhao, "Vertical GaN-on-GaN Schottky Barrier Diodes with Multi-Floating Metal Rings," IEEE J. Electron Dev. 8, 857 (2020) .
- 25. J. Chen, J. Zhao, S. Feng, L. Zhang, Y. Cheng, H. Liao, Z. Zheng, X. Chen, Z. Gao, K. J. Chen, M. Hua, "Formation and applications in electronic devices of lattice-aligned gallium oxynitride nanolayer on gallium nitride," Adv. Mater. e2208960 (2023) .
- 26. Maeda T, Okada M, Ueno M, Yamamoto Y, Kimoto T, Horita M, and Suda J, "Temperature dependence of barrier height in Ni/n-GaN Schottky barrier diode," Appl. Phys. Express 10, 051002 (2017) .
- 27. Suda J, Yamaji K, Hayashi Y, Kimoto T, Shimoyama K, Namita H, and Nagao S, "Nearly ideal current–voltage characteristics of Schottky barrier diodes formed on hydride-vapor-phase-epitaxy-grown GaN free-standing substrates," Appl. Phys. Express 3, 101003 (2010).
- 28. Saitoh Y, Sumiyoshi K, Okada M, Horii T, Miyazaki T, Shiomi H, Ueno M, Katayama K, Makoto, Nakamura T, "Extremely low on-resistance and high breakdown voltage observed in vertical GaN Schottky barrier diodes with high-mobility drift layers on low-dislocation-density GaN substrates," Appl. Phys. Express 3, 081001 (2010) .
- 29. L. A. Li, X. B. Li, T. F. Pu, S. H. Cheng, H. D. Li, and J. P. Ao, "Vertical GaN-Based Temperature Sensor by Using TiN Anode Schottky Barrier Diode," IEEE Sens. J. 21, 1273 (2021) .
- 30. S. Han, S. Yang, and K. Sheng, "High-Voltage and High-ION/OFF Vertical GaN-on-GaN Schottky Barrier Diode With Nitridation-Based Termination," IEEE Electron Device Lett. 39, 572 (2018) .
- 31. E. Acurio, F. Crupi, N. Ronchi, B. De Jaeger, B. Bakeroot, S. Decoutere, and L. Trojman, "Reliability Improvements in AlGaIn/GaN Schottky Barrier Diodes With a Gated Edge Termination," IEEE Trans. on Electron Devices 65, 1765 (2018) .
- 32. E. Acurio, L. Trojman, F. Crupi, T. Moposita, B. De Jaeger, and S. Decoutere, "Reliability Assessment of AlGaIn/GaN Schottky Barrier Diodes Under ON-State Stress," IEEE Trans. on Device and Mat. Re. 20, 167 (2020) .
- 33. A. N. Tallarico, S. Stoffels, P. Magnone, J. Hu, S. Lenci, D. Marcon, E. Sangiorgi, C. Fiegna, and S. Decoutere, "Reliability of Au-Free AlGaIn/GaN-on-Silicon Schottky Barrier Diodes Under ON-State Stress," IEEE Trans. on Electron Devices 63, 723 (2016) .
- 34. X. Wei, W. Shen, X. Zhou, W. Tang, Y. Ma, T. Chen, D. Wang, H. Fu, X. Zhang, W. Lin, G. Yu, Y. Cai, and B. Zhang, "2.69 kV/2.11 mΩ · cm² and Low Leakage p-GaN Stripe Array Gated Hybrid Anode Diodes With Low Turn-on Voltage," IEEE Electron Device Lett. 44, 13 (2023) .
- 35. M. Xiao, Y. Ma, K. Cheng, K. Liu, A. Xie, E. Beam, Y. Cao, and Y. Zhang, "3.3 kV Multi-Channel AlGaIn/GaN Schottky Barrier Diodes With P-GaN Termination," IEEE Electron Device Lett. 41, 1177 (2020) .
- 36. T. Zhang, J. Zhang, H. Zhou, Y. Zhang, T. Chen, K. Zhang, Y. Wang, K. Dang, Z. Bian, X. Duan, J. Ning, S. Zhao, and Y. Hao, "High-performance lateral GaN Schottky barrier diode on silicon substrate with low turn-on voltage of 0.31 V, high breakdown voltage of 2.65 kV and high-power figure-of-merit of 2.65 GW cm⁻²," Appl. Phys. Express 12, 046502 (2019) .
- 37. R. Xu, P. Chen, M. Liu, J. Zhou, Y. Li, K. Cheng, B. Liu, D. Chen, Z. Xie, R. Zhang, and Youdou Zheng, "3.4-kV AlGaIn/GaN Schottky Barrier Diode on Silicon Substrate With Engineered Anode Structure," IEEE Electron Device Lett. 42, 208 (2021) .
- 38. R. Xu, P. Chen, M. Liu, J. Zhou, Y. Li, B. Liu, D. Chen, Z. Xie, R. Zhang, Y. Zheng, "2.7-kV AlGaIn/GaN Schottky barrier diode on silicon substrate with recessed-anode structure," SOLID STATE ELECTRON 175, 107953 (2021) .
- 39. T. Zhang, J. Zhang, H. Zhou, T. Chen, K. Zhang, Z. Hu, Z. Bian, K. Dang, Y. Wang, L. Zhang, J. Ning, P. Ma, and Y. Hao, "A 1.9-kV/2.61-mΩ · cm² Lateral GaN Schottky Barrier Diode on Silicon Substrate With Tungsten Anode and Low Turn-ON Voltage of 0.35 V," IEEE Electron Device Lett. 39, 1548 (2018) .
- 40. T. Maeda, T. Narita, S. Yamada, T. Kachi, T. Kimoto, M. Horita, and J. Suda, "Impact ionization coefficients and critical electric field in GaN," J. Appl. Phys. 129, 185703 (2021) .

半绝缘半导体电阻率、迁移率和载流子浓度的非接触测量

摘要：

用非破坏性的非接触法（TDCM）代替常规的霍尔法（Hall），无损、快速地测量半绝缘半导体单晶片的电阻率、迁移率和载流子浓度分布。免除了霍尔测量中需要切割制样的过程。利用 SI-SiC、SI-GaAs 等晶片等效电容放电时间测量半绝缘半导体电阻率，根据经典的容阻放电电学理论，化合物半导体试样可以等效为一个电阻和电容并联电路。由于宽带隙半导体的高电阻和电容较长的放电时间，通过施加幅值恒定的脉冲电压给样品，然后精确地测量其放电时间，通过放电时间与电阻率的关系式由计算机计算出电阻率。在样片上施加磁场后，由于磁阻效应样片电阻增加，放电时间随着增加，根据迁移率与磁场强度、放电时间的关系式，计算出迁移率。

作者：刘火阳¹，吴春龙¹，马金峰¹，周铁军¹，王昕²，李俊生²，叶灿明²，赖小妮²

¹ 广东先导微电子科技有限公司

² 广州昆德半导体测试技术有限公司

引言

SI-SiC、SI-GaAs 单晶片是 VPE、MBE、MOCVD 等薄膜外延的主要衬底材料，也被认为是制造超高速集成电路、光电集成电路、微波大功率器件、低噪声器件、微波毫米波单片集成电路的主流材料。尤其是 5G 技术应用的普及，使半绝缘半导体成为当代信息产业的重要材料之一，其前景将更加广阔。在研究这种材料的过程中，随着器件向更大功率、更高集成度的发展对材料的均匀性提出了更高的要求，以 GaAs 材料为例，它的质量特别是其电阻率均匀性直接影响着器件研制水平的提升。因此需要对半绝缘 GaAs 单晶片尾或任意位置的晶片测量径向电阻率、迁移率和载流子浓度的不均匀性^[1]，但是由于采用常规的霍尔测量方法^[2]要对样片进行切割，带有破坏性，测量程序比较繁琐、耗费时间长，要得到这些参数在整个晶片上细致的分布情况更加困难。我们用 TDCM 法对 SI-SiC、SI-GaAs 晶片的

电阻率进行全片快速扫描测量；对晶片需要测量的特定位置（如径向分布），实施定点测量迁移率、电阻率及计算出载流子浓度，由于 SI-GaAs 的这些参数受测试温度的影响很大，因此我们通过软件对这三种参数按照 SEMI 39-0999 标准^[3]进行了温度修正。

TDCM 法电阻率测量原理

TDCM 法是通过观测电荷随时间变化的测量方法^[4]，巧妙地利用电介质电阻率的高低与电容放电时间有关，此法正是将半绝缘半导体晶片作为电介质置于电容金属电极之间，为了能方便地测量晶片各点的电阻率大小，利用一个可移动的金属棒（Φ1-2mm），作为电容的一极在晶片表面扫描，形成了一个与样品等效电容 Cs 串联的气隙电容 Ca（见图 1）。利用一个脉冲电压信号源，对 Cs 与 Ca 充电，由于 Cs、Ca 电容量极小，瞬间即被充满电荷，但样品等效电容 Cs 是与等效

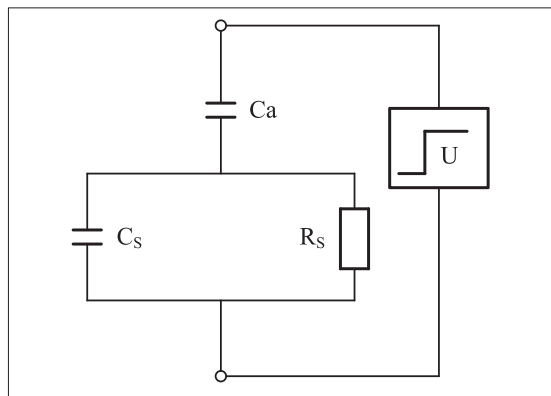


图1: 等效电路。

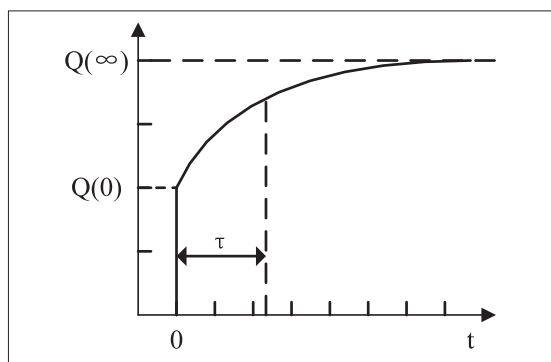


图2: 电容Ca的充电曲线。

电阻 R_s 并联, 因此 C_s 上的电压随即通过 R_s 放电, 但此时加在 C_s 与 C_a 之间的方波电压不变, 因此在 C_s 对 R_s 放电, 电压减小的同时, C_a 被充电, 而且两者的时间常数是相等的。

利用电介质在金属电极之间形成电容的基本物理定义及电容对电阻充放电的基本规律, 通过测量 C_a 充电曲线呈现出的 Q_0 、 Q_∞ 、 τ (见图3), 即可计算出移动电极下方晶片电阻率, 公式如下:

$$\rho = \frac{C_s \tau}{(C_a + C_s) \epsilon \epsilon_0} = \frac{Q_0 \tau}{Q_\infty \epsilon \epsilon_0} \quad (1)$$

从公式 (1) 中可见, 计算电阻率还必须知道所测量单晶材料的相对介电常数 ϵ 。

TDCM 方法已被列入 SEMI M87-0116^[5]、德国 DIN 50448 标准^[6] 及中华人民共和国国家标准

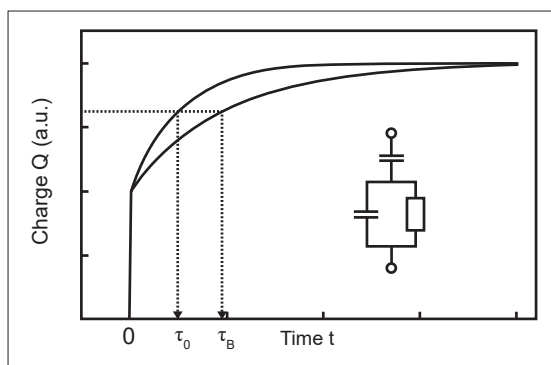


图3: 在磁场影响下探针与样品表面形成的电容Ca的充电曲线。

GB/T42271^[7] 及电子行业标准 SJ/T 11487-2015^[8]。

磁阻效应及迁移率的测量原理

用非接触法测量迁移率是在测量电阻率的基础上发展的。电阻率测量:

$$\rho = \frac{Q(0)\tau}{Q(\infty)\epsilon\epsilon_0} \quad (2)$$

如样品没有磁场时的电阻率表示为: $\rho(0)$, 在施加一个有限磁场 B (单位: 特斯拉 T) 后, 晶体的电阻率用 $\rho(B)$ 表示, 电阻率由原来的 $\rho(0)$ 会增加到 $\rho(B)$, 增加的数值与迁移率 (μ) 有关。传统的 Drude 理论预测^[9]:

$$\rho(B) = \rho(0) [1 + (\mu B)^2] \quad (3)$$

图3 在磁场影响下探针与样品表面形成的电容 C_a 的充电曲线

图3 表示了在样品和探针间施加脉冲电压后观察到的电容 C_a 的电荷瞬变。图上显示了磁场 B 的影响。图中的电路为电容探针等效电路 (即等效电路图 1)。

实验证明, 对样品施加磁场后, 由于磁阻效应, C_a 的充电时间明显变长, 由变为。我们通过已知的磁场强度 (B) 及测量 $\rho(B)$ 、 $\rho(0)$ 时获得的 $\tau(0)$ 和 $\tau(B)$, 就可以计算出迁移率:

$$\mu = B^{-1} [(\tau(B)/\tau(0)) - 1]^{1/2} \quad (4)$$

注: 通过 (2) 式和 (3) 式求得 (4) 式。 $\tau_0 = \tau(0)$, $\tau_B = \tau(B)$, 这只是不同文献符号表示的差异。

载流子浓度的计算

在上述测量取得电阻率 ρ 以及迁移率 μ 后, 我们可以通过下式由软件计算出载流子浓度 N :

$$N = \frac{1}{\rho e \mu} \quad (5)$$

其中,

e — 电子电荷 $e = 1.602 \times 10^{-19} \text{C}$ (库伦)

ρ — 无磁场时的电阻率

测量设备

目前国内使用较多的设备是德国 SemiMap 公司生产的 COREMA-WT 型电阻率测试仪^[10]。迁移率、电阻率及载流子浓度需要用 COREMA-RM 型设备做手动多点测量。

本文使用了国产测试设备: 半绝缘半导体 KDM-1000 半绝缘半导体电阻率分布测绘仪^[11] 和 KDM-2000 电阻率/迁移率测试仪^[12]。

TDCM 法的测试效果
SI-SiC 电阻率的测试

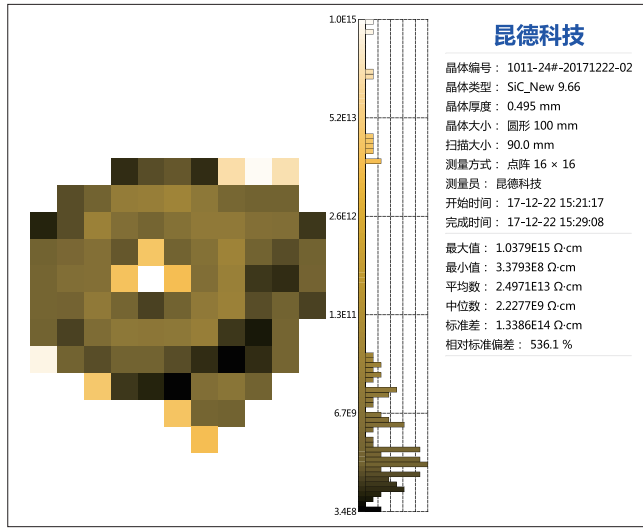


图4: SI-SiC单晶片电阻率分布图 (电阻率均匀性很差)。

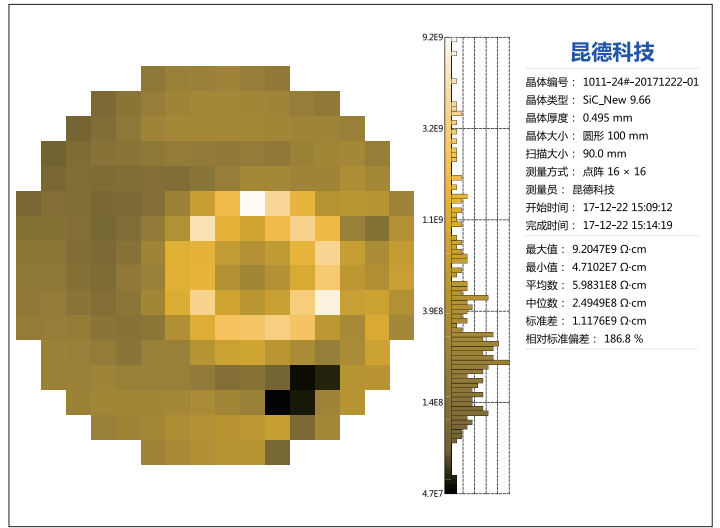


图5: SI-SiC单晶片电阻率分布图 (电阻率均匀性较差)。

SI-GaAs 电阻率的测试

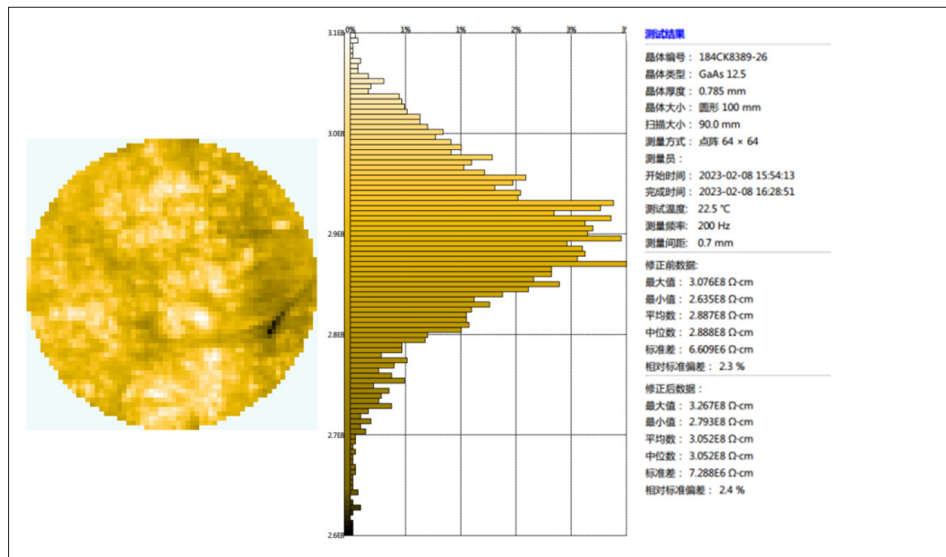


图6: SI-GaAs单晶片电阻率分布图 (电阻率均匀性较好)。

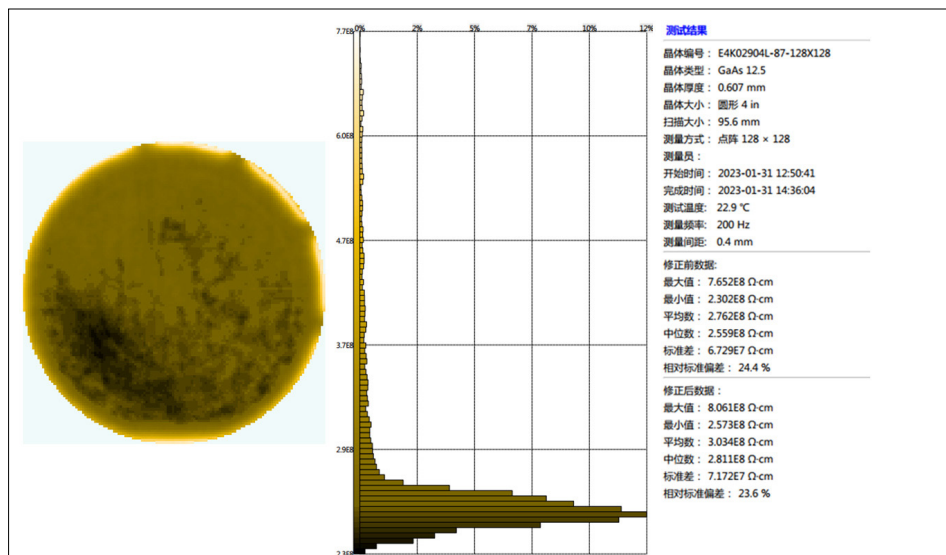


图7: SI-GaAs单晶片电阻率分布图 (电阻率均匀性较差)。

温度修正

由于高纯化合物半导体单晶电阻率很高，随着测量温度的变化会有不同的测试结果，因此必须将不同室温下测量的电阻率统一修正到一个标准的温度，如 22°C 或 23°C，才能进行准确的对比和使用。我们根据 SEMI 39-0999 标准给出的修正公式：

Temperature Conversion :

$$\text{Resistivity } \rho_T = \rho_{T1} \cdot \exp[-E_a/k \cdot (1/T1 - 1/T)]$$

where: E_a is the activation energy (= 0.75eV)

k is the Boltzman constant (= 8.61E - 5 eV/K)

ρ_T is the resistivity at T (K)

Hall Mobility $\mu_T = \mu_{T2} (T/T2)^{-3/2}$ where:

μ_T is the Hall mobility at T (K)

编制了软件对电阻率、迁移率及载流子浓度进行了温度修正，最终给出 22°C 或 23°C 时的数值。

晶片上电阻率、迁移率、载流子浓度的分布



图8: SI-GaAs单晶片电阻率、迁移率、载流子浓度分布图。

表1: 霍尔法测量 (Vital-hall) 和TDCM法测量对比 (SI-GaAs)。

测试项目	片号	测试方法	1	2	3	4	5
迁移率	51#	Vital-hall	5219	5276	5213	5375	5327
		TDCM	3900	3900	3940	4453	4125
	169#	Vital-hall	3979	3675	3812	3778	4154
		TDCM	4201	4203	4247	4335	4546

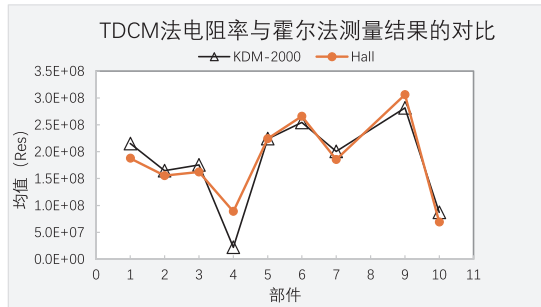


图9: TDCM法电阻率与霍尔法测量结果的对比 (SI-GaAs)。

TDCM 法测量电阻率与霍尔法测量结果的对比

从表 1 和图 9 可以看出 Hall 法与 TDCM 法测量数据基本一致，用 TDCM 法可以满足生产在快速测试需求，其中数据的差异我们觉得与两种方法的取样面积有关，Hall 法是在 8 × 8(mm²) 样片上测量的平均值，而 TDCM 法是在样片上直径 1-2mm 的小圆面积上的测量数据，因此会有一些差别。

结论

用非接触法测量 SI-SiC、SI-GaAs 晶片，速度快、非破坏性，并且可以得到更完整的晶体质量信息。此法提高研发进度。在生产线上可以使产品检验从抽测提升为全测。

扩展阅读

- [1] 兰天平; 周春锋; 边义午; 宋禹; 马麟丰. 高电阻率均匀性 4 英寸半绝缘 GaAs 单晶生长技术 [J]. 半导体技术, 2020,45(04):287-292+303. ;
- [2] GB/T 4326-2006 非本征半导体单晶霍尔迁移率和霍尔系数测量方法 ;
- [3] SEMI M39-0999 TEST METHOD FOR MEASURING RESISTIVITY AND HALL COEFFICIENT AND DETERMINING HALL MOBILITY IN SEMIINSULATING GaAs SINGLE CRYSTALS ;
- [4] Contactless evaluation of semi-insulating GaAs wafer resistivity using the time-dependent charge measurement. R Stibal, J Windschelf and W Jantz. Received 15 February 1991, accepted for publication 15 April 1991 ;
- [5] SEMI M87-0116 Test Method for Contactless Resistivity Measurement of Semi-Insulating Semiconductors ;
- [6] DIN 50448 Determination of the resistivity of semi-insulating semiconductors using a capacitor January 1998 ;
- [7] GB/T 42271-2022 半绝缘碳化硅单晶的电阻率 非接触测试方法 Test method for resistivity of semi-insulating monocrystalline siliconcarbide by contactless measurement ;
- [8] SJ/T 11487-2015 半绝缘半导体电阻率测试标准 ;
- [9] Contactless Electron Mobility Evaluation of Semi-Insulating GaAs and InP Wafers Rudolf Stibal, Ulrich Kretzer* and Wolfgang Jantz Fraunhofer Institut Angewandte Festkörperphysik, 79108 Freiburg, Germany email Wolfgang.Jantz@iaf.fraunhofer.de, phone 49 761 5159510 * Freiburger Compound Materials, 09599 Freiberg, Germany email kretzer@fcm-germany.com, phone 49 3731 280176 ;
- [10] SemiMap Presentation China ;
- [11] 王昕; 李俊生; 田蕾; 叶灿明. 半绝缘半导体电阻率非接触测试设备的研究 [J]. 仪器仪表用户, 2018,25(02):15-17+91. ;
- [12] 广州昆德半导体测试技术公司 KDM-2000 说明书。

《化合物半导体》

化合物半导体

CS COMPOUND SEMICONDUCTOR CHINA

立方SiC, 电力电子行业的明日冠军

降低III-V族外延成本

采用超薄ITO界面层在N型衬底上获得低接触电阻的垂直氧化镓特基势垒二极管

激光退火设备
Laser Anneal Equipment

IPrecision 华卓高科

北京华卓

地址:
电话:
网址:
邮箱:

化合物半导体

CS COMPOUND SEMICONDUCTOR

制造可商业化的金刚石衬底

用X射线形貌技术检查SiC

控制SiC MOSFET阈值电压的不稳定性

反向极化为绿光LED注入活力

TS MID 特思迪

半导体超精密平面
Expert of Ultra-precision in Semiconductor
专注于减薄 抛光

SEMICON

6-29-71上海国际博览中心E2-301 欢迎光临

化合物半导体

CS COMPOUND SEMICONDUCTOR

首次实现超宽禁带氮化镓功率器件增强型液滴清洗特性

国家的财富: 英国的国家外延设施

维护真正的重量级材料: 释放Ga₂O₃的希望

专业的栅极氧化物

专业半导体晶制造及解决方案
SPECIALIZED IN SEMICONDUCTOR FINAL CLEANING MACHINES

全自动刷洗一体机
Final Brushing and Cleaning Integrated

MET-5600

化合物半导体

CS COMPOUND CHINA SEMICONDUCTOR

2023年10/11月

在氯化蚀刻方面表现突出

消除应用GaN的障碍

制造性能更好的蓝色和绿色激光器

高纯石英系列: 石英环, 石英舟, 石英罐, 石英管, 石英腔等

精密陶瓷系列: 陶瓷环, 陶瓷plate, 陶瓷pin, 陶瓷套筒等
碳化硅环, 碳化硅舟等

YMAT 云模材料

专注于半导体设备
非金属精密零部件/耗材加工
Focus on processing semiconductor equipment non-metallic/consumables precision parts

化合物半导体

CS COMPOUND SEMICONDUCTOR CHINA

《化合物半导体》(CSC) 中国化合物半导体产业较具影响力的媒体, 内容来源于全球知名刊物《Compound Semiconductor》

双月刊, 每期发行印刷版8,228, 电子版8,908 (2023年10月)
全方位报道化合物半导体行业的发展, 是化合物半导体材料和器件业专业人士重要的信息源。



化合物半导体先进技术及应用大会是专注搭建全球范围内信息交流和贸促合作的行业盛会, 线上与线下并行, 着眼于国内外化合物半导体行业前沿议题、最新需求, 汇集中国及世界领先跨国科技公司专家学者, 共探行业发展方向, 每年吸引成千上万行业从业者参加。



免费索阅

改进氮化镓衬底减薄技术

改用氢基等离子体可确保 GaN 衬底的高速蚀刻

日本大阪大学 (Osaka University) 的工程师们宣称, 他们利用氢基等离子体对氮化镓 (GaN) 衬底进行减薄的技术取得了新突破。

该团队的技术蚀刻速率高达 $4 \mu\text{m}/\text{分钟}$, 为减薄垂直功率器件的衬底提供了一种可行的方法。这对于降低垂直器件的导通电阻, 使其能够在电动汽车的竞争中胜出是非常必要的。

大阪大学团队率先采用了一种引人注目的替代现有机械加工工艺的方法, 如研磨和抛光, 这两种加工工艺如今都用于薄化基板。这些机械方法在为硅功率器件减薄时效果很好, 但在为碳化硅和氮化镓等材料减薄时, 由于开裂、崩边和翘曲等问题, 效果却不理想。

为了减薄 GaN 衬底, 大阪大学的工程师们采用了一种称为等离子体化学气相加工 (PCVM) 的方法, 他们已经使用和改进这种方法超过 25 年。

团队发言人 Yasuhisa Sano 表示: “最初, 我们处理的是用于同步辐射的硅晶片、SOI 晶片和硅 X 射线反射镜”。他们大约 15 年前开始加工 SiC 衬底, 近年来开始加工 GaN 和 Ga_2O_3 衬底。

PCVM 的一个显著特点是使用十分之几大气压的等离子体压力, 这确保了气体分子的短平均路径和离子的低能量。因此, 反应物不是离子, 而是中性自由基, 不会破坏加工表面的原子排列, 也不会使基板变形。

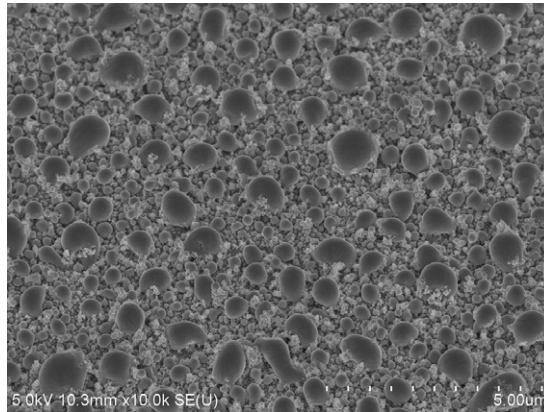
早在 2021 年, Sano 和同事就报道了使用 SF_6 气体, 通过 PCVM 以 $15 \mu\text{m}/\text{分钟}$ 的速度减薄 2 英寸 SiC 衬底的情况。遗憾的是, 这种方法无法直接应用于 GaN, 因为 SF_6 气体无法确保蚀刻效果。而氯基气体作为明显的竞争者也不适合, 因为它们具有腐蚀性, 有可能损坏氮化镓器件的表面。

这些问题促使研究小组考虑使用氢气。在氮化镓的 HVPE 生长过程中使用氢气, 以及 Ga_2H_6 气体的存在, 都是可能取得成功的积极因素。

涉及氢气的研究从自制的 13.56 MHz 射频等离子体发生器开始, 该发生器包含一个外径 2 mm、孔径 0.3 mm 的管状电极和一个 0.4 mm 厚的 2 英寸的 GaN 衬底。

最初, 该团队使用 9:1 的氮氢比、100 sccm 的流速以及 130 W、150 W、180 W 和 200 W 的射频功率, 研究了 5 分钟后去除率的变化。该实验还考虑了衬底温度, 确定较高的功率是提高去除率的主要驱动因素——它增加了氢自由基的数量。

Sano 及其同事继续考虑气体流速的影响, 功率固定在 180 W。他们比较了 100 sccm、500 sccm 和 800 sccm 流量下的蚀刻率, 这次的氮氢比为 19:1, 根据初步研究, 这一比例可加快蚀刻过程。在最高流量下, 蚀刻速度达到 $4 \mu\text{m}/\text{分钟}$, 但会影响表面质量, 形成所谓的梨皮表面 (见图)。



扫描电子显微镜显示流速为 100 sccm 时表面有镓沉积物。

研究小组将这种形态归因于镓的球形沉积物, 只要将表面加热到 40°C , 然后擦拭, 就可以去除这些沉积物。但还有一个更优雅的解决方案: 在加工过程中加入氧气。原子力显微镜显示, 氧气的引入确保了粗糙度仅为 0.9 nm 的光滑表面。

Sano 表示, 研究小组目前正在尝试建立获得良好表面粗糙度的工艺条件。“同时, 我们正在努力加工更大的面积, 以使我们的技术更接近实际应用。”

参考文献

Y. Sano et al. Appl Phys. Express 16 045504 (2023)

基于自对准 Mesa 终端成功制备了高性能 $PtO_x/\beta-Ga_2O_3$ SBD 器件

来自中国科学技术大学的韩照博士，通过将 Mesa 终端与能够和 $\beta-Ga_2O_3$ 形成高势垒的 PtO_x 电极有机结合，并开发原位退火刻蚀方案，成功制备了击穿电压超过 2.7 kV 的高性能 $\beta-Ga_2O_3$ SBD 器件，这项研究作为进一步提高 $\beta-Ga_2O_3$ SBD 性能、减小干法刻蚀引入的损伤提供了行之有效的办法。

随着人们对清洁能源和高效电子器件的需求不断增加，电子器件技术的不断演进，高性能功率二极管在能源转换、电力电子等领域变得尤为关键。氧化镓作为新一代功率半导体材料，因其宽禁带和耐极端环境特性，有望在未来功率器件领域发挥重要作用。然而，基于 $\beta-Ga_2O_3$ 的功率二极管器件目前仍面临边缘电场集中效应、器件性能与理论值之间悬殊的挑战。为了应对这一问题，研究人员已经提出了多种解决途径，包括开发 Mesa、Trench 结构、场板和高阻终端等不同的器件终端方式。

在这些方案中，Mesa 终端因避免了阳极边缘的横向耗尽，具有明显的电场调控效果。同时，相较于 Trench 结构，Mesa 结构的器件有源区面积更大，保证了在提升击穿性能的同时，不会过度牺牲正向导通性能。研究人员徐光伟指出，

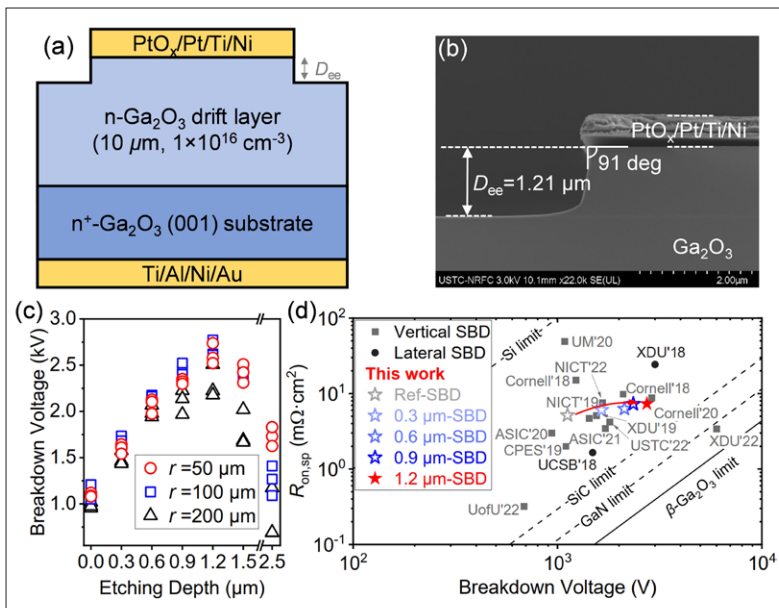
“Mesa 结构 SBD 的漏电流与有源区的肖特基接触质量密切相关。在高电场下，势垒降低和隧穿效应导致肖特基接触的泄漏电流难以控制。此外，对于 Mesa 制备过程中产生的刻蚀损伤，有效地修复和保护刻蚀侧壁仍是亟待解决的难题。”

针对上述问题，该研究团队通过优化氧化铂 (PtO_x) 电极沉积工艺，提升器件的势垒高度，减少 Mesa 器件在高电场下的漏电流。与常规镍电极的器件相比，基于 PtO_x 的 $\beta-Ga_2O_3$ SBD 器件在漏电流和击穿电压方面表现出显著优势。此外，该团队还开发了原位退火干法刻蚀工艺，在 Mesa 形成的自对准刻蚀过程中，利用刻蚀积累的温度来实现 Mesa 侧壁的原位退火修复。实验结果显示，修复后的器件 C-V 曲线与未刻蚀器件几乎一致，且器件 I-V 特性的回滞值明显减小，表明原位退火刻蚀工艺实现了侧壁修复和阳极后退火的双重功效。得益于以上的研究， $PtO_x/\beta-Ga_2O_3$ SBD 器件实现了超过 2.7 kV 的高击穿电压，功率品质因数达到 1.02 GW/cm^2 。在 -2000 V 偏压下，器件漏电水平仍保持小于 1 nA。此外，SU-8 钝化工艺可以实现器件的有效钝化，为未来器件工程应用前的钝化选择提供了思路。

该团队工作的亮点之一是验证了高肖特基势垒对于提升 Mesa 终端器件性能的有效性。另一项重要成就是基于此结构开发的原位退火干法刻蚀工艺为长期困扰氧化镓器件的侧壁问题了解决思路。

该团队表示，未来相关研究将致力于降低器件的开启电压，开发新型器件结构方案和工艺，实现低开启电压、高击穿电压的大电流 Mesa $\beta-Ga_2O_3$ -SBD 器件。

图1: (a) 基于 PtO_x 阳极制备的 Mesa 终端器件结构; (b) 器件截面的扫描电子显微镜图片; (c) 不同 Mesa 深度的器件击穿电压分布趋势; (d) 器件导通电阻和击穿电压与同类器件的对比。



参考文献

Z. Han et al., "2.7 kV Low Leakage Vertical $PtO_x/\beta-Ga_2O_3$ Schottky Barrier Diodes With Self-Aligned Mesa Termination," in IEEE Electron Device Letters, vol. 44, no. 10, pp. 1680-1683, Oct. 2023, doi: 10.1109/LED.2023.3305389.

β -Ga₂O₃ 器件的液体雾化外延法

利用液体雾化外延法 (mist epitaxy) 生产的 β -Ga₂O₃ MESFET 验证了这种低成本生长技术的前景

在理想情况下，化合物半导体器件用相对简单的设备在同质衬底上生产，可提供低成本制造、高性能芯片的机会。

可惜的是，对于大多数类别的化合物半导体器件来说，不可能同时满足这两个条件。不过据称，日本的京都大学、名古屋大学和松下公司合作，用 β -Ga₂O₃ 制造出的功率晶体管可以满足这些要求。

他们声称，使用雾化学气相沉积 (mist CVD) 法在同质衬底上生产出的 β -Ga₂O₃，提供了新途径，这是一种低成本生长技术，比 MBE 和 MOCVD 简单得多，并且已经被日本公司 Flosfia 用来制造基于蓝宝石衬底的 α -Ga₂O₃ 功率器件。

此次合作的发言人、京都大学的 Shizou Fujita 告诉《化合物半导体》，该团队借鉴以前使用雾化气相沉积法的经验，能够生长透明导电氧化物（例如 ZnO）。

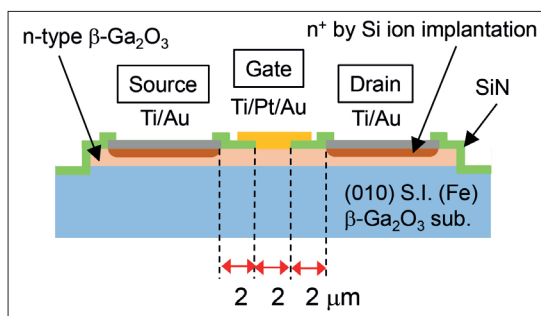
Fujita 评论道：“其中一个挑战是将这种简单且经济高效的技术应用于半导体晶体的生长，这需要极低的杂质掺入和平滑的表面”。

他补充说，有个好处是不用再像 GaAs、InP、SiC 和 GaN 那样将氧作为杂质。然而，仍然存在一些需要解决的障碍，例如杂质掺杂、设计雾化气相沉积反应器，将雾粒平稳地引入反应管而不发生冷凝。

Fujita 及其同事通过将半绝缘 β -Ga₂O₃ (010) 衬底装入自制的热壁型雾化气相沉积系统并沉积 n 型 Ga₂O₃ 层来生产 MESFET。提供 n 型掺杂剂的镓和硅的前驱体是 (乙酰丙酮) 镓和氯-(3-氰基丙基)-二甲基硅烷。利用氧载体和稀释气体，该团队将前驱体雾供应至卧式反应器，加热至 700 °C 至 800 °C。

高温降低了生长速度。因此，该团队选择了 750 °C 的生长温度，其生长速率仅为 750 nm/hr，远低于另一个小组报告的 3.2 μ m/hr 的值，该小组通过雾化气相沉积法，使用了镓浓度更高的前驱体来制备 Ga₂O₃ 薄膜。

β -Ga₂O₃ MOSFET 在跨导和漏极电流方面可提供有竞争力的性能，但存在与夹断和击穿电压



β -Ga₂O₃ MOSFET 在跨导和漏极电流方面可提供有竞争力的性能，但存在与夹断和击穿电压相关的问题。

相关的问题。

在生长 200 nm 厚的 β -Ga₂O₃ 层后，Fujita 及其同事通过传统光刻和电感耦合等离子体 - 反应离子蚀刻制作了台面结构，然后使用硅注入形成源极和漏极区域。在向这两个区域添加 Ti/Au 金属层后，该团队沉积了 60 nm 厚的 SiN 钝化层，随后通过栅极区域中的电感耦合等离子体 - 反应离子蚀刻进行蚀刻，以允许添加 Ti/Pt/Au 接触层。最后，这种形式的蚀刻去除了栅极和漏极区域上方的 SiN 钝化层。

利用 Van der Pauw 方法进行的电测量确定了迁移率为 80 cm² V⁻¹ s⁻¹，据称与 MBE 和 MOCVD 生长的 β -Ga₂O₃ 薄膜相当或仅略低一点。最大跨导达到 46 mS mm⁻¹，漏极电流峰值高达 240 mA mm⁻¹，基本反映了 Ga₂O₃ 的特性。

然而，一些器件没有表现出夹断，这表明对 n-Ga₂O₃ 和衬底之间界面处的漏电路径的抑制不够。其他缺点是击穿电压仅为 195 V，导电电阻为 30 Ω mm，这些问题可以通过优化器件结构和生长条件来解决。

另一个问题是很难获得低于 10¹⁷ cm⁻³ 的载流子浓度，这对于常关晶体管和提供高击穿电压的器件是必需的。

Fujita 表示：“在雾化气相沉积中，源化学品或石英管中的非故意掺杂是下一阶段需要解决的问题”。

参考文献

H. Takane et. al. Appl. Phys. Express 16 081004 (2023)

Advertiser	广告商名称	网址	页码
CGB	北京华林嘉业科技有限公司	www.cgbtek.com	3
Evatec AG		www.evatecnet.com	11
厚积科技			41
Riber		www.riber.com	IFC
SEMICON China 2024		www.semiconchina.org	BC

欢迎投稿

《化合物半导体》(CSC) 是针对中国化合物半导体及光电市场出版的专业杂志, 用简体中文出版。

本刊主要报道化合物半导体相关的材料、工艺、设备、器件、模块/组件、封测技术, 及其发展趋势和相关厂务设施。与读者一起紧跟行业发展, 共同面对在研发、制造过程中遇到的问题及挑战。

本刊的读者是活跃在化合物半导体及光电行业的技术管理人员、项目经理、科研人员、工程师以及从事开发、制造、工艺的专业人士。

本刊文章精选自英国物理协会著名杂志《Compound Semiconductor》, 翻译并编辑成形; 我们也报道全球平面显示制造商和研究机构的最新技术与资讯, 以及撰写其他与本地市场息息相关的新闻和文章; 并选编专业投稿。

本刊欢迎读者和供应商投稿, 文章一经采纳, 将在印刷版本和网上刊登。CSC 将为设计者和管理人员, 提供一个展现国内外厂商的最新成果的平台。

文章投稿指南

1. 文章主题突出、结构严谨、短小精悍, 中文字数不超过 3,000 字;
2. 文章最好配有两幅至四幅与内容相关的插图或表格; 插图与表格分别用图 1、图 2 或表 1、表 2 的次序编号, 编号与文中的图表编号一致;

3. 请注明作者姓名、职务及所在公司或机构的名称。作者人数以四人为限;
4. 请勿一稿多投;
5. 请随稿件注明联系方式(邮编、地址、电话、电子邮件)。

新产品投稿指南

1. 新产品必须是中国市场新上市、可以在中国市场上买到;
2. 有关新产品来稿的内容应包含产品的名称、型号、功能、主要性能和特点、用途;
3. 短小精悍, 中文字数不超过 300 字;
4. 来稿请附产品照片。最好是在单色背景下简单的产品实物照片, 照片的分辨率不低于 300dpi;
5. 注明能提供进一步信息的人员姓名、电话、电子邮件。

优先刊登中文来稿(翻译稿请附英文原稿)。来稿请用电子邮件寄到: sunniez@actintl.com.hk。

如果您有什么意见或建议, 或者有什么想法同本刊编辑探讨, 请不吝赐教。



www.compoundsemiconductorchina.net

行政及销售办公室 Administration & Sales Offices

行政人员 Administration

HK Office (香港办公室)
ACT International (雅时国际商讯)
Unit B, 13/F, Por Yen Building,
No. 478 Castle Peak Road,
Cheung Sha Wan,
Kowloon, Hong Kong
Tel: 852-28386298

Publisher (社长) - China
Adonis Mak (麦协林)
Adonis@actintl.com.hk

Deputy Publisher (副社长) - China
Lisa Cheng (程丽娜)
lisac@actintl.com.hk

Editor in China (中国版编辑)
Min Lu (陆敏)
minL@actintl.com.hk

UK Office (英国办公室)
Angel Business Communications Ltd.
6 Bow Court, Fletchworth Gate,

Burnsall Road, Coventry, CV5 6SP, UK
Tel: +44 (0)2476 718 970

Chief Operating Officer
Stephen Whitehurst
stephen.whitehurst@angelbc.com
Tel: +44 (0)2476 718970

销售人员 Sales Offices

Asia (亚洲)
Floyd Chun (秦泽峰)
floyd@actintl.com.hk
Tel: 852 2838 6298

China (中国)
Lisa Cheng (程丽娜)
lisac@actintl.com.hk
Tel: 86 185 7156 2977

Mini Xu (徐若男)
minix@actintl.com.hk
Tel: 86 187 7196 7314

Phoebe Yin (尹菲菲)
phoebey@actintl.com.hk
Tel: 86 159 0270 7275

Mandy Wu (吴漫)
mandyw@actintl.com.hk
Tel: 86 187 7196 7324

Grace Zhu (朱婉婷)
gracez@actintl.com.hk
Tel: 86 159 1532 6267

Cecily Bian (边团芳)
cecilyb@actintl.com.hk
Tel: 86-135 5262 1310

Taiwan, Singapore, Malaysia (台湾, 新加坡, 马来西亚)
Floyd Chun (秦泽峰)
floyd@actintl.com.hk
Tel: 852 2838 6298

Korea (韩国)
Lucky Kim
semieri@semieri.co.kr
Tel: 82-2-574-2466

US (美国)
Janice Jenkins
jjenkins@brunmedia.com
Tel: 724-929-3550
Tom Brun
tbrun@brunmedia.com
Tel: 724-539-2404

Europe (欧洲)
Shehzad Munshi
sm@angelbcl.co.uk
Tel: +44 (0)1923 690215
Jackie Cannon
jackie.cannon@angelbc.com
Tel: +44 (0) 1923 690205

—◆ 线下 ◆—

化合物半导体&半导体芯科技 综合论坛

05月苏州 半导体先进技术创新发展和机遇大会

- 化合物半导体材料生长与设备技术 · 功率电子器件及应用 · 高功率电子器件可靠性和失效分析 · 超宽禁带器件:解决方案
- 先进封装工艺与键合技术 · 封装关键材料与创新

化合物半导体先进技术及应用大会

10月太仓 化合物半导体先进技术及应用大会

- 化合物半导体材料生长与设备技术 · 功率电子器件及应用 · 光电子器件及应用 · 先进显示与照明取得的进展 · AI趋势下高速光互联演进
- 光子器件可靠性和失效分析 · 超快通信射频器件新应用

CHIP China晶芯研讨会

11月厦门 第二届-半导体先进封测产业技术创新大会

- TGV的封装工艺与技术 · IP/SoC/3D/异构集成 · 封装关键材料与创新 · 应用需求驱动下,先进封测发展进入快车道专场会议
- 系统级SiP芯片,物联网下一个竞争高地 · 赋能光电产业发展新高度

—◆ 线上 ◆—

化合物半导体先进技术及应用大会

确保SiC取得巨大成功

GaN功率应用,厚积薄发

MicroLED取得的进展

超宽禁带材料器件解决方案

光互联及光子集成电路

CHIP China晶芯研讨会

先进封装工艺与键合技术

封装关键材料与创新

IP/SoC/3D/异构集成

先进半导体材料和器件的可靠性和失效分析

芯片与器件的测试和可靠性验证

—◆ 定制专场论坛 ◆—

重点依据企业需求定制化会议主题,线上直播与线下执行双向选择,垂直听众定向邀约,充分发挥资源链接优势,突破原有格局,助力泛半导体产业客户实现多元化探索路径。

论坛优势:推介目的性强 会议听众垂直 议题内容聚焦 直击产品核心



线下会议



线上会议

SEMICON[®] CHINA

FPDCHINA

2024年3月20日-3月22日 | 上海新国际博览中心

“新产品、新技术和新势力的舞台”

产品创新奖

参赛报名火热进行中!

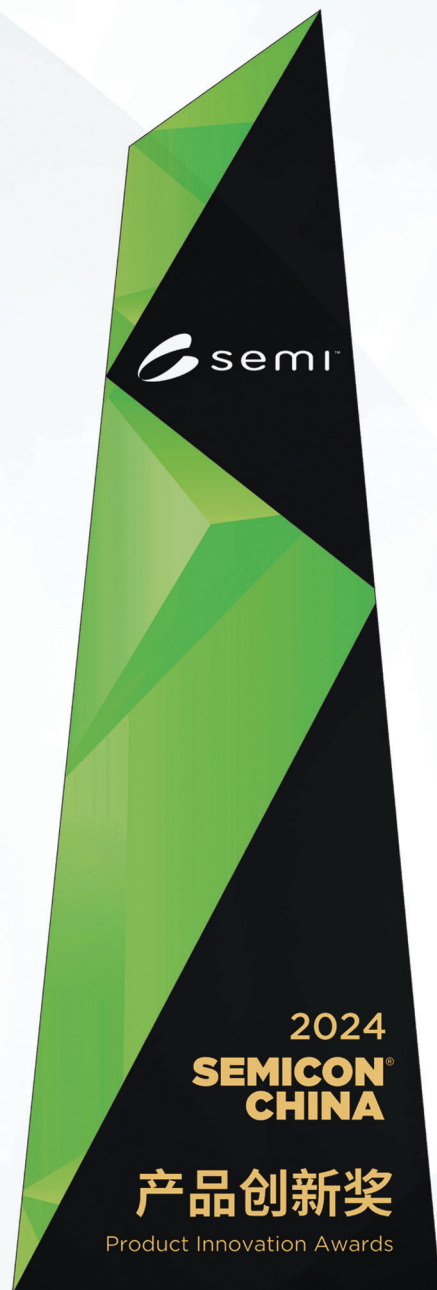
■ 第二届产品创新奖

为了激励SEMICON/FPD China展商及会员单位产品、技术创新，由SEMI China组织举办的第二届“产品创新奖”参赛报名阶段开启!

■ 参赛BENEFITS

1. 创新奖评选既是对展会的暖场又是展会的延伸，实现线上线下孪生互动。优先参加展会现场观众打卡引流活动。
2. 大赛最终胜出企业C-Level将受邀出席“SEMICON China VIP Gala”晚宴，参加颁奖典礼领取奖杯。
3. 我们鼓励26万+PSO专业观众踊跃投票，每次成功投票者即获1次抽奖机会。

首届“产品创新奖”评选活动，得到近20万人关注、约5万人公开、公正投票产生了“产品创新奖”Top 10。



<即刻报名> 第二届“产品创新奖”活动详情

请关注PSO小程序或咨询: 021-6027 8548

