

半导体芯科技

SIS SILICON SEMICONDUCTOR
Connecting the Silicon Semiconductor Community

· CHINA

定向原子层刻蚀 19

SEMI 倡导自由贸易 17

3D IC 异质集成技术 26

在硅 CMOS 上印刷 GaN HEMT 33



Angel 
BUSINESS COMMUNICATIONS

www.siscmag.com



微信公众号

半导体芯科技



• CHINA

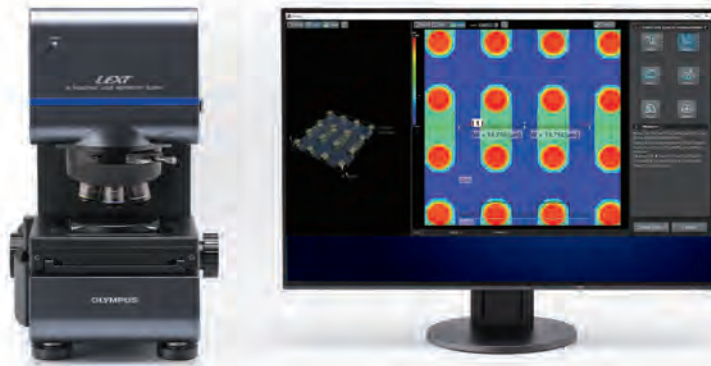
从中国政府定立的长期目标，与及中国半导体行业的潜在规模，催化了《半导体芯科技》（Silicon Semiconductor China）中国版杂志的诞生。目前，中国的半导体消耗量达全世界的60%，但其中约90%的半导体需要依靠进口。从更广阔的背景来看，中国已经启动了自己的工业4.0计划，以便与欧洲和北美的制造能力相竞争。“中国制造2025”的目标之一是升级和增加包括信息技术、机器人和汽车业在内的十个关键领域的国产零部件含量。

为了提升半导体制造能力，中国政府计划在未来10年至少投资1770亿美元，以建立中国自己的芯片产业。目前，中国正在建设中的晶圆厂有24座。

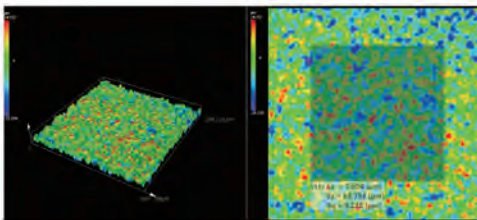
多年来，面向全球的Silicon Semiconductor英文版杂志也一直为中国半导体行业的专业人士提供服务，但现在是时候推出一本独立的《半导体芯科技》（Silicon Semiconductor China）中文版杂志了。

免费索阅





3D测量激光显微镜 OLS5000

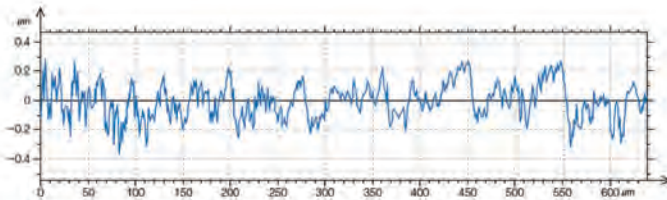


符合ISO标准的面粗糙度测量

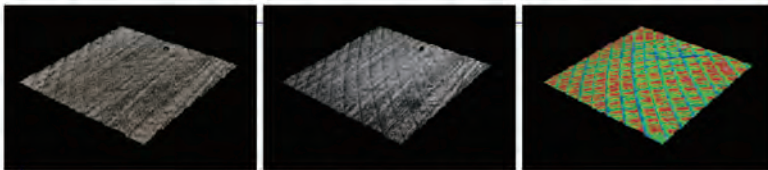
应用

电子半导体、汽车零部件、金属材料、非金属材料、机械部件等3D观察与高精度测量

- 有说服力的数据，比以往快4倍的速度为特点的新产品提供解决方案。
- 符合ISO25178标准的非接触式表面粗糙度测量。
- 非接触式获得接近纳米的高分辨率3D观察与高精度测量。
- 不需要前处理，轻松获得108X~17280X的清晰图像。

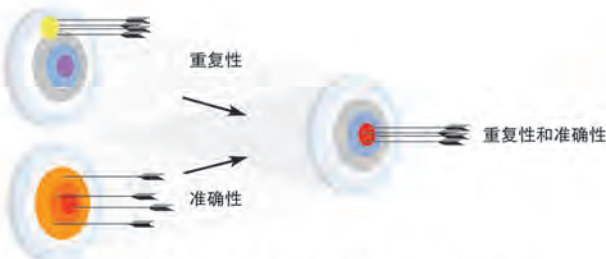


和接触式粗糙度仪相比拥有众多优越性



OLS5000测量粗糙度的同时还可以获得样品高分辨率2D/3D图像等丰富信息

- 既可以测量线粗糙度，也可以测量面粗糙度。
- 非接触式测量不会磨损破坏样品表面。
- 激光光斑半径远小于粗糙度仪探针的半径，测量精细表面的粗糙度更加准确。
- 激光显微镜可以精准的定位在探针式粗糙度仪不好定位的表面进行检测。



OLS5000测量结果具备准确度和重复性的双重保证

测量结果保证准确度和重复性

测量工具的性能通常用准确度表示测量值与其真实值的接近程度，用重复性表示重复测量值的变化程度。奥林巴斯以基于可追溯系统的显微镜保证准确度和可重复性，从而让您对测量结果充满信心。



目录 CONTENTS

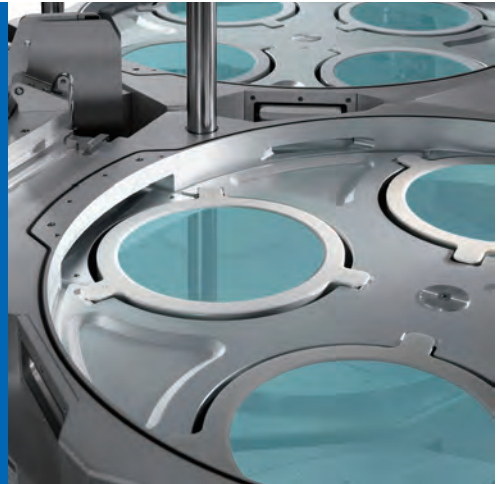
封面故事 Cover Story

19 溅射理论在定向原子层刻蚀中的应用

Applying sputtering theory to directional atomic layer etching

等离子体辅助定向原子层刻蚀(ALE)最近已被引入到10nm逻辑器件的制造中,因为在去除步骤中,离子将动量定向传递到刻蚀表面。等离子体辅助定向ALE可被描述为在未改性材料的表面上溅射一层薄的改性层。本文作者提出一种基于溅射理论的碰撞传递蒙特卡罗模型,利用该模型预测了一些显著的溅射效应的存在。对所有工艺参数与时间的关系进行非常精确的控制,是实现该工艺的先决条件。

-Ivan L. Berry, Keren J. Kanarik, Thorsten Lill, Samantha Tan, Vahid Vahedi, Richard A. Gottscho; Lam Research Corporation



观点 Viewpoints

12 光传感器逐步发展:3D感应和光谱学是下一个“大事”

Light sensors evolve: 3D sensing and spectroscopy are the next “big thing”

13 泛林集团技术研讨会:联合学术界和产业界,探讨推进全球半导体产业发展

Lam Research Technical Symposium: uniting academia and industry to discuss how to push forward the development of global semiconductor industry

15 EDA 4.0 新时代来临

A new EDA 4.0 era is coming

17 中美贸易战升温,SEMI倡导自由贸易

SEMI advocates free trade as China-US trade war heats up

关于雅时国际资讯(ACT International)



雅时国际资讯(ACT International)成立于1998年,为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品—包括杂志和网上出版物、培训、会议和活动—为跨国公司和中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站,以及各种技术会议,服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港,在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photronics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

目录 CONTENTS

技术 Technology

- 26** 3D IC 异质集成技术
3D IC Heterogeneous Integration Technology
- 许明哲, 黄富源, 石本立, 弘塑科技 (Grand Process Technology Corporation)
- 31** 新型材料驱动人工智能时代的前进
Material innovation driving the age of artificial intelligence
- Jonathan Bakke, 应用材料公司金属沉积产品事业部产品经理, 斯坦福大学化学工程博士
- 33** 在硅 CMOS 上印刷 GaN HEMT
Printing GaN HEMTs onto silicon CMOS
- Stefan Eisenbrandt 和 Ralf Lerner, X-FAB 公司

科技前沿 Research

- 37** 新材料能提高计算机处理和内存效率
New Material Could Improve Efficiency Of Computer Processing And Memory
- 38** Brewer Science 推出 BrewerBOND® 双层临时键合系统和 BrewerBUILD™ 材料
Brewer Science announced new BrewerBOND® and BrewerBUILD™ materials
- 39** 先进封装新领域 FOPLP 湿制程解决方案
Wet process solutions for new advanced packaging FOPLP

4 编者寄语 Editor's Note

5 产业报道 Industry News

40 广告索引 Ad Index

关于《半导体芯科技》

《半导体芯科技》(原半导体科技)中国版(SiSC)是全球最重要和最权威的杂志Silicon Semiconductor的“姐妹”杂志,由香港雅时国际商讯出版,报道最新半导体产业新闻、深度分析和权威评论。为中国半导体专业人士,提供他们需要的商业、技术和产品信息,帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国半导体产业,包括IC设计、制造、封装及应用等。

About Silicon Semiconductor China

Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology & product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMS, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

社长 Publisher

麦协林 Adonis Mak
adonism@actintl.com.hk

主编 Editor in Chief

赵雪芹 Sunnie Zhao
sunniez@actintl.com.hk

出版社 Publishing House

雅时国际商讯 ACT International
香港九龙 B,13/F, Por Yen Bldg,
长沙湾青山道478号 478 Castle Peak Road,
百欣大厦 Cheung Sha Wan,
13楼B室 Kowloon, Hong Kong
Tel: (852) 2838 6298
Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200
Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988571
Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 59233884

UK Office

Angel Business
Communications Ltd.
6 Bow Court,
Fletchworth Gate,
Burnsall Road, Coventry,
CV56SP, UK
Tel: +44 (0)1923 690200
Chief Operating Officer
Stephen Whitehurst
stephen.whitehurst@angelbc.com
Tel: +44 (0)2476 718970



2017-2020年新晶圆厂和生产线 投资超过2200亿美元

SEMI 报告预测：全球芯片制造（Fab）设备支出将连续4年增长，2018年全球芯片制造设备支出将增长14%，至628亿美元，2019年将继续增长，增幅为7.5%，至675亿美元，创历史新高。同时，全球新建晶圆厂投资也将连续4年增长，2019年达到创记录的170亿美元。

SEMI对全球78个新建晶圆厂（Fab）和生产线（Line）项目进行了追踪，这些工厂和生产线在2017-2020年之间开工建设，其中59个项目已经在2017-2018年开工，另外19个项目将在2019-2020年启动。报告显示：这些项目最终将需要2200亿美元的Fab设备投资。在此期间，这些晶圆厂和生产线的基建支出预计将达到530亿美元。

报告显示，2017-2020年，韩国在Fab设备的投资将达到630亿美元，领先其他地区，比排名第二的中国大陆多出10亿美元。中国台湾地区预计投资规模为400亿美元，排在第三位；其次是日本和美洲地区，投资规模分别为220亿美元和150亿美元。欧洲和东南亚市场将并列第六位，投资规模分别为80亿美元。

这些晶圆厂中约有60%将服务于存储器领域，其中最大的部分将是3D NAND闪存，用于智能手机和数据中心，还有三分之一左右将用于代工或合同芯片制造。据报道，3D NAND闪存的产能将大幅增加，2018年增长41%，2019年增长27%。2018年，Fab产能增长为3%，2019年为6%。200mm晶圆产能2018年增长4%，2019年增长3%

建造一座新的晶圆厂通常需要一到一年半的时间，有些晶圆厂可能需要两年或者更长时间，这取决于公司，工厂规模，产品类型和地区等各种因素。

预计2200亿美元投资大约一半将用于2017年和2020年，2017年和2018年投资不到10%，2019年和2020年投入近40%，其余则在2020年之后。

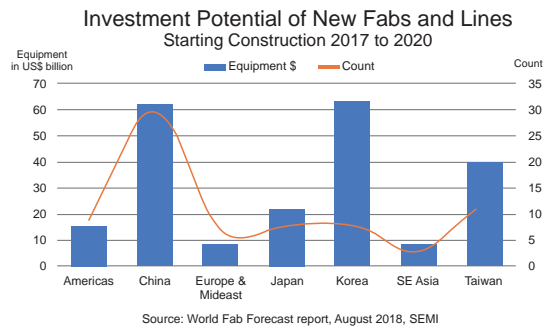
当前所统计的2200亿美元Fab设备预算是基于目前已经宣布的fab建设计划，由于许多公司陆续宣布新建晶圆工厂的建设计划，未来Fab设备总支出可能会超出这个水平。

SEMI最近还预测半导体行业年度硅片出货量：2018年的晶圆出货量预计将超过2017年创下的历史最高位，并将持续创历史新高到2021年。

对2018-2021年期间硅片需求的预测显示：2018年抛光和外延硅片出货总量为12445百万平方英寸；2019年为13090百万平方英寸；2020年为13440百万平方英寸，2021年为13778百万平方英寸。

随着移动应用，AI及高性能计算，汽车和物联网应用中半导体内容的增加，硅片需求将持续强劲。同时，随着新的工厂项目陆续投入运营，硅片的出货量也将会大幅增长，保持市场供需的动态平衡。

赵雪芹



Source: World Fab Forecast report, August 2018, SEMI
2017-2020年开始建设的新晶圆厂和生产线投资潜力。

工信部：今年前8个月电子信息制造业保持平稳增长态势

据工信部消息，2018年前8个月，全国电子信息制造业继续保持平稳增长态势，生产增速在工业各行业中处于领先水平，投资较快增长。受成本压力上升等因素影响，利润增长低于主营业务收入增长。

具体运行情况：1-8月，规模以上电子信息制造业增加值同比增长13.3%，快于全部规模以上工业增速6.8个百分点；其中，8月份增长17.1%。1-8月，规模以上电子信息制造业累计实现出口交货值同比增长8.1%，其中8月份增长17.3%。1-8月，规模以上电子信息制造业实现主营业务收入同比增长8.9%，利润总额同比增长3.2%，主营收入利润率为4.29%，主营业务成本同比增长9.4%。8月末，全行业应收账款同比增长24.2%，产成品存货同比增长14.9%。

粤港澳大湾区半导体产业联手结盟，共同打造芯片产业链

广州、深圳、珠海、香港和澳门五地的半导体组织正式联手结盟，未来将集结粤港澳三地力量，构建协同发展半导体产业生态圈。10月11日，粤港澳大湾区半导体产业联盟成立启动仪式举行，联盟成员将共建包括芯片测试、EDA、IP、人才培训和产业孵化在内的一系列服务支撑平台，构建粤港澳大湾区半导体产业生态，提升粤港澳大湾区半导体产业的整体竞争力。

事实上，广深珠港澳已初步形成了各自在半导体产业上的优势。广州的优势在应用和制造，深圳、珠海强在产品和设计，澳门的科研水平世界领先，香港在知识产权保护上拥有国际经验。

目前，广州及周边地区已成为国内集成电路最大的集散地和消耗地，拥有兴森快捷、安捷利、风华芯电、新星微电子、丰江微电子等一批封装测试企业，国内第一座以虚拟IDM为运营策略的12英寸芯片厂预计2019年底量产。

澳门微电子协会理事长余成斌表示，不需要每个地方去做产业链，成本太高，整个大湾区就是产业链。各地需要联动发展，但不需要绝对分工，联盟的作用就在于，把政产学研聚集在一起，以便更清楚对方的优势和需求，然后更好地互动。

华虹半导体第二代0.18微米5V/40V BCD工艺平台成功量产

华虹半导体有限公司宣布，其第二代0.18微米5V/40V BCD工艺平台已成功量产，该平台具有导通电阻低、高压种类全、光刻层数少等优势，对于工业控制应用和DC-DC转换器等产品是理想的工艺选择。

第二代0.18微米5V/40V BCD工艺平台40V DMOS击穿电压达到52V，其导通电阻低至20 mOhm.mm²，达到该节点领先工艺水平，可提高产品的驱动能力，减小芯片面积，扩大高压管安全工作区，保证产品的高可靠性。该工艺平台最少光罩层数为18层。该工艺平台提供丰富的可选择器件，包括高阻、电容、Zener二极管、肖特基二极管等。此外，该平台还提供in-house设计标准单元库、SRAM编译器、IO和eFuse，从而为电源管理芯片提供完善的设计解决方案。

华虹半导体已引入全面的电源管理BCD工艺方案，在成熟的0.5微米、0.35微米、0.18微米节点上积累了丰富的量产经验。未来，华虹半导体将继续发挥在BCD和eNVM特色工艺上的技术优势，提供二者的集成方案，为智能化电源产品，打造高端电源管理系统级芯片。

粤芯半导体12英寸集成电路项目主厂房封顶

近日，广州粤芯半导体(CanSemi)12英寸集成电路生产线项目主厂房封顶。

该项目由广州市金誉集团、半导体专家团队、广州开发区科学城集团共同设立，是广州首座12英寸芯片厂。该项目于去年12月动工，今年7月31日已完成主厂房首块华夫板浇筑。10月11日，该项目主厂房正式封顶，预计于2019年正式投产。

粤芯半导体项目达产后，可实现月产4万片12英寸晶圆的生产能力，产品包括微处理器、电源管理芯片、模拟芯片、功率分立器件等，满足物联网、汽车电子、人工智能、5G等创新应用的模拟芯片需求，将带动上下游产业链，带动广州乃至珠三角新一代信息技术、消费电子、人工智能等产业发展，加快广州产业转型升级。

台积电7nm EUV芯片流片成功, 5nm EUV将于2019年4月试产

台积电的7nm制程工艺在华为麒麟980、苹果A12、高通骁龙8150等芯片上顺利量产, 现在将目光转向了更先进的5nm。原计划5nm最早会在2020年才与消费者见面, 但现在台积电将这个时间点提前了一年。

台积电2018年1月开始在台湾建设一座全新的5nm晶圆厂, 预计将于2019年4月开始在5nm节点上实现完整的EUV风险试产。台积电表示, 基于5nm工艺生产的A72芯片, 速度上提升了14.7%-17.1%, 同时芯片面积缩小了1.8倍。

据目前消息, 5nm的设计总成本(人工与许可费)是7nm的1.5倍左右, 未来使用更先进工艺的成本会越来越高, 这进一步限制摩尔定律的延续。用于5nm芯片设计的工具预计要到11月才能准备就绪, 台积电的设计基础架构市场营销部高级总监Suk Lee表示“我们尚未对所有可能的组合进行测试, 但考虑到我们的PDK已通过认证, 我们对该服务充满信心”。

中兴研发出自主知识产权的5G核心芯片

中兴通讯近日在中国国际信息通信展会上表示已经研发出7纳米和10纳米工艺的5G核心系统芯片, 而且是用于5G终端的。这意味着中兴公司未来在5G手机上有可能应用自家研发的芯片, 不再完全依赖外部供应商。

中兴新任CEO徐子阳表示, 加大中兴微电子在芯片研发的投入, 将工作重心放在主要配合中兴通讯主设备芯片的研发上, 比如基带芯片, 5G传输交换芯片, IP芯片等, 这些芯片是核心竞争力的关键部分。

目前尚不清楚中兴所说的5G系统芯片具体是什么, 可能是手机处理器, 也可能是手机基带, 考虑到中兴在2014年就宣布ZX297510 LTE多模芯片平台通过中国移动终端公司品质保障部测试, 这是当年少有的几个28纳米基带, 因此中兴的5G核心芯片更可能是5G基带处理器。

纳微推动中国GaNFast™充电器和适配器不断增长

纳微(Navitas)半导体公司宣布成为2018年11月4-7日在中国深圳举办的第二届国际电力电子技术及应用会议(IEEE PEAC'2018)的钻石赞助商。在此次大会上, 纳微将发布并展示GaNFast功率IC的重大发展成果, 这些进展推动业界实现的新一代电源系统, 将会打造能效、功率密度和快速充电的全新基准。这些技术成果从27W到300W, 包括用于智能手机、笔记本电脑、一体式电脑、电视/显示器及GPU的充电器和适配器应用。

纳微中国高级销售总监查莹杰表示: 中国继续争取在电力电子技术领域处于领先地位, 并且已经接纳了纳微公司的GaNFast技术。纳微致力于满足客户的迫切需求, 已经设立深圳销售办事处和新的杭州GaNFast设计中心。这次IEEE会议活动见证纳微成为中国发展GaN电力电子领域的关键核心企业。

特殊材料取代硅制造低成本柔性电子器件

美国麻省理工学院工程师最近开发出一种名为“远程外延”的新技术, 他们用一批特殊材料取代硅, 制造出了超薄的半导体薄膜。新技术为科学家提供了一种制造柔性电子器件的低成本方案, 且得到的电子器件的性能将优于现有硅基器件, 有望在未来的智慧城市中大展拳脚。

为演示新技术, 研究人员制造出了由砷化镓、氮化镓和氟化锂材料组成的柔性薄膜。砷化镓、氮化镓和氟化锂材料的性能比硅更好, 但迄今为止, 利用这些材料制造功能性器件的成本非常高。研究人员称, 这种超薄薄膜有望通过相互层叠制造出微型、柔性、多功能器件, 例如可穿戴传感器、柔性太阳能电池等。

紫光成都存储器制造基地项目开工

近日, 紫光成都存储器制造基地项目开工动员在成都双流自贸试验区隆重举行。紫光成都存储器制造基地项目旨在打造世界一流的半导体产业基地, 占地面积约1200亩, 将建设12英寸3D NAND存储器晶圆生产线, 并开展存储器芯片及模块、解决方案等关联产品的研发、制造和销售。

紫光集团赵伟国董事长强调，成都紫光集成电路制造基地项目的开工建设标志着紫光集团在芯片制造领域布局又迈出了坚实的一步。这个项目瞄准了我国高端集成电路产品设计、制造等薄弱环节，汇聚全球高端科技产业实力，致力于打造世界一流的半导体产业基地，对我国实现高端集成电路的创新突破具有重大意义，相信它的建成将助推四川成为全球重要的电子信息产业基地。

格芯为实现未来智能系统扩展FinFET产品新特性

格芯宣布将在其 14/12nm FinFET 产品中引入全套新技术，这是公司加强差异化投资的全新侧重点之一。新工艺技术旨在为快速增长市场（如超大规模数据中心和自动驾驶汽车）应用提供更好的可扩展性和性能。

在当今数据密集的世界，对高性能芯片的需求永无止境，以处理和分析互连设备产生的信息流。格芯的 FinFET 产品是为最严苛的计算应用提供高性能、高功效的片上系统（SoC）设计的理想平台。格芯业务部高级副总裁 Bami Bastani 博士表示：“我们致力于增强发展差异化产品，帮助客户从每一代技术投资中获得更多价值。通过在 FinFET 产品中引入这些新特性，我们将提供强大的技术改进，使客户能够为下一代智能系统扩展性能并创造创新产品。”

ST和Leti合作开发硅基氮化镓功率转换技术

意法半导体（ST）和 CEA Tech 下属的研究所 Leti 宣布合作研制硅基氮化镓（GaN）功率开关器件制造技术。该硅基氮化镓功率技术将让意法半导体能够满足高效、高功率的应用需求，包括混动和电动汽车车载充电器、无线充电和服务器。

本合作项目的重点是开发和检测在 200mm 晶片上制造的先进的硅基氮化镓功率二极管和晶体管架构。意法半导体和 Leti 利用 IRT 纳电子研究所的框架计划，在 Leti 的 200mm 研发线上开发工艺技术，预计在 2019 年完成工程样品的验证。同时，意法半导体还将建立一条高品质生产线，包括 GaN / 硅异质外延工序，计划 2020 年前在法国图尔前工序晶圆厂进行首次生产。

此外，鉴于硅基氮化镓技术对功率产品的吸引力，Leti 和意法半导体正在评测高密度电源模块所需的先进封装技术。

新思科技携手IBM，通过DTCO创新加速后FinFET工艺开发

新思科技与 IBM 携手，将设计与工艺联合优化（DTCO，Design Technology Co-Optimization）应用于针对后 FinFET 工艺的新一代半导体工艺技术。DTCO 通过采用设计指标，在晶圆生产之前的早期探路阶段就能够有效评估并缩小范围选择出新的晶体管架构、材料和其他工艺技术创新。本次合作将当前新思科技 DTCO 工具流程扩展到新的晶体管架构和其他技术选项中，帮助 IBM 为其合作伙伴开发早期工艺设计套件，让他们能够评估确定 IBM 先进节点带来的功耗、性能、面积和成本（PPAC）优势。

我国发布全球首款可见光通信芯片

近日，我国研发的全球首款商品级超宽带可见光通信专用芯片组发布。中国工程院院士、可见光芯片主要研制者 邬江兴教授说：用可见光通信不仅安全、稳定、快速、高效，而且成本低廉。可见光通信技术绿色低碳、可实现近乎零耗能通信，还可有效避免无线电通信电磁信号泄露等弱点，快速构建抗干扰、抗截获的安全信息空间。

据介绍，此次发布的芯片组可支持每秒 G 比特量级的高速传输，全面兼容主流中高速接口协议标准，可为室内及家庭绿色超宽带信息网络、基于虚拟现实功能的家庭智慧服务、高速无线数据传输、水下高速无线信息传送、特殊区域移动通信等领域可见光通信应用提供芯片级的产品。可见光通信是 10GB 超宽带智慧家庭信息网络的核心理念，5G 移动通信将提供最大 1G 的通信速率，可见光通信要比它快 10 倍。

可见光通信专用芯片组的成功研发，对于推动可见光通信产业和应用市场规模化发展，突破室内“最后 10 米”和短距离超宽带无线光互联技术瓶颈，开创集绿色节能、短距超宽带、无缆化光互联为一体的新兴应用方面，具有里程碑式意义。

爱德万测试三款新品同发， 满足不断发展的新测试需求

近日，爱德万测试 (ADVANTEST) 公司在京举办媒体发布会，介绍公司近期动态并发布 3 款新产品。

爱德万测试 (中国) 管理有限公司副总裁封薛明先生表示：爱德万测试近几年在中国市场保持两位数的增长，而 2017 年更是比 2016 年翻了一番，在整个爱德万测试集团的地区市场排名中，中国大陆已经成为继中国台湾地区和韩国之后的第三市场。

“世界半导体贸易统计组织 (WSTS) 近期发布的市场预测显示，半导体市场将在 2018 年和 2019 年继续保持增势，市场规模分别增至 4630 亿美元和 4840 亿美元，增速分别为 12.4% 和 4.4%。WSTS 预测 2018 年全球所有地区预计均将增长，相信爱德万测试在中国也将会进一步增长，”封先生说。

爱德万测试 (中国) 管理有限公司副总裁夏克金先生详细介绍了公司的业务情况。爱德万测试业务板块三大部分：① 半导体和元器件测试系统，主要是针对 SoC 和存储器的测试设备，② 机电系统，包括手持测试仪器 (handlers)、器件接口和纳米技术等，③ 服务、支持及其他，包括各种支持服务，二手设备翻新，以及像太赫兹系统等创新业务。

夏先生表示：爱德万测试是半导体行业自动测试设备 (ATE) 的领先制造商，也是电子仪器和系统设计生产中所用测试系统的主要制造商。爱德万测试领先的检测设备和测试产品，



图 1. MPT3000 系统。

从掩膜检测、晶圆检测，到封装测试、系统测试，覆盖整个半导体生产线。爱德万测试积极致力于面向新兴市场的研发，从纳米技术到太赫兹系统，以及多图像测量的扫描式电子显微镜、突破性的 3D 成像和分析工具等，紧跟现代技术发展趋势。爱德万测试还推出云测试服务、爱德万测试大学、开发者测试大会等有特色的活动和服务，满足不断发展的新型测试需求。

爱德万测试 (中国) 管理有限公司高级测试工程师陈郝先生和高级测试应用工程师陈竞远先生，在此次媒体会上介绍了爱德万测试新近推出的三款新产品：PCIe Gen 4 固态驱动器的整体测试解决方案 MPT3000 系统、FVI16 浮动电源 VI 板卡、T5503HS2 高速存储器测试机。

MPT3000 系统: PCIe Gen 4 固态驱动器的整体测试解决方案

MPT3000 系统是业界第一个完全集成的固态硬盘测试解决方案，该方案可以用于开发、调试以及量产 PCIe Gen 4 固态驱动器 (SSD)，并且

MPT3000 平台也可以同时兼容 PCIe Gen 3、SATA 和 SAS 等协议的固态硬盘的测试开发以及量产。这套全方位的新的测试解决方案可以使 SSD 制造商加快其新产品上市的时间。

MPT3000 平台现在可以覆盖 PCIe Gen 4 设备的所有测试需求——从支持工程使用的 MPT3000ES，到支持可靠性验证测试 (RDT) 的 MPT3000ENV，再到支持量产的 MPT3000HVM，用户可以在 MPT3000 上直接开发 PCIe Gen4，而不用等待第三方厂商提供测试方案。它向用户提供一套从设计到制造的测试流程，并使用与爱德万测试已经投入市场的 PCIe Gen 3 解决方案相同的测试架构和软件，从而简化了向下一代产品升级的过程。

爱德万测试系统级测试副总裁 Colin Ritchie 提到：“为了解决各种各样的固态硬盘协议和形式因素问题，我们提供了模块化的 MPT3000 平台，可以验证和测试最新一代的 PCIe 存储器。在这种高度灵活的测试系统中，每一个 DUT (待测器件) 独立测试架构和硬件加速使它成为一个单一的系统解决方案，可用于几乎所有的工程、批量生产和 BIST (内置的自测试) 应用程序。”

FVI16 浮动电源 VI 板卡

FVI16 浮动电源 VI 板卡，可搭载在 V93000 单一可扩展平台上，扩展其性能，使设备可用于测试汽车，工业和消费类移动充电电源和模拟芯片，让用户可以自如应对不断发展

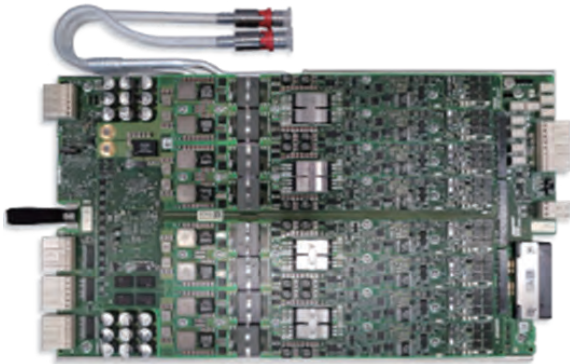


图2. FVII16浮动电源 VI 板卡。

的电动汽车和快充充电器市场。通过提供 250 瓦的高脉冲功率和高达 40 瓦的直流电源，新的电源有助于提供足够的功率测试最新一代芯片，同时进行重复稳定的测量。

增强的电源为 V93000 平台提供了业界最佳的 VI 信号性能，并将其覆盖范围扩展到新的市场，使其成为最广泛的测试解决方案。凭借 FVII16 这款通用的测试平台，可用于测试包括电源管理芯片在内的更广泛的半导体器件，如从安全气囊和 ABS（防抱死制动系统）控制器到 USB-C 充电器和无线电动工具。

与采用传统模拟反馈的其他测试系统相比，搭载 FVII16 板卡的 V93000 测试系统的数字反馈回路设计提供了市场上最佳的信号源，测量精度和模拟 / 功率性能。数字反馈技术提供多种独特功能，包括无毛刺的“智能连接”和恒定的开尔文监控，实现可靠的和高精度的测量。用户控制的斜率和带宽设置可以实现快速建立稳定时间以适应各自的负载条件。

FVII16 板卡具有业界最高的仪器通道密度，配置在爱德万测试 A-Class 测试头内可以使其作为小型系统，从而降低测试成本。具有四象限操作的 16 个通道允许在高电流测试中将每块板卡的通道并联到高达 155 安培。

对于高压测试，每块板卡可以实现在 +200 伏的浮动范围内高达 +180 伏的串联。

用户可以使用新的 FVII16 将现有 V93000 Smart Scale 系统的功能扩展到更高的电压，更多的通道数和更大的功率以满足高同测数的芯

片测试需求，同时保持较低的测试成本。

T5503HS2 高速存储器测试机

T5503HS2 高速存储器测试系统不仅能为当前最高速存储器芯片提供业界最高效的量产测试解决方案，同时也可以覆盖下一代超高速 DRAM 存储芯片。在目前全球对存储器需求飞速增长的时代背景下，T5503HS2 全新测试系统的灵活性扩展了 T5503 系列产品在当前“超级周期”中的功能。

存储器超级周期由飞速增长的终端市场所驱动，这个终端市场包括便携式电子设备及服务器。根据市场调研公司 IHS Markit 的调研，自 2009 年起移动型内存的比特市占率增长超过了 500%。预计到 2021 年，1200 亿 GB 的 DRAM 容量将被数据处理应用的



图3. T5503HS2 高速存储器测试系统。

市场所需要，诸如移动电子设备，数据中心，汽车，游戏和显卡。为了满足这一庞大的增长需求，芯片制造商正在研发新型的，先进的 SDRAM 技术，如高达每秒 6.4GB 数据传输速度的 DDR5 和 LPDDR5 存储器芯片

T5503HS2 是设计用于提供针对新型存储器和现有器件的测试解决方案。它的测试速率最快能达到 8 Gbps 同时测试精度在 ± 45 皮秒。充分利用其 16,256 的数据通道，这个全能型测试系统在测试下一代 LP-DDR5 和 DDR5 器件的同时也允许使用者兼容测试现今的 DDR4，LP-DDR4 及高带宽存储器器件，实现了半导体业界最高的同测数和最优利润率。配置的 4.5GHz 高速时钟选配模块使新测试机拥有了以超过 8 Gbps 的数据传输速率来应对未来存储器芯片测试的可扩展性。

独特的性能使 T5503HS2 成为了独一无二的新一代量产测试机，内置的超高速存储器可支持测试 LP-DDR5 和 DDR5 器件的关键性能。例如，通过实时追踪功能，测试机能够自动识别和调整 DQS-DQ 间时序差异来确保更多的时序余量。此外，一个强健的新型逻辑算法模式生成器 (ALPG) 允许对先进器件的特性进行快速高品质评价。T5503HS2 中也配置了一个新型可编程电源供给单元，这个电源供给单元的反应速度是之前版本的四倍，同时带来更低的电压压降。

目前使用 T5503 测试系统的用户可以将设备升级成为新的 T5503HS2 测试系统，来为下一代存储器器件的测试实现无缝经济的产品线过渡。

(记者 赵雪芹)

电子气体为行业发展保驾护航

——林德苏州工厂采访报道

金秋9月，林德集团邀请媒体参观了苏州的三家工厂，在展示其领先技术的同时探讨了当今气体材料和半导体制造的发展趋势。一天的行程安排很满，既有详细介绍，又有现场参观，三家林德工厂为半导体和显示器行业提供氮气、氦气及各种电子特种气体，大家深入走访了工厂内部并与一线工程师进行交流，收获颇丰。

第一家工厂：林德电子特种气体（苏州）有限公司

林德电子特种气体苏州工厂始建于2003年，总面积是35000平米，建筑面积是16000平米，该工厂提供三类产品——第一类是工业气体，如纯氢气、氩气、氮气、氧气等，一般是5N以上的高纯度气；第二类是特种气体，比如灯光气体、校准气体、激光气体等，一般是6N以上的超纯气；第三类是电子气体，有硅烷（SiH₄）、四氟化碳、氦气、氯化氢、三氟化碳、氯氟化硫等，电子气体的市场主要覆盖太阳能、半导体、显示面板和LED。

工厂的生产工艺包括：气体纯化（从不同的低纯度提高到高纯度）、分装（从大的包装物转到小的包装物，基于客户的用量决定）、混合（混合工艺非常复杂，种类也多，而且对精度要求高，混合比例从百分比级的，到PPB级的各不相同）。PPB是十亿分之一的概念，相当于在三个足球场上找到一个小色子。混合气体是林德电子特种气体苏州工厂的一个核心业务。

工厂经理夏细权表示：“我们从2003年开始做电子气体，是国内做电子气最早的工厂之一，产品包括硅烷、氦气、氯化氢等，我们的氯化

氢在市场上占有比较大的比例，很多重要的半导体客户都会用到我们的氯化氢，用于刻蚀和清洗。”

从2003年开始建厂，在建厂早期，林德电子特种气体工厂主要是做贸易，后来开始做分装。2007年，工厂开始做多组份稀有气体的ROFIN激光气，还有Flamm-ox可燃气和氧化性气体。这种气体需要经过特殊管控和特殊工艺进行实现，这是林德在大陆唯一授权的可以做Flamm-ox的工厂。

林德电子特种气体工厂的产品广泛应用于半导体、电子、汽车、工业、食品等众多领域，并获得客户的充分认可。工业气体几乎所有行业都会用，他们在苏州地区就有将近800家客户。

第二家工厂：联华林德苏州工厂

联华林德苏州工厂成立于2002年5月份，总共有两期项目，一期占地面积大约2万5千平米，二期占地面积3万平米，主要供应大宗气体，包含氧气、氮气、氩气、氦气，还有CDA（压缩空气）。



联华林德苏州工厂

该工厂现在有 5 个现场，包括三星现场、凤里街现场、和舰科技、纳米科技园、常熟腾辉，都在林德联华苏州工厂的管理范围。现场的工作人员较少，因为设备完全可以通过 ROC（远程控制中心）来进行集中控制。

该工厂的生产设施主要包括六大部分：

第一部分——大宗气体，是现场制气装置，也叫空分塔。林德的空气分离设备在业内位于领先的地位，主要分离出了氮气和氧气。

第二部分——特需供应，包括氮气和一些电子特种气体的供应。

第三部分——气体管路分配系统，林德在苏州工业园区通过管网为客户供应氮气。

第四部分——气体纯化系统，通常气体进行纯化后会达到一个 PPB 以下。

第五部分——CQC 系统，主要是对产品质量进行分析，包括产品中水含量、氮气中杂质含量的分析。

第六部分——GMS 系统，是对整个制程进行操作的系统。

工厂经理李慧岗提到：“林德集团伴随着苏州工业园区一起成长的，我们在园区铺设了氮气管网，供应给 50 多家大型企业，包括国际化的公司比如三星、博世、友达光电、和舰科技等很多大型的电子客户都在这条管网上，这条管线长达 60 多公里。”

“我们的 CDA（压缩空气）系统是给三星液晶工厂做配套供应的。苏州现场是目前联华林德供气量最大工厂之一，每小时能生产氮气 3.6 万立方米，CDA15 万立方米，我们为园区 50 多家客户提供 365 天不间断的氮气的供应，所有的装置实现了远程控制，整个生产工艺是 DCS 自动控制的，同时可以通过远程数据传输到上海远程控制中心（ROC），进行实时的数据监控和远程操作。”

第三家工厂：比欧西气体（苏州）有限公司（氮气工厂）

氮是整个宇宙中第二丰富的元素，是经过核聚变生成的。目前来看国内是没有氮气资源的，基本上全是靠进口。林德主要的进口源一般是在美国、澳大利亚还有卡塔尔。因为氮气少，物以稀为贵，所以相对来说氮气会比其他的气体更贵。在全球范围内，林德目前拥有最高的氮气资源占比。

因为氮气有很大一部分会跟天然气一起经过纯化和

提炼，先得到粗氮，目前在国内是没有粗氮工厂的。氮气运输具有挑战性，需要采用专业设备，林德用其自身设计和制造的 ISO 储罐把液态氮从国外运到国内。ISO 储罐是一个内胆，中间有一层液氮，用来保持大约 4K 左右的低温。到国内以后，会在工厂进行分装，根据客户的需求供应。

目前林德在全球有超过 300 台 ISO 罐车，在国内不仅仅是氮气用罐车运输，一些大宗气体也会用罐车来包装，目前国内总共是有 40 辆，大部分是氮气的。

半导体、太阳能等电子制造是氮气最大的用户之一，在工业、军事、医疗等许多行业中氮气应用也非常广泛。据悉，林德集团已经和俄气签订了新的合作，会在 2021 年中期投入生产，以满足各行业对于氮气不断增长的需求。

林德工程

除了参观三家工厂，林德电子市场开发负责人 Paul Stockman 博士还特别介绍了林德工程。林德工程在改革开放初期就进入了中国市场，开始是在北京设立林德工程北京代表处，1995 年在大连成立了林德工艺装置有限公司，2002 年又创立了杭州工程和销售中心。在此之后，林德继续投资中国市场，不断发展这两个工程公司。

过去 20 年，林德工程（杭州）和林德工程（大连）不断改进制造工艺，逐步发展壮大。两家公司在短时间内迅速拓展中国业务，共在国内建成超过 120 套装置，包含空气分离装置、合成气体装置和天然气处理装置。

当提到林德工程生产的空气分离装置时，Paul Stockman 博士引以自豪地提到：“林德在过去的一百多年里向 80 个国家和地区提供了 3000 套空分装置，作为一家电子气体的供应商，林德气体就拥有和运营 400 套。”

作为一家领先的国际气体公司，林德集团提供各种高质量的气体 and 气体应用技术。林德集团电子材料副总裁 Anshul Sarda 先生表示：“中国大陆的电子行业发展非常快，虽然本地的市场巨大，但并不是非常的聚合，比如不集中在某个区域。所以，从联华林德的角度来看，仅仅在大陆建一家厂房肯定是远远不够的，我们需要到客户所在地建立跟他们临近的工厂，来满足他们的需求。随着我们在苏州工厂的产品种类不断扩大，我们在中国的其他城市，比如厦门、镇江、天津也有新厂。加上台湾地区的三大气体厂，在大中华区我们共有 7 个电子特种气体工厂来满足不断增长的生产需求。”（记者 赵雪芹）

光传感器逐步发展： 3D 感应和光谱学是下一个“大事”

Manuel Tagliavini, IHS Market 公司MEMS 和传感器首席分析师



光传感器处于持续不断的发展之中，从检测光线和距离的传统用途，延展到越来越复杂和精细的功能，包括 3D 感应和光谱学。

3D 感应是半导体领域中新涌现的发展势头最强劲的机遇之一，而光谱学在商业、军事、医疗和工业应用中的使用将日渐增多，用以确定材料的化学成分和分子结构。

总的来说，光传感器可帮助检测电器装置、开关和机器设备中不同的光亮度水平，包括人类肉眼可能看不到的光线，比如：X 射线、红外光和紫外光。另外，光传感器的使用领域还包括：科学、工业和消费应用（作为安全或安装置的一部分，如车库门遥控开关）；交通信号灯或室外灯；以及日常消费电子产品，如电视、遥控装置、计算机、智能手机和平板电脑。

智能手机是光传感器的主要应用对象，不过，可穿戴式产品和汽车仪表板的中央显示器也将是光传感器的重要销售收入来源。

各种类型的光传感器

许多年来，光传感器的主要类型是环境光传感器、接近传感器、彩色 /RGB 传感器和手势传感器。

负责测量环境光强度的环境光传感器被人们用来调整屏幕（比如智能手机的屏幕）的亮度，降低屏幕亮度有助于改善观看的舒适性和降低功耗。而接近传感器则用于检测某个物体与传感器的靠近程度，一般是通过感测红外光来实现；它们大多用于当手机摆放在靠近人的头部时关闭手机上的触摸屏。

对于彩色 /RGB 传感器来说，它们负责测量给定环境中的色温，且通常用于校正显示器中的白平衡，而手势传感器则使接近传感器能够检测手部动作，作为一种与诸如手机、PC 和电视等设备进行互动的方法。

光传感器可作为内含一个传感器的分立封装器件出现，即使在其集成了另一个传感器组件（比如，一个 LED 红外发射器）的情况下亦是如此；环境光传感器或

彩色 /RGB 传感器便是实例。另外，光传感器也可作为具有两种或更多传感器功能的组合封装器件提供，例如，

连同接近传感器的“二合一”环境光传感器 (ALS+PROX)，或者带有接近传感器和 LED 红外发射器的“三合一”环境光传感器 (ALS/PROX/IR)。“三合一”传感器将继续是最受欢迎的封装器件，对于低端和中档智能手机市场而言尤其如此。

苹果和三星公司继续“勾勒”光传感器市场和供应商的整体格局。2016 年，苹果在 iPhone 7 手机中用 ToF 传感器取代了红外接近传感器，在此过程中几乎完全“颠覆”了业界对于光传感器所做的预测。与此同时，三星则成为唯一一家在自己的某些高端智能手机中采用光脉冲传感器监测心率的 OEM 制造商。

新一波浪潮：3D 感应和光谱学

光传感器即将在 3D 感应和光谱学领域展现其最强大的成长潜力。

在 3D 感应领域，飞行时间 (ToF) 传感器用于检测图像模式、距离和形状，在此类检测过程中可提供众多的用途，包括面部识别、增强现实和机器视觉，适合家庭机器人和汽车等细分市场。谨慎地与照明器保持同步的 ToF 传感器利用某个场景中的物体所反射的光线来确定其与物体之间的距离。结果是与传感器面对之物体的 3D 投影映射或重构，此结果随后可用于面部识别以及增强现实和虚拟现实应用。

在光谱学领域，光传感器能够根据材料在特定波长上的光吸收量来测量各种液体、气体和蒸汽。由于每种材料都有其自己的光谱响应，因此某种波长（或几种波长之组合）的光学特征可用于识别特定材料和化学立体的存在。光谱学可在广泛的应用领域中投入使用——在食物分析中用于测量水分和脂肪含量等品质参数；在医疗保健行业中用于检测药物中的假药；在工业和军事应用中用以确定空气中有毒气体和蒸汽的存在。◆

泛林集团技术研讨会：

联合学术界和产业界， 探讨推进全球半导体产业发展

2018年9月12-13日，泛林集团技术研讨会（Lam Research Technical Symposium）在清华大学举办。作为一个学术界与产业界联合的研讨会，会议邀请到了来自泛林集团、清华大学、麻省理工学院、斯坦福大学、加州大学伯克利分校、西部数据的世界著名学者与业界专家，把半导体产业链中从材料、装备、器件到电路应用串联起来，进行了全产业链的讨论。

面对行业新挑战，必须跨越国界和学术边界开展合作

泛林集团技术研讨会每年举办一次，今年已是第二届。研讨会的目的是通过交流与探讨，激发大家的创意，从而共同应对行业面临的新问题和挑战。泛林集团执行副总裁兼首席技术官 Richard A. Gottscho 博士表示：面对半导体行业新的挑战 and 困难，我们必须跨越国界和学术边界开展合作，创造一种多元化的学术氛围。泛林集团希望与半导体产业的世界著名学者、供应商、客户、客户的客户开展合作，彼此启发，提出新的见解和创意。

清华大学微电子学研究所所长魏少军教授认为，泛林集团技术研讨会会有几个特点：第一，作为一个技术研讨会，它聚焦的是世界上最前沿的技术，但又不是一个纯粹的学术会议，而是一个学术界和产业界联合的会议；第二，清华大学、麻省理工学院、斯坦福大学、加州大学伯克利分校都是全球著名高校，在微电子领域非常有建树，能够把这四所高校聚集到一起讨论前沿性科学问题实属难得；第三，研讨会不仅仅从工艺、器件角度去看半导体产业，而是把产业链中从材料、装备、器件到电路应用串联起来，进行全产业链的讨论，其中还包括 AI 发展，人才培养等话题。“我个人认为泛林集团技术研讨会是国际上最高水平的与半导体基础技术、制造、电路技术相关的研讨会之一，希望这个研讨会能够长期举办下去，成为一个在国际上有影响力的研讨会。”魏少军教授表示。

“在全球范围内，泛林集团和很多顶尖高校都进行了合作，涉及的项目是多方面的，取得的成果也有所区别。

通过有些项目，我们对自己的工艺、产品设计和服 务有了大幅度改进；有些合作项目使我们获得新的创意和见解，让我们的创造力得到进一步发挥；还有一些项目，我们则着眼于加强自己的人才储备，招聘世界一流人才，支撑公司的长期发展。”Gottscho 博士说，“泛林集团和清华大学已有非常久远的合作历史。除了每年在清华大学举办讲座外，为了助力其培养卓越的半导体科技人才，泛林集团于 2013 年起在清华大学微电子与纳电子学系设立了‘泛林集团 - 清华大学微电子论文奖’，每年给清华提供 17 个奖学金的机会。此外，我们还给清华的实验室捐赠了设备。目前，有很多来自清华的毕业生在泛林集团工作。展望未来，我们希望进一步加强和清华大学的合作，开展更多的合作项目。”

对于双方的合作，魏少军教授也提出了自己的看法。“对于清华大学来说，我们更看重和泛林集团的技术交流。今天的研讨会是一种交流，此外，泛林集团的技术人员与清华大学的师生还会相互访问。双向交流带来的是知识上的更新，以及产业界和学术界之间的碰撞，我们觉得这更有价值。”魏教授说，“之所以选择与泛林集团合作是因为泛林集团的领导层有着交流的愿望和开放的心态，我们能够对具体技术问题做很深入的讨论，让清华大学的师生受益良多。同时，泛林集团也能在交流中了解中国半导体产业



泛林集团执行副总裁兼首席技术官 Richard A. Gottscho 博士发表演讲

发展和技术进步情况。有时我们还会开展一些小的合作项目，共同开发一些特定的技术。因此，我们的合作不仅限于人才和奖学金，更重要的是理念和技术创新能力的合作。”

原子层刻蚀与原子层沉积技术发展日益成熟

泛林集团在原子层刻蚀 (ALE) 和原子层沉积 (ALD) 技术方面一直处于业界领先地位。对此，Gottscho 博士介绍了 ALD 和 ALE 技术的进展及未来发展趋势。

“目前为止，ALE 和 ALD 这两项技术的进展都非常顺畅，实际应用也越来越多。原子层沉积比原子层刻蚀诞生得早，所以技术发展更为成熟，普及度也更高。但原子层刻蚀的应用也在不断拓展。”Gottscho 博士介绍，“技术普及及主要面临两方面的挑战，一是生产的通量，二是总拥有成本。这两个方面都在不断被改进，我们也在不断推出新版本的原子层刻蚀和原子层沉积技术，有时候也基于新的设计架构使这两种技术得到进一步成熟和发展。”

“另外，我们也日益把这两种技术集成到一起，在一个工艺腔里实现原子层沉积和原子层刻蚀的工序。对于一些传统产品，我们可以在刻蚀腔里实现原子层沉积，或者在沉积腔里实现一部分原子层刻蚀的功能。”Gottscho 博士补充说，“我们原本认为使用这两种技术可以取得两方面的收益，一方面是包括在硅片层面和器件层面的均匀性的提升，另一方面是选择比的改进。但在实践中，我们发现除了这两点之外，还有其他意想不到的收益，比如产品

的损坏率会下降，粗糙度会进一步降低。随着粗糙度的进一步降低，EUV (极紫外线) 的使用功率可以减少，所以 EUV 技术的性价比会得到提升，这是目前的发展趋势。”

全球化是半导体产业发展不可阻挡的大趋势

“就整个半导体行业而言，我们面临非常多的挑战。有一位发言人在研讨会上提到，之前半导体行业有一套技术发展路线图，称为 National Technology Roadmap for Semiconductor (NTRS)，它会指出下一个技术节点的时间，以及每个节点对尺寸、精度的要求。现在这样的路线图已经不复存在，有人对此感到悲观，觉得今后我们的发展没有了方向。但其实这是一个好的变化，意味着我们会去探索不同的路径，会有更多的可能性和机会充分发挥创意，使整个行业发展更快，也使未来五到十年包括人工智能在内的应用更快落地。”Gottscho 博士表示，“总得来说，半导体行业的发展对其他行业起到了基础的支撑作用。不管是医疗、汽车、航空航天，都可以从半导体产业的发展中获益。”

魏少军教授则强调：半导体是一个全球化的行业，没有一个国家可以关起门来发展。我们要实事求是地看待中国半导体行业的发展，既不夸大，也不妄自菲薄。希望大家以理性的态度看待中外合作，好的技术是没有国界的，半导体技术发展最终将惠及全球各个国家。从如今产业发展来看，全球化大趋势是不可阻挡的，而这对中国来说也是一个重要的机遇。◆ (记者 赵雪芹)

新思科技支持TSMC多裸晶芯片3D-IC封装技术

新思科技 Design Platform 全面支持 TSMC WoW 直接堆叠和 CoWoS[®] 先进封装技术。Design Platform 支持与 3D IC 参考流程相结合，帮助用户在移动计算、网络通信、消费和汽车电子等应用中部署高性能、高连接性的多裸晶芯片技术。

Design Platform 解决方案包括多裸晶芯片和中介层版图创建、物理布局规划和设计实现、寄生参数提取、时序分析以及物理验证。

Design Platform 支持 TSMC WoW 和 CoWoS 先进封装技术的主要产品和特性包括：

- IC Compiler[™] II 布局布线：支持多裸晶芯片布局规划和实现，包括中介层和 3D 晶圆堆叠生成、TSV 布局和连接分配、正交多层、45 度单层，以及裸晶芯片互

连接口模块生成以用于裸晶芯片间的参数提取和检验。

- StarRC[™] 参数提取：支持 TSV 和背面 RDL 金属层提取、硅中介层提取，以及裸晶芯片间耦合电容提取。
- IC Validator：支持全系统 DRC 和 LVS 验证、裸晶芯片间 DRC 及接口 LVS 验证。
- PrimeTime[®] signoff 分析：全系统静态时序分析，支持多裸晶芯片静态时序分析 (STA)

TSMC 设计基础设施市场部资深总监 Suk Lee 表示：高性能先进 3D 硅片制造和晶圆堆叠技术需要全新的 EDA 功能和流程，以支持更高的设计和验证复杂性。我们加强与新思科技的合作，为 TSMC 的 CoWoS 和 WoW 先进封装技术提供设计解决方案。我们相信，设计解决方案将使双方客户从中受益，提高设计人员的工作效率，加快产品上市。

EDA 4.0 新时代来临

2018年9月6日，Mentor Forum 2018 在北京香格里拉饭店举行，一年一度的 Mentor Forum 是与会者了解 Mentor 的创新产品和解决方案如何协助工程师克服日益复杂的电路板和芯片设计挑战的绝佳时机，本届论坛还邀请来清华大学魏少军教授、地平线机器人公司周峰先生等来自业界的意见领袖发表演讲，帮助与会者了解产业热门话题，掌握半导体和 IC 技术趋势。



为何半导体行业内的设计不断加快？

“A New Era in EDA, Driving EDA 4.0” 是 Mentor Forum 2018 的 slogan。Mentor 中国区总经理凌琳 (Pete Ling) 先生在会上发表题为“为何半导体行业内的设计不断加快？”的演讲，分析阐述了半导体产业近年的发展状况及未来趋势。

Pete Ling 表示：为了适应人工智能、机器学习、自动驾驶、5G 等新应用技术快速发展的需求，Mentor 认为一种革命性的设计方法必不可少。而统一、协调且可扩展的方法，包括需求管理系统、合规的设计流程和质量为核心的生产，是应对当今设计挑战的唯一途径，Mentor 称之为“EDA 4.0 (电子设计自动化 4.0)”。

Mentor 作为 EDA 电子设计自动化的全球领导者，为 IC 设计、IC 封装、汽车电子、物联网 (IoT)、功率优化等领域提供一流的解决方案，协助客户加快其电子及机械产品的研发速度、提高产品质量并增加成本效益。Mentor 现在是 Siemens PLM Software 业务的一部分，结合了双

方的技术优势，已成为世界领先的工业软件供货商，涵盖产品设计、仿真、验证、测试和制造等所有环节。Mentor 的技术与产业解决方案致力于协助各产业客户因应其所面临的挑战。

近年来，半导体行业的实力不断加强，表现在：IC 收入增长加快，2011-2016 年 IC 收入的复合增长率为 3%，而 2017 年，IC 收入实现 22% 的增长；2017 年的半导体研发费用增长了 9.8%；Fabless 半导体初创公司的风险资本投入大幅增长，从 2009-2012 年的平均 9.2 亿美元 / 年增长至 2018 年 18.02 亿美元。

存储器是行业增长的重要推动力，2017 年，存储器几乎占 IC 收入的 40% (相对 2016 年是 27%)。2017 年，FLASH 和 DRAM 资本投资增长 35%，3D NAND 推动存储器比 Logic 或 SoC 更快发展。

与此同时，非存储器市场持续强劲，随着 AI、IoT、5G 应用技术发展，进入半导体设计领域的新公司越来越多，例如 Facebook、Apple、小米、华为、Amazon、Tesla、Google、ZTE 等，IC 设计企业有更多新参与者。

由于引入“特定域处理器”初创企业活动的加速，比如，特斯拉用自动驾驶系统的定制处理器取代通用 GPU，EMOSHAPE 开发情感处理单元 (EPU)…… 特定域架构和学习曲线将实现下一波增长。Alphabet 公司董事长 John



Hennessy 提出：摩尔定律的终结，更高速的通用计算黄金时代已开启。

近几年，晶圆厂投资持续增加，但 2018 年第 2 季度显示出资本投资放缓迹象。在全球投资中，中国的年复合增长率 37%，高居榜首。包括 2014 年，中国集成电路投资基金（政府支持）200 亿美元；私募股权、地方政府、区域政府 970 亿美元。2018 年，中国集成电路投资基金（政府支持）470 亿美元，配套社会资本预计将更多。

中国投资正从制造业转向设计，中国的 IC 设计企业数量，2015 年是 715 家，2016 年激增到 1362 家，2017 年 1380 家，同时，中国 IC 设计企业规模也在发展变大。多数中国 IC 设计企业专注于热门的新应用领域。

综上所述，AI/ 机器学习需要进入下一步抽象和功耗分析，特定领域体系结构需要新的设计方法和工具，满足低功耗、高性能、低成本、减少设计时间和设计成本的需求。

Mentor 的 HLS（高等级逻辑综合）是性能和面积占领先地位的工具，改进功耗预计和优化，已经被很多 IC 设计公司应用和验证。设计师可以利用 HLS 进行更多探索，并提供比编写 VHDL 或 Verilog 更高的质量。

HLS 设计结果比手动编写的 RTL 更强，时间更快，缩短 4 倍。

未来有无限可能

随着摩尔定律继续前行遭遇诸多限制，半导体尺寸缩小不断遭遇挑战。半导体市场成熟了吗？半导体行业未来会如何发展？Pete Ling 用 Gompertz 曲线来预测半导体行业未来。

Gompertz 曲线是时间序列数学模型，最大增长为 36.8% 渐进线。该数学模型非常好地预测了很多领域的增长曲线，比如手机用户总数的增长、笔记本电脑增长、人口增长等增长曲线。

根据该模型，单位体积总晶体管数量 Gompertz 曲线的增长率仍在上升，拐点尚未到来；预计 2038 年将达到 36.8% 最大增长率，然后半导体行业增长开始放缓，2040 年前需要替代硅晶体管。

由此看来，半导体行业至少还有 20 年加速增长期，行业发展不会止步于摩尔定律，未来有无限可能。◆

（记者 Sunnie Zhao）

格芯与成都合作伙伴调整成都合资公司战略

近日，格芯与成都合作伙伴签署了投资合作协议修正案，顺应格芯近期宣布的技术组合战略，将合资企业重心转变至满足中国市场高需求的差异化技术。基于市场条件变化，格芯宣布重新专注于差异化解决方案，以及与潜在客户的商议，将取消对成熟工艺技术（180nm/130nm）的原项目一期投资。同时，将修订项目时间表，以更好地调整产能，满足基于中国的对差异化产品的需求包括格芯业界领先的 22FDX 技术。

凭借逾 20 亿美元的设计中标收入以及 50 多项客户设计，格芯的 22FDX 技术在汽车、5G 连接以及物联网（IoT）等各种高速增长的应用领域内展示了其作为业界领先的功耗优化的芯片平台的吸引力。格芯的中国客户已开始位于德国德累斯顿的格芯先进生产基地中采用这种技术，包括 7 名客户超过 8 个产品进入生产爬坡的不同阶段。

瑞芯微电子 CEO 励民表示：“我们和格芯合作已经很久了。22FDX 低功耗的特点使其非常适合我们的不同产

品，比如安防、AI 等。我们也期待 22FDX 落地在中国生产，这将为我们带来更多的便利。”

双方合作伙伴仍计划继续推进 FDSOI 生态系统建设，包括创建本地技术基础设施、引进更多 IP 供应商和 EDA 合作伙伴等，使成都成为 FDX 技术的重要中心并赋能本土市场的采用以及需求产生。

成都股东方认为：“此次格芯成都项目的调整变化为合作双方留出充分时间进行评估，以更准确地掌握中国市场需求，为未来新的产能规划和项目实质性启动做好前期准备”。

格芯 CEO 汤姆·嘉菲尔德（Tom Caulfield）表示：“作为全球规模最大、增长最快的半导体市场之一，中国是格芯高优先市场。FDX 技术特别适合中国市场，我们将继续见证其在 5G、IoT 以及边缘计算等极富吸引力的市场领域的巨大潜力。我们将与成都政府继续深化务实合作，坚定推动成都项目的实施，共同加快中国 FDX 技术生态系统和客户群的发展。”

中美贸易战升温，SEMI倡导自由贸易

随着美国特朗普政府宣布对价值约 2000 亿美元中国输美产品加征关税，中美贸易冲突继续升级，中国政府近乎同一时间宣布对原产于美国的 600 亿美元进口商品实施加征 5%-10% 不等关税，这是今年中美贸易冲突开始以来的第三轮。此前两轮互增关税就已经涉及到单边价值为 500 亿的进口贸易。据了解，对依赖于全球供应链运作的半导体产业，七月份第一轮关税战中，就有从中国进口的相关半导体零部件产品被列入美国加税清单，而美国出口中国的相关材料也受到一定冲击。

中美贸易冲突将对全球半导体产业以及中美企业产生哪些长远影响？作为国际半导体产业协会，SEMI 将如何努力帮助全球的会员继续成长？针对这些问题，9 月 19 日 SEMI 在上海举办了有关贸易冲突的圆桌会议。来自紫光集团、中芯国际、华虹等国内几大半导体制造企业、以及设备材料供应商和投资机构的约 20 位产业高管参加了讨论。会后，SEMI 总裁兼首席执行官 Ajit Manocha，以及 SEMI 全球副总裁中国区总裁居龙与媒体见面，分享了产业界对中美贸易战的看法和共识，介绍了 SEMI 的行业主张和行业推动措施。

“相互报复性地加征关税，对半导体行业而言最严重的影响是，企业不得不减少研发投入，缩减人才计划和创新布局。其结果一定是双输（nobody-wins）的。” SEMI 总裁兼首席执行官 Ajit Manocha 最为关注的是贸易战对行业的长期负面影响。Ajit 在半导体行业工作近四十年，见证了产业从很小的规模成长到目前超过四千亿美元的过程。他认为贸易冲突对半导体行业的危害，主要将是对投资环境的迅速影响。

一个典型的半导体企业，通常至少会将 15% 以上的利润投入到研发，这就是为什么半导体产业会不断出现“破坏性创新”的主要原因。贸易冲突和增加关税，直接影响到企业的盈利能力，迫使企业减少 R&D 投入，收缩研发领域，调整全球布局的研发制造策略，并不可避免地引发裁员。对于以创新为驱动力的半导体行业来说，这是致命的。

Ajit 特别指出，目前的半导体行业正幸运地处于一个新技术和创新不断涌现的、十年不遇的转折节点。“人工



智能、物联网、5G、云计算、自动驾驶、量子计算等等，都依赖于半导体技术的创新。有机构预测，受益于这些领域对半导体技术的依赖和需求，半导体产业将在 2030 年达到万亿美元的规模”。从这个角度看，目前中美贸易关系紧张无疑对半导体行业长远影响会非常大。

为此，SEMI 主张半导体行业应该继续坚持自由和公平贸易的原则，倡导国际合作与共赢。Ajit 认为只要能够做到尊重知识产权，不影响国家安全，遵守网络安全原则，中美政府是愿意和能够合作并解决贸易争端。为了帮助 SEMI 的全球会员企业游说美国政府，SEMI 针对中美贸易冲突，在公共政策领域提出了四项主张。Ajit 介绍说，SEMI 从这四个维度出发，聚焦贸易争端相关的公共政策，开展产业倡导和宣传。

第一、企业税 (Tax)。SEMI 主张对半导体企业的税收，全球各个地域应该能够至少具有可比性 (comparative)，这有利于不同国家和地区的企业进行公平的竞争和合作；

第二、技术 (Technology)。SEMI 主张政府在基础研究和技术开发方面给与大学等研究机构更多的帮助。比如，美国政府以前对 DARPA 和 NIST 的基础研究项目的资助，就大大地降低了企业新产品研发的负担。SEMI 希望美国政府今后能够给与更大的帮助；

第三、人才 (Talent)。半导体产业是个缩小的世界，不同国家和地区的人才相互流动。美国更得益于此。各国的学生来美深造，毕业后在美国工作，帮助了美国的发展。SEMI 认为禁止人才流动的移民政策最终会伤害美国的半导体产业；

第四、贸易 (Trade)。SEMI 一贯认为半导体产业的蓬勃发展得益于自由和公平的贸易规则。企业无法通过自由贸易赚取更多利润，从而无法在研发中投入更多，这将严重损害半导体行业。

SEMI 全球副总裁及中国区总裁居龙强调说，SEMI 会在这四个 T 方面，向政府和产业发声，继续倡导自由贸易、公开的市场、知识产权的保护、国际合作共赢等主张，居龙说，“从全球化的半导体产业链角度出发，SEMI 会继续努力，不管短期效果和直接效果如何。SEMI 是国际性的平台，要为国际产业发声，帮助中国融入全球半导体产业，要成为实现中国半导体梦想的合作伙伴。”

居龙介绍了当天 SEMI 圆桌会议的情况，他认为参会企业代表的一个共识，就是这次中美贸易冲突对半导体产业的影响会很深远，虽然后期效应还在持续发酵中。“贸易战对产业的影响会很大，而且还会衍生出后续的很多问题，比如，对于投资的限制，对于在中国进行研发合作的限制，以及出口管制问题，等等。”居龙说，上海圆桌会议的目的就是征求中国产业界同行的意见，讨论如何利用 SEMI 这样一个覆盖全球七个区域的国际性行业协会的优势，缓解中美两国之间的贸易冲突和带来的负面影响。

美国半导体设备材料企业近 90% 产品用于出口，是典型的贸易顺差行业，另一方面，作为新兴的半导体制造基地，中国的半导体产业成长严重依赖国外的设备材料以及技术管理人才。无论是提高行业关税，还是加强出口管制，无疑会对中美两国的半导体行业产生巨大和深远的冲

击。据介绍，在美国加征关税的第一轮 340 亿美元和第二轮 160 亿美元的清单中，就有从中国进口的相关半导体产业用的零部件材料，SEMI 通过与美国商务部等政府相关部门的沟通，从清单中拿掉了二十多项。

居龙表示，在进出口管制方面，SEMI 会和中国的产业界和企业一起，与两方政府部门沟通，做游说和教育性质的工作，帮助领导了解半导体产业的特征，即半导体产业这是一个全球性的产业链，和农产品这类贸易不同。目前虽然美方没有更多出口管制的政策出台，但不是没有可能发生，影响中国的半导体产业发展的进程。Ajit 表示，SEMI 一直主张只有影响到国家安全、网络安全、严重侵害知识产权才应该动用出口管制政策，而不应该在贸易冲突中使用。“中国和其它任何区域都应该在这方面非常鲜明的承诺和遵守公平自由贸易，保护知识产权，不损害到国家和网络安全，以避免出口管制发生，激化贸易冲突。”

Ajit 和居龙都一再强调，虽然目前贸易战对半导体设备材料会员的影响还不是很明显，但是，由于半导体行业的特殊性，仅仅影响到零部件和一些材料的供应，设备材料厂商就可能重新考虑在全球供应链链布局。无论是中国对设备材料加征关税，还是美国在出口管制方面施加更多压力，衍生出来的影响都可能远远超过关税本身。SEMI 的立场很清楚，Tariffs 不能解决半导体行业的贸易冲突，自由公平贸易、研发创新才是半导体行业繁荣增长的基础。◆ (记者 干辉)

日韩企业联手挑战5G海外市场

据日本媒体报道，韩国三星电子和日本 NEC 将在面向新一代 5G 无线通信标准的基站开发和销售方面展开合作。将实施分工以提高开发速度，首先开拓 5G 实用化临近的日美市场。

5G 的通信速度达到现在的 100 倍，将成为物联网和自动驾驶的通信基础。在美国部分地区，相关服务最近已经启动。在日本，自 2019 年度起将分阶段推进实用化，通信公司的设备采购将全面启动。2020 年以后预计扩大至世界各国。

三星和 NEC 将推进与智能手机等通信终端交换电波的基站的开发分工。由于 5G 将采用广泛频带，因此将高

频带由三星负责开发，低频带由 NEC 负责开发，并相互提供产品等方式。

在销售方面，将向各自的优势地区和客户销售对方的产品。三星在全世界拥有销售基地，并将日韩印度定位为 5G 的重点地区。三星在日本向 KDDI 供货，但在 5G 领域，力争向 NEC 具有优势的 NTTDoCoMo 供货。过去在进军海外方面遭遇失败的 NEC 将携手三星，再次挑战海外市场。

据统计，全球基站的市场规模 2017 年达到 372 亿美元，在基站领域，3G 时代欧洲企业占据近 7 成份额，但在 4G 时代，华为和中兴通讯等中国企业实现了迅速增长。在 5G 升级换代之际，市场份额预计会剧烈变动。

溅射理论在定向原子层刻蚀中的应用

等离子体辅助原子层刻蚀 (ALE) 最近已被引入到 10nm 逻辑器件的制造中。这种实现方式的 ALE 被称为定向 ALE, 其得名于在去除步骤中, 离子将动量定向传递到刻蚀表面。等离子体辅助定向 ALE 可被描述为在未改性材料的表面上溅射一层薄的改性层。在本文中, 作者提出一种基于溅射理论的碰撞传递蒙特卡罗模型, 溅射理论已经发展了 50 多年 [P. Sigmund, *Thin Solid Films* 520, 6031 (2012)]。为了测试该方法的有效性, 作者将计算出的硅和氯化硅近阈值氩离子的溅射率与已发表的实验数据进行了比较。针对钽的 Cl_2/Ar ALE, 计算得出的 ALE 曲线与实验吻合得很好。利用该模型预测了一些显著的溅射效应的存在, 例如离子质量和撞击角度依赖性, 以及定向 ALE 中的再沉积。最后, 对于 Cl_2/Ar ALE 的离子能量高于钽的溅射阈值的情况, 作者研究了协同效应的时间依赖性。计算表明, 在短时间内可以获得接近 100% 的协同效应, 这为加速定向 ALE 开辟了道路。对所有工艺参数与时间的关系进行非常精确的控制, 是实现该工艺的先决条件。

I. 引言

对材料进行传统的反应离子刻蚀 (RIE) 时, 化学反应性和惰性离子及中性物质流会同时撞击待刻蚀的表面²。离子和化学反应中性物质的这种组合对材料的刻蚀速度比单个组分的刻蚀速度的总和要快。Coburn 和 Winters^{2,3} 对这种离子 / 中性物质协同效应导致刻蚀速率提高的现象进

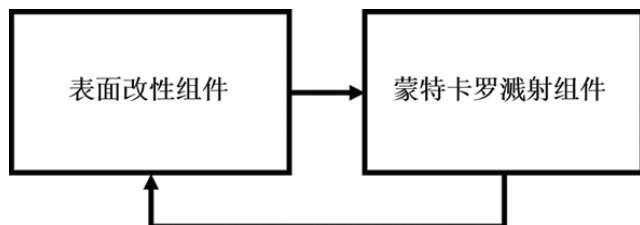


图 1. 等离子体辅助定向 ALE 模型的组件。

行了量化研究。在 RIE 中, 刻蚀速率部分取决于离子和中性物质的通量。

原子层刻蚀 (ALE) 是一种循环式工艺, 先进行表面激化步骤, 接着是去除激化层的步骤, 其中至少一个步骤是自限性的⁴。等离子体的 ALE 工艺展现出与 RIE 相同的离子 - 中性物质协同效应, 但由于中性物质 (表面改性步骤) 和离子通量 (去除步骤) 分离为自限性步骤, 去除量不依赖于通量⁴。通量无关性赋予了 ALE 最重要的特性: 所有长度尺度上的固有均一性——无论硅片、结构 [依赖深宽比的刻蚀 (ARDE)] 还是原子尺度 (表面平滑度)。与传统等离子体刻蚀相比, ALE 中的步骤划分还能提供一个研究基本刻蚀机制的简化系统。最近发现, 根据与衬底 - 反应物组合相关的能量势垒, 例如化学改性和不改性块状材料的表面结合能, 可以预测 ALE 的工艺范围⁵。

在理想的定向 ALE 工艺中, 表面改性步骤不会从表面去除材料, 而是仅将表面改性到一定深度, 该深度由材料和反应物的性质决定。为使 ALE 工艺起作用, 所得到的改性层应具有比块状材料更低的表面结合能。随后的去

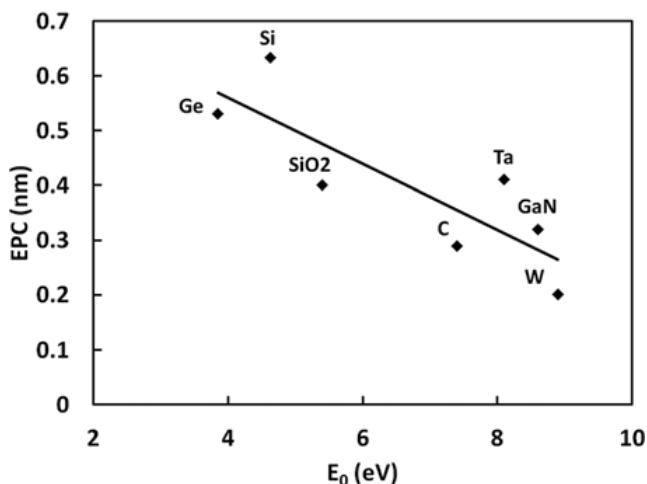


图 2. 材料表面结合能 E_0 与表面改性组件中使用的自限改性深度之间的经验相关性 [经准许, 改编自 Kanarik 等人的文章, *J.Vac.Sci.Technol., A* 35, 05C302 (2017)。版权所有 2017, 美国真空协会。]

作者: Ivan L. Berry, Keren J. Kanarik, Thorsten Lill, Samantha Tan, Vahid Vahedi, Richard A. Gottscho; *Lam Research Corporation*

注: 在美国真空协会的许可下, 本文翻译并转发自 *Journal of Vacuum Science & Technology A* 36, 01B105 (2017) <https://doi.org/10.1116/1.5003393> (2017年9月5日接收; 2017年11月22日接受; 2017年12月15日发表)

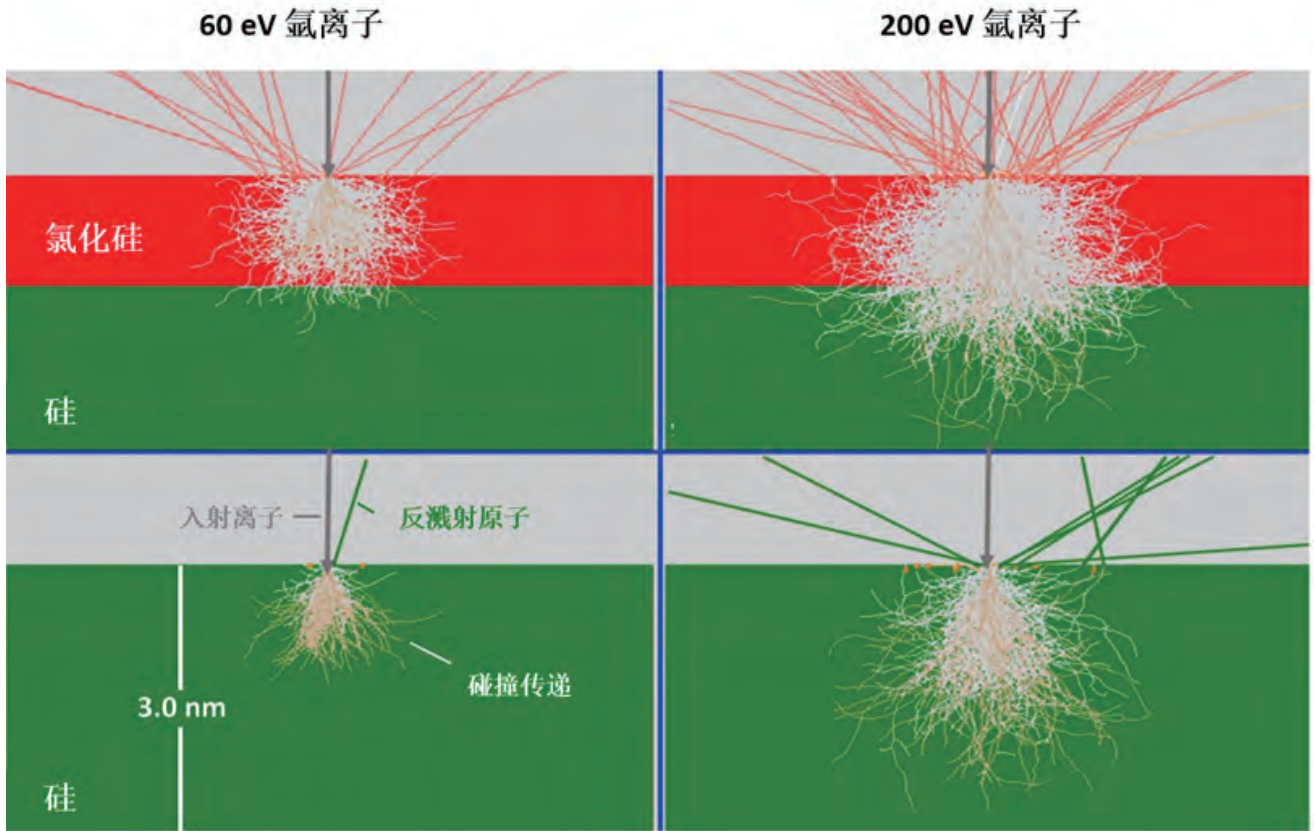


图 3. (线上为彩色) 100 个入射氩离子及硅衬底和表面氯化硅中的相应碰撞传递。仿真的氩离子能量为 60eV 和 200eV。氯化深度为 1.0nm。

除步骤采用惰性气体等离子体来溅射改性层。原则上，此步骤是具有自限性的，因为与块状材料相比，低的表面结合能会降低改性层的溅射阈值能量。

这些考虑使研究人员认识到，应该可以通过碰撞传递溅射理论对去除步骤进行建模，类似于离子束刻蚀和离子注入模型中使用的方法。

图 1 显示了定向 ALE 模型的组件，包括表面改性组件和蒙特卡罗溅射组件。本文重点关注溅射组件，并假设改性材料层是均匀的。如果在表面改性步骤中去除一些材料，则该步骤还应包括刻蚀部件。

II. 模型描述

A. 表面改性组件

改性深度是此组件的主要参数。该参数可以通过“第一性原理计算 (ab initio)”方法建模，例如根据密度泛函理论，或者利用 SIMS 等分析深度轮廓技术进行实验测量。本文使用每周周期刻蚀 (EPC) 与未改性材料的表面结合能 E_0 之间的经验相关性，该相

关性由 Kanarik 等人报告⁵。Kanarik 等人还发展了 ALE 协同效应的概念，本文第 III E 部分进一步发展了这一概

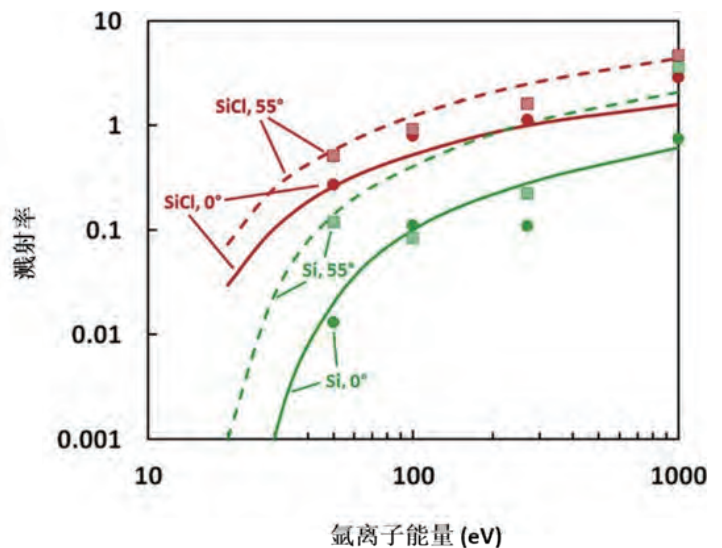


图 4. (线上为彩色) 硅和氯化硅表面的氩离子溅射率的计算和实验结果。虚线和散列数据点表示离子入射角为 55° (相对于表面法线)。实线和完整数据点表示入射角为 0°。经准许，数据点改编自 Oostra 等人的文章，Appl.Phys.Lett.50, 1506 (1987)。版权所有 1987, AIP Publishing。

念。如果 ALE 工艺协同效应很高，则 EPC 等于改性的自限深度。所得的自限改性深度与未改性材料的结合能 E_0 的相关性如图 2 所示。

此组件的另一个重要参数是所得改性表面的表面结合能。正如 Sigmund⁶ 和 Robinson⁷ 所讨论的，溅射的有效表面结合能与升华热并无实质区别。幸运的是，很多受关注的系统的升华热已经经过很多研究。模型中改性层的表面结合能与参考文献 5 中的解吸势垒 E_{des} 同义。下文将使用术语“解吸势垒” (E_{des}) 以保持一致性。

改性层的化学配比和密度也是该组件的输入。本文假设改性层的化学配比和密度与未改性层相同，而表面结合能 E_{des} 是从改性层的整体性质得出。例如，用氯自由基对硅改性时，使用 $SiCl_4$ 升华热的整体性质。

如果改性步骤不是自限性的，则表面改性组件应模拟该刻蚀部件。在最简单的情况下，这可以是各向同性去除某一厚度，该厚度可以在无图形硅片上通过实验测定。为了优化 ALE，应尽可能使各向同性刻蚀量最小化。因此，本文报告的计算中不包括改性期间的刻蚀。

B. 去除组件

材料去除是在碰撞传递的蜂窝式 2½D 蒙特卡罗仿真中根据单个离子撞击计算的。离子、原子轨迹、再沉积轨

迹和整个碰撞传递是 3D，而物理结构是 2D。对于原子间势能以及核与电子能量损失，我们使用蒙特卡罗方法以及 Biersack 和 Haggmark 的拟合公式⁸。模型的输入使用惰性气体等离子体的常规参数，例如离子种类、离子能量、离子角色散，以及关于衬底的信息，例如化学配比、密度、改性层的表面结合能 E_{des} 和未改性层的表面结合能 E_0 。

复合材料（化学改性表面层中会存在）的仿真/建模非常复杂¹⁹。为了精确仿真，应考虑化学键合、离子混合和化学配比变化（如离子偏析）等效应，人们对化学改性材料的结构知之甚少。本文假设改性层的建模是单一元素非晶材料，其表面结合能是表面改性的复合材料的升华热。虽然这是一种简化，但结果与测量数据非常接近（示例参见第 III 部分图 4 和图 6）。

在碰撞传递中，如果动量被赋予一个表面原子，且能量大于表面结合能，则该原子可能会从表面弹出，具体取决于动量矢量的方向。该原子可能会从表面逸出，或与另一个表面原子碰撞，进而被后者粘住或反弹。在这种情况下，溅射原子或分子的再沉积系数 (C_r) 是三维结构 ALE 仿真的一个重要参数。（注意：我们使用 C_r 作为再沉积系数，而不是更常用的粘着系数 S 。这是为了区别后面要讨论的协同效应 S 。）

因为 E_{des} 低于 E_0 ，所以在较低离子能量时就达到了改性材料的溅射阈值。当能量高于两种材料的溅射阈值时，改性材料的溅射率更高。图 3 说明了这种情况，其中的直线代表弹出原子的轨迹。图中还显示了改性层和块状材料中的碰撞传递。

100 个氩离子以 60eV 能量（略高于硅的大约 50eV 射门檻值）撞击表面时，仅有 1 个硅原子从硅表面弹出，而氯化硅表面则有 17 个硅原子弹出。能量为 200eV 时，硅表面有 7 个原子弹出，而氯化硅表面有 39 个原子弹出。正如所料，当氩离子能量从 60eV 提高到 200eV 时，从改性层和硅层溅射出的硅原子之比降低。（注意：为了阐明碰撞传递，图中显示了 100 个离子。要实现对比射率和溅射率之比的定量研究，需要仿真 100,000 个或更多的离子。仅使用 100 个入射离子会在溅射率计算中引起明显噪声。）

当能量低于硅的溅射门檻值而高于改性层

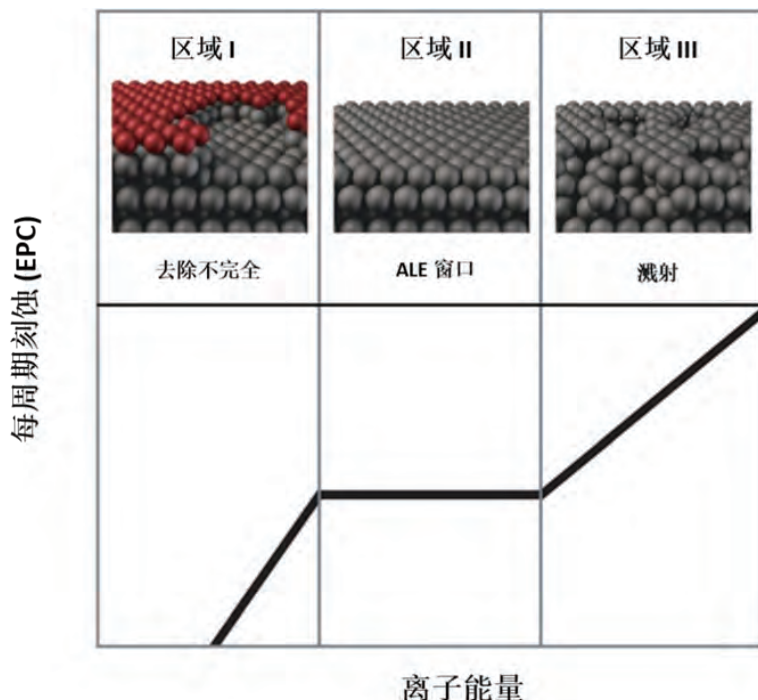


图 5. (线上为彩色) ALE 能量窗口示意图。在区域 I 中，改性层未完全去除。在区域 III 中，改性层全都被去除，还有一些未改性层也被去除。在区域 II 中，仅去除改性层，ALE 协同效应为 100%。

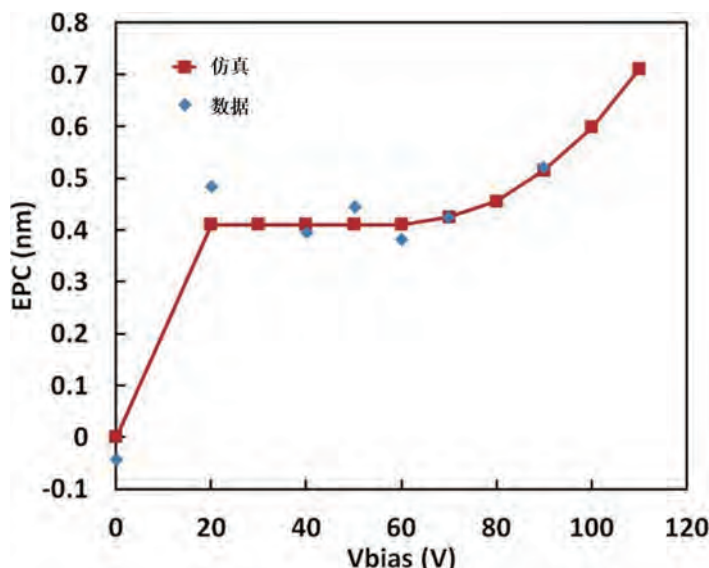


图 6. (线上为彩色) 钽的 Cl_2/Ar ALE 的计算和测量所得 ALE 能量区域。

的溅射阈值时，溅射率之比将是无限大；如果改性步骤没有去除任何材料，ALE 工艺可以表现出 100% 的协同效应⁵。注意，改性层的去除率总是显著高于未改性层的去除率。这意味着在一定时间窗口内，即使离子能量远高于溅射阈值，也可以实现很高的协同效应。随着去除步骤时间的延长，更多的硅会被去除，ALE 协同效应减弱。我们稍后将回到这个话题，并分析高于块状材料溅射阈值工艺的 ALE 协同效应的时间依赖性。

III. 结果

A. 溅射率

对该模型的第一个测试是将计算得出的溅射率与已发表的实验数据进行比较。Oostra 等人¹⁰测量了硅和氯化硅在两种接近溅射阈值的不同氩离子能量和两个不同入射角下的有效溅射率。图 4 显示了两个不同入射角的计算与实验数据的对比。模型使用的氯化硅表面结合能 $E_{\text{des}} = 0.3 \text{ eV}$ ，硅结合能 $E_0 = 4.6 \text{ eV}$ 。这些结合能对应于已发表的蒸发热： SiCl_4 为 28.7 kJ/mol ，硅为 359 kJ/mol ^{11,12}。

图 4 显示了我们的计算与参考文献 10 中的实验结果的对比。数据点是通过溅射硅和用氯掺杂的硅而获得的。图中再现了如下趋势：氯化硅的溅射率高于硅的溅射率；撞击角越大，则溅射率越大。总的来说，考虑到模型中没有可调参数，实验和建模结果吻合得很好。硅的 55° 撞击的差异似乎与 100 eV 和 300 eV 的实验数据点不符合整体趋势的情况有关。

B. ALE 区域

理想 ALE 区域的概念对于开发和理解 ALE 工艺非常有用，在原子层沉积中也有类似的概念⁴。这种区域的存在已经通过以下实验证明：定向 Cl_2/Ar ALE 对硅^{13,14}，以及对锗、碳和氮化镓⁵。理想 ALE 区域的概念如图 5 所示。对于定向 ALE，理想区域是指这样一个离子能量范围：改性表面材料被完全去除，而未改性材料完好无损。能量低于 ALE 区域下限时，改性层去除不完全；能量高于上限时，会溅射到块状材料，影响去除步骤的自限性。Y 轴表示“每周周期刻蚀”或 EPC 参数。它是每个 ALE 周期中去除的材料量；当协同效应为 100% 时，它约等于改性层的深度（区域 II）。

对于等离子体辅助定向 ALE，ALE 区域的存在要归因于 E_{des} 和 E_0 之间的差异以及相应的溅射阈值⁵。在以下条件下，预计会存在很宽的 ALE 区域：(1) 改性材料的解吸势垒 E_{des} 很低，(2) 未改性材料具有大得多的表面结合能 E_0 ，(3) 此外，改性材料的结合能足够高，可防

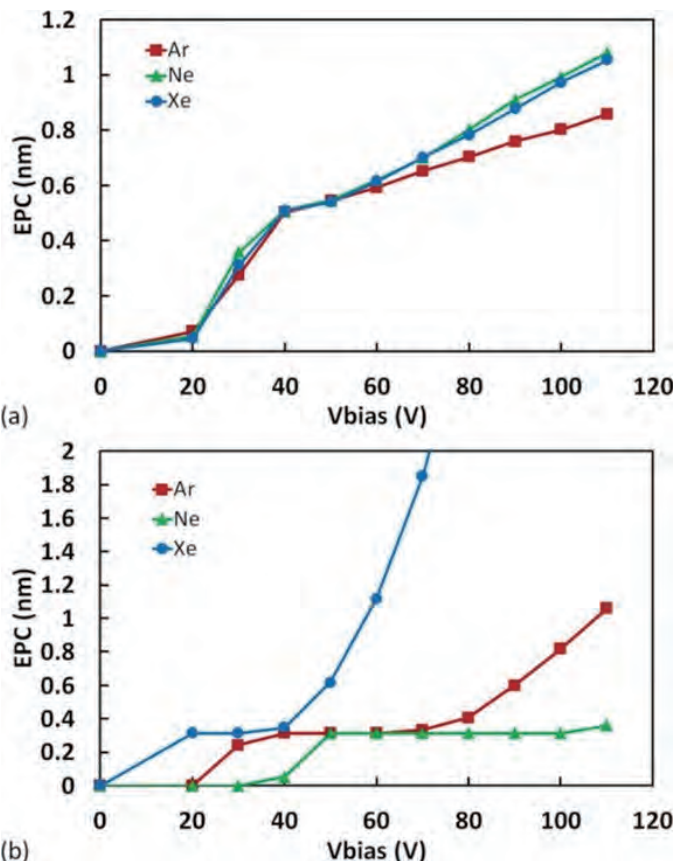
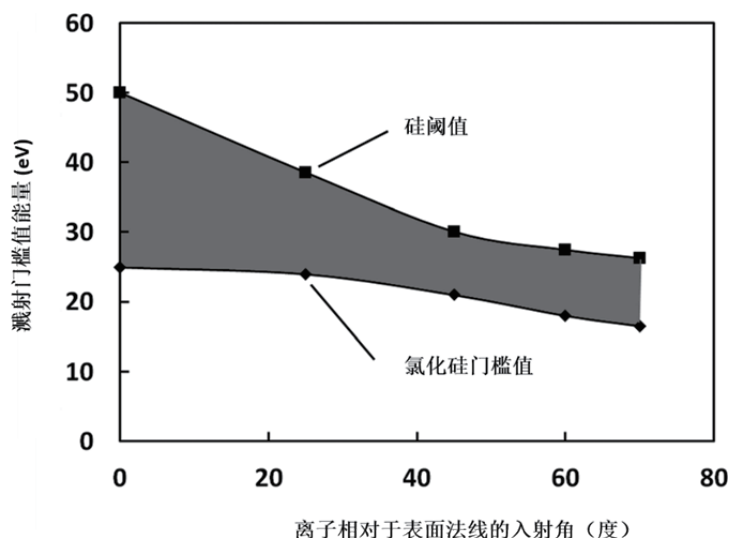


图 7. (线上为彩色) 仿真得出 ALE 区域：(a) 钽的 Ne、Ar、Xe ALE，用溴对表面改性；(b) 钽的 Ne、Ar、Xe ALE，用氟对表面改性。



离子相对于表面法线的入射角 (度)

图 8. 针对硅的 Cl_2/Ar ALE, 计算得出的 ALE 区域与离子入射角的关系。

止热解吸。改性材料的沸点可用作估计系统对热刻蚀倾向的指标。Kanarik 等人提出, 难熔金属应该适合定向 ALE, 只要能找到合适的表面改性反应物⁵。我们选择钽的 Cl_2/Ar ALE 作为系统来测试 ALE 区域能否纯粹基于蒙特卡罗碰撞传递模型来建模, 使用的结合能为 Ta ($E_0 = 8.1 \text{ eV}$) 和 TaCl_5 ($E_{\text{des}} = 0.64 \text{ eV}$, 来自参考文献 15)。图 6 显示模型预测与实验符合得很好。

由于基于溅射的模型在溅射率和 ALE 曲线方面与实验结果相当吻合, 我们可以尝试利用该模型来深入了解定向 ALE 的其他特性。去除步骤中通常使用氩气, 但如果知道其他惰性气体能否提供更宽的 ALE 窗口, 将会很有用。根据动量转移的物理学知识, 溅射率与离子质量相关, 特别是对于高原子质量的材料。为了研究定向 ALE 的意义, 我们计算了两种原子质量差异明显的元素 (钛和钨) 的 ALE 曲线。我们模拟了钨的氯 / 惰性气体 ALE 和钛的

溴 / 惰性气体 ALE 假想工艺, 因为 WCl_6 和 TiBr_4 的沸点和表面结合能均很低。结果如图 7 所示。对于钛的假想 ALE 工艺 (表面用溴改性), 去除步骤中离子的质量不会显著改变 ALE 曲线。钨的行为形成鲜明对比。钨的 Cl_2/Xe ALE 的 ALE 区域相对较小, 为 20eV, 从 20eV 开始。然而, 钨的 Cl_2/Ne ALE 的窗口则有 50eV, 从 50eV 开始。根据结果, 氩应是更适合钨 ALE 的气体。验证这些预测的实验正在进行当中。

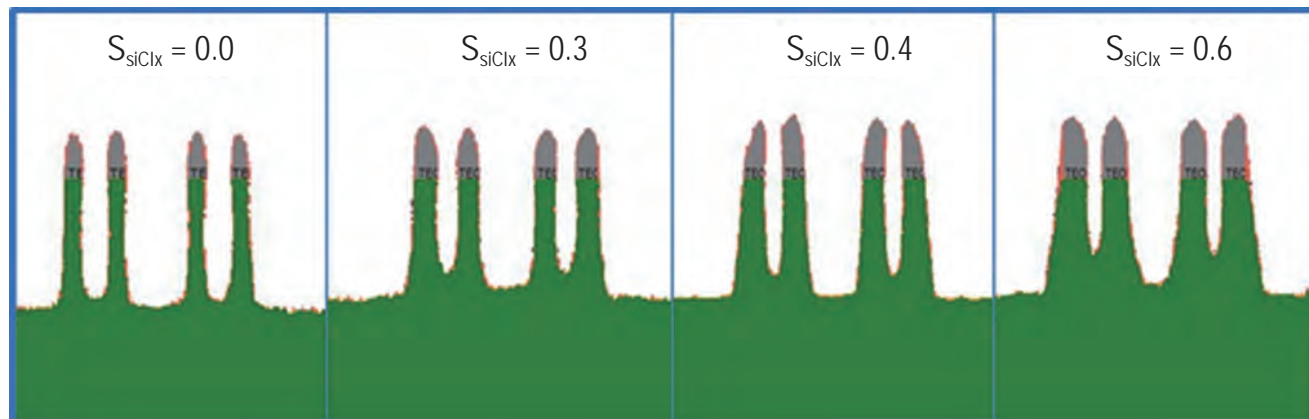
C. 角度依赖性

到目前为止, 我们忽略了去除步骤中离子的撞击角度。然而, 当刻蚀真实结构时, 撞击角度并不总是垂直于表面。众所周知, 碰撞传递意味着溅射阈值与离子相对于表面法线的入射角度有关¹⁶。大多数系统的阈值能量随着相对于表面法线的入射角的增加而减小, 但在超过掠射角后又会增加。当重离子撞击低原子质量衬底时, 这种效应更加明显。由于 ALE 量窗口与改性材料和块状材料的溅射阈值是同类东西, 因此 ALE 区域预期与角度相关。

图 8 显示了硅的 Cl_2/Ar ALE 作为离子撞击角的函数而计算出的 ALE 区域。ALE 区域宽度从法线入射时的 25eV 减至与法线成 70° 时的约 10eV。下限从 25eV 变为约 18eV。例如, 对于硅沟槽的侧壁, 合理的撞击角是 70 到 80 度。对于非法向入射, ALE 区域向较低能量偏移的结果是, 从掩模散射的离子哪怕在碰撞中损失了若干 eV 的动能, 仍能刻蚀结构的侧壁。

D. 刻蚀产物去除

将溅射理论应用于定向 ALE 的另一个结果是反应产物没有通常所说的“挥发”¹³。当刻蚀反应产物因为热能

图 9. (线上为彩色) 硅的 Cl_2/Ar ALE 在不同再沉积系数 C_r 下的 200 个周期的二维仿真。窄间距双线结构的间距为 23nm。

而从表面解吸出来时，称为“挥发”。这会引引起与离子撞击无关的自发刻蚀，导致结果不可预计的横向刻蚀。在定向 ALE 中，这种刻蚀机制在设计上是不存在的。为实现 100% 协同效应，必须消除改性步骤中的自发刻蚀。挥发性分子因为热能而离开表面，因此可以合理假设它们不会轻易被吸附回到刻蚀表面。换句话说，这些分子的再沉积系数应该相对较低。然而，在定向 ALE 中，反应产物是在碰撞传递的终点从表面溅射出去，因为其动能克服了解吸势垒 E_{des} 。这意味着离开表面的分子或碎片可以经历相反过程，重新沉积在视线表面上。为了处理这种再沉积材料，须添加原子（其数量等于再沉积原子乘以再沉积系数）来改变受再沉积材料影响的表面组成，从而改变表面化学配比。

这种侧壁再沉积的效果如图 9 所示；粘附或再沉积系数 (Cr) 从 0.0 变化到 0.6，针对硅的 Cl_2/Ar ALE，采用二氧化硅硬掩膜。即使假设硬掩膜表面保持不改性，但也会由于溅射刻面而开始渐渐变细。随着我们增大模型中的再沉积系数，轮廓变为锥形，ARDE 变得可见。虽然定向 LE 基本上与通量无关，不应表现出 ARDE，但刻蚀产物去除的非挥发性可能产生一些 ARDE。

E. 协同效应

最近提出了 ALE 协同效应的定量指标，即仅由改性和去除的协同效应所去除的材料与一个 ALE 周期中去除的材料总量之比⁵，如下式所示：

$$S = \frac{EPC - (\alpha + \beta)}{EPC} \times 100\% \quad (1)$$

EPC 指“每周周期刻蚀量”，代表一个周期中去除的材料总厚度，值 α 和 β 分别是改性和去除步骤单独贡献的非协同刻蚀量。说明碳 ALE 的协同效应依赖于能量的实验数据参见参考文献 5。作者表明，当离子能量在 ALE 区域内时， $S(E)$ 达到最大值；当离子能量高于 ALE 区域上限时， $S(E)$ 下降。这种效应的原因是块状材料开始溅射，即去除步骤不是自限的。低于 ALE 区域的下限时，如果离子能量非常低，协同效应将接近于零。如果改性步骤中存在刻蚀 ($\alpha \neq 0$)。一种特殊情况是 ALE 具有 100% 的协同效应。但在式 (1) 中，对于非常低的离子能量没有定义协同效应，因为 EPC、 α 和 β 将为零。

在没有总自限的情况下，协同效应成为时间和能量的函数： $S(t,E)$ 。就去除步骤而言，实际的 ALE 工艺可能不是自限的，所以研究这种时间依赖性是有意义的。以前尝试

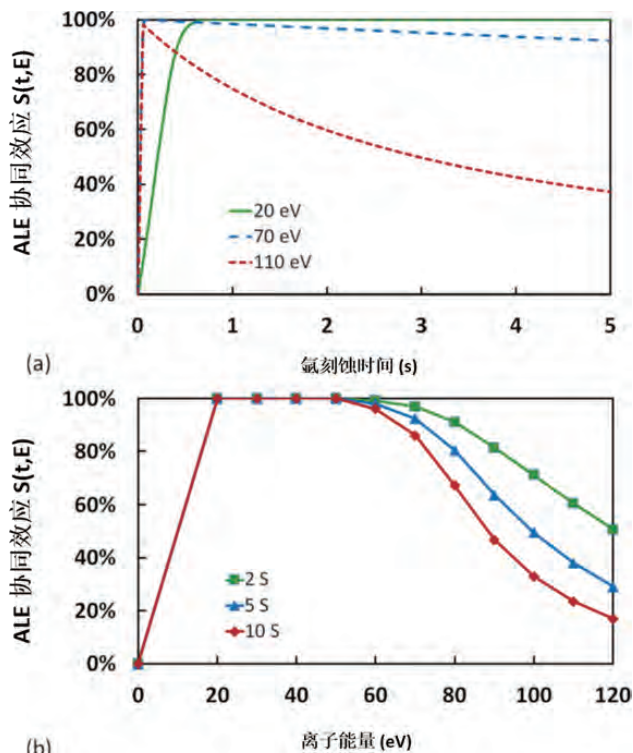


图 10. (线上为彩色) 针对钽的 Cl_2/Ar ALE，计算出以下情况的 ALE 协同效应：(a) 在不同离子能量下，作为去除步骤时间的函数；(b) 在不同去除步骤时间下，作为离子能量的函数。请注意，两条曲线都显示了时域和能量域中的 ALE 区域（其中 ALE 协同效应接近 100%）。

过应用简单的通量和表面覆盖模型来计算改性和块状材料的同时溅射，但必须予以显著简化才能得出解析表达式¹³。在蒙特卡罗模型中，材料去除的时间依赖性可以直截了当地获得。

ALE 协同效应与能量和时间的函数关系表达式如下式所示：

$$S(t,E) = \frac{\int_0^T R_m(t,E)}{d_m + \int_0^T R_b(t,E) + M_0} \times 100\% \quad (2)$$

其中， $R_m(t,E)$ 是改性材料在离子轰击下归一化到表面积的时间依赖去除率， $R_b(t,E)$ 是块状材料的时间依赖去除率， d_m 是改性层的厚度， M_0 是化学改性步骤中去除的材料量（如有）。该项 $\int_0^T R_m(t,E)$ 表示在一个周期中被去除的改性材料量，取代式 (1) 中的分子，后者是协同去除的材料量，其中 T 代表一个 ALE 周期的时间。 T 足够大时， $\int_0^T R_m(t,E)$ 将等于 d_m 。式 (2) 中的分母与式 (1) 相比有不同的表达式，EPC 描述为各分量之和。离子能量很低时，式 (2) 也不会变得不确定，其中 EPC 接近零，如式 (1) 所示。为实现 100% 的协同效应， T 需要足够大，使

得 $\int_0^T R_m(t, E) dt = d_m$, 同时 T 也需要足够小, 使得发生的溅射可忽略, 即 $\int_0^T R_b(t, E) dt \approx 0$ 。另外, M_0 需要为零, 即在化学改性步骤中不发生刻蚀。在式 (2) 中, 如果协同效应为 100%, 则 ALE 工艺非常“理想”。

图 10(a) 显示了对于钽的 Cl_2/Ar ALE, 在 20eV、70eV 和 100eV 的离子能量下, 协同系数 $S(t, E)$ 的时间依赖性。时间尺度归一化为实验结果, 在去除步骤中, 对于 20eV 的离子能量 (其为 ALE 区域下限), 达到饱和大约需要 1 秒。对于此能量以及介于 ALE 区域上下限之间的所有其他能量, ALE 时间窗口实际上是无限大。对于 70eV 的离子能量, 根据图 8, 其刚好高于 ALE 区域上限, 几毫秒后协同效应就达到 100%, 5 秒后降低到比 95% 略高一点。即便是 110eV 的离子能量, 协同效应在非常短的去除时间内也能接近 100% (实际为 98%), 但是在 5 秒后下降到 40% 以下。图 10(b) 显示了三个不同时间下协同效应与能量的关系。离子能量比 ALE 区域上限高出越多, 则随着去除步骤的延长, 协同效应损失得也越快。

该分析对于实际应用的意义在于, 即使能量在 ALE 能量窗口上方以上, 也可获得相当大的协同效应。这为利用更高的溅射率和更短的去除步骤时间来缩短一个 ALE 周期的持续时间提供了机会。最佳周期时间可能非常短, 所以这种工艺的实现需要高水平的过程控制。Huard 等人最近公布了硅的定向 Cl_2/Ar ALE 仿真结果, 其中在改性步骤中有刻蚀部分, 在去除步骤中有氯残留。他们的结果也表明了精密脉冲时间控制的重要性。¹⁷

IV. 结论

等离子体辅助定向 ALE 的去除步骤是一个溅射过程。碰撞传递的理论概念可应用于去除步骤。我们开发了一种碰撞传递蒙特卡罗模型, 发现计算出的溅射率和 ALE 区域与实验结果基本一致。根据我们的计算, ALE 区域应与离子质量和撞击角度相关, 溅射产物再沉积可能引入 ARDE。

本文还扩展了协同效应参数的概念, 将时间作为一个变量。蒙特卡罗模型可以分析非自限性去除步骤中协同效应参数的时间演变。我们发现, 当能量显著高于块状材料的溅射阈值时, 可以在某时间段内获得高协同效应。这种处理方式可用来提高定向 ALE 工艺的产量。对所有工艺参数与时间的关系进行非常精确的控制, 是实现该工艺的先决条件。◆

鸣谢

作者感谢泛林集团 Taeseung Kim 和 Yang Pan 所做出的贡献。

参考文献

1. P. Sigmund, *Thin Solid Films* 520, 6031 (2012).
2. J. W. Coburn and H. F. Winters, *J. Appl. Phys.* 500, 3189 (1979).
3. H. F. Winters, J. W. Coburn, and E. Kay, *J. Appl. Phys.* 48, 4973 (1977).
4. K. J. Kanarik, T. Lill, E. A. Hudson, S. Sriraman, S. Tan, J. Marks, V. Vahedi, and R. A. Gottscho, *J. Vac. Sci. Technol.*, A 33, 020802 (2015). 5K. J. Kanarik et al., *J. Vac. Sci. Technol.*, A 35, 05C302 (2017).
6. P. Sigmund, *Nucl. Instrum. Meth. B* 94, 353 (1994).
7. M. T. Robinson, “Theoretical aspects of monocrystal sputtering,” in *Sputtering by Particle Bombardment I. Topics in Applied Physics*, edited by R. Behrisch (Springer, Berlin/Heidelberg, 1981), Vol. 47, pp. 73–144.
8. J. P. Biersack and L. G. Hagmark, *Nucl. Instrum. Methods* 174, 257 (1980).
9. G. K. Wehner, *J. Vac. Sci. Technol.*, A 1, 487 (1983).
10. D. J. Oostra, R. P. van Ingen, A. Haring, A. E. de Vries, and G. N. A. van Veen, *Appl. Phys. Lett.* 50, 1506 (1987).
11. “Silicon tetrachloride,” [https://en.wikipedia.org/wiki/Silicon_tetrachloride_\(data_page\)](https://en.wikipedia.org/wiki/Silicon_tetrachloride_(data_page))
12. “Technical data for silicon,” <http://periodictable.com/Elements/014/data.html>
13. T. Lill, K. J. Kanarik, S. Tan, M. Shen, Y. Pan, J. Marks, V. Vahedi, and R. A. Gottscho, *ECS Trans.* 69, 259 (2015).
14. S. Tan, W. Yang, K. J. Kanarik, T. Lill, V. Vahedi, J. Marks, and R. A. Gottscho, *ECS J. Solid State Sci. Technol.* 4, N5010 (2015).
15. A. M. Lemonds, J. M. White, and J. G. Ekerdt, *Surf. Sci.* 527, 124 (2003).
16. Y. Yamamura, *Nucl. Instrum. Methods, B* 2, 627 (1984).
17. C. M. Huard, Y. Zhang, S. Sriraman, A. Paterson, K. J. Kanarik, and M. J. Kushner, *J. Vac. Sci. Technol.*, A 35, 031306 (2017).

3D-IC异质集成技术

1. 前言

本文参考最新文献介绍 3D-IC 异质集成 (Heterogeneous Integration) 技术。首先简要比较异质集成与系统芯片 (SoC) 技术,接着探讨目前 3D-IC 异质集成技术的发展,最后针对 3D-IC 异质集成使用的扇外型晶圆级封装 (FOWLP) 技术的发展和挑战进行说明。

长久以来,摩尔定律一直推动 SoC 平台之发展,特别在过去 10 年中,SoC 在发展智能手机,平板计算机等产品中非常受欢迎。SoC 可将不同功能之 IC 集成到单一个芯片中,以形成系统或子系统。举例介绍两种典型的 SoC 产品:(1)

A10 应用处理器 (Application Processor ; AP) 是 Apple 公司设计,由 TSMC 采用 16 nm 工艺制造。它由一个 6 核心 GPU, 2 个双核心 CPU, 2 个 SRAM 所组成。芯片面积为 125mm², 如图 1(a) 所示。(2) A11 应用处理器也是由 Apple 设计,采用 TSMC 的 10 nm 工艺制造。A11 具备更多功能,包括 Apple 设计的三核心 GPU,脸部辨识功能等。由于采用摩尔定律将特征尺寸 (Feature Size) 从 16nm 降到 10nm,如图 1(b), A11 芯片面积 (89.23mm²) 比 A10(125mm²) 大约缩小 30% 面积^[4]。

由于摩尔定律正快速逼近极限,藉由缩放特征尺寸来制造 SoC,将更加困难且成本持续升高。异质集成与 SoC 之不同点,就是异质集成使用封装技术,可将不同工厂的芯片,不同晶圆尺寸和不同特征尺寸的芯片、不同功能

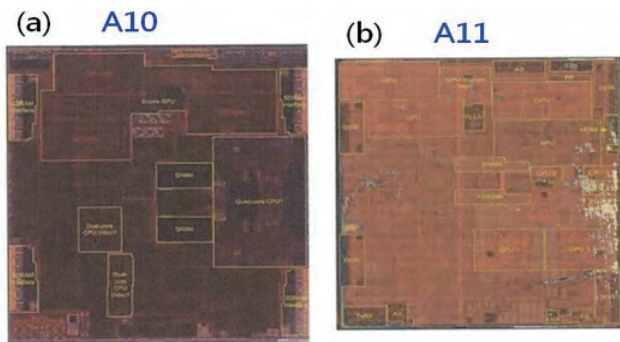


图1. SoC制作应用处理器A10, A11^[4]。

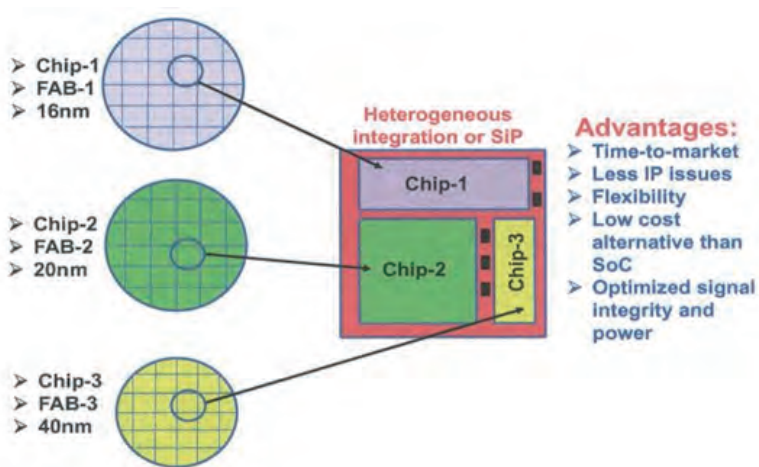


图2. 异质集成或系统级封装^[4]。

的芯片,以并排 (Side by Side) 或堆栈 (Stack) 方式集成于基板上,例如:有机基板、硅基板或 RDL,以形成完整系统或子系统 (图 2)^[4]。

2. 3D-IC异质集成技术的发展演化

未来几年,无论在上市时程,组件性能,外形尺寸,功耗,信号完整性,或成本考虑上,我们将面临更多高阶异质集成之需求。在智能手机,平板计算机,穿戴式设备,网络,电信和计算器设备等高端应用,异质集成将占据 SoC 部分市场。然而,这些不同芯片应该如何沟通呢? 答案就是利用导线重新分配层 (Redistribution Layer ; RDL) 进行线路沟通,至于这些 RDL 应该如何制作? 其中使用 FOWLP 技术就是关键技术。目前组件异质集成有三种方式:(1) 在有机基板上进行异质集成;(2) 在硅基板上进行异质集成;(3) 在导线重新分配层上作异质集成。以下将针对各种异质集成方式,进行说明。

2.1 在有机基板上进行异质集成技术

目前最普遍方式就是在有机基板上进行异质集成,也称为系统级封装或构装 (System In Package, SIP)。通常是采用表面贴装技术 (Surface Mount Technology; SMT) 进行组装,包括具有回焊 (Re-flow) 的覆晶芯片,以及在电路板上使用打线方式做芯片键合,一般来说,这些都应用

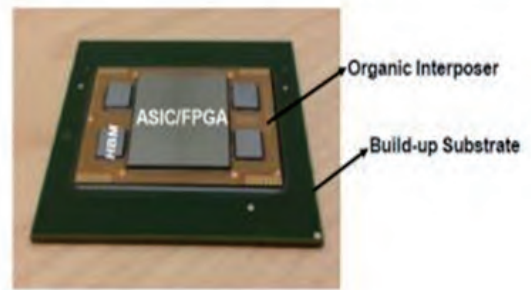
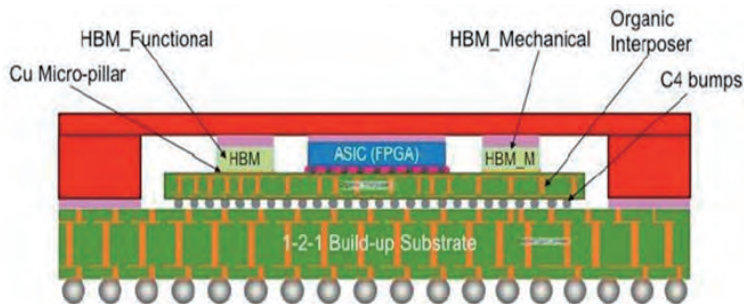


图3. Cisco使用有机基板应用于网络系统封装^[4]。

于中低阶产品上。

2.1.1 Cisco 在有机基板上集成 ASIC 和 HBM

图3是一个3D SIP设计和制造的结构图与照片，大型有机中介层（Organic Interposer）具备Cisco/eSilicon细间距和微导线互连功能。有机中介层尺寸为38mm×30mm×0.4mm。中介层正面和背面的线宽、间隔和厚度是相同的，分别为6μm，6μm和10μm。高性能ASIC芯片尺寸为19.1mm×24mm×0.75mm，ASIC芯片连接于有机中介层上方，并且与周围4个高带宽记忆模块（High Bandwidth Memory；HBM）之DRAM芯片堆栈进行集成封装。3D HBM芯片堆栈尺寸为5.5mm×7.7mm×0.48mm，包含1个缓冲芯片与4个DRAM核心芯片，以TSV、微柱状凸块（Micro-Pillar Bump）及锡盖（Tin Cap），进行导线连接，这是应用于高阶产品封装上^[1-4]。

2.1.2 在有机基板上异质集成 Intel 的 CPU 及 AMD 的 HMC

图4为Intel的Knights Landing CPU与Micron的混合内存立方单元（Hybrid Memory Cube；HMC）进行异质集成之照片，于2016年出售给客户。可以发现它将72-Core Processor与8个多频道DRAM（Multi-Channel DRAM, MCDRAM）进行异质集成。其中，MCDRAM

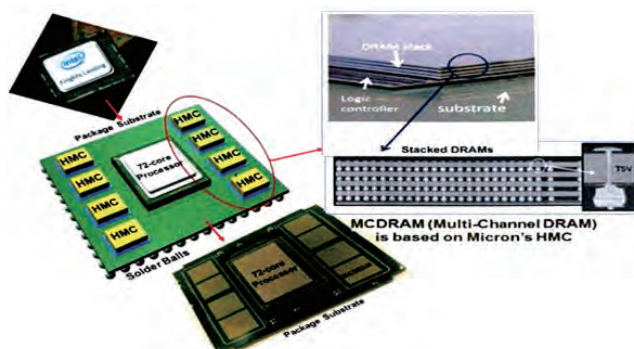


图4. Intel的Knights Landing CPU与Micron HMC在有机基板上进行异质集成之照片^[4]。

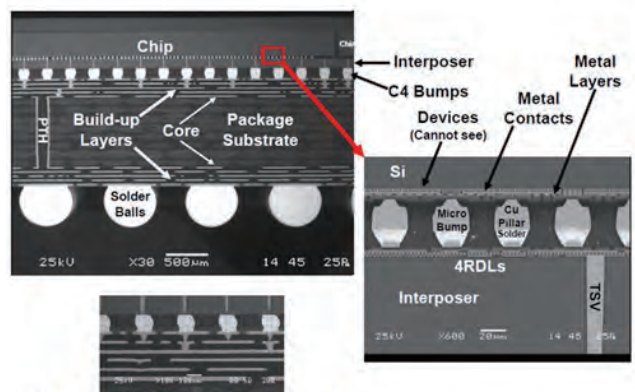
使用Micron的HMC技术。如图4所示，每个HMC含有4个DRAM及1个逻辑控制器（具备TSV），每个DRAM具备大于2,000个TSV（含有C2 Bump）。将CPU与DRAM，以及逻辑控制器集成在有机基板上。Micron目前的HMC组装采用低力热压接合（Low Force Thermo-compression Bonding），并以毛细管方式作底部填充（Capillary Under-Fill, CUF），这也是应用在高阶产品上^[1-4]。

2.2 在硅基板上进行异质集成技术

在硅基板上进行异质集成，就是将多芯片于硅晶圆上进行集成，或称系统在晶圆上（System on Wafer；SoW）。其组装方法是在具有TSV之晶圆上进行覆晶接合，以回焊或热压接合，达到非常精细间距之集成封装。此技术也是应用于高阶产品上。

2.2.1 Xilinx / TSMC CoWoS

在过去几年，由于组件封装对于高密度、高I/O脚数、以及超微细节距（Ultra-Fine Pitch）之需求上升。例如现场可编程逻辑门阵列（Field Programmable Gate Array；FPGA），由于使用12层堆栈（6-2-6）之有机基板，也无法支撑与满足此组件之封装需求；所以需要进一步使用TSV Interposer作连接。图5为Xilinx / TSMC FPGA之CoWoS



The package substrate is at least (5-2-5)

图5. Xilinx / TSMC FPGA之CoWoS)横截面照片^[5-6]。

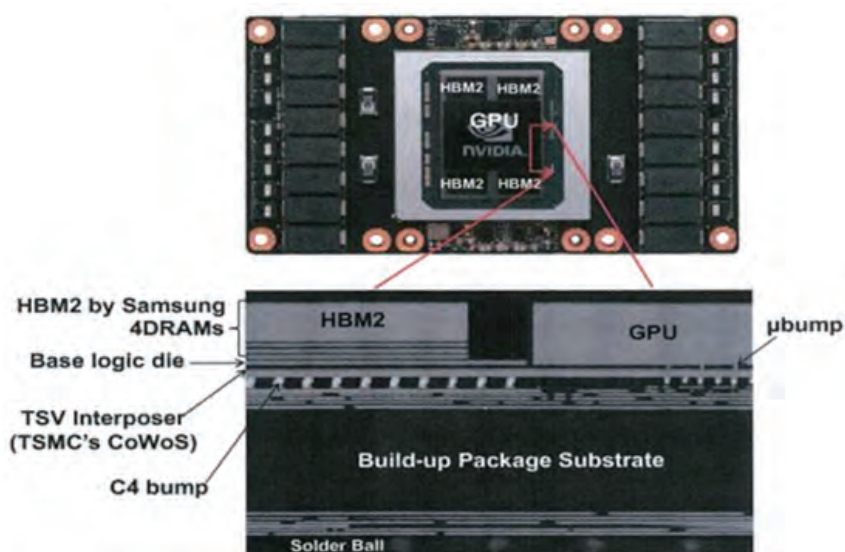


图6. Nvidia的GPU与Samsung的HBM2在TSV-Interposer上作集成^[4]。

之芯片在晶圆，晶圆在基板上（Chip on Wafer on Substrate, CoWoS）之横截面照片，可以发现其 TSV Interposer 直径为 $10\mu\text{m}$ ，深度为 $100\mu\text{m}$ 。TSV Interposer 上方有 4 层 RDL，其中有 3 层铜层，1 层铝层。FPGA 芯片间侧向互连点数达 10,000 个，RDL 最小节距为 $0.4\mu\text{m}$ ，RDL 与钝化层最小厚度小于 $1\mu\text{m}$ 。每个 FPGA 具备超过 50,000 个微凸块 (Micro-bumps)，在 TSV Interposer 上有超过 200,000 个微凸块，微凸块节距 (Pitch) 为 $45\mu\text{m}$ ^[5-6]。

2.2.2 Nvidia 的 GPU 与 Samsung 的 HBM2 在 TSV-Interposer 上作集成

图 6 为 Nvidia 的 Pascal 100 GPU，于 2016 年出售给客户。此 GPU 为 TSMC 使用 16nm 工艺制作，并与 Samsung 所制作之 HBM2(12GB) 作集成封装。每个 HBM2 含有 4 个 DRAM (具备 C2 Bump)，以及一个基础逻辑芯片，以 TSV 作贯穿连接。每个 DRAM 芯片含有大于 1000 个 TSV，GPU 与 HBM2 为 TSMC 使用 64nm 工艺将其集成在 TSV Interposer 上方。后续 TSV Interposer 则使用 C4 Bump 与有机基板进行组装^[4]。

2.3 在 RDL 上作异质集成技术

近年来为了降低封装尺寸，提升性能与降低成本，将组件直接于 RDL 上作异质集成已逐渐普及，尤其使用扇出型晶圆级封装 (FOWLP) 之 TSV-less 异质集成技术，一般都是应用在中高阶产品之封装上。

2.3.1 Xilinx / SPIL 的 TSV-less SLIT

最近使用非 TSV 中介层 (TSV-less Interposer) 来支撑集成覆晶芯片，已成为半导体封装上非常热门话题。2014 年 Xilinx / SPIL 针对 FPGA 芯片，采用 FOWLP TSV-less Interposer

方式进行集成封装，称为非硅导线连接技术 (Silicon-less Interconnect Technology ; SLIT)。图 7 右上方角落为新型封装技术，而左方角落是旧型封装技术。从图中可以发现新型封装结构中，可省去 TSV 与大部分 Interposer，只需要使用 4 层 RDL，就可达到 FPGA 芯片侧向沟通与导线连接之目的^[7-9]。

根据 RDL 线宽与线距 (Line Width and Spacing ; L/S) 要求规格不同，例如线宽与线距大于或等于 $5\mu\text{m}$ ($L/S \geq 5\mu\text{m}$)，导线制作方式，则使用聚合物 (Polymer) 作介电层 (Dielectric Layer)，以电镀铜 (Cu Electroplating) 作为导线中介层；如果线宽与线距小于 $5\mu\text{m}$ ($L/S < 5\mu\text{m}$)，导线制作方式，可使用 PECVD 沉积二氧化硅 (SiO_2) 作介电层，以铜镶嵌 (Cu Damascene) 与化学机械抛光 (CMP) 制作导线层。2016 年 SPIL/Xilinx 也公布相似文献，尤其强调在晶圆翘曲 (Warpage) 方面之研究，称它为非 TSV 中介层 (Non-TSV Interposer ; NTI) 工艺^[7-9]。

2.3.2 Intel 使用 TSV-less EMIB (RDL) 集成 FPGA 与 HBM

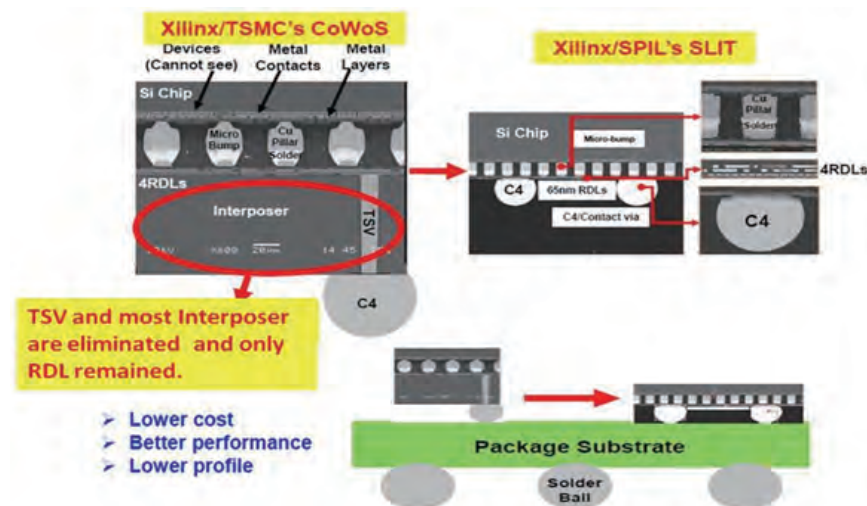


图7. Xilinx / SPIL的TSV-less SLIT^[7-9]。

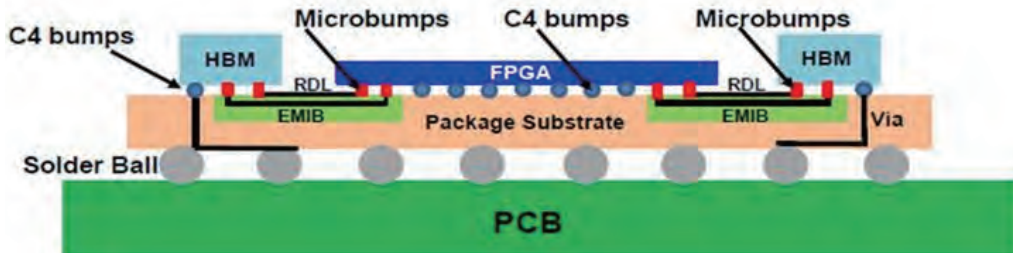


图8. Intel 使用EMIB集成FPGA与HBM^[10-11]。

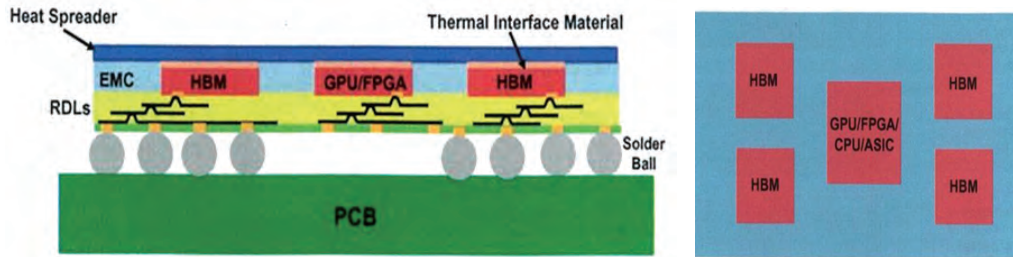


图9. 使用扇外型晶圆级封装技术应用于3D-IC异质集成，可集成GPU、FPGA、CPU、ASIC、HBM等^[4]。

Intel 发表一种嵌入式多芯片桥接互连 (Embedded Multi-die Interconnect Bridge, EMIB) 之 RDL 技术，用来取代 TSV Interposer。如图 8 为 Altera/Intel 于 2015 年公布异质整合 SK Hynix 的 HBM 与高性能 Stratix R 10 FPGA 及 SoC，其中 TSV Interposer 已经完全被 EMIB 所取代^[10-11]。

3. 扇外型晶圆级封装 (FOWLP) 技术在3D-IC异质集成的发展与挑战

使用 FOWLP 技术应用于 3D-IC 异质集成封装，目前是一项活跃的发展领域，初期着重于工艺探索、寻找工程上之解决方案，以及改善制造良率等。后续将扩大其未来之应用领域，将多个芯片以及被动组件 (Passive Device) 集成于封装体内。图 9 为使用 FOWLP 技术应用于 3D-IC 异质集成的最新例子，从图中可以观察它含有 GPU, FPGA, CPU 或特殊应用集成电路 (ASIC)，周围又有高带宽记忆模块 (HBM)。每个 HBM 含有 4 个 DRAM，以及一个逻辑芯片 (具备 TSV)。这些组件皆经由 RDL 进行

导线连接，并藉由锡球 (Solder Ball) 可直接连接 PCB。此外，在组件背面可附加金属板，以作为组件直接散热功能，如此可使得整个封装体成为高度集成与高性能的结构。

为因应 3D-IC FOWLP 异质集成所面临到 RDL 线宽线距 (L/S) 逐渐微细化之挑战，目前弘塑科技 (Grand Process Technology Corporation, GPTC) 特别提供以下完整之解决

方案：电镀铜 (Copper Plating)、光阻显影 (PR Developing)、UBM 蚀刻 (UBM Etching)、光阻去除 (PR Stripping)、晶圆解键合平台 (Wafer De-bonding Platform)、晶圆与载具清洗等工艺设备及药液。如图 10 为弘塑科技 (GPTC) 所设计制作之自动化量产型湿式工艺设备，包括：Single Wafer Spin Processor, Wet Bench, Film Frame & Wafer Cleaner, Soaking & Spin Combined System 等，目前在台湾先进 12" 晶圆封装厂占 90% 以上之市场占有率，现今持续进行 3D-IC FOWLP 封装异质集成技术之研发创新，以满足各种新工艺需求。

由于在 FOWLP 导线微细化下，RDL 线宽线距 (L/S) 会由 5/5 μ m 往 2/2 μ m 或更细方向缩小，此时导线对于高机械强度、热稳定性与抗疲劳性等可靠度需求将逐渐严格，目前



图10. 弘塑科技(GPTC)所设计制作之12" Wafer量产型设备。

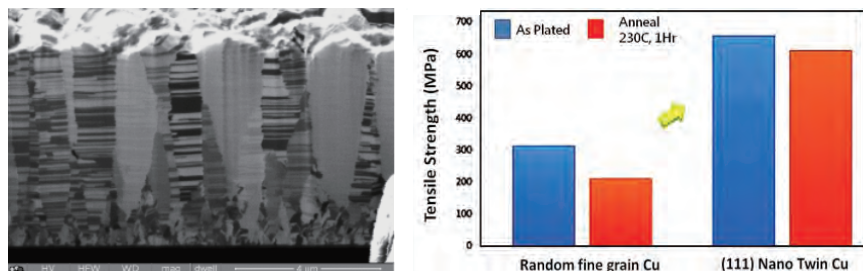


图11. 纳米双晶铜结构及其张力强度高于一般电镀铜之比较表[GPTC CLC]。

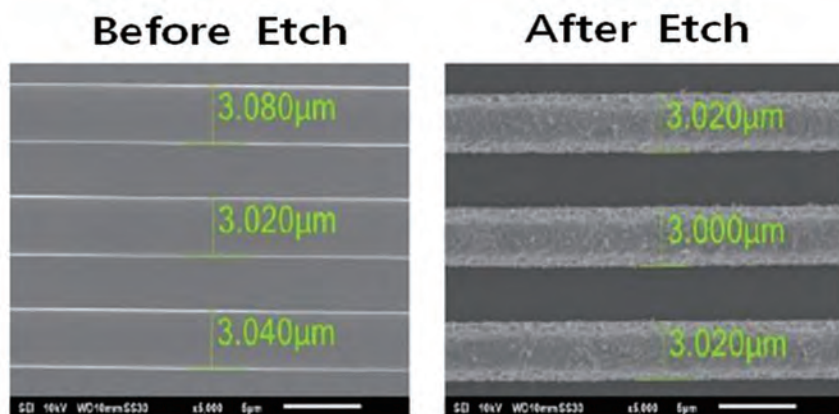


图12. 结合高选择比蚀刻药水与蚀刻EDP仪器，铜蚀刻CD Loss可控制在0.02至0.06µm[GPTC CLC]。

弘塑集团之添鸿科技 (GPTC CLC) 成功发展出纳米双晶铜 (Nano-Twin Copper) 电镀药液，图 11 为纳米双晶铜电镀结构之 SEM 照片及其张力强度远高于一般电镀铜之实验比较表。在 UBM 蚀刻设备部分，为了防止 RDL 微细化线路 ($L/S=3/3\mu\text{m}$) 因过度蚀刻，造成 CD Loss，GPTC CLC 特别开发高选择比铜蚀刻药水 (Cu Etchant)，并可搭配蚀刻终点监测仪器 (End Point Detector; EDP)，目前铜蚀刻 CD Loss 可控制在 $0.02\mu\text{m}$ 至 $0.06\mu\text{m}$ (如图 12 所示)。

4. 结论

随者封装微小化及 IC 组件 I/O 数量急速增加，3D-IC FOWLP 技术逐渐受到业界重视。本文已针对 3D-IC 异质集成之演进，未来发展方向与挑战，进行概要性介绍，使

用 FOWLP 技术应用于 3D-IC 异质集成，可以将 GPU，FPGA，CPU，ASIC，HBM 等组件集成在单一封装体内。未来几年，我们将面临更多高阶异质集成之需求，尤其在智能手机，平板电脑，穿戴设备，网络，电信和计算器设备等高端应用领域，使用 FOWLP 应用于 3D-IC 异质集成之市场将逐渐升高。◆

参考文献

1. Lau, J. H. 2013, Through-silicon Via(TSV) for 3D Integration, New york: McGraw-Hill.
2. Lau, J. H. 2016, 3DIC Integration and Packaging, New york: McGraw-Hill.
3. Li, L., P. Chia, P. Ton, M. Magar, S. Patil, J. Xie, et al., 3D SiP with Organic Interposer of ASIC and Memory Integration. In IEEE/ECTC proceedings, 2016, 1444-1450.
4. John H. Lau, Fan-Out Wafer-Level Packaging, ISBN 978-981-10-8883-4,

Springer Nature Singapore Pte Ltd, 2018. Page 269-303.

5. Banijamali, B., S. Ramalingam, H. Liu, and M. Kim. 2012. Outstanding and Innovative Reliability Study of 3D TSV Interposer and Fine Pitch Solder Micro-bumps, In Proceedings of IEEE/ECTC, May 2012, 309-314.
6. Banijamali, B., C. Chiu, C. Hsieh, T. Lin, C. Hu, S. Hou, S. Ramalingam, S. Jeng, L. Madden, and D. Yu, 2013, Reliability Evaluation of a CoWoS-Enabled 3D IC Package, In Proceedings of IEEE/ECTC, May 2013, 35-40.
7. Lau, J. H. , 2016, TSV-less Interposers, Chip Scale Review 20: 28-35.
8. Kwon, W., S. Ramalingam, X. Wu, L. Madden, C. Huang, H. Chang, et al. 2014, Cost-Effective and High-Performance 28nm FPGA with New Disruptive Silicon-Less Interconnect Technology (SLIT). In Proceedings of International Symposium on Microelectronics, 599-605.
9. Liang, F., H. Chang, W. Tseng, J. Lai, S. Cheng, M. Ma, et al. 2016. Development of Non-TSV Interposer (NTI) for High Electrical Performance Package. In IEEE/ECTC proceedings, 2016, 31-36.
10. Chiu, C., Z. Qian., M. Manusharow. 2014. Bridge Interconnect with Air Gap in Package Assembly, US patent No. 8,872,349.
11. Mahajan, R. R. Sankman, N. Patel, D. Kim, K. Aygun, Z. Qian, et al. 2016. Embedded Multi-die Interconnect. In IEEE Proceedings of Electronic Components and Technology Conference, 2016, 557-565.

新型材料驱动人工智能时代的前进

我们正处于最大规模的计算潮流的风口浪尖——那就是由大数据驱动的 AI（人工智能）时代。要想成为这个时代的弄潮儿，就需要显著提升处理器性能以及内存容量和延迟性。当经典摩尔定律微缩速度日渐减缓，行业将面临的挑战正在日益严峻。而以上的要求便成为 AI 时代之所需。

为继续推动行业与时俱进的发展，我们需要在原子级层面就开始系统性的设计新型材料组合，用新架构和新器件成就人工智能的明天。

本文阐述晶体管接触孔和本地互联的材料拐点，后续一篇文章将接着探讨集成材料解决方案的需求。

谈到计算机时代，它曾经由经典摩尔定律所代表，即依赖于少数材料以及通过光刻实现几何尺寸缩小，从而改善芯片性能、功耗、尺寸及成本，通常称为 PPAC。

而到了移动时代，我们看到原来用在经典摩尔定律中的系列材料达到物理极限，随着器件架构的变化采用一些新型材料，例如从平面晶体管变到 FinFET 来促进 PPAC 缩放。

时至今日，对于人工智能时代而言，PPAC 优化需要更多新型的其他材料。此外，尺寸缩小后，界面层在材料特征中的占比也越来越大，而在原子级层面设计材料成为需求的核心，同时也是重要挑战。

新型材料被需求的关键之处在于接触孔和本地互联，即最小层面

W Contacts and Lower Cu Interconnects Reaching Limits

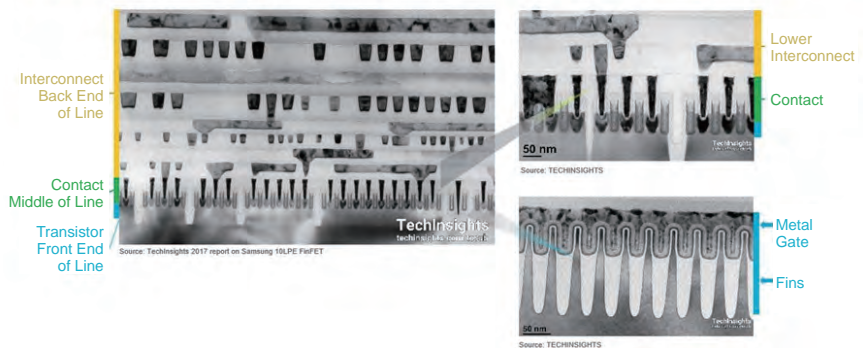


图1. 为持续提升器件性能，在最小、最关键的导电层需要的材料变化。（来源：TECHINSIGHTS）

的金属互联。它将晶体管与外界相连，目前我们使用的材料分别是钨和铜（图1）。

新型材料

应用材料公司在创新材料工程方面的突破性进展就是研发出一系列使用钴作为导体制造晶体管接触孔和互联的产品。这是过去 20 多年来第一次对晶体管供电的金属线做出改变。上一次变革还是在 1997 年开始使用铜。

当我们持续看到新架构以及光刻技术进步的同时，芯片制造最巨大的变化将发生在材料领域。对比 90 年代使用的材料数量（很少），我们预计未来对新材料的需求数量将增长 10 倍，并可大幅提升人工智能时代的芯片性能。

为何选择钴？

由于电阻和间隙填充，在 10nm 节点使用钨作为晶体管接触孔金属，

其性能遭遇瓶颈。同样，用铜在 M0 和 M1 层面制造的本地互联也饱受间隙填充、电阻和可靠性的困扰——性能受限，芯片制造成本因此受影响。在 7nm 制程及以下技术节点用钴代替钨接触孔和本地互联铜则打破了上述性能瓶颈（图2）。

那么，钴具有哪些优势呢？与钨相比，钴能够用更薄的阻挡层填补小尺寸特征，所以尺寸越小，固有电阻越高。

制造钨接触孔需要相当厚的套筒，由一个双材料叠层的阻挡层和一个成核层组成。这些薄膜的厚度不能随着特征缩小而进一步降低，限制了导电金属的可用体积。晶体管接触孔缩小到 12nm 后，即达到物理极限，没有多余的体积可用于钨。更薄的衬垫阻挡层可以与钴一起在关键尺寸（CD）15nm 处使用（大致相当于 7nm 节点），可以使导电金属性能增加 3.7 倍。

采用钴晶体管接触孔会显著降

Co Enables Critical Conducting Layers

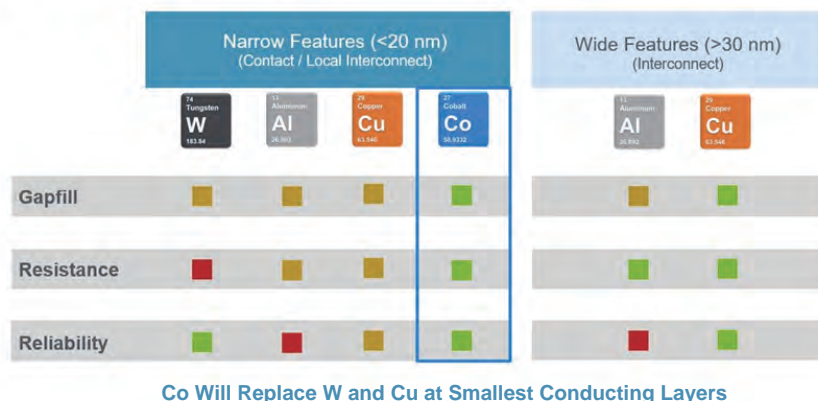


图2. 钴将在最小导电层上取代钨和铜。

低电阻和变异性。基于内部研发数据，钴接触孔电阻低于 87%，变异性从超过 10 欧姆（标准化）降至约 0.06 欧姆。由于电阻降低以及由于晶体管接触孔变异性降低而导致的成品率损失降低，所以这些改进可以通过更低的功耗，实现更多的晶体管固有性能。

即使突破了晶体管接触孔的瓶颈，下一个性能瓶颈就是本地互联铜线。虽然铜作为块体金属，电阻比钴要低，但是在 10-15nm 范围内有一个交叉点，钴互联在这个交叉点的电阻低于铜互联。形成这个交叉点的原因是电子平均自由程，铜为 ~39nm，钴

为 ~10nm。电子平均自由程定义了电子在块体材料中无散射情况下的行程长度。当特征低于平均自由程时，材料界面层和晶界发生明显散射，导致电阻增加。更小的电子平均自由程使电子在窄线中流通，并减少碰撞，从而降低电阻。

同时如前所述，钴的阻挡层比铜更薄，因此钴互联线通孔的垂直电阻更低。综合这些因素，钴有助于释放晶体管在 7nm 制程及以下技术节点的全部潜力。

最后，我们通过 5 级环形振荡器电路 EDA 模拟论证了钴的价值。我们证明对于一系列模拟的关键尺

寸，含钴电路的性能要优于钨。实际上，钴的这一优势随着关键尺寸的缩小而增加，使芯片性能显著提升 15%。

如需更加详细地了解关于钴的优势以及应用材料公司如何在晶体管接触孔和互联线中实现其用途，欢迎您浏览如下网页观看我们近期的网络直播或文字记录。

集成材料解决方案

计算机时代通常通过单流程系统解决方案来推动经典摩尔定律，集成过程更少。而在移动时代，我们见证了集成过程系统的发展，使新型材料的使用成为现实。与早期时代不同的是，它不只是通过一种适应性广的材料取代另一种材料，而是需要多元创新，与一系列过程技术协调发展，共同解决集成新型材料所面临的难题。集成材料解决方案已经实现了钴的技术突破，解决了钨和铜存在的限制问题。我将在下一篇文章中更加详细地探讨钴的集成材料解决方案。

结论

我们将看到微缩带来越来越多的 PPAC 挑战，这些挑战需要通过新型材料和集成材料解决方案加以解决。

在应用材料公司，我们拥有业界最大规模的材料工程能力，可以一站式探索、开发和集成新材料，实现行业拐点。我们的优势得天独厚，能够通过新型材料解决问题，并将集成材料解决方案推向市场，解决人工智能时代遇到的难题，从容应对挑战。◆

5%-15% Performance Improvement from Co

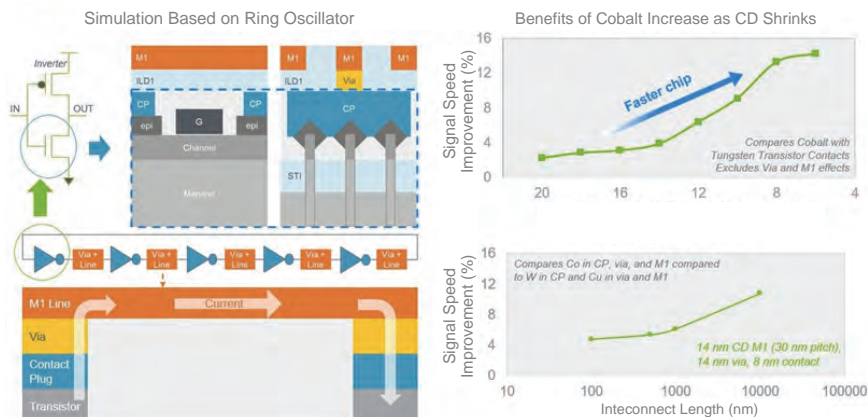


图3. 通过模拟论证了钴能够显著提高性能。

在硅 CMOS 上印刷 GaN HEMT

利用微转印技术，通过将高性能 GaN HEMT 与高集成度硅 CMOS 集成在一起，从而提高集成功率电子器件的效率。

Stefan Eisenbrandt 和 Ralf Lerner, X-FAB 公司



当今大多数功率 IC 的核心是三类硅的晶体管——横向扩散金属-氧化物-半导体设计，绝缘栅双极结构，或者超结结构。所有这些器件都可以处理高电压、高电流或两者同时。

根据摩尔定律，将这些晶体管微型化会带来性能的逐步改进，但代价是螺旋式的开发工作。更好的方式是革命性的性能提升，这可以通过集成 III-V 材料来实现。

用于功率电子器件的最有前途 III-V 器件之一，是 GaN HEMT。与所有形式的硅器件相比，它具有出色的开关速度，并且在考虑导通电阻和击穿电压之间的折衷时也具有优势。由于这些优点，GaN HEMT 可以实现新的、高

效的功率转换拓扑，这对于最先进的硅基器件来说也是不可想象的。

但是，我们暂时还不可能完全取消硅。请注意，双极 CMOS-DMOS 和高压 CMOS 技术已实现高水平的多样化，从而导致最高的设计复杂性。这些器件可用于智能功率 IC，这可实现数字控制逻辑与电源负载之间的接口。通过使用单片集成将输出功率器件定位在数字和模拟电路旁边，可以在同一芯片上组合信号处理、传感和保护电路。这种方法的其他好处是减少接口的数量、体积和电磁干扰。其结果就是提高了效率、性能和可靠性。

采用化合物半导体技术的工程师也在努力实现这些

硅基础智能功率 IC 类似的高级功能集成。目前正在寻求几种将 GaN HEMT 与数字和模拟电路集成的技术：基于 GaN 的智能功率 IC；硅上 GaN 的单片集成；硅上 GaN 的晶圆键合；以及我们正在德国的爱尔福特 X-FAB 半导体代工厂研究的方法：通过微转印技术（micro-transfer-printing）实现的异构集成（见图 1）。

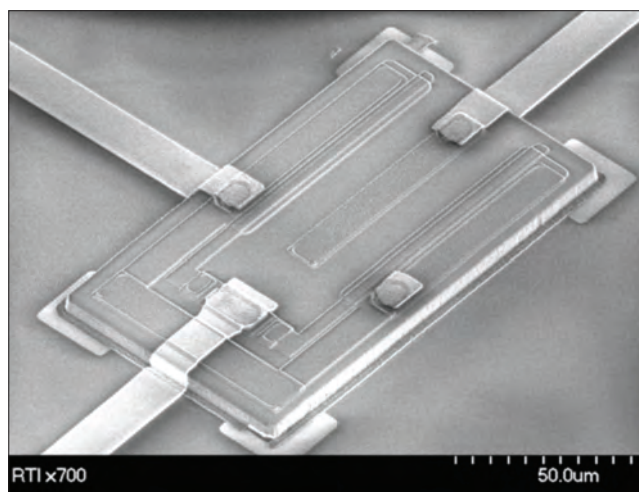


图 1. 微转移印刷可以在硅 CMOS 晶圆上定位 GaN HEMT，随后进行晶圆的金属化。

竞争方法

几个小组正致力于将 GaN 功率器件与 GaN 数字和模拟电路集成在同一基板上。这种方法的缺点是由于较差的空穴迁移率和缺乏高性能 p 沟道 GaN 器件，导致缺少类似标准硅 CMOS 电路拓扑结构的可行性。由于这些弱点，可能需要数年才能实现 GaN 基逻辑电路的高集成密度和功能多样化。

GaN 和硅 CMOS 的单片集成是将基于 GaN 的晶体管与 CMOS 逻辑电路结合在一起的另一种选择。两种器件均可在同一硅衬底上制造，采用定制的绝缘体上硅晶圆来为每种技术提供层级：<100> 取向的硅用于 CMOS 和 <111> 取向的硅用于 GaN。GaN 和硅晶体管不是垂直集成的，而是横向并排布置。

雷神公司的一个团队开创了这种方法。为了降低热预算，他们通过 MBE 而不是 MOCVD 沉积 GaN 层。为此付出的代价是较低的产能，使得这种方法不利于大规模生产需要较厚缓冲层的更高电压器件。

该方法的另外一些缺点是：材料不相容，例如晶格常数和热膨胀系数的显著差异；器件限制，例如热预算和接触金属化材料对 CMOS 兼容金属的限制；以及高成

本。请注意，由于与单片集成相关的分区问题，成本可能会急剧上升。例如，对于总面积为 10mm² 的集成电路（包括 9mm² 逻辑和 1mm² 的 GaN HEMT），外延工艺的成本与全晶圆工艺相似，但外延层仅用于 1mm² 的 GaN 区域。因此，每个 GaN 的面积成本以及每安培的成本都会高达十倍。

将 GaN 功率器件的优点与硅 CMOS 的优点相结合的另一种选择，是在其专用制造环境中制造每个器件，然后在芯片级将它们密集地组合在一起。通过这种方法，无需考虑材料和工艺的限制，每个器件都可以充分发挥其潜力。这是因为后处理工艺中通过晶圆键合进行了集成。

我们一直在通过由欧盟的地平线 2020 研究和创新计划资助的多伙伴项目 CMOS 上 GaN 来实现这种方法。2017 年 1 月启动的该项目，投资支持了 740 万欧元，旨在通过提供密集集成的材料，将 GaN 电力电子材料、器件和系统提升到新的成熟水平。该项目的关键目标是在材料、器件、模块和系统的整个价值链上，实现长期的可靠性改进。

微转印

我们项目的关键技术之一是微转移印刷（微转印）。与晶圆键合一样，它有助于 GaN 功率和硅 CMOS 器件的后工艺集成，但它也允许将微米尺度、高性能半导体器件确定性地组装和集成到非原生衬底上。

微转印的关键过程是通过弹性体印模从源晶圆上获取大量的微型器件阵列，然后将这些器件印刷在回收晶圆上。这是通过在高精度、运动控制的打印头上容纳印

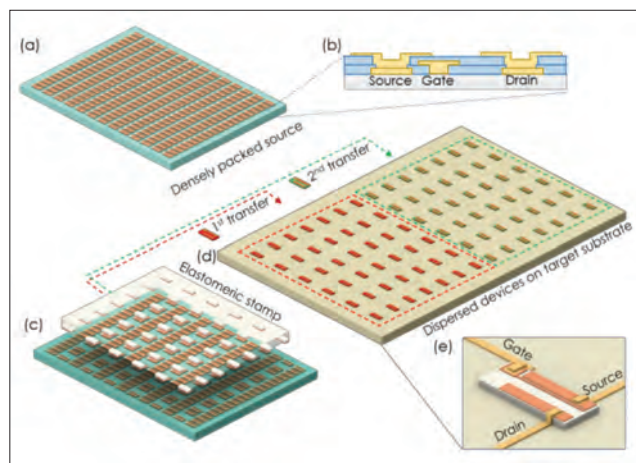


图 2. GaN HEMT 的微转印工艺概述。(a) 具有密集 HEMT 阵列的源晶圆，(b) HEMT 横截面，(c) 弹性体印模从源晶圆中移除 HEMT 阵列，(d) 新目标基板上的第一和第二印刷工艺，例如 CMOS 晶圆，(e) 晶圆上印刷的 GaN HEMT 的布线。

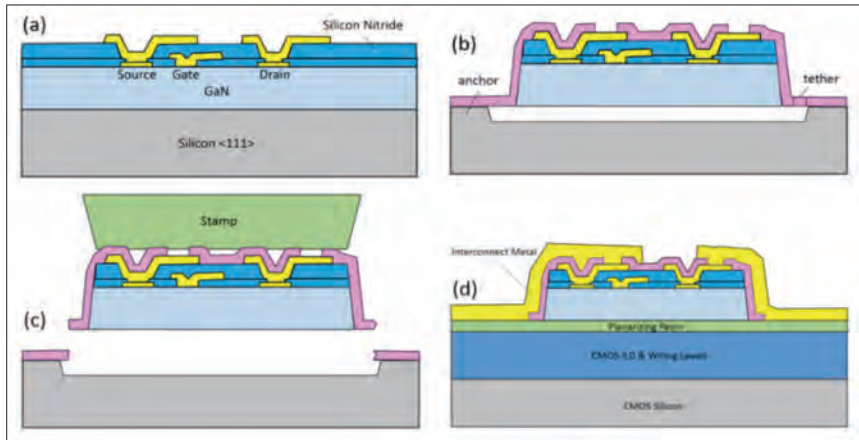


图3. GaN HEMT的异构集成工艺流程。(a) 晶体管在<111>硅衬底上制造。(b) 器件隔离、钝化然后底切。(c) 用弹性体印模拾取器件。(d) 器件印刷到硅CMOS晶圆上, 然后使用薄膜铝线进行互联。

模来实现的。通过这种并行工艺, 许多带有 GaN HEMT 的小芯片可以通过一次工艺来印刷到完全加工好的硅 CMOS 晶圆上 (见图 2)。

大多数 GaN HEMT 在 <111> 取向的硅晶圆上生长和制造。为了使它们为微转印工艺做好准备, 这些器件需要从其原生衬底上释放出来。

在我们所涉及的项目中, 该步骤通过反应离子蚀刻进行, 穿过器件层并向下到达底部硅衬底 (参见图 3 (a))。然后, 为了钝化侧壁和形成束缚结构的锚, 通过等离子体增强 CVD 来生长 SiN 层 (参见图 3 (b))。

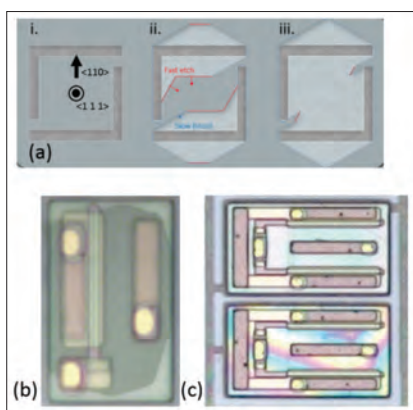


图4. (a) 器件下面的硅<111>湿法刻蚀。(b) 透过仅部分蚀刻的GaN HEMT观察, 可以看到蚀刻的前沿。(c) 已经完全底切的GaN HEMT的光学显微照片, 具有两种不同的束缚设计。

此后, 使用高选择性、各向异性刻蚀溶液对器件下方的 <111> 取向硅进行湿法刻蚀 (参见图 4 (a))。由于所有 {110} 方向的蚀刻速率比正交方向要快一百倍以上, 因此硅不会底切的区域仍然作为释放工艺的锚点 (参见图 4 (c)), 光学显微镜图像显示出两个完全底切、准备好印刷的不同束缚配置 GaN HEMT)。

利用弹性体印模的粘弹性质, 然后从其源晶圆拾取 GaN 器件, 并将其印刷在 CMOS 晶圆上。由于印模和 GaN 器件之间的高粘附性, 当随后印模快速移动远离粘合界面时, 束缚破坏, 使得微型器件可以从其原生基板上拾取。我们使用了不同的方法来打印器件。这次将印模从粘合界面轻轻移开, 使印模和器件之间的粘合力低于印模键合力。由于这个原因, 印模与芯片分离, 芯片粘到了新的非原生基板上。

在微转印工艺之后, 通过标准晶圆制造工艺来

进行互连, 例如薄膜沉积和光刻图案化 (参见图 3 (d))。采用这种涉及片上布线的方法, 工艺温度不会超过 175°C, 从而允许使用复杂的智能功率设计。

令人振奋的结果

已经制造出具有各种栅指配置、沟道宽度和栅漏间距的小尺寸 GaN HEMT (见表 1 的综合)。所有这些 HEMT 都是用相同的工艺生产, 并且通过相同的衬底晶圆制成, 其特征为 GaN 外延结构约 4μm 厚。使用上述工艺, HEMT 已经可以转移到两种类型的晶圆上: 完整工艺后的硅 CMOS 晶圆; 以及沟槽隔离的、绝缘体上硅的高压 CMOS 晶圆上。

直接在 CMOS 顶部印刷 HEMT 的好处不仅仅有最终器件的占地面积更小——它们还可以使逻辑电路和 HEMT 之间的布线更短, 减少寄生电感和电容 (请参见下页的“微转印的优势”中的详细优点列表)。

初始结果包括不受印刷 HEMT

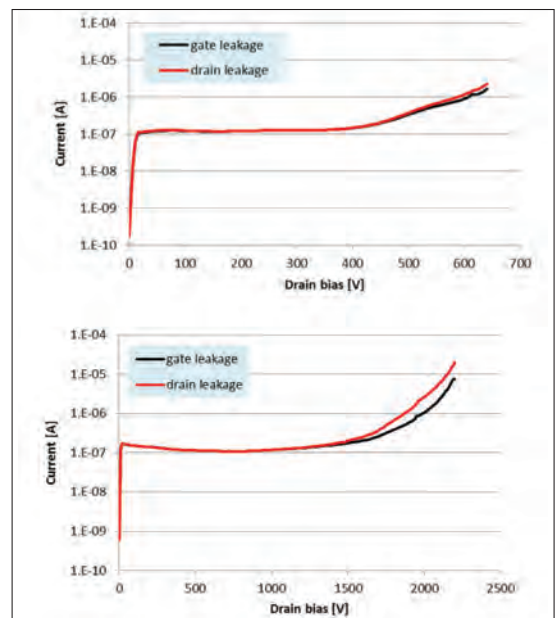
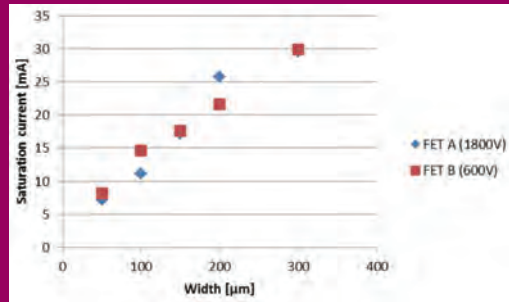


图5. 具有6μm (顶部) 和17μm (底部) 栅漏间距的HEMT阻断特性。

微转印技术的优点

微转印的优点有很多：

- GaN 缓冲层厚度可以在不显著牺牲印刷器件击穿电压情况下变薄。
- GaN 缓冲层的生长时间可以缩短，并且可以减少相关的机械应力问题。
- 采用较薄 GaN，在表面上路由由印刷的 HEMT 时，拓扑步骤减少，即当金属轨道必须桥接印刷 HEMT 的边缘时。
- 根据栅漏间距来进行击穿电压的缩放，使得 GaN 器件的制造可以在同一工艺中，甚至同一晶圆上，都具有不同的击穿电压。
- 导通状态参数导通电阻和饱和电流的缩放有可能通过设计的沟道宽度来获得（参见右图）



两种电压等级下的 GaN HEMT 电流缩放与晶体管宽度的关系

- 通过消除与印刷相关的机械设计限制，可以相对于某些逻辑块实现印刷 HEMT 的放置。例如，可以实现 HEMT 与 HEMT 下方的堆叠 NMOS 或栅极驱动电路的非常接近。

Gate fingers	Total gate width [μm]	Gate-Drain spacing [μm]	Active device area [μm ²]	Printed device area [μm ² *)
1	50	17	2279	4956
1	50	6	1696	3983
1	100	17	4429	7614
1	100	6	3296	6063
2	150	17	5694	12264
2	150	6	3978	9052
2	200	17	7519	14280
2	200	6	5253	10540
4	300	17	10374	24675
4	300	6	6942	21000

*) including gate pads, source finger shorts etc.

表1. GaN HEMT 几何结构概述。

干扰的 20V NMOS 晶体管的特性，以及针对印刷 GaN HEMT 器件很有希望的室温、漏源阻挡模式的表征（见图 5）。使用氟惰性保护层来避免表面闪光和过早失效，印刷 HEMT 已经实现了在 600V 和 1800V 之间的阻断电压，这个电压取决于漏栅间距。

在释放刻蚀期间，去除了导电

硅衬底，从而允许在隔离的 CMOS 电介质顶部印刷 HEMT。这消除了通过硅的垂直漏电路，并且限制了击穿机制，从而击穿仅在 GaN 中横向产生。因此，击穿电压仅由栅漏间距决定。

另一项任务是进行 TCAD 的热实验设计，以确定印刷在 CMOS 电路顶部的 GaN HEMT 热阻的主要贡献者。这一工作表明，由于 CMOS 介电层，热阻只有很小的增加，例如，它比晶圆和金属化厚度的热贡献要小得多。在 AC 条件下，HEMT 的厚度对热阻的影响要大于 CMOS 介电层。因此，如果我们所述的方式去除硅，同时实现可能的 GaN 缓冲层减薄，则 CMOS

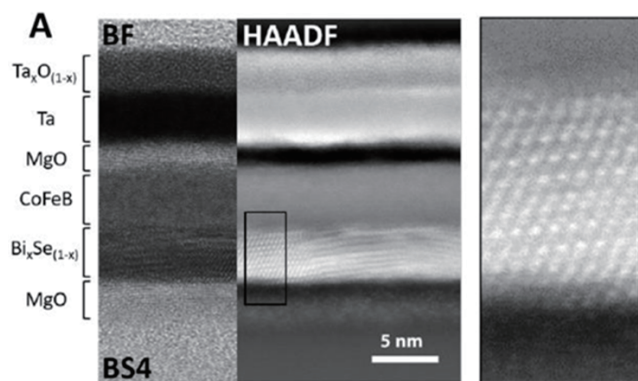
氧化物层不会增加总热阻。

此处详述的结果已在器件级研究中实现。接下来的步骤将在正在进行的 MIIMOSYS 项目中进行，该项目由德国教育和研究部资助。该项目参与单位包括电子设计开姆尼茨有限公司，弗劳恩霍夫应用固态物理学研究所，TURCK duotech (TDU) 有限公司，Erlangen-Nuremberg 大学，Chair of Electron Devices 和 X-Celeprint 支持下的 X-FAB 半导体代工厂，目标是首先演示 GaN 晶体管到系统级的硅 CMOS 控制电子器件上的异构集成。未来研究的主题将是微转印制造工艺的后续步骤，所涉及 GaN 和 CMOS 器件的可靠性，以及用于电机和 LED 驱动的桥接驱动器和控制器 IC 的微转印器件封装应用。◆

扩展阅读

- T. Erlbacher; "Lateral Power Transistors in Integrated Circuits", Springer, Heidelberg New York Dordrecht London, 2014
- "Power GaN Devices", edited by Matteo Meneghini, Gaudenzion Meneghesso, Enrico Zanoni, Springer International Publishing, 2017
- "Smart Power ICs", edited by Bruno Murari, Franco Bertotti and Guiovanni A. Vignola, Springer International Publishing, 2002
- R. Reiner et al., "Monolithically-Integrated Power Circuits in High-Voltage GaN-on-Si Heterojunction Technology", IEEE, 2016
- T. E. Kazior et al., "High Performance Mixed Signal and RF Circuits Enabled by the Direct Monolithic Heterogeneous Integration of GaN HEMTs and Si CMOS on a Silicon Substrate", IEEE, 2011
- www.ganncmos.eu

新材料能提高计算机处理和内存效率



这幅透射电子显微镜图像显示了用于电荷自旋转换实验样品的横断面。在溅射的拓扑绝缘体层中，小于 6nm 的纳米级晶粒为材料创造了新的物理特性——改变了材料中电子的行为。照片来源：明尼苏达大学 Wang Group

明尼苏达大学领导的一个研究小组开发出一种有可能提高计算机处理和内存效率的新材料。在半导体研究公司 (Semiconductor Research Corporation) 的支持下，研究人员已经申请了该材料的专利，但是半导体行业内的人要求提供该材料的样品。

该研究结果发表于《Nature Materials》，《Nature Materials》是由自然出版集团 (Nature Publishing Group) 同行评议的科学杂志。

首席研究员，明尼苏达大学杰出 McKnight 终生讲座教授王建平 (Jian-Ping Wang) 和电气工程系主任 Robert F. Hartmann 说：“我们使用了一种在过去几年中备受半导体行业关注的量子材料，但是我们以独特的生产方式使其具备了新的物理和自旋电子特性，从而可以极大地提高计算和内存效率。”

这种新型材料属于“拓扑绝缘体”材料，由于其独特的自旋电子输运和磁性特性，最近一直被物理学和材料研究团队以及半导体行业所研究。拓扑绝缘体通常使用单晶生长工艺制造。另一种常见的制造方法采用的是被称为分子束外延的工艺，其晶体在薄膜中生长。目前这两种工艺技术都不能大规模地用于半导体行业。

在这项研究中，研究人员从硒化铋 (Bi_2Se_3) 着手， Bi_2Se_3 是铋和硒的化合物。然后，他们运用了一种被称为“溅射”的薄膜沉积技术，此技术的原理是电子轰击靶材，实现离子和原子之间的动量交换。

虽然溅射技术在半导体行业中很常见，但这是它首次

被用来制造可大规模用于半导体和磁性工业应用的拓扑绝缘体材料。

然而，实验中最令人惊讶的并不是溅射技术的成功应用。在溅射的拓扑绝缘体层中，小于 6nm 的纳米级晶粒改变了材料中电子的行为，使材料产生了新的物理性质。在对新材料进行测试之后，研究人员发现，与现有的材料相比，使用新材料的计算处理和内存效率提高了 18 倍。

Tony Low 是明尼苏达大学电气和计算机工程的助理教授，也是该研究的共同作者，他说：“随着晶粒尺寸的减小，存在被我们称为‘量子限制’的现象，材料中电子以不同的方式运动，这让我们有更多的机会控制电子行为。”

研究人员使用明尼苏达大学独特的高分辨率透射电子显微镜 (TEM) 研究这种材料，TEM 是一种显微镜技术，其原理是电子束穿透一个样本以形成图像。

Andre Mkhoyan 是明尼苏达大学化学工程与材料科学助理教授兼电子显微镜学专家，他说：“利用先进的像差校正扫描 TEM，我们成功地识别出了这些纳米大小的颗粒及其在薄膜中的界面。”

研究人员表示，这些研究仅仅是开始，此项发现可以为半导体行业以及相关行业（如磁随机存取存储器 (MRAM) 技术）的进一步发展开启大门。

Mahendra DC (Dangi Chhetri) 是论文的第一作者，也是王教授实验室的物理学博士生，他说：“利用这些材料的新物理特性，可能会带来许多新的应用。”

王教授表示同意，认为这项前沿研究可能会产生重大的影响。

王教授说：“该领域的所有研究人员都没能想到使用溅射工艺来制造量子材料，比如基于铋-硒化合物的拓扑绝缘体，因为这违背了他们的常规思维逻辑，而且实际上也没有任何现有理论的支持。四年前，在半导体研究公司 (SRC) 和美国国防高级研究计划局 (Defense Advanced Research Projects Agency) 的大力支持下，我们开始实施伟大的想法，即寻找一条切实可行的道路，将拓扑绝缘体材料用于未来的计算和存储设备。我们令人称奇的实验发现为拓扑绝缘体材料提供了一种新的理论。”

王教授说：“研究就是需要耐心和团队成员的合作。

这一次我们获得了巨大的回报。”

除了 Wang、Low、Mkhoyan 和 DC 之外，该研究团队的其他成员还包括明尼苏达大学博士后研究员和研究生 Mahdi Jamali、Junyang Chen、Danielle Hickey、Delin Zhang、Zhengyang Zhao、Hongshi Li、Patrick Quarterman、Yang Lv 和沙特阿拉伯国王大学助理教授 Aurelien Manchon。

明尼苏达大学自旋电子材料、界面和新型架构中心 (C-SPIN) 为该研究提供资助，这是一项由微电子高级研究公司 (MARCO) 和美国国防高级研究计划局 (DARPA) 赞助的半导体研究公司项目。这项研究使用了明尼苏达

大学科学与工程学院的特性分析设备。美国国家科学基金会通过明尼苏达大学材料研究科学与工程中心 (编号：DMR-1420013) 为该研究提供了部分资金支持；明尼苏达大学科学与工程学院的明尼苏达纳米中心由美国国家科学基金会通过国家纳米技术基础设施网络 (NNIN) 给予部分资金支持。

如需阅读题为“溅射 BixSe(1-x) 薄膜中由于量子限制而产生的室温高自旋轨道扭矩” (Room-temperature high spin-orbit torque due to quantum confinement in sputtered BixSe(1-x) films) 的完整研究论文，请访问《Nature Materials》杂志网站。◆

Brewer Science 推出 BrewerBOND® 双层临时键合系统和 BrewerBUILD™ 材料，用于 RDL 优先扇外型封装

Brewer Science, Inc. 推出其业界领先的 BrewerBOND® 临时键合材料系列的最新成员，以及其新的 BrewerBUILD™ 薄式旋装封装材料产品线的首款产品。BrewerBUILD 提供业界首创的解决方案，以解决制造商不断出现的晶圆级封装挑战。

BrewerBOND® T1100 和 BrewerBOND® C1300 系列相结合，创造了 Brewer Science 首个完整的双层系统，用于晶圆产品的临时键合和解键合。新系统是为电源、储存器和芯片优先的扇出设备开发的——所有这些设备都对温度、功率和性能有严格的要求。该系统可与机械或激光解键合方法一起使用。

BrewerBUILD™ 材料是专门为重布线层 (RDL) 优先的扇外型晶圆级封装 (FOWLP) 而研发。该单层材料的开发旨在满足芯片制造商希望从芯片优先的 FOWLP 转变为 2.5D/3D 封装技术 (目前尚未准备好) 的需求，它也与晶圆和面板层级的临时键合 / 解键合工艺兼容。

“随着行业需求的发展，Brewer Science 继续推进我们材料产品的最新技术水准，” Brewer Science 先进封装业务部执行长 Kim Arnold 表示，“通过与客户的密切合作，我们正在向前推动技术的研发，利用我们信赖的研发智慧，创造这样的独特解决方案，旨在满足客户的需求 --- 不管是现在还是未来。”

BrewerBOND® T1100/C1300

BrewerBOND® T1100 材料是一种热塑性薄式保护膜

涂层，作为密封剂应用到装置上。可溶性层具有高软化点，几乎没有熔体流动。BrewerBOND® C1300 材料是一种可固化层，适用于载体本身，提供了高熔流，在低压下容易键合，无熔体流后固化。这两层一起不会混合或发生化学反应，可实现机械稳定性，不产生键合材料移动，并提供高达 400°C 的热稳定性。

双层系统的其他优点包括提高产量和附着力，减少烘烤和清洁时间，以及低温接合键合 (25°C 至 ≤100°C)。最终用途包括需要高性能的内存和电源等，如数据中心、固态硬盘和汽车应用等。客户已经开始采用新的 BrewerBOND 产品，并已获得良好正面的结果。

BrewerBUILD™

在客户对临时封装解决方案的需求上，BrewerBUILD™ 材料有明显的市场机会，这将使他们能够继续使用扇出技术，同时提升良率并减少良好裸晶 (KGD) 的损失。RDL 优先的 FOWLP 比芯片优先的 FOWLP 更具有优势。它实现了高密度 RDL，具有更小间距的线性空间模式，提供更高的性能，更大的芯片尺寸，并可用于多芯片集成。

BrewerBUILD™ 材料的机械、热能和热稳定性旨在承受 RDL 优先的工艺流程。一旦载体解键合，建构层就会被移除，并且该材料与波长为 308、343 和 355 纳米 (nm) 的解键合紫外 (UV) 激光兼容。该材料已引起潜在客户的兴趣，寻求适用于各种应用的过渡期封装解决方案。

先进封装新领域FOPLP湿制程解决方案

Manz 亚智科技与华润微电子共同拓展先进封装新领域，开发出 FOPLP（方形基板上的扇出式封装）湿制程解决方案，为客户提供跨领域设备整合服务。

随着人们希望智能手机及智能穿戴设备越来越轻薄灵巧的同时，也期望其功能效率显著提高，这种市场需求的变化及竞争的日益激烈，促使电子零部件在设计上，除了要求封装尺寸体积减小之外，IC 功能要求越来越大，同时 I/O 接脚数量日益增加，传统的扇入型 Fan-In 晶圆级芯片封装已不能满足市场变化，扇外型 Fan-Out 封装越来越受青睐。目前，相对 300mm 硅晶圆的 FOWLP，FOPLP 技术在 510x510mm 或是 600x600mm 面板上生产，生产力可提升 3 到 5 倍左右，因此可以有效降低成本，增加产品竞争力。

Manz 亚智科技凭借着 30 多年在 PCB/TFT LCD 领域优异的湿制程技术和经验积累，积极开拓并将湿制程核心技术应用于不同市场。FOPLP 技术的崛起，成为 Manz 亚智科技湿制程设备进入先进半导体封装的契机，借由与华润微电子有限公司（以下称华润微电子）及策略技术合作伙伴相互配合交流领先的技术及制程，在短时间内共同研发 FOPLP 湿制成设备并完成测试。此次的合作，Manz 亚智科技一同与华润微电子克服技术壁垒进入新领域，为产业注入新鲜力量，推动更轻薄、功能更强大及极具价格竞争力的智能设备发展，赢得市场先机。

华润微电子是华润集团旗下负责微电子业务投资、发展和经营管理的高科技企业，也是中国本土拥有完整半导体产业链的企业。为适应集成电路的封装密度越来越大，引线数越来越多，体积越来越小，重量越来越轻的市场变化，急需升级产线以适应新的市场竞争。当华润微电子与其策略技术伙伴合作选择投入先进的 FOPLP 面板级扇外型封装技术时，Manz 亚智科技以在湿制程设备解决方案丰富的经验及销售业绩等优势，成为华润微电子发展 FOPLP 湿制程技术当仁不让的供应者。

Manz 亚智科技 FOPLP “一站式”湿制程解决方案生产设备解决方案，能够实现高密度重布线层（RDL），优势为：

- “一站式”生产设备解决方案：Manz 亚智科技为



FOPLP 湿制程提供清洗、前处理、显影、蚀刻、电镀、剥膜及自动化等一站式设备。

- 跨领域设备整合：拥有光伏、面板及 PCB 产业设备经验，协助客户整合前后段的封装技术，快速进入 FOPLP 制程领域。
- 智慧制造：
 - 集成整线设备线控并与客户端 MES 系统友好兼容；
 - 监控整个制程过程及生产质量状况，协调前后制程参数的匹配，及时反馈错误信息并指出发生问题的确切位置；
 - 实现大数据实时精准推送，有效降低生产风险，助力制造商提升生产效率，降低人力成本，掌握市场先机。
- 根据需求定制化设备：鉴于 FOPLP 为业界的新需求，无论是面板尺寸、制程条件等都尚未有共同标准，但 Manz 亚智科技的专业团队可以配合不同客户的制程需求提供客制化设备服务，或是与客户共同研发解决方案。
- 卓越的湿制程解决方案及 Manz 集团其它技术为 FOPLP 封装技术添砖加瓦：Manz 亚智科技不仅在 FOPLP 湿制成解决方案上技高一筹，同时也可为 FOPLP 技术提供自动化、精密涂布及激光等制程设备，出色的综合实力为客户可以信赖的 FOPLP 制程设备合作伙伴。

PCB 制造商具有得天独厚的优势进军 FOPLP 技术，Manz 亚智科技在 PCB 领域技术与实战经验积累以及对 FOPLP 发展的深入研究，已经成功帮助客户量产 FOPLP 封装技术，可以在较短的时间与客户共同开发制造 FOPLP 湿制程设备，通过我们湿制程生产设备及其他跨领域的设备整合，帮助 PCB 领域客户快速量产 FOPLP 封装技术，降低客户进入新领域的技术壁垒抢占市场先机。◆

Advertiser	广告商名称	网址	页码
OLYMPUS		www.olympus-ims.com.cn	1
SIP Conferen China	第二届中国系统级封装大会	www.elexcon.com	BC

欢迎投稿

《半导体芯科技》是针对中国半导体市场出版的行业杂志，用简体中文出版。为了满足中国半导体产业对技术信息的需要，本刊报道工艺、设备、材料、封装、测试方面的最新技术和信息，帮助读者解决他们遇到的问题和挑战。本刊的读者是半导体产业界的技术管理人员、技术经理、工艺工程师、科学研究人员、从事开发和制造的专业人士。

本刊针对中国市场的特点，选登国际知名品牌杂志《SolidStateTechnology》的文章，并在国内采编业界新闻和技术稿件。本刊欢迎读者和供应商投稿，采用的稿件将在印刷版本或者网上刊登。

文章投稿指南

1. 文章主题突出、结构严谨、短小精悍，中文字数不超过 3,000 字；
2. 文章最好配有两幅至四幅与内容相关的插图或表格；插图与表格分别用图 1、图 2 或表 1、表 2 的次序编号，编号与文中的图表编号一致；

3. 请注明作者姓名、职务及所在公司或机构的名称。作者人数以四人为限；
4. 请勿一稿多投；
5. 请随稿件注明联系方式（邮编、地址、电话、电子邮件）。

新产品投稿指南

1. 新产品必须是中国市场新上市、可以在中国市场上买到；
2. 有关新产品来稿的内容应包含产品的名称、型号、功能、主要性能和特点、用途；
3. 短小精悍，中文字数不超过 300 字；
4. 来稿请附产品照片。最好是在单色背景下简单的产品实物照片，照片的分辨率不低于 300dpi；
5. 注明能提供进一步信息的人员姓名、电话、电子邮件。

优先刊登中文来稿（翻译稿请附英文原稿）。来稿请用电子邮件寄到：sunniez@actintl.com.hk。



www.siscmag.com

行政及销售人员 Administration & Sales Offices

行政人员 Administration

HK Head Office (香港总部)

ACT International (雅时国际商讯)

Unit B, 13/F, Por Yen Buiding,
No. 478 Castle Peak Road,
Cheung Sha Wan, Kowloon, Hong Kong
Tel: 852 28386298

Publishing Director (出版总监)

Adonis Mak (麦协林), adonism@actintl.com.hk

Editor-in-Chief (总编辑)

Sunniez Zhao (赵雪芹), sunniez@actintl.com.hk

Sales Director (销售总监)

Steven Gan (干辉), steveng@actintl.com.hk

General Manager-China (中国区总经理)

Michael Tsui (徐旭升), michaeltsui@actintl.com.hk

London Office

Hannay House, 39 Clarendon Road
Watford, Herts, WD17 1JA, UK.
T: +44 (0)1923 690200

Coventry Office

Unit 6, Bow Court, Fletchworth Gate
Burnsall Road, Coventry, CV5 6SP, UK.
T: +44 (0)2476 718 970

Publisher & Editor-SiS English

Jackie Cannon, jackie.cannon@angelbc.com
+44 (0)1923 690205

销售人员 Sales Offices

China (中国)

Shenzhen (深圳)

Jenny Li (李文娟), jennyl@actintl.com.hk

Gavin Hua (华北平), gavinH@actintl.com.hk

Tel: 86 755 2598 8571

Shanghai (上海)

Steven Gan (干辉), steveng@actintl.com.hk

Hatter Yao (姚丽莹), hattery@actintl.com.hk

Helena Xu (许海燕), helenax@actintl.com.hk

Amber Li (李歆), amberL@actintl.com.hk

Amy Ma (马能能), amyM@actintl.com.hk

Tel: 86 21 6251 1200

Beijing (北京)

Cecily Bian (边团芳), cecilyB@actintl.com.hk

Tel: 86 135 5262 1310

Wuhan (武汉)

Sky Chen (陈燕), skyc@actintl.com.hk

Tel: 86 137 2373 9991 / 86 27 5923 3884/1564

Eva Liu (刘婷), eval@actintl.com.hk

Tel: 86 138 8603 3073

Grace Zhu (朱婉婷), graceZ@actintl.com.hk

Tel: 86 159 1532 6267

Hong Kong (香港特别行政区)

VP of Sales & Marketing (销售副总裁)

Mark Mak (麦协和), markm@actintl.com.hk

Tel: 852 2838 6298

Asia

Japan (日本)

Masaki Mori, mori-masaki@ics-inc.co.jp

Tel: 81 3 6721 9890

Korea (韩国)

Lucky Kim, semieri@semieri.co.kr

Tel: 82 2 574 2466

Taiwan, Singapore, Malaysia

(台湾, 新加坡, 马来西亚)

Mark Mak (麦协和), markm@actintl.com.hk

Tel: 852 2838 6298

US (美国)

Janice Jenkins, jjenkins@brunmedia.com

Tel: 724 929 3550

Tom Brun, tbrun@brunmedia.com

Tel: 724 539 2404

Europe (欧洲)

Shehzad Munshi, Shehzad.Munshi@angelbc.com

Tel: +44 (0)1923 690215

Jackie Cannon, Jackie.cannon@angelbc.com

Tel: +44 (0) 1923 690205



您的技术信息平台



一系列产品—包括国际专业技术杂志的
中文版、网上出版物、会议、培训和活动

www.actintl.com.hk

雅时国际商讯 (ACT International) 成立于1998年, 为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品—包括杂志和网上出版物、培训、会议和活动—为跨国公司及中国企业架设了拓展中国市场的桥梁。 ACT的产品包括多种技术杂志和相关的网站, 以及各种技术会议, 服务于机器视觉设计、电子制造、镭射/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁相容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港, 在北京、上海、深圳和武汉设有联络处。

香港
852-28386298

深圳
86-755-25988571

上海
86-21-62511200

北京
86-10-84844007

武汉
86-27-59221554



SiP

第二届中国系统级封装大会 SiP Conference China 2018

深圳站

同期活动



深圳国际电子展

深圳会展中心 2018.12.20-22



欢迎参观 >>>



<<< 扫码领票

同期展会

!E 第七届中国深圳国际嵌入式系统展
EMBEDDED EXPO 2018

M 深圳国际先进制造与智能工厂展
MECHATRONICS CHINA 2018

CHINA 深圳国际电动汽车及技术展
EV & AUTOTRONICS EV & AUTOTRONICS CHINA 2018