

半导体芯科技

S/S **SILICON**
SEMICONDUCTOR
Connecting the Silicon Semiconductor Community

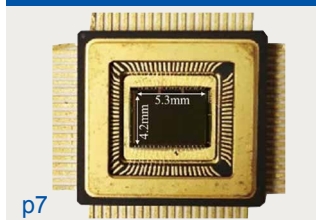
• **CHINA**

ISSN 2523-1294

www.siscmag.com

2021年 6/7月

全硅微显示芯片



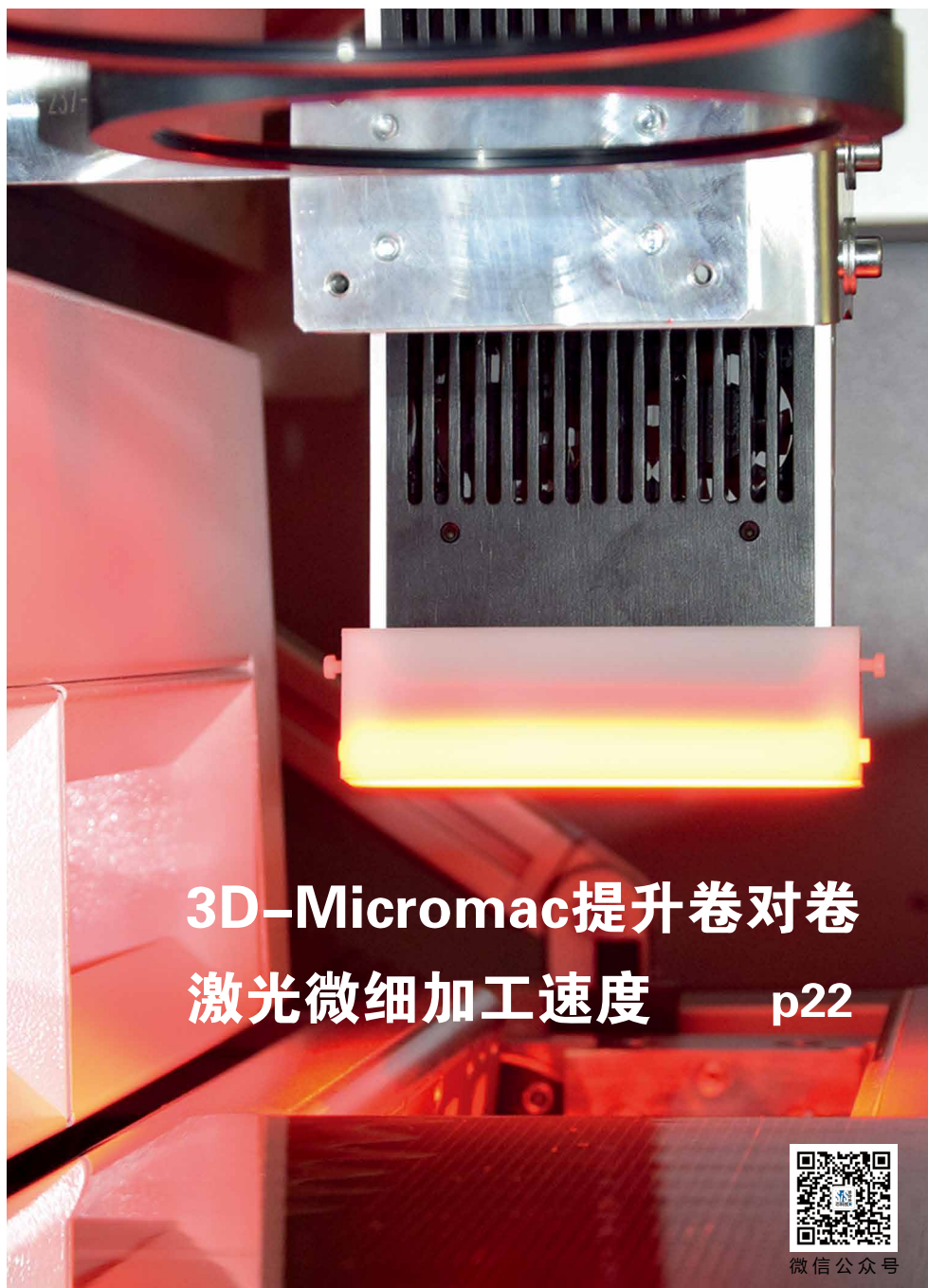
AMC 检测与控制



光互连



石墨烯霍尔效应传感器



**3D-Micromac提升卷对卷
激光微细加工速度** p22

ACT Angel 
BUSINESS COMMUNICATIONS



微信公众号



国际授权翻译
国内发行高新科技杂志

8本杂志免费送一年
(6期/印刷版)

包揽全年行业资讯



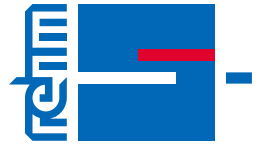
www.actintl.com



免费
订阅

扫一扫添加
ACT读者服务号免费订阅

雅时国际资讯 (ACT International) 成立于1998年, 为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品 - 包括杂志和网上出版物、培训、会议和活动 - 为跨国公司及中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站, 以及各种技术会议, 服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制等领域的约二十多万专业读者及与会者。



THERMAL SYSTEMS

Rehm Thermal Systems

Pioneer of
Thermal Solutions

30 more
than
years
experience



锐德VX-Semicon回流焊以独特的设计在行业中占领先地位

适用于载板,晶圆印刷植球焊接, 2.5D晶片焊接, 扇进焊接, 扇出焊接。

其低氧含量可避免小颗粒在焊料高温中氧化, 例如: Type 5与Type 6 Size的焊料球。

Rehm VX-Semicon回流焊低氧含量可达到以下标准:

- > 标准机氧含量可达到<100ppm
- > 低氧含量可达到<50ppm
- > 超低氧含量可达到<20ppm

锐德热力设备(东莞)有限公司 | 中国广东省东莞市松山湖高新技术产业开发区畅园路2号
T +86 769 - 8238 0238 | info@rehm-group.com | www.rehm-group.com



目录 CONTENTS

封面故事 Cover Story

22 3D-Micromac 用 microFLEX 提升卷对卷激光微细加工速度 3D-Micromac accelerates roll-to-roll laser micromachining with microFLEX

激光器是多用途的工业工具，如今，在许多半导体和光伏制造工艺中，它也是不可缺少的重要加工工具。过去，在卷对卷（R2R）薄膜制造领域，激光微细加工的准确度、可重复性、速度和成本效益基本上是空白，直到 3D-Micromac 公司将其创新的 microFLEX 系统从实验室带到全球各地的晶圆厂之后，这种情况才有所改观。

- Mark Andrews, SILICON SEMICONDUCTOR 杂志技术编辑



编者寄语 Editor's Note

4 目标明确，方法很多

- 赵雪芹

产品聚焦 Product Focus

5 应用材料公司推出面向 DRAM 微缩的材料工程解决方案

7 电子科技大学发布全球首款全硅微显示 MicroLED

8 生益科技自主研发的 IC 封装用积层绝缘胶膜面世

9 新型结构胶黏剂：温度稳定性比同级别产品高四倍

9 超小型低功耗接近传感器

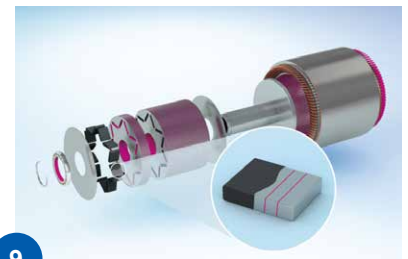
10 esmo talos 2021 分选机满足高效自动化微芯片测试

10 PrimeSim Continuum 解决方案加速存储器、AI、汽车和 5G 应用高收敛 IC 设计

12 新型高速电镀技术显著提高先进封装的镀铜速率和均一性

12 ASYMTEK Forte MAX 双阀点胶系统

21 新型一步植球助焊剂



关于雅时国际商讯 (ACT International)



雅时国际商讯 (ACT International) 成立于1998年，为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品——包括杂志和网上出版物、培训、会议和活动——为跨国公司和中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站，以及各种技术会议，服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港，在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photronics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

关于《半导体芯科技》

《半导体芯科技》(原半导体科技) 中文版 (SiSC) 是全球最重要和最权威的杂志Silicon Semiconductor的“姐妹”杂志，由香港雅时国际商讯出版，报道最新半导体产业新闻、深度分析和权威评论。为中国半导体专业人士，提供他们需要的商业、技术和产品信息，帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国半导体产业，包括IC设计、制造、封装及应用等。

About Silicon Semiconductor China

Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology & product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMS, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

目录 CONTENTS

观点 Viewpoints

- 13 esmo : 半导体测试设备配套商的领导者
esmo being a leader of supporting manufacturer for semiconductor test equipment
- 14 先进封装及 SiP 技术创新和发展趋势
Advanced packaging and SiP technical innovation and developing trends
- 16 中国半导体制造配套供应链的生态与生机
Ecology and vitality of Chinese supply chain for semiconductor manufacturing emerging material opportunities.



28

技术 Technology

- 28 面向下一代倒装芯片 FOWLP 的关键材料
Key materials for next-generation flip-chip FOWLP
- 32 用于先进制程的 AMC 和微小颗粒物的检测和控制技术
Detection and control of AMC and small particles for advanced semiconductor processes
- 35 超快光互连
Super-fast optical interconnects
- 41 突破性干膜光刻胶技术：满足下一代器件的缩放需求
New dry film photoresist meeting scaling need for next generation devices



32

专栏 Conlunm

- 43 新型石墨烯霍尔效应传感器可提供高性能
New graphene hall effect sensors deliver high performance
- 48 广告索引 Ad Index



43

《半导体芯科技》编委会（排名不分先后）

刘胜 教授
武汉大学 工业科学研究院执行院长

郭一凡 博士
日月光集团工程副总经理

姚大平 博士
江苏中科智芯集成科技有限公司总经理

汤晖 教授
广东工业大学、精密电子制造技术与装备国家重点实验室

于大全 教授
厦门云天半导体创始人

须颖教授
中国仪器仪表学会显微仪器分会副理事长

罗仕洲教授
磐允科技总经理

林挺宇 博士
广东芯华微电子技术有限公司总经理

杨利华 院长
两江半导体研究院

王文利 教授
西安电子科技大学电子可靠性(深圳)研究中心主任
雅时国际商讯顾问

张昭宇 教授
香港中文大学(深圳)理工学院
深圳半导体激光器重点实验室主任

刘功桂 教授级高工
中国电器科学研究院股份有限公司威凯技术中心主任

云星 总经理
深圳安博电子有限公司

李光 常务副总裁
深圳雷曼光电股份有限公司

张弛 总裁
深圳贝特莱电子科技股份有限公司

乔旭东 博士
深创投集团投资发展研究中心总经理

徐开凯 教授
电子科技大学、电子薄膜与集成器件国家重点实验室

目标明确, 方法很多

“延续摩尔定律”和“超越摩尔定律”是近年业界的热门话题。摩尔定律的尺寸微缩正在放缓, 从一个制程节点到下一个节点在性能、功耗、面积和成本 (PPAC) 方面的改进有限。因此, 先进封装和 3D 堆叠技术正成为下一代高性能节能设计的关键驱动因素。系统级封装 (SiP) 技术要求设计者重新设想芯片上系统 (SoC), 并将大型单片系统“分解”为使用相同或不同技术制造的独立小芯片 (chiplet)。这些小芯片是为了满足借助底层公共互连介质进行 2.5D 或 3D 封装 / 组装而专门设计制造的。与单片系统相比, 以这种方式设计系统可以显著节省成本。此外, 3D 堆叠比 2.5D 有一个额外的优势, 由于它是垂直连接, 它可以显著提高堆叠芯片之间的带宽, 并降低延迟。在过去的几十年里, 这一直是学术界和产业界积极研究的一个领域。

随着业界对于定制化技术需求的增加, 更多的封装选项, 以及不断上升的微缩成本, 使得整个半导体行业的状态正在改变。半导体业的发展趋势不再只追求几何尺寸微缩, 而更倾向于提供更多的特性功能, 借此开辟全新的应用领域, 为客户提供多元化服务及开发工具, 实现超越摩尔定律的目标。

先进封装及 SiP 领域的进步带来了许多创新技术和解决方案, 先进的系统集成方法提高了封装在电气、机械和热学方面的整体性能。苏州晶方半导体科技股份有限公司副总经理刘宏钧先生表示: 继 2016 年 HIR (异质集成路线图) 作为 ITRS 路线图的接续路线被提出之后, SiP 的技术从注重多芯片的 MCM 封装朝着异质结构的方向发展。由此带来的变化在于, 行业开始更多考虑在垂直方向上的集成技术, 以及更高集成密度的工艺和设备。相比于传统 SiP, 近年来的 SiP 技术更多的可以被理解为是 3D 版本的 SiP。由此带来的创新技术包括: TSV 硅通孔技术, RDL 重布线技术, AIP 射频天线集成, 硅 / 玻璃或有机材质的中介层或载板结构, 多种扇出型结构, 微型化组装, 以及由此带动的材料和设备的进步。未来, 除了封装企业, 前道晶圆厂也会加入 SiP 竞争的行列, 这些企业会在各自不同的细分方向, 依据产品特点为客户提供适合的工艺和技术, 最终实现高集成, 高可靠, 高性能和低成本的行业目标。

与此同时, 台积电、三星、英特尔及 IBM 等几家公司在 3nm/2nm 下一个节点的竞争也在继续, 虽然这些技术投入批量生产既昂贵又困难, 但是因为晶体管级的性能仍然是未来推动技术进步的重要因素之一, 因此, 这些行业巨头自然会在竞争中放弃。

无论是“延续摩尔定律”, 还是“超越摩尔定律”, 业界的期望都是更好的性能, 更高的电源效率, 更小的尺寸和更少的制造成本。实现目标的方法有很多, 正如英特尔副总裁兼设计支持总经理 Gary Patton 所说: 我们当然需要继续尺寸微缩技术, 但是仅仅是尺寸微缩还不够。我们需要解决系统级的异构集成, 制程技术中的设计共同优化, 软件和硬件之间的协同优化, 关键是要继续推动 AI 和新型计算技术。

赵雪芹

社长 Publisher

麦协林 Adonis Mak

adonism@actintl.com.hk

主编 Editor in Chief

赵雪芹 Sunnie Zhao

sunniez@actintl.com.hk

贺贵鸿 Mizy He

mizyhe@actintl.com.hk

出版社 Publishing House

雅时国际资讯 ACT International

香港九龙 B,13/F, Por Yen Bldg,

长沙湾青山道478号 478 Castle Peak Road,

百欣大厦 Cheung Sha Wan,

13楼B室 Kowloon, Hong Kong

Tel: (852) 2838 6298

Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988573 / 25988567

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 59233884

UK Office

Angel Business

Communications Ltd.

6 Bow Court,

Fletchworth Gate,

Burnsall Road, Coventry,

CV56SP, UK

Tel: +44 (0)1923 690200

Chief Operating Officer

Stephen Whitehurst

stephen.whitehurst@angelbc.com

Tel: +44 (0)2476 718970



应用材料公司推出面向DRAM微缩的材料工程解决方案

- 全新Draco™硬掩模材料与Sym3® Y刻蚀系统协同优化，以加速DRAM电容器微缩
- DRAM制造商采用应用材料公司首创的低k介电材料Black Diamond®以克服逻辑节点中的互连微缩挑战
- 高k金属栅极晶体管已被引入先进的DRAM设计中，从而在提升性能、降低功率的同时，通过缩小外围逻辑器件来减少面积、降低成本

应用材料公司宣布推出一系列材料工程解决方案，为存储客户提供三种全新进一步微缩 DRAM 的方法，并加速改善芯片性能、功率、面积、成本和上市时间（即：PPACt）。

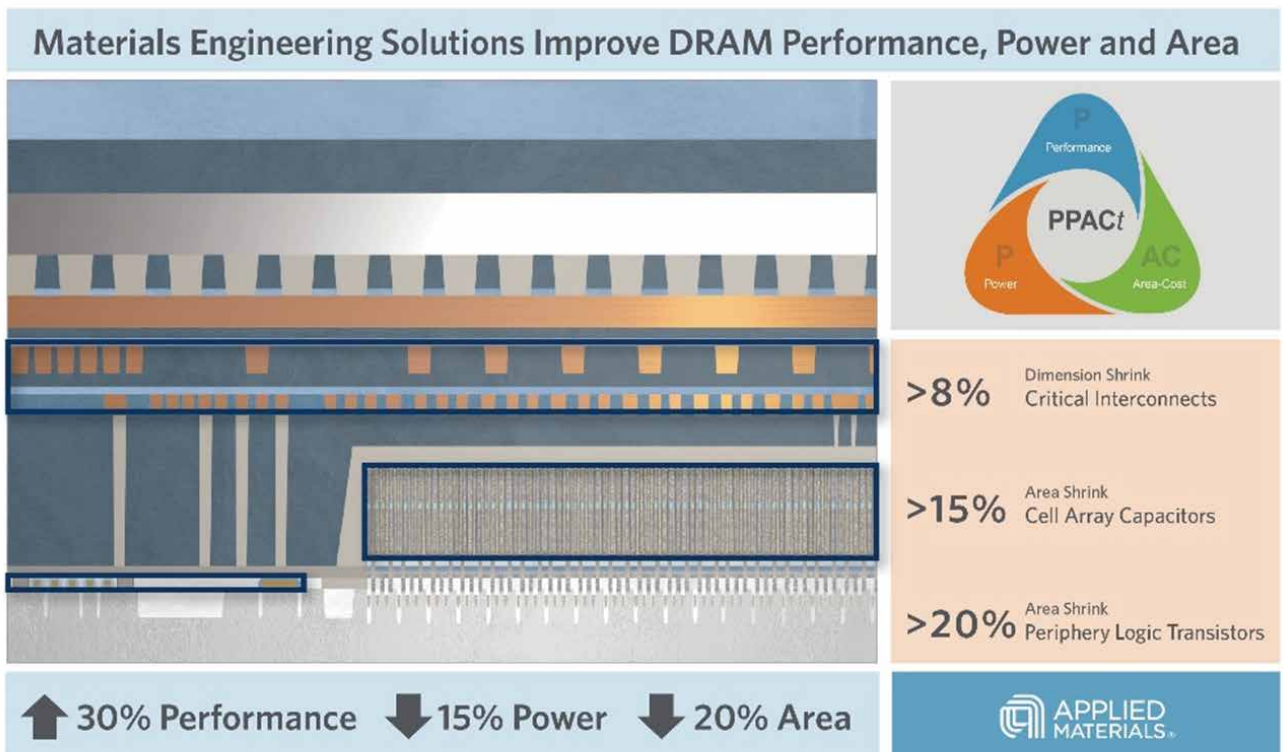
全球经济的数字化转型正在催生对 DRAM 创纪录的需求。物联网创造了数千亿台新的边缘计算设备，推动着数据上云处理的指数级增长。因而，行业迫切需要在 DRAM 微缩领域取得突破，以减少芯片面积和成本，同时提高运行速度、降低功率。

应用材料公司正与 DRAM 客户合作，将三种材料工

程解决方案商业化。这三种解决方案不仅创造了新的微缩方式，也提升了性能和功率。这些解决方案针对的是 DRAM 芯片的三个方面的：存储电容器、互连布线和逻辑晶体管。这些解决方案现已投入大规模量产，预计未来几年将为应用材料公司的 DRAM 业务带来显著营收增长。

应用于电容器微缩的Draco™硬掩模

在 DRAM 芯片中，超过 55% 的晶粒面积被存储阵列占据，提高存储阵列的密度是降低每比特成本的最有效手段。数据以电荷形式存储在垂直排列的圆柱形电容器中，



Source: Applied Materials estimates, TechnInsights analysis and public announcements

应用材料公司全新的材料工程解决方案可助力DRAM性能提升30%、功率降低15%、面积减少20%

要想容纳足够数量的电子，电容器需具备尽可能大的表面积。DRAM 制造商在缩小电容器直径的同时也会拉长其高度，以将电容器表面积最大化。而这也给 DRAM 微缩带来了新的技术挑战：电容器深孔的刻蚀可能会超过“硬掩模”材料的极限。硬掩模作为确定每个孔洞位置的模板，如果因为太薄被蚀穿，图案就会被毁坏。可是较厚的硬掩模也不适用，因为当硬掩模和电容器孔洞的总体深度超出一定限度时，刻蚀副产品会残留，导致弯曲、扭曲和深度不均。

为此，应用材料公司推出了 Draco™ 解决方案。这是一种新型硬掩模材料，已经过协同优化可与应用材料公司的 Sym3® Y 刻蚀系统在其 PROVision® 电子束测量和检测系统监控的流程中配合使用，其中 PROVision® 电子束系统每小时可进行近 50 万次测量。Draco 硬掩模将刻蚀选择比提高了 30% 以上，使得掩模更薄。Draco 硬掩模和 Sym3 Y 的协同优化包括先进的射频脉冲优化，可使刻蚀与副产品去除同步进行，从而令成像孔洞呈完美圆柱形且笔直均匀。PROVision 电子束系统可为客户提供硬掩模关键尺寸均匀性的大量、即时可执行数据，这正是电容器均匀性的关键所在。应用材料公司的解决方案为客户提供了 50% 的局部关键尺寸均匀性提升，并将桥连缺陷降低了 100 倍，从而提升了良率。

应用材料公司半导体产品事业部集团副总裁 Raman Achutharaman 博士表示：“与客户携手快速解决材料工程挑战的最佳方法是协同优化相邻步骤，并使用大量测量和人工智能来优化工艺变量。”

将 Black Diamond® 低 k 介电引入 DRAM 市场

DRAM 微缩的第二个关键方法是减少互连布线所需的晶粒面积，互连布线用于在存储器阵列间来回传递信号。每条金属线被绝缘介电材料环绕，以防止数据信号之间产生干扰。在过去 25 年里，DRAM 制造商一直将两种硅氧化物——硅烷或四乙氧基硅烷 (TEOS) 中的一种用作介电材料。尽管介电层不断减薄使得 DRAM 晶粒尺寸缩小，但这也带来了新的技术挑战：如今，介电层太薄，无法防止金属线之间发生电容耦合，信号产生相互干扰，导致功率升高、性能降低、热量提升和可靠性风险增加。

为此，应用材料公司提出了 Black Diamond® 解决方案，这是一种首先被用于先进逻辑器件的低 k 介电材料。伴随 DRAM 设计面临同样的微缩挑战，应用材料公司正在着力使 Black Diamond® 适应 DRAM 市场，并将其搭载在生产效率极高的 Producer® GT 平台上。适用于 DRAM 的 Black Diamond® 使得互连线更加纤小紧凑，能以数千兆赫的速度在芯片中传输信号，不受干扰并且功率更低。

高 k 金属栅极晶体管可优化 DRAM 的性能、功率、面积和成本

DRAM 微缩的第三个关键方法是提升芯片外围逻辑器件中使用的晶体管的性能、功率、面积和成本，帮助驱动高性能 DRAM（如基于新 DDR5 规范的 DRAM）所需的输入输出 (I/O) 操作。

直至今日，DRAM 仍使用基于多晶硅和氧化硅介电层的晶体管，这种晶体管在逻辑器件代工中为 28 纳米节点所淘汰，因为栅极介电层的极度减薄会导致电子泄漏，从而浪费功率并限制性能。逻辑芯片制造商采用高 k 金属栅极 (HKMG) 晶体管，用金属栅极代替多晶硅，用氧化铪代替氧化硅介电层（氧化铪是一种可改善栅极电容、漏电流和器件性能的材料）。如今，存储器制造商正在将 HKMG 晶体管设计用于先进的 DRAM，以优化性能、功率、面积和成本。如逻辑器件一样，在 DRAM 中，HKMG 将随着时间的推移而取代多晶硅晶体管。

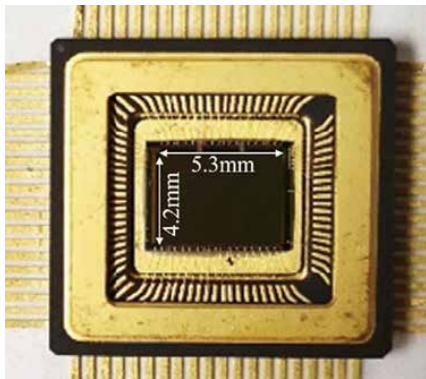
这种 DRAM 的技术变革为应用材料公司创造了增长机遇。制造更复杂、更精细的 HKMG 材料堆叠颇具挑战，使用应用材料公司的 Endura® Avenir™ RFPVD 系统对相邻的工艺步骤进行不破真空的连续处理已成为行业首选解决方案。HKMG 晶体管还受益于应用材料公司的外延沉积技术，如：Centura® RP Epi 和薄膜处理技术（包括 RadOx™ RTP、Radiance® RTP 和 DPN，这些技术用于微调晶体管特性以获得最佳性能）。

Achutharaman 博士表示：“Draco 硬掩模和 Black Diamond 低 k 介电材料已被全球多个领先 DRAM 客户采用，第一批 HKMG DRAM 现已问世。随着这些 DRAM 解决方案成为主流，应用材料公司预计未来几年的营收将增长数十亿美元。”

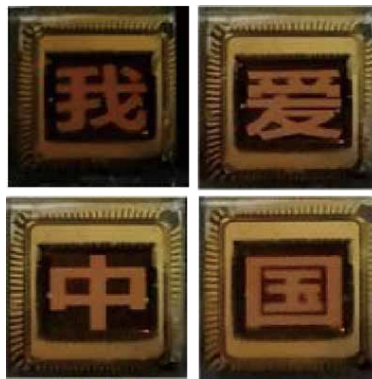
电子科技大学发布全球首款全硅微显示MicroLED

电子薄膜与集成器件国家重点实验室（电子科技大学）于近日正式发布了全球首款 CMOS 单片集成之全硅微显示芯片。该实验室的硅光研发小组依托“中国电科—电子科大”共建的核心电子材料与器件协同创新中心开展校企合作，成功研发了全球首款“基于硅材料自身发光”的全硅微显示芯片样品。

该项工作的“原创理念”是创新性地完全规避了硅材料（间接带隙）能带结构的天然缺陷，利用 PN 结反向偏置，获得一种类似“韧致辐射”的发光，再引入与标准硅 IC（即 Si-CMOS）工艺完全兼容之 MOS 结构，大幅提升了发光强度。这一“原创理念”已于 2019 年 5 月在 Compound Semiconductor 英文版以《Another Step Towards Silicon Optoelectronic Integration》为题予以发布。



芯片样品（封装后）



显示图像可在“我-爱-中-国”4个字之间转换

这一研发小组致力于全硅光电集成，继续将这一“原创理念”发扬光大，不仅追求“能发光”，而且强调“能够用”，服务中国微电子事业。他们于近期已成功实现以该发光管为像素单元的“全硅微显示”阵列；这一新型 MicroLED 显示芯片的诞生颠覆了传统思维，有望在既定领域全面取代 LCD 和 OLED。

换句话说，与 LCD 或 OLED 不同，该款样品不需要大面积的基板进行光刻或蒸发，采用 Si-CMOS 工艺即可完成所有制备流程。像素单元的实现很简单，硅材料更是确保了成本更低，显示清晰，转换稳定，这使得全硅微显示 MicroLED 几乎成为一种完美的、全新的、颠覆性的跨时代显示技术。

通过开展阵列后端驱动电路设计，并实现电路与发



《硅基光电集成器件》学科前沿课首批研修班学生合影，2021年4月12日

光阵列的单片集成，在 $10 \times 10 \text{mm}^2$ 的芯片面积上完成了大规模像素单元的矩阵化（ 100×100 ）排列，调制端口的设计大幅度增强了单位面积的光通量和像素阵列整体发光的均匀度，光强增加了 $\geq 139.2\%$ ，驱动电压降低了 $\geq 67\%$ ，成功达到了“多发光、少发热”的目标。

该芯片针对微显示对低功耗，高帧率的迫切需求，设计了半有源址式驱动电路，图像显示帧频达到 $\geq 100\text{fps}$ ，并有效削弱了像素间串扰带来的负面影响；为了解决普通封装无法提供足够多接口引出控制线的问题，在芯片集成环节，专门设计并嵌入了可变可控的数字接口模块，仅需 3 根信号线便可保障数据从主机到芯片的高速传输。无需对驱动电路以及接口电路模块进行额外的工艺调整和后处理，便可与处于芯片中央的像素阵列实现匹配，减少了芯片设计和制造的成本，体现了以全硅材料发展低成本、高品质微显示技术的开创性理念。

拓展阅读

1. 吴克军, 黄兴发, 徐开凯 等人, “发光窗口对 MOS 结构硅 LED 电光性能的影响,” 发光学报, 41 卷, 7 期, 834-838, 2020
2. K. Wu, Q. Luo, K. Xu et al., “All-silicon microdisplay using efficient hot-carrier electroluminescence in standard $0.18\mu\text{m}$ CMOS technology,” IEEE Electron Device Lett., vol. 42, no. 4, 541-544, 2021

生益科技自主研发的IC封装用积层绝缘胶膜面世

1999年，积层绝缘胶膜作为CPU内部纳米级线路与外部PCB板毫米级线路对接的中间过渡材料诞生。由于具有适合制作微细线路的绝对性能优势，从而在有限的立体空间中能够很好地把芯片内部密密麻麻的线路分散开，因此，积层绝缘胶膜作为一款革命性新材料，晋升为CPU/GPU的标配产品，成为半导体行业不可或缺的关键材料。

近年来，受5G商用推动，以及笔记本电脑、高端服务器、路由器、交换机、高性能游戏机、汽车ADAS及埋入元器件等终端需求暴增的影响，积层绝缘胶膜再次成为热点材料。由于积层绝缘胶膜适用于制作线宽/线间距在15μm/15μm以下的细线路，从2020年下半年开始，积层绝缘胶膜产品持续供不应求，产品交期不断延长，预计缺货将会延续到2022年。

长期以来，积层绝缘胶膜一直被日本100%垄断，对我国半导体及电子信息产业发展极为不利。广东生益科技股份有限公司作为国内覆铜板行业的龙头企业，凭借

着敏锐的市场嗅觉，早在2018年就前瞻性地预判到积层绝缘胶膜是符合未来市场和技术发展趋势的产品，并开始进行相关立项研究。生益科技加入了广东佛智芯微电子技术研究有限公司创立的板级扇出型封装创新联合体，同时，还与广东芯华微电子技术有限公司成为战略合作伙伴，与两家公司强强联手，积极推动我国半导体产业国产化进程。

截止目前，生益科技自主研发了三款积层绝缘胶膜产品：SIF01、SIF02、SIF03（如图1所示），该系列胶膜Desmear后表面能形成均匀、致密的凹凸微观结构（如图2所示），SAP工艺形成的导电层与绝缘层间的结合力强，非常适合制作细线路。同时该积层绝缘胶膜具有低翘曲、优异的埋入性和介电性能等综合性能，关键性能指标如表1所示，与日本同类产品性能接近，打破国外垄断，填补国内空白。

除了积层绝缘胶膜外，生益科技还可以根据客户应用需要提供RCC产品（如图3所示）。



图1：积层胶膜实物图（图片来源：生益科技）

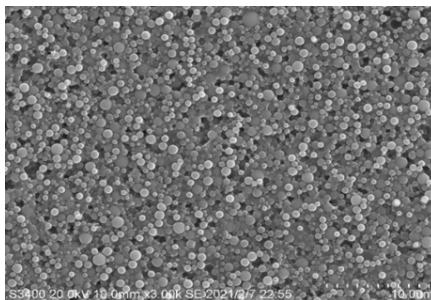


图2：积层胶膜表面处理形貌（图片来源：生益科技）



图3：RCC实物图（图片来源：生益科技）

表1.生益科技积层绝缘胶膜与友商同类产品性能对比。

性能	*2	SIF02	*1	SIF01	*3	SIF03
CTE x-y (25-150°C)	45	45	23	23	20	18
CTE x-y (150-240°C)	120	120	78	69	67	50
Tg(TMA法)	153	155	154	152	176	210
模量(GPa)	5	5	7.5	8.6	9	9
抗张强度(MPa)	98	70	104	105	120	120
延伸率(%)	2.6	2.5	2.4	2.5	1.5	2.5
Dk (1MHz/1GHz)	3.60/3.30	3.50/3.26	3.71/3.47	3.22/3.00	3.27(10GHz)	3.21(10GHz)
Df (1MHz/1GHz)	0.012/0.014	0.012/0.014	0.012/0.011	0.008/0.008	0.010(10GHz)	0.009(10GHz)

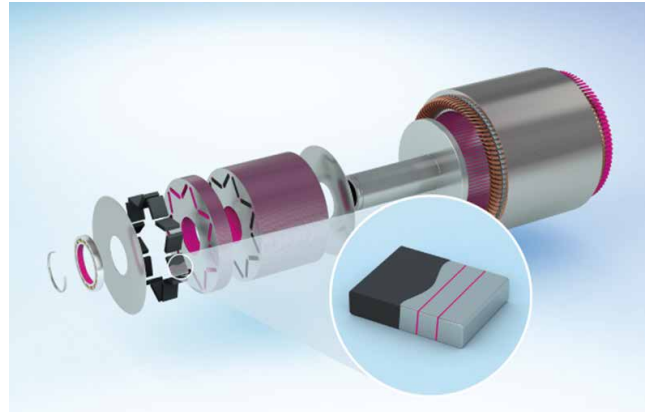
新型结构胶黏剂：温度稳定性比同级别产品高四倍

DELO 推出一款温度稳定性极高的胶黏剂 - DELO MONOPOX HT2999，其在 180℃ 的温度下，强度达 20 MPa。这意味着它的强度比前代产品高四倍。这一产品主要针对汽车工业和机械工程的需求而研发。

电动马达和电力电子设备对于胶黏剂的耐温性要求很高。市面上许多产品在温度超过 150℃ 之后，性能明显下滑。DELO 的新款结构胶黏剂可在超过这一温度的条件下使用。

它的性能配置经过优化，适用于电动马达里的磁铁粘接。举个例子，被接合的磁铁（钕铁硼磁铁）在 180℃ 时压缩剪切强度为 20 MPa，且接合部位可保持长久的温度稳定性。即使在 180℃ 的条件下储存 1000 小时后，拉伸强度仍可达 20 MPa。电动马达的最高工作温度通常是 180℃，如果温度更高，高性能稀土磁铁会发生磁性退化。在某些特定用途下，如果对耐温性提出更高的要求，DELO MONOPOX HT2999 甚至可以在高至 220℃ 的条件下使用。

电绝缘是这种胶黏剂另一个重要的特性。它可以把电动马达里的涡电流最小化，减少热量产生，提升马达的性



汽车里的电动马达分解图（涂抹了胶黏剂的区域用品红色显示）（图片来源：DELO）

能。DELO MONOPOX HT2999 提供了额外的空间，确保在磁铁堆叠时，保持超薄而整齐的 50 μm 粘接缝隙。这样可以使用更多磁性材料，提升电动马达的效率。

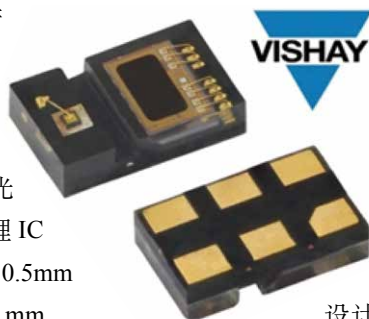
这种单组分环氧树脂呈灰色膏状。在 150℃ 的空气循环烘箱里，只 10 分钟就可以固化。其他高温胶黏剂在 150℃ 时所需固化时间一般为 30 到 40 分钟。相比之下，这款新产品在能效方面的优势非常明显。

超小型低功耗接近传感器

Vishay Intertechnology, Inc. 光电子产品部推出新型超小型、超低功耗全集成接近传感器——VCNL36825T，提高消费电子和工业应用效率和性能。

VCNL36825T 采用垂直腔面发射激光器 (VCSEL)，将光电二极管、信号处理 IC 和 12 位 ADC 集成在 2.0 mm × 1.25mm × 0.5mm 小型表面贴封装中，感光孔直径仅为 1.6 mm。

与上一代器件相比，新发布的接近传感器体积减小 76%，光感开孔缩小提高了设计灵活性，同时降低成本。精巧的 VCNL36825T 适用于空间有限的电池供电应用，如检测用户是否佩戴真无线立体声 (TWS) 耳机，或虚拟现实 / 增强现实 (VR / AR) 头盔。器件探测距离为 200 mm，同时具有用于玩具以及消费电子和工业机器



人的碰撞检测功能。接近传感器功耗低至 6.63 μA，有助于提高这些应用的效率。

VCNL36825T 支持 I²C 总线通信接口，可轻松访问接近信号，可编程中断功能便于设计人员设定中断阈值上下限，从而减少与微控制器连续通信。接近传感器采用智能抵消技术消除串扰，智能持续性设计确保准确探测并加快响应速度。VCSEL 波长峰值为 940 nm，无可见“红尾”。

器件在 -40℃ 至 +85℃ 温度范围内具有出色的温度补偿能力，潮湿敏感度等级 (MSL) 达到 J-STD-020 标准 3 级，车间储存寿命为 168 小时。传感器符合 RoHS 和 Vishay 绿色标准，无卤素。

esmo talos 2021分选机满足高效自动化微芯片测试

德国 esmo 集团为 talos 2021 系统推出了升级和附加功能。talos 工程分选机于 2019 年首次推出，是一款可靠且易于使用的分选系统，适用于半导体测试应用，是 esmo 为满足行业在更短的时间内经济高效地测试日益紧凑和复杂芯片的需求而推出的解决方案。

talos 工程分选机的核心是其先进的主动式温控系统 (ATC)，方便制造商们实施多个温度测试循环，实现高温精度控制。

“我们的 talos 工程分选机为半导体公司提供了严格的质量控制和保证，确保产品按照规格进行测试，” esmo 半导体业务全球负责人 Joseph Weinberger 说道，“Talos 分选机是一款灵活且高性价比的测试系统，可以帮助制造商以更高效的整体设备测试成品率。此外，talos 的远程控制和监测功能可以让用户远程管理和测试分选。”

talos 系统支持测试任何间距尺寸的芯片，因此半导体公司可以无缝使用现有的生产负载板和插座。它的托盘或料管的装 / 卸载功能允许半导体生产商在混合介质中运行 talos 系统。因此，装载托盘、料管和带子可以与它们的卸载对应物结合起来，甚至可以将设备从一种介质分类到另一种介质，例如从料管到托盘。

talos 分选系统设计用于满足测试和生产车间的要求，具有高精度的取放机器人系统以及与所有测试机兼容的标准对接接口。talos 还可作为基本的无套件测试分选机使用，或选配多种可选模块作为高级测试处理分选使用。



talos 主要特点：

- -60°C 至 +175°C (-76 °F 至 +347 °F) 器件测试温度，带主动温控系统 (ATC) — 在接触柱塞处测量和控制温度，以确保高精度水平
- 提供结点调节选项 — 用户可以控制器件的核心温度，补偿功率耗散，以达到更高的温度精度
- 测试时间短—只需很少的调整和转换工作
- 450 N 及以上的高接触力
- 短时间内可在不同温度下进行多个自动测试循环
- 系统运行稳定，维护时间少、成本低
- 与 esmo 凤凰车测试头支架结合，占地面积小
- 可移动的模块化系统
- 可通过以太网远程控制

更多信息，请访问 www.esmo-group.com/semicon/handling-systems

PrimeSim Continuum 解决方案加速存储器、AI、汽车和 5G 应用高收敛 IC 设计

新思科技 (Synopsys) 在其世界用户大会 (SNUG) 上宣布推出 PrimeSim™ Continuum 解决方案。该方案是电路仿真技术的统一工作流程，可加速超收敛设计的创建和签核。PrimeSim Continuum 是新思科技定制设计平台的基础，以下一代 SPICE 和 FastSPICE 架构为基础，是业界唯一经过验证的 GPU 加速技术，为设计团队提供 10

倍的运行时间提升和黄金签核精度。PrimeSim Continuum 可提供由领先仿真引擎组成的一体化解决方案，其中包括 PrimeSim™ SPICE、PrimeSim™ Pro、PrimeSim™ HSPICE® 和 PrimeSim™ XA。PrimeWave™ 设计环境可实现围绕所有 PrimeSim 引擎的无缝模拟体验，提供全面的分析、更高的效率，并且易于使用。

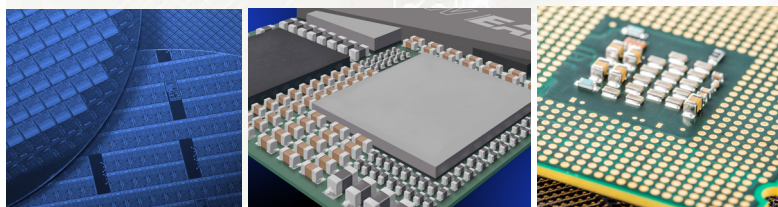
新思科技首席运营官 Sassine Ghazi 表示：“新思科技致力于通过不断推动模拟、混合信号、存储器和数字设计自动化的性能边界来实现技术创新的未来。PrimeSim Continuum 通过在 GPU/CPU 上实现异构计算加速为电路仿真创新领域带来革命性突破，为 EDA 解决方案设定了新的标杆。PrimeSim Continuum 的下一代技术是对我们的现代定制设计平台和验证一体化系统 (Verification Continuum®) 的补充，现在我们各个设计环节的客户都可通过我们多年的研发投资、创新和客户协作而获益。”

如今超收敛 SoC 包含更大、更快速的嵌入式存储器、模拟器件和复杂的输入 / 输出电路，以超过 100Gb 的传输速率与采用系统级封装设计、在同一硅片上连接的 DRAM 堆栈进行通信。随着先进的技术制程节点带来更多的寄生效应、工艺变异性和更小的裕度，验证复杂设计的相关挑战随之增加。这就导致需要以更高的准确性、更长的运行时间进行更多的仿真，从而影响到整体 SoC 设计用时、质量和成本。PrimeSim Continuum 通过针对模拟、混合信号、射频、定制数字和存储器设计进行优化的签核质量仿真引擎统一一工作流，解决了此类超收敛设计的系统复杂性问题。PrimeSim Continuum 使用下一代 SPICE 和 FastSPICE 架构和异构计算以优化 CPU 和 GPU 资源利用，缩减设计验证用时和成本。

下一代 FastSPICE 架构以实现性能加速 - 作为 PrimeSim Continuum 的重要组成部分，新思科技 PrimeSim Pro 仿真器代表了下一代 FastSPICE 架构，用于现代 DRAM 和闪存设计的快速大容量分析。

基于 CPU/GPU 的异构计算加速 - 新思科技 PrimeSim SPICE 仿真器的下一代架构采用独特的 GPU 技术，实现显著的性能改进以满足模拟和射频设计全面分析的需求，同时满足签核精度要求。

PrimeSim Continuum 解决方案将 PrimeSim SPICE 和 PrimeSim Pro 集成到 PrimeSim HSPICE 仿真器（用于基础 IP 和信号完整性的黄金标准签核参考）及 PrimeSim XA 仿真器（用于 SRAM 和混合信号验证的领先 FastSPICE 技术）。PrimeWave 在所有 PrimeSim Continuum 引擎上提供统一的灵活环境，优化设计设置、分析和后期处理，从而提供无缝体验。



用于半导体封装的 印刷、点胶、回流焊、 清洗和热处理设备

ITW EAE 正在推进半导体封装下一代技术的创新与发展。新技术能显著提高生产率和良率。

MPM® Edison™ 是市场上最精确的印刷机。Camalot® Prodigy™ 点胶机具有最先进的技术，例如 Dynamic Dual Head™ (动态双头)，无论零部件之间如何旋转，两个点胶泵都可以同步点胶。Vitronics Soltec 回流焊系统具有无与伦比的可靠性。Electrovert® 离心和在线清洗系统能对高级封装进行高性能清洗。Despatch® 提供用于聚合物固化等的高性能烘箱。

专为提高半导体良率而设计



请参观 ITW EAE 的展台在 2021 年 9 月 8 日至 10 日，在 Semicon Taiwan 台北南港展览馆展示（一楼）展台 J2646 获取更多信息。

新型高速电镀技术显著提高先进封装的镀铜速率和均一性

作为半导体制造与先进晶圆级封装领域中领先的设备供货商，盛美半导体设备(ACM)近日新发布了高速铜电镀技术，该技术可适用于盛美的电镀设备 ECP ap，支持铜，镍(Ni)和锡银(SnAg)电镀的互连铜凸点、重布线层和锡银电镀，还有高密度扇出(HDFO)先进封装产品的翘曲晶圆、铜、镍、锡银和金电镀。该新型高速镀铜技术使镀铜腔在电镀过程中可以做到更强的质量传递，搭载新功能的 ECP ap 设备可通过控制晶圆级电场来实现晶圆和芯片内更强的均一性，从而获得更高的产能。

Mordor Intelligence 的报告显示，扇外型封装市场在 2021 年到 2026 年的预期复合年增长率(CAGR) 可达到 18%。报告还指出，扇出技术的普及主要归因于成本，可靠性和客户采纳。扇外型封装比传统的倒装芯片封装薄约 20%以上，满足了智能手机纤薄外形对芯片的要求。

盛美半导体设备董事长王晖表示：“3D 电镀应用最主要的挑战之一就是，在深度超过 200 微米的深通孔或沟槽



中做电镀金属膜时，需要保持高速和更好的均一性。有史以来，以高电镀率对凸点进行铜电镀会遇到传质限制，导致沉积速率降低，并产生不均匀的凸点顶部轮廓。我们新研发出的高速电镀技术可以解决传质的难题，获得更好的凸点顶部轮廓，还能在保持高产能的同时提升高度均一性，使盛美的电镀铜技术进入全球第一梯队。”

盛美半导体设备的高速电镀技术可以在沉积铜覆膜时增强铜组阳离子的质量传递，并以相同的电镀率在整个晶圆上覆盖所有的凸点，这就可以在高速电镀的时候，使晶圆内部和芯片内部实现更好的均一性。使用该项技术处理的晶圆在相同电镀速率下，比使用其他方法的效果有明显的提高，可实现 3% 以下的晶圆级均一性，同时还能保证更好的共面性能和更高的产能。

盛美半导体设备已于 2020 年 12 月为其 ECP ap 系统升级了高速电镀技术，并收到了第一笔配置高速电镀技术的设备订单，该设备 2021 年 3 月已被送到一家重要的中国先进封装测试工厂进行装机并验证。

ASYMTEK Forte MAX 双阀点胶系统

Nordson Electronics Solutions 推出全新的 ASYMTEK Forte™ MAX 点胶系统，该系统带有两种高精度的双阀点胶模式和专利认证的实时校正功能，以适应偏移的元部件。Forte MAX 专为大批量电子制造而设计，在印刷电路板和挠性电路组装，MEMS 和机电组装领域提高密封、封装，填充和精密涂层的点胶效率。

Forte MAX 系统采用一套硬件即可实现双阀同步或异步点胶。其中一种配置可以同时运行两个高频 IntelliJet® 喷射系统，适用于具有多排、拼板或间距一致的应用。在另一种配置中，异步双阀在相同部件上点两种不同胶水，适用于围堰、充填封装和高度混合的生产环境。这种双阀系统自带独特的倾斜调整功能，因此不会因为元件的偏位和高度差异而减缓生产速度。这种专利认证的实时校正功能可以对元件在 X、Y 和 Z 轴方向上的倾斜和高度变化进行自动调整 (Nordson 美国专利号 9,707,584；

10,150,131；10,737,286 以及其他专利申请)。

我们的一家客户使用两个原装 DispenseJet® DJ-9500 点胶阀，由受欢迎的 Spectrum II 点胶系统升级到 Forte MAX 系统，从而使得生产效率提升 100%。在填充流程中，以下几个因素有助于改进工艺：运动控制系统更快速地检查基准点，从而使得喷头移动地更加迅速。实时倾斜校正功能提高了生产的良品数量。IntelliJet 系统以 500 Hz 的频率运行，而原有的喷头运行频率仅为 200 Hz，因此能够加快点胶速度。此外，Forte MAX 的设置也变得更加简单高效，因此可以更加轻松便捷地进行切换。

集成双阀维护站，闭环过程控制装置和喷嘴清洁功能减少了操作员的维护工作，提高了生产率，并使点胶工艺保持在设定的范围内。该系统搭载 Canvas® 点胶软件，该软件简化了编程任务。图形编程让您扫描工件，在线或离线编制程序并在虚拟图片上模拟点胶效果。

esmo: 半导体测试设备配套商的领导者



esmo China 总经理Markus Reissmann先生近日接受《半导体芯科技》电邮采访，介绍esmo半导体公司基本情况及其在中国的业务发展和未来计划。

Q: 请简单介绍一下 esmo 集团及其针对半导体行业的业务情况。

A: esmo 集团总部于 2001 年在德国罗森海姆成立，旗下业务板块涵盖半导体、自动化、建筑工具。2008 年在中国上海设立工厂。德国工厂面向欧美客户，中国工厂面向亚太客户，可为客户提供全球服务。目前 esmo 集团是全球最大测试机支架 (manipulator) 供应商。

Q: 请问 esmo (宜世摩半导体) 在半导体行业供应链中的定位是什么? esmo 与半导体行业哪些领域合作?

A: esmo 半导体是全球半导体行业测试机支架、对接和接口组件以及分选系统的领先供应商之一，是半导体测试设备配套商的领导者。

esmo 主要为半导体 ATE 设备厂商提供配套设备，兼容主流测试机厂家的设备，包括爱德万 (Advantest)、泰瑞达 (Teradyne)、科休 (Cohu)，致茂 (chroma)，胜达克 (Sandtek)、长川 (CCtech)、华峰测控 (Accotest) 等。

Q: esmo 针对半导体行业具体提供哪些产品技术或解决方案?

A: esmo 半导体业务部主要是为半导体行业提供测试机专用的测试机支架 (manipulator)、探针塔 (pogo tower)，半导体测试接口设备 docking 以及实验室工程用三温分选机 (IC handler)，目前 esmo 集团是全球主要的测试机支架 (manipulator) 生产商。

Q: esmo 的产品与市场同类产品相比较有哪些特点和优势?

A: esmo 的产品主要是应用于半导体测试。优势包括：esmo 测试头机械手提供全面的负载重量选择，从 60~1200kg 都有解决方案，产品性能稳定、操作灵活，产品兼容性强，可根据用户需求集成到所有测试单元中，并

且提供特殊的测试单元和配套设备。

例如出货量较高的两款通用测试头机械手天马和大鹏，可以兼容市面上几乎所有的测试头，叉臂宽度可根据测试头配置调节，翻转、搬运灵活、稳固，可根据用户的具体要求定制特殊功能。

Q: esmo 在中国市场的发展和应用情况? 针对中国客户有哪些特别支持? 本地化情况? 未来计划?

A: esmo 中国分公司自成立以来，一直稳步快速发展，esmo 的测试头机械手已经广泛应用于各大半导体制造、封装测试厂家，并与一批知名的集成电路检测设备厂商有着稳定、良好的合作关系。esmo 积极支持中国半导体的发展，绝大多数的零件已来自中国本土。

未来计划: esmo 将进一步导入产品线的国产化，为中国半导体升级换代，加速发展贡献力量。

Q: 随着半导体制程尺寸日益缩小，先进封装、SiP 及异构集成等技术不断发展，请谈谈这些对于半导体测试技术产生哪些新的要求? 未来半导体测试技术的发展趋势?

A: 随着半导体先进封装的不断发展，对测试频率，测试速度，散热，自动化程度提出更多的要求，对此 esmo 有完整，成熟的解决方案，可帮助客户快速解决测试难题，在半导体投资热潮中的高速发展中拔得头筹。◆



esmo测试头机械手: 大鹏

先进封装及SiP技术创新和发展趋势



摩尔定律已经推动半导体产业在微缩之路上达到了新高度，现在需要新的替代解决方案。为了实现形状因素和制造成本双佳，IC设计公司正在寻找 SoC 之外的新途径。在过去几年中，先进封装及系统级封装 (SiP) 领域的进步带来了许多创新技术和解决方案，先进的系统集成方法提高了封装在电气、机械和热学方面的整体性能。

近日，苏州晶方半导体科技股份有限公司副总经理刘宏钧先生接受《半导体芯科技》采访，与我们分享了他对于先进封装及 SiP 技术创新和发展趋势的看法。

智能终端和消费类产品推动先进封装技术发展

随着移动通信、物联网、人工智能等技术的快速发展，越来越多的产品需要用到以集成电路为基础的先进封装技术，其封装对于尺寸、功耗和成本都提出新的要求。晶圆级封装作为中道技术，结合前道工艺的尺寸微缩能力和后道工艺的成本优势，为设计公司提供了一种全新的封装方式。随着技术发展，晶圆级封装技术也正在朝着高集成度，三维堆叠等方向演进，成为半导体发展的重要组成部分。

“过去十多年，智能终端和消费类产品无疑推动了先进封装技术的发展。总体来看，这一类产品的共同客户诉求包括：小尺寸，低功耗，高密度，大批量和低成本。这一类产品一般来说功耗不高，引脚数量不是特别多，通过先进封装方式可以快速用 Bump 凸点和 RDL 重布线的方式替代原来的封装导线框架，基板和金属线，一方面封装体的体积可以大幅度缩小，一方面改善了芯片散热（裸 DIE），另一方面去除引线后的高频性能得到改善，

还有封装的成本也有所降低。以手机为例，内部芯片中的 RF，蓝牙，滤波，驱动，内存，传感器都已经用到了某一种先进封装技术。先进封装已经成为芯片设计公司必须关注和考虑的一个技术方向，以提高产品的竞争力。”刘总说。

SiP的创新技术、发展趋势及市场应用

刘总介绍：传统的 SiP 封装注重多芯片在一个封装体中的集成，这种集成一般通过把功能芯片和分立器件通过某种基板平面排布的方式实现，可以部分缩减封装体积，虽然在封装密度上有所提升，但是使用的封装技术是在原有封装设备上的延伸和改进。

继 2016 年 HIR（异质集成路线图，Heterogeneous Integration Roadmap）作为 ITRS 路线图的接续路线被提出之后，SiP 的技术从注重多芯片的 MCM 封装朝着异质结构的方向发展。由此带来的变化在于，行业开始更多考虑在垂直方向上的集成技术，以及更高集成密度的工艺和设备。相比于传统 SiP，近年来的 SiP 技术更多的可以被理解为是 3D 版本的 SiP。由此带来的创新技术包括：TSV 硅通孔技术，RDL 重布线技术，AIP (Antenna-in-Package) 射频天线集成，硅/玻璃或有机材质的中介层 (Interposer) 或载板结构，多种扇出型结构，微型化组装，以及由此带动的材料和设备的进步。

随着这些技术的成熟，需求端也逐渐旺盛起来，可穿戴手表，TWS (True wireless stereo) 蓝牙耳机，高端智能手机都成为了 SiP 技术进步的受益者。苹果，华为的手机和移动设备中已经大量使用到了这些 SiP 技术。

SiP 的技术很多，需要综合性能，成本，可靠性和可量产性等多个维度评估，很多企业都已经在各自的领域和方向取得了成果，例如 ASE 和环旭在可穿戴产品，云天在射频，晶方在 CIS 产品领域都积累了不少市场应用的成功经验。

未来，除了封装企业，前道晶圆厂也会加入 SiP 竞争的行列，相信这些企业会在各自不同的细分方向，依据产品特点为客户提供适合的工艺和技术，最终实现高集成，高可靠，高性能和低成本的行业目标。

封装结构变化带来设备和材料的挑战

刘总认为：先进封装的结构相比传统封装产生了很大的变化。首先，电性连接的结构由类似前道工艺的光刻和金属沉积替代了基板或者导线框架结构；其次，多芯片的结构代替了单芯片；最后，芯片和芯片之间的间距变得原来越靠近，有时候甚至需要被堆叠在一起。由此带来的必然是一系列设备和材料的挑战。

例如适合封装的光刻设备需要被开发，包括相应的封装用的厚光阻；芯片在堆叠和重构的过程中需要能够高速拾取和高精度放置的设备（例如放置精度小于3微米等）；密集的结构之间的材料特性变得更重要，由此带来更高的CTE匹配要求，以及散热设计变得困难……

总之，对于设备和材料公司来说，有两个主要问题，一个是高密度封装的精度提高了一个数量级，同时还有散热和材料热膨胀带来的问题。再有就是，先进封装不是一个标准封装，基于不同IP路线的封装可以说五花八门，在目前阶段极有可能需要大量定制化设备的支持。

晶方科技面向传感器的全方位解决方案

晶方科技2005年成立，利用当时先进的以色列技术，成功地将晶圆级芯片尺寸封装WLCSP技术应用到了CIS（CMOS影像传感器）产品中，使高性能，小型化的手机相机模块成为可能，成为应用广泛的封装技术。目前基于TSV的技术已经覆盖多种CIS的应用，包括手机，安防，汽车，医疗和可穿戴产品。

在光学领域，晶方科技通过并购欧洲公司Anteryon，将WLO等微型镜头技术也引入苏州工厂，为客户提供芯片+光学系统的一体化解决方案。此外，晶圆级技术也很好地为MEMS芯片提供了一种封装方案。

刘总表示：晶方科技致力于创新和发展半导体互连和成像技术，通过材料和互连技术独到的专业知识，为客户和合作伙伴创造价值。利用晶圆级技术，TSV技术，扇出结构，WLO等技术，晶方科技希望在智能设备高速发展的今天，为客户提供更多面向传感器的SiP和异质集成封装技术和解决方案。◆（赵雪芹报道）

Rohinni新型键合头实现规模化miniLED制造

miniLED贴装技术领域的行业翘楚Rohinni，最近推出新型复合键合头（bondhead），进一步巩固其在miniLED产品行业中领先技术开发商的地位。新型键合头以具有竞争力的价格，拓展了显示器背光的现有规模化生产能力。新产品采用Rohinni经过认证并高出竞争技术14倍的高速系统，并融合全新设计，实现多个键合头并行运行。与现有系统相比，速度和精度都将呈现指数级增长。新方法将进一步提升显示行业的设计能力。支持Rohinni技术的设备已经被使用在miniLED产品的量产，及面向平板电脑、笔记本电脑和电视行业的显示器背光制造。

miniLED显示技术显著提高消费者的观看体验，有望直接与OLED技术展开竞争。虽然这两种显示技术都具有高对比度，在昏暗图像中依然能够显现鲜活色彩和清晰轮廓，但与OLED技术相比，miniLED在避免烧屏现象（burn-in）和降低成本方面，更胜一筹。miniLED显示器在亮度和对比度方面实现精细控制，能够减少最终产品的厚

度，提高电源效率和图像质量，因此成为市场上最受青睐的显示器，尤其能够满足高动态范围（HDR）视频的需求。

Rohinni首席技术官Justin Wendt表示：“如果没有高速、高精度的放置技术，miniLED显示器所带来的巨大好处难以让消费者享用。这放置技术就是需要快速精准地放置如砂粒般细小的物体。”

Rohinni的领先技术已经使用在量产中。Rohinni与全球最大显示器制造商的合资企业BOE Pixey将于今年开始量产miniLED显示器。

Rohinni的新型复合系统，以每秒超过100个芯片的速度，展示出高于99.999%的贴装良量和可扩展能力。Rohinni的技术可以与多头系统相结合，与拾取和放置解决方案相比，显现出明显的速度优势。Wendt补充道：“凭借这一技术，我们无疑成为背光制造领域的领跑者，这也是唯一能够以经济高效的方式将miniLED集成到消费电子显示器中的技术。”

中国半导体制造配套供应链的生态与生机



2021年5月20日，在《半导体芯科技》举办的第四届CHIPChina晶芯在线研讨会上，来自磐允科技与欢芯鼓伍的创始人罗仕洲教授、上海广奕电子科技股份有限公司董事长王作义先生、上海哥瑞利软件股份有限公司的技术总监姬小兵先生及Onto Innovation（上海昂图）曝光事业部中国区销售经理董志学先生均发表了演讲。在会议最后的圆桌论坛环节，四位嘉宾分别就“产业配套、二手设备、产业人才、做大做强”发表了各自的看法，话题非常接地气，对于部分正在做设备研发，挣扎求生存与发展的中小型企业，以及相关半导体从业者来说有一定的借鉴作用。

半导体行业现状

全球半导体的规模整体往上走，无论是美国“卡脖子”还是疫情，中国半导体市场在扩充，行业生态在逐渐形成。站在技术的角度，10nm之前二维和三维撑起了工艺的一片天，10nm之后Silicon Channel被其他材料取代，比方说III-V族材料开始崭露头角。当TSMC迈入5nm制程后，开始出现二维晶体材料，如基于铌的二维材料在TSMC、MIT及台湾大学共同开发的1nm工艺中取得新的进展。一项新工艺从萌芽状态走向量产化，前后需要6~7年的时间，因此，TSMC未来几年投入产线的1~2nm工艺早已在4~5年前就着手布局了。

2010年TSMC凭借CoWaS先进封装技术打败三星顺利拿下苹果A10订单，自此开始符合摩尔定律的技术路线呈现拐点，芯片封装开始从平面朝着垂直式方向发展，

高端封测在国内的市场占有率将会大大提升。

后摩尔时代，线宽微缩不再只有一座独木桥，还有一条走特色工艺的道路，包括模拟/射频、被动元件、高压电源、传感元器件；像中芯绍兴、华润微、华虹集团等国内厂商都在做特色工艺，与之配套的下游封测厂将在bumping、TSV、FlipChip、3D封装和WLCSP等方向拥有广阔的发展空间。

以上趋势会给国内的设备及材料厂商带来什么利好呢？罗教授表示，目前有三个机会可供国内半导体制造商参考：1) 格芯与UMC放弃7nm及以下工艺，而有些成熟型工艺却拥有很大的市场需求；2) 国内的芯片制造可考虑从后道往前道走；3) 尽管8吋的需求量很大，比如移动产品、无线产品、IoT以及汽车电子，然而产线仍需从8吋扩展至12吋。

展望国内半导体制造业，罗教授认为，中美贸易战使得国人第一次正视国内半导体长期仰赖进口的困境，在今后很长时间内，我国将会不得不直面技术“卡脖子”问题。在此期间，我们将发展7nm技术（是否能到5nm则视中美博弈结果而论）和特色工艺，提升55nm、28nm等成熟制程的产能，将月产能提升至100万片12吋当量（目前TSMC月产能260万片8吋当量，而中国厂商总体有效产能仅100万片8吋当量），广纳海内外人才，这些将是中国半导体自主化的战略方向。罗教授说，“我们要做到软中带硬，自主研发与国际合作并行，利用国产化来提升技术；只有技术领先了，才能拥有真正的话语权，融入产业

技术节点	0.25um	0.18um	0.13um	90nm	45nm	28nm	22nm	14nm	10nm	7nm	5nm	3nm
刻蚀机												
光刻机												
涂胶显影												
干式去胶机												
化学沉积												
物理沉积												
热处理机												
清洗机												
离子植入机												
化学机械研磨机												
量测机台												
	已达到			正在开展的有望2年内达到					尚未达到			

图1：中国大陆半导体设备的技术节点。来源：磐允科技报告

全球化。”

国产半导体设备

近十年来，中国大陆的半导体设备需求量一直往上攀高，2019年中国大陆在全球市场占比22.5%；国产设备的比例也略有提升，然而目前国产半导体设备的自给率仅5%左右，在全球市场仅占1%-2%（参考智研咨询数据）。

按照半导体设备的种类划分：去胶机以北京屹唐为代表，国产化占比90%以上；而清洗、刻蚀及热处理设备各占比20%左右，其中量产化的刻蚀设备已突破5nm；PVD、CMP设备各占比10%左右。

据分析，国内干式去胶机与刻蚀机已步入国际序列，5nm制程设备已成功销往TSMC，3nm正在研发当中；而涂胶显影、清洗机、CVD、PVD、热处理机、CMP以及量测机台与国内最先进的产线齐头并进可满足14nm制程要求。光刻机已突破90nm工艺，正进行45nm研发，依旧落后于国内先进产线水平。而离子注入机至今未实现零的突破（图1）。因此，国内对上述11类半导体设备均有布局，每个领域活跃1~2家龙头公司。总而言之，国内自研装备品种覆盖率达40%，总体水平达28nm，少部分进入14/7nm，并已进入海外市场销售。

新设备离不开试错及量产优化，如果说以前接纳国产设备是出于其他方面的考虑，在如今形势下，大厂的采购策略普遍为：首选国产品牌，国内生产的国外品牌次之，最后才选择国外进口。无论是设备厂商还是终端用户，都在不遗余力的跑数据跑工艺，在这种氛围下研发与生产将

更紧密结合。再者，随着全国各地都在争相建厂，中国已成为全球最大的半导体设备需求地，因此，国外企业在中国设厂将成为一种趋势。

湿电子化学与材料

近年来，中国大陆涌现了许多家中低端清洗设备制造商，他们来源不一而足，这给终端用户带来负面的讯息，以为半导体清洗设备的门槛很低、毫无技术含量。罗教授在题为《集成电路芯片制造中的高端光刻机：发展趋势和技术挑战》的报告中为此正名：半导体清洗机不是一台简单的洗衣机，它的理论基础包含化学及化工（热力学、流体力学、动力学）。这个领域技术含量很高。同时，罗教授还设立了一个考核标准，“只有了解或者正在从事Super-critical-CO2（简称SCCO2）研发工作的，才算得上半导体清洗行业的资深从业人员。”目前只有TEL设备才涉足SCCO2技术，国内一些拔尖的设备厂商正在做研发工作。

在半导体领域，湿化学品主要用于集成电路制造过程中的清洗和腐蚀步骤，其纯度和洁净度影响着集成电路的性能及可靠性。2020年全球湿电子化学品的市场份额50.84亿美元，相比上年下降3.8%，其中硫酸的需求最大占35%，其次是双氧水占比32%，IPA的供应由于疫情医疗用量而略微捉襟见肘。2020年国内湿电子化学品市场规模突破15亿美元，国内产量约54.68万吨，然而国内需求量约82.87万吨；高阶与高附加值产品不断进入国内市场。然而，全球湿化学品的需求量会因为湿法工艺步骤的增多以及产能的释放会快速提升。

技术节点	0.25um	0.18um	0.13um	90nm	45nm	28nm	22nm	14nm	10nm	7nm
硅材料										
光刻胶										
工艺化学品										
电子气体										
光掩模										
抛光材料										
靶材										
	已达到			正在开展的有望2年内达到					尚未达到	

图2: 中国大陆半导体材料的技术节点。来源: 磐允科技报告

目前全球湿化学品市场主要分为三大块: 欧美企业、日本企业、以及韩国、中国大陆和台湾地区企业, 分别占全球市场份额的 33%、27%、38% (后三者)。

在高端市场领域, 韩国企业和中国台湾企业在生产技术上与欧美及日本相比也不遑多让, 而中国大陆相关企业距离世界先进水平较远。在个别领域, 大陆相关企业已接近国际领先水平, 其中, 追求高纯度的基础化学品已陆续放量, 而配方型化学药液仍在努力研发中, 如光刻胶 (193nm DUV)。

湿法工艺材料与设备在半导体市场中价值量占比约 5%, 较光刻、刻蚀等核心材料与设备更易率先实现全面国产化, 故市场空间较大。随着中国大陆的新产线逐渐释放产能, 半导体材料市场的规模在逐步扩大, 供需差距也在拉大。据统计, 2019 年中国 IC 应用材料的自给率约为 10% (扣除出口额)。

半导体材料的种类繁多, 大硅片、气体、光掩膜分别以 32.9%、14.1%、12.6% 位列前三, 而抛光液、抛光垫、光刻胶、湿化学品、溅射靶材分别以 7.2%、6.9%、6.1%、4% 和 3% 居后。近年来国内半导体材料生产商加大了研发投入和生产, 力争实现国产化替代。

罗教授认为, 靶材有望在近年内达到 7nm 工艺要求, 抛光材料的研发正在努力配合国内 14nm 产线, 光刻胶停留在 90nm 工艺, 而大硅片、湿化学品、电子气体、光掩膜这 4 类重要材料还停留在 22nm 研发阶段, 后三项工艺材料为了配合 14nm 产线也提前做了部署 (图 2)。

半导体清洗设备

随着半导体器件集成度和芯片复杂度的提高, 制程工艺对晶圆表面污染物的控制要求越来越高, 使得芯片对杂质的敏感度大大提升。因此制程工艺每推进一代, 为了降



图3: 清洗工艺的未来趋势。来源: 磐允科技报告

低杂质影响、提高良率, 清洗步骤会增加 15% 左右。半导体清洗的终极目的是: 无颗粒、无金属污染、无有机杂质、无自然氧化物、表面无微粗糙度等。

一般来说, 光刻、刻蚀、沉积等重复性工序前后都需要清洗: 1) 晶圆端的抛光后清洗, 以确保晶圆表面平整度和性能; 2) 在芯片端, 清洗是为了去除晶圆沾染的化学杂质、减小缺陷率, 包括扩散前、刻蚀后、离子注入后, 去胶、成膜前/后清洗, 以及机械抛光后清洗; 3) 封装端包括 TSV、UBM/RDL、键合清洗, 等等。计算下来, 清洗步骤数量约占所有芯片制造工序步骤的 30% 以上, 也是所有芯片制造工艺步骤中占比最大的; 例如, 80~60nm 制程约有 100 道清洗步骤, 22nm 制程的清洗步骤近 220 次。

清洗有化学清洗和物理清洗之分, 化学清洗成本较低产量较高, 如 RCA、等离子、紫外光、气相/液相、溶剂等; 物理清洗有超声波、刷片机、SCCO2、气溶胶等, 清洗效率高, 会产生物理损伤, 但初始成本高。随着深宽比数值加大、材料损耗日趋减少, 两种清洗方法在混合使用 (图 3)。

湿法清洗与干燥工艺是不分家的。当工艺到 20nm 技术节点之后, 我们常用的旋转干燥 (spin dry) 方式不再适用, 技术朝着两个方向发展: 1) 将液面与容器的角度调整为 90 度, 2) 寻找更低表面张力的新型材料和技术, 从 H2O (72mN/m)、IPA (21mN/m) 到 SCCO2 (0mN/m)。其中,

SCCO2 技术只有 TEL 具备，被用于制造 DRAM 器件。

据统计，全球半导体清洗设备市场集中度较高，主要由迪恩士、东京电子和 LAM、SEMES 等日美韩企瓜分，占全球半导体清洗设备市场份额的 95%；盛美作为国内唯一的厂商忝列前五。

国产化清洗设备已步入先进制程。国内每年清洗设备的市场规模在 15-20 亿美元，到 2023 年清洗机的国产化率可达 40%-50%，换算为 40-70 亿元。未来用于 12 吋线的槽式和单片式清洗设备将成为主要的市场增量。

经过十多年的努力，国产设备厂商已取得了一定的成果。盛美拥有全球首创的 SAPS、TEBO 兆声波清洗技术和 Tahoe 单片槽式组合清洗技术，产品适用于 45nm 以下节点；芯源微的光刻工艺拥有较完善的布局，其单片去胶清洗设备主要是配合核心业务涂胶显影机；北方华创通过收购美国 Aktron 布局槽式清洗机，旨在 28nm 以上节点；至纯科技近年来重点投入半导体清洗设备业务，通过日韩团队的帮助和不计成本的投入，在单片机与槽式机领域获得一定的竞争力。

二手设备

二手设备交易是我国半导体行业非常兴盛的行当，据广奕王董在题为《打造成熟的二手设备平台，助力中国半导体平稳过渡》报告中所述，二手设备占整体市场份额的 90% 左右，形势严峻。与新设备验证技术方案不同，二手设备的功夫花在前期购入上，包括从竞拍、无害化处理、包装、清关到仓储或 move in。客户可以选择三种不同的服务方式：1) As Is+Service，裸机但不保证设备恢复状况，备件与服务另行收费；2) Turnkey 则包工艺，为客户提供服务至 Tier II；3) As Is, Where Is，字面上的意思，就是设备状态不定、所在地不定，无质保期。由于二手设备与原厂无关，设备在过保质期后的技术支持和备件耗材会成为客户最为关注的问题。因此，对于专做二手设备业务的厂商而言，打造一个拥有稳定货源、技术改造及客服团队、本地仓储、备品备件库存丰富的平台是上佳之选。

近年来，很多二手设备厂商的业务得到拓展，如广奕利用自身优势将一条日本 TI 的 6 吋线搬迁至四川，现在该晶圆厂已实现月产能 5~6 万片，另一条线是 8 吋的硅材料厂也将实现量产；还有些联合国外品牌厂商在产业园内建厂代工 parts；他们都是二手设备厂商试图融入中国市场、为设备及零部件国产化所做的一次次尝试。

据王董分析，虽说如今设备国产化已上升到国家战略层面，但二手设备还将持续很多年。原因有：1) 美国对“卡脖子”技术实施封锁；2) 中国大范围建厂，设备需求量大；3) 国产设备仅覆盖小部分的应用；4) 国外淘汰旧产线没有终止、二手设备的货源不断。

在迈向国产化的道路上，王董分享了他的经验：引进 + 消化吸收 + 创新，刚开始完全依赖国外团队，逐步转成中外团队合作，最后将技术交给国内团队来实施；这种方式可节省大量推新时间。

半导体设备专用软件

在题为《CTF 设备软件平台应用与开发》的报道中，姬总详细地介绍了 GlorySoft 公司的五大产品平台，包括智慧数据引擎平台 (iDEP)、智慧控制控制平台、生产运营平台、边缘物联平台、以及今日话题重点——智能装备平台中的设备软件平台 (CTF)。

CTF 是基于分布式结构的集束设备控制平台软件，每项服务可根据项目的实际需要分别部署的独立的工控系统，比方说 list、报警、日志服务等，CTF 本身符合半导体设备行业标准的软件框架，包括界面布局和模块化设计。CTF 支持 windows 操作系统 (Win 7/8/10)，同时正在向 Linux 移植并支持跨平台，力求解决广大设备厂商的后顾之忧。CTF 采用组件化、可视化开发方式，如通用的 Robot 单元；此外 CTF 支持高度可定制化，可根据不同用户、不同种类、甚至不同类型或不同型号的设备对于 Robot、PM 单元等需求的不同进行定制 (图 4)。

CTF 系统架构分三层。1) 底端的驱动层直接与硬件打交道、辅助与外界通信，如 PLC、robot，IO 服务器读

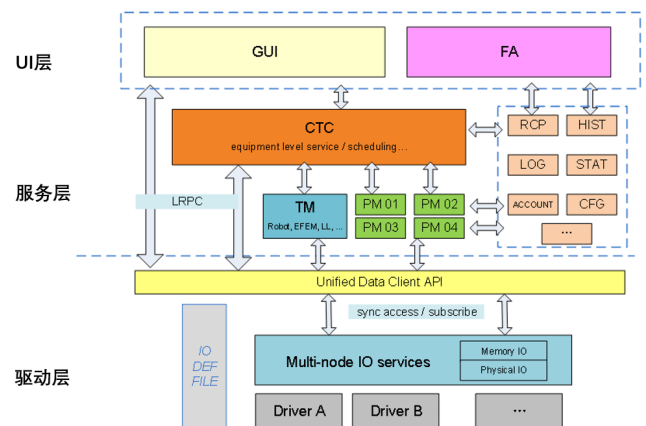


图4: CTF平台系统架构。来源: Glorysoft报告

取预先定义好的配置文件，根据文件中定义加载对应的驱动程序来实现与硬件的通信。IO 服务器本身支持多节点级联，当 IO 服务器内 IO 点数量过多达到瓶颈时，可通过分节点部署的方式来缓解压力，IO 服务器通过 API 接口以同步或异步或订阅的方式供上层访问。2) 中间的服务层其核心是提供 CTC 服务，负责整个平台的 PM 以及 wafer 调度及其他辅助程序，包括配方、例子、日志服务及用户管理等。3) 顶端 UI 层有两个模块，包括人机交互 UI 模块以及用于远程监控的 FA 模块。

GUI 开发是基本功能之一，平台为 GUI 开发提供可视化开发环境，所有的界面绘制过程都是在开发环境中采用拖拽的方式添加控件、修改配置属性来完成的（图 5）。平台支持可定制与扩展。姬总对于 CTF 平台如何进行加工调度、IO 服务以及二次开发做功能性的介绍，可以说，支持二次开发是 CTF 平台最强大的功能，在此不一一详述。

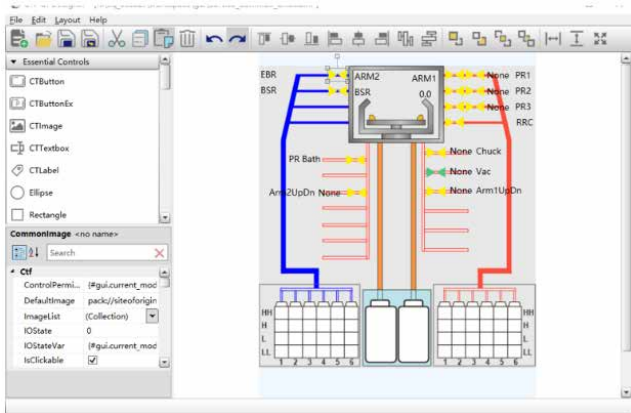


图5：可定义与扩展的GUI开发环境。来源：Glorysoft报告

最后，这套 CTF 平台已成功在全自动单片湿法匀胶机、全自动单片湿法清洗机、等离子去胶机、MOCVD 以

及 PCB 热熔机上应用。

用于板级封装的曝光机

与 IC 基板 (substrate) 封装工艺相比，大部分封装厂的光刻基本还在使用 LDI 设备，曝光速度慢，精度只能达到 10μm 或以上，若要求更高的分辨率，曝光速度则跟不上，基本不适合量产；ONTO 公司看准板级封装市场，早两年推出了适合市场所需的高速光刻机以及光学检测设备。其中光刻机设备分辨率可达到 3μm，可满足未来 5~10 年的市场需求。

在题为《板级封装市场对曝光机的需求演变》的专题报告中，董经理指出，逻辑电路和内存芯片业务在发展中，内存正从引线键合封装过渡到先进封装，这对 ONTO 来说是个机会。Fan-Out 扇外型以及 IC 基板封装无论在工艺规格、层数以及未来所应对挑战方面完全不同。当前量产型基板封装其分辨率在 10μm 以上，未来两年将发展为 8/5/3μm，与之对应，目前玻璃 (glass) 封装的分辨率为 2~3μm；针对 overlay (套刻对准) 应用，基板封装现在能做到 4~6μm，量产标准为 8μm，但玻璃封装只做到 3μm 以下。5G 应用对于层数的要求更高，一般基板封装层数做到 20，而玻璃封装做到 3~4 层（图 6）。

在整合 Nanometrics (光学检测、表面分析) 和 Rudolph Technologies (缺陷、薄膜量测、光刻机软件) 的优势之后，ONTO 主推四大板块业务，而本次演讲也涵盖用于工艺控制的检测设备和用于成像的曝光设备。ONTO 拥有覆盖晶圆、板级和基板的整条曝光技术产品线，分别对应为 JetStep 系列 X300, X500 及 X700，并在晶圆与 FOPLP 技术上具有市场领导者地位。其次，300mm 铜柱

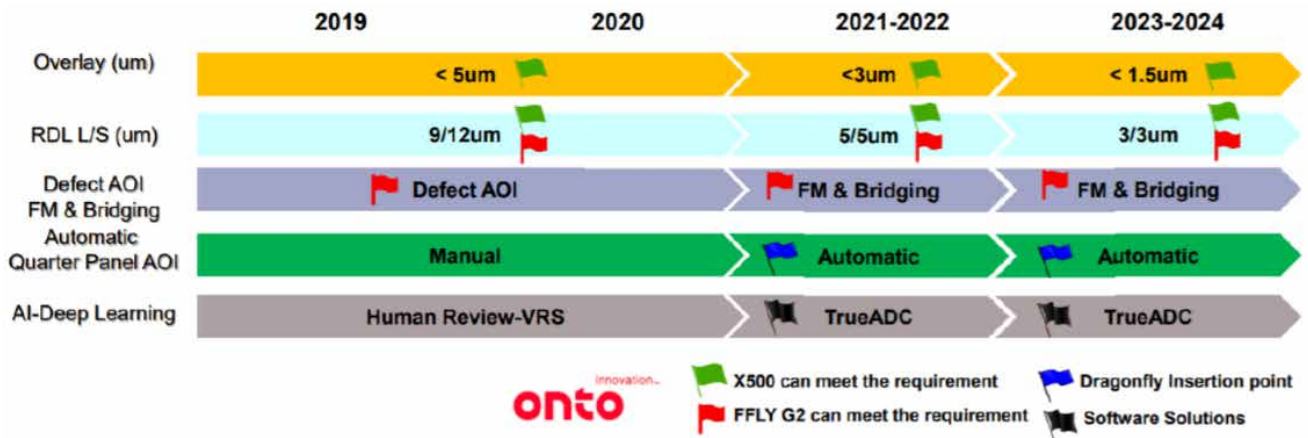


图6：ONTO的IC substrate技术路线图。来源：Onto Innovation报告

和 WLCSP 技术提高了设备的良品率。

X500 提供的最大尺寸是 250×250mm，最小分辨率 3μm±1μm 的覆盖性能，最初专为高级基板应用而设计，可扩展到 RDL-First FOPLP 应用。

生态、生机、生存、发展

本次圆桌论坛的主题是“在建厂大潮中寻求稳定发展，于未来应用中觅得创新生机”，从今年国内几大 fab 厂公开的设备招标结果我们可以看出，国产品牌如伸出触角的蜗牛，在接触和感受这个市场，还远远谈不上收获与享受。四位嘉宾从生态、人才、生存与发展四个角度分别对此做简单探讨。

对于设备厂商来说，无论是研发型还是生产型，对周围的半导体生态是极为讲究的，目前在长江三角洲已然构建了半导体生态，零备件的采购非常便捷，这将促使具有国产化替代能力的厂商集群化。

关于人才，罗教授认为首要任务是优化人才的配置，无论是正规大学还是培训机构抑或是企业自身，都应培养各个层次的人才，如领军人才、技术型人才、一线生产人员等。目前我国半导体人才仅 72 万，存在巨大缺口，因此要保障人才的供应数量。最后要提高人才的质量，注重

产学研的投入与交流。Glorysoft 的姬总认为，半导体软件行业的人才薄弱，大专院校的计算机专业面向互联网产业，不能直接“拿来主义”，主要靠企业自己培养，人才急缺。

关于中小型半导体企业的生存与发展，罗教授认为应该寻找大企业的支持，原因是这些头部企业已得到大基金或者民间资本、股市投行的青睐，在大者恒大的前提下，中小型企业很难得到如此多的资源发展，但在细分领域可能会找到方向。广奕王总的观点与之不谋而合，他也认可“大者恒大”，半导体是一个重资产、高投入的长线型行业，中小型企业不要盲目去追求“做大做强”，唯有做精做细才是长存之道。

在迈向国产化的道路上，王董分享了他的经验：引进 + 消化吸收 + 创新，刚开始完全依赖国外团队，逐步转成中外团队合作，最后将技术交给国内团队来实施。

最后，无论是人才还是中小企业建立“朋友圈”，罗教授指出 2013 年组建的欢芯鼓伍（IC Happy Heart）平台都能提供适当的帮助。作为“企业升级加速器”，欢芯鼓伍利用整个团队的影响力，为半导体制造领域的市场、技术、人才、资金、政府打造一座沟通桥梁，通过“学习·分享·互助”帮助中小型以及细分领域的厂商有势可借，助其觅得“合作·创新·共赢”的商机。◆（贺贵鸿报道）

新型一步植球助焊剂

钢泰公司推出新的植球助焊剂 WS-823，继续扩大公司半导体助焊剂的产品线。WS-823 是一款经过验证的一步 BGA 植球助焊剂，旨在消除昂贵的、易引发翘曲的预焊步骤，特别是在铜 OSP 基板上的预焊。

通常标准的植球工艺需要两个步骤。WS-823 是一款专门为一步植球工艺设计的



无卤水洗型助焊剂。它简化了工艺，无需预焊步骤就能创建可靠的球与焊盘的对接。甚至在铜 OSP 基板上也表现卓越。

WS-823 提供：

- 合适的粘性，可以确保焊球在回流期间保持不移位
- 在多种表面上可焊性出色，包括在金镍表面及氧化的铜 OSP 表面
- 长时间均匀一致的针转移，避免了焊点质量随时间变化和沉积尺寸不均匀而导致的虚焊
- 低空洞配方，增强焊点强度
- 良好的可清洁性，在室温下用去离子水清洗即可，避免形成白色残留物

3D-Micromac用microFLEX 提升卷对卷激光微细加工速度

激光器是多用途的工业工具，如今，在许多半导体和光伏制造工艺中，它也是不可缺少的重要加工工具。过去，在卷对卷（R2R）薄膜制造领域，激光微细加工的准确度、可重复性、速度和成本效益基本上是空白，直到3D-Micromac公司将其创新的microFLEX系统从实验室带到全球各地的晶圆厂之后，这种情况才有所改观。

作者：Mark Andrews, SILICON SEMICONDUCTOR杂志技术编辑

先进技术常常拥有某种共同的“遗产”，一项技术时常会导致另一项技术的应运而生。以无人机和四轴飞行器为例，如果不是因为最初为智能手机开发的微型陀螺仪、加速度计和麦克风，很可能不会有它们后来的发展。

正因如此，从某种意义上说，起初为卷筒纸印刷开发的卷对卷（R2R）技术是使用多种柔性衬底材料的薄膜制造的基础，也就不足为奇了。得益于这个基础，目前，利用柔性电子器件和电池制作的产品逐步实现了可穿戴式医疗诊断设备、健身追踪器和光伏（PV）电池，这只是几个最广为人知的应用实例。

3D-Micromac 负责 R2R 加工技术研发的团队主管 Christian Scholz 表示，关于 microFLEX 系统的研发，前期工作是与开姆尼茨工业大学（德国）的一个合作项目开始的。一个早期目标是将激光模块纳入 R2R 印刷系统。虽然首批推出的系统将高准确度和可重复性引入了卷对卷印刷，但是，实现下一个目标，即采用柔性衬底和激光微细加工的 R2R 制造，仍然还需要多年的时间。

Scholz 指出：“开姆尼茨工业大学在印刷技术方面拥有非常强大的实力，并且大胆尝试印刷出来的功能材料，在 21 世纪初，便开始印刷简单的电路和诸如此类的物品。他们很快发现，印刷电路所需的这么小的特征尺寸，采用标准印刷技术是无法实现的。标准图像印刷并不需要误差范围在几个微米之内的高准确度，因为这些极微小的细节是人眼看不到的。不过，如果想印刷电子器件，尤其是多层电子器件，那么就必需将第一个印刷步骤与下一个及再下一个精准地对齐。而且，激光必须非常精确，以保证在非常正确的位置上进行加工。”

microFLEX 系统实现高速 R2R 薄膜制造

虽然研究人员很快意识到，专为纸张印刷而优化的工具组对于微米级精度制造而言不够准确，但是，以高速和极端精度制造柔性器件组件的潜力还是十分诱人的。一旦 3D-Micromac 成功创建了用于印刷的激光微细加工模块，可不可以对这项技术进行适应性调整、优化，并转移到薄膜 R2R 制造呢？最终证明答案是“可以”，但是，就像在开发工作中经常看到的那样，技术的适应性调整时常需要创建新的方法和机器设备，以处理截然不同的材料，特别

是当制造需要在保持微米级准确度的情况下高速进行的时候。3D-Micromac 通过设计并建立 microFLEX 实现了这样的目标：microFLEX 是一款具成本效益的可重构激光微细加工系统，可以为全球客户群提供针对众多 R2R 应用的支持。

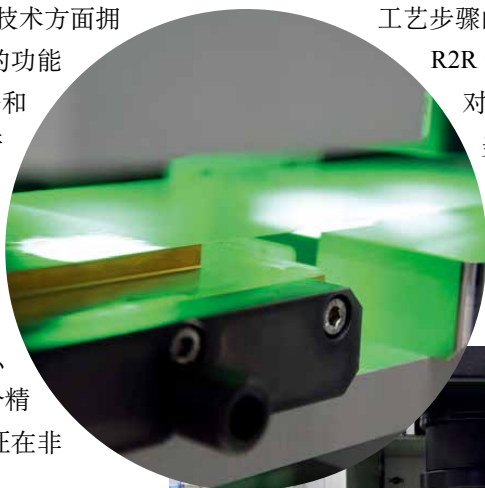
当今的 R2R 加工指的是一系列的制造技术和工艺，包含了柔性衬底的连续加工处理，这种柔性衬底在两个旋转材料的活动卷之间移动。对薄膜的处理速度，部分取决于材料的宽度和厚度，以及所涉及的工艺过程，如烧蚀、柔性太阳能电池的建构，等等。

R2R 领域里所取得的进步使之成为基于衬底的制造工艺的一个重要类别，在 R2R 制造中，消减和添加法被用于以一致的方式构建结构。可以实现高准确度，3D-Micromac 的系统常常能够提供误差范围在个位数微米之内的精度。

R2R 工艺运用了许多技术，当把这些技术组合起来时，有助于以高效和经济的方式生产成品材料卷。在诸多的好处中，主要是可以实现高速、大批量生产。与包含更多工艺步骤的成批处理等传统技术相比，

R2R 制造的主要差异化优势是相对较低的成本和高吞吐量。据美国可再生能源国家实验室（NERL）称，在比较太阳能

由于激光加工是无推力和非接触式的，因此，microFLEX 可保证对材料堆栈和极薄层进行选择性非常强的加工。



左：microFLEX 卷对卷激光微细加工系统实现以高达 50m/min 的加工速度连续高速加工。



microFLEX的模块化机器概念使系统设计能够很容易地适应客户要求。

电池的不同制造方法时,他们发现:一种生产 CIGS PV (铜铟镓硒光伏) 电池的薄膜 R2R 工艺的速度是其他技术的 4 倍。

工艺的速度是制造业中的一项关键成本动因,而能够在高良率下提供较高的吞吐速率是 R2R 工艺一个相当大的优势。如上所述,生产一系列产品的实际速度在很大程度上取决于所需进行的加工工作的类型、衬底的厚度和宽度,以及完成整个制造过程所需经历的遍数。

当制造薄膜医疗器件时,卷绕速度通常为 50m/min,吞吐量为 600,000m²/a。由于印刷有机太阳能电池存在复杂性,因此通常将工艺速度“减慢”至 5m/min;吞吐量则降到 500,000m²/a。不过,正如 microFLEX 中的“flex”所蕴含的意思那样,该系统不仅是专为处理可弯曲/软质衬底设计的,而且,该系统还被设计成一种可以灵活搭配模块化系统,该系统的复杂性可以增加或降低,几乎可以满足任何微细加工的需要。

对于需要频繁更新机器设备和重新配置以测试新技术的研发项目,microFLEX 系统可以提供支持。它还支持复杂的大容量生产环境,在这种环境中,配置往往保持不变,从而实现高速、高精度和可重复性。但是,如果使定制达到其实际极限,则速度可接近 80m/s。由于 microFLEX 模块采用标准化接口和数据通信协议,因此可以很容易地检查并优化质量控制和许许多多的工艺细节。除此之外,还能将多项技术整合到一个模块中。客户现在的投资可以作为日后仰仗的基础,并在客户需求随着时间

的推移发生改变时增加、减少或重新配置。

激光微细加工的其他优点包括这样的事实,即:它是无推力和非接触式的,不同于以机械方式打穿材料来获得所需形状的做法。因而,激光加工使制成品不再有毛边、隆起和材料残余物。在实时激光烧蚀中,被去除的材料(比如铝)是完全可以回收利用的。与其他制造工艺不同,激光微细加工不需要使用液体化学品,因此,与液体蚀刻剂相比,干式激光加工的速度可高出 10 倍之多,而且无需小心谨慎地贮存、搬运或弃置废酸。在生产必需避免微观碎片(microscopic debris)的医疗器件或其他电子组件时,激光加工的非接触特性尤其有益。在 microFLEX 系统中,在 1m/min 的工艺速度下可以实现高达 +/- 1.1μm 的准确度;另外,该系统还支持在单层或多堆栈中使用生物相容性材料。

microFLEX 的广泛适应性使其在全球范围内得到了普遍接受;目前,microFLEX 在 3D-Micromac 公司的销售额中占到大约 25%。该公司的大多数微细加工系统现销往亚洲、北美和欧洲。microFLEX 的模块化被证明是受欢迎的,大多数客户如今在他们的生产现场使用高度定制的 microFLEX 系统。尽管人们可能认为 microFLEX 将被合同制造商所采用(他们会利用其灵活性,以根据需要在产品之间切换),但是,3D-Micromac 市场总监 Mandy Gebhardt 表示,制造商通常安装的系统都是特制的。研究人员希望在模块的小型配置内具有灵活性,而商业化制造商感兴趣的则是具有成本效益的高吞吐量,他们的工艺一旦经过优化,一般就不会变更。当需要进行变更时,制造商要么重新装备他们的系统,要么增添模块,以支持新的目标和要求。

Gebhardt 补充说,microFLEX 所具备的适应性促使该公司在其开姆尼茨总部建立一个用于持续产品开发的系统,这也使得客户能够现场见识其潜力。此系统还被用于本地化合同制造。目前,欧洲的客户正在使用开姆尼茨系统制造 RFID 天线和相关组件、医疗器件,以及用于制备 LED/OLED 照明组件的柔性 PCB。

她说:“到目前为止,我们售出的所有系统都是针对



3D-Micromac推出的microFLEX解决方案带来了衬底材料选择、精确性、成本效率和可持续性的新视角。激光技术实现了极高的准确度、微小和可重复的图案，并提供了比化学蚀刻工艺速度快10倍之多的生产速度。

最终用户的要求量身定制的。在有些案例中，我们首先销售的是用于产品开发的灵活性更高的系统。过了几年，在产品定型之后，我们则向同一家客户销售一些专用系统（具有成本效益和高吞吐量）。每家客户为其特殊产品购买一款特殊的机器配置，因此他们可以最大限度地提高成本效益和吞吐量。”

microFLEX 系统提供了一定的功用、速度和准确度水平，客户将之视为助力自己赢得国际市场份额的一种“优势”。

一家来自欧洲的从事柔性电子产品和 IoT 应用的客户说：“3D-Micromac 推出的 microFLEX 解决方案带来了衬底材料选择、精确性、成本

效率和可持续性的新视角。激光技术实现了极高的准确度、微小和可重复的图案，并提供了比化学蚀刻工艺速度快 10 倍之多的生产速度。”

microFLEX 系统已经发展成为激光微细加工技术的一种独特应用，它继续跨多个行业发现新的用武之地。Scholz 指出：“我们现在拥有的一项优势是，围绕该系统的开发和研究，我们已经工作了 15 年。我们将自己掌握的有关激光加工的所有知识都应用到了 R2R 薄膜制造工艺中。我们知道问题所在，也知道客户需要什么、看重什么。”

考虑到 microFLEX 的逐步演进，Gebhardt 表示，

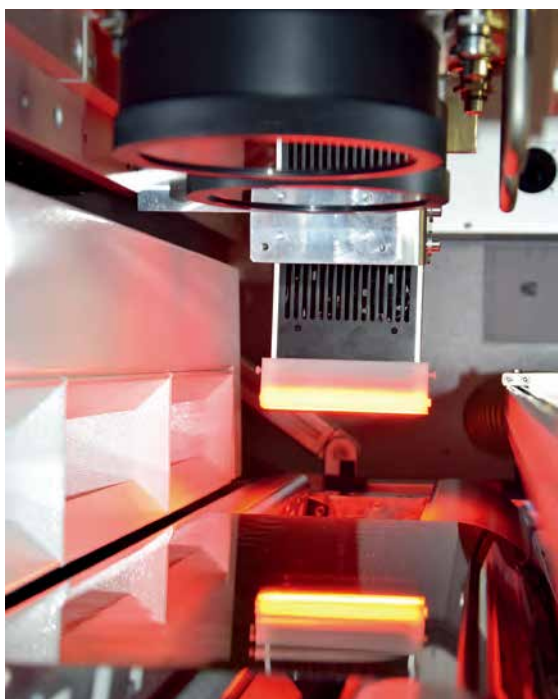


3D-Micromac 公司期望在薄膜光伏电池制造、OLED 等电子器件、各种新型传感器，以及对柔性电路板演进的支持方面有更多的进展。

“我相信，在我们开发这项技术的过程中，这些年来已经发生了几件预示未来的事情。首先是客户需求，我们支持已有的客户和未来的客户优化他们的激光加工工艺。对于有些客户来说，这是在做他们现在正在做的事，不过是在产量更高的情况下。很多时候，它涉及客户事先开发的工艺；客户对小尺寸时发生的事情有一个粗略的了解，但常常不是卷对卷制造工艺。他们创



3D-Micromac为其客户提供R2R工艺开发和合同制造服务。



柔性薄膜光伏器件的加工处理要求具有高工艺稳定性、再现性和吞吐量。

建了一种采用小薄片的工艺，现在他们需要将该工艺升高一级，而我们非常擅长就此提供帮助。有的时候，工艺需要从小薄片发展到1米宽的卷筒上，这两者存在着很大的差异。”

Scholz 最后指出：“从技术上说，我们即将看到具有数百瓦功率和高重复频率的激光源。在理论上，它们提供了非常高的加工速率。但是，接下来的问题是要在材料表面精确地移动激光，而且必须以非常高的速度完成，同时不断提高重复频率和功率，从而使加工速率有所提升。我们发现，业界逐步从振镜扫描仪向多边形扫描仪转移，6年前这还没那么必要，但是我可以想象，此做法在未来将更加普遍，而且这本身就是一门科学。在我们的发展道路上存在着各种挑战，这些挑战是我们一直在研究的。我们已经将首批多边形扫描仪集成到了我们的机器中，其所起的作用很惊人。我相信，即将到来的东西还会有很多很多，客户会始终选择可以依赖的合作伙伴，以便在利用最好的可用新技术方面得到所需的帮助。”

高效、先进的成像

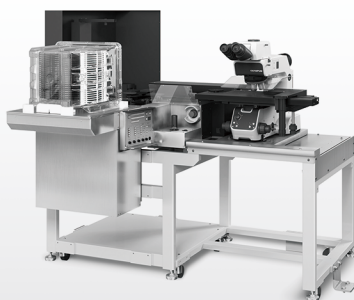
奥林巴斯半导体行业解决方案



DSX1000

数码显微镜

多角度观察 / 宽放大倍率范围 20X-7000X



MX63+AL120

半导体 / FPD / 工业检测显微镜

12 英寸晶圆搬运机



OLS5100

3D 测量激光显微镜

更智能的工作流程 / 更快速的实验设计



用于整合的显微镜部件

方便集成

特点 1: 组件采用模块化设计非常便于与其他光学机械系统集成。

特点 2: 结像透镜, 暗场模块, LED 远程控制。

特点 3: 独立模块, 便于设计您的系统。

节省观察时间

特点 1: 高分辨率、长工作距离物镜

特点 2: 超宽视场镜筒透镜, 不断提升的显微镜相机传感器尺寸和分辨率造就了对超宽视场光学器件的需求。

参数公开

专家将帮助您选择合适的组件, 并为您提供诸如尺寸和透光率值等技术数据。





面向下一代倒装芯片 FOWLP的关键材料

临时键合和解键合解决方案在许多方面促成了硅半导体三维结构的兴起，对扇出式晶圆级封装（FOWLP）至关重要。堆叠芯片需要利用硅通孔（TSV）、微凸块和倒装芯片技术的组合，在芯片堆叠内部提供必要的连接。先进的FOWLP技术提供了新的好处，但也带来了新的挑战，这些挑战正通过Brewer Science的创新材料得到解决。

越来越多的研究人员和制造商正在积极开发具有更大I/O密度、更多功能、更小外形尺寸并持续降低成本的FOWLP。尽管FOWLP提供了许多引人注目的优势，但使用重建晶圆和组装极薄的芯片带来了独特的挑战，包括翘曲和对准失配，这可能使进一步的晶圆加工成为昂贵的挑战。如果FOWLP的挑战没有在适当的组装点得到解决，良率会急剧下降，制造商会发现他们认为能够带来好处的技术反而会成为一种昂贵的误判。

FOWLP的挑战

为了更好地理解FOWLP的挑战，需要认真研究一些关键的工艺步骤，并在此背景下，探讨下一代键合材料的优势，以帮助确保成本效益、生产力和更高的性能。

通过FOWLP，创建了一个重新分布层（RDL），将I/O连接到器件表面顶部的所需芯片位置，通常是连接到另一个芯片的凸点。RDL可以在晶圆覆层（over-molding）步骤之前或之后创建，覆层步骤通常采用环氧树脂模塑料（EMC），

EMC 的作用是使各个部件保持精确的排列, 提供芯片保护, 并使不同功能和尺寸的芯片整合到一个晶圆上。

通常 FOWLP 使用的温度范围很广, 因此, 为 FOWLP 组装和处理芯片具有许多挑战, 这也给临时键合材料带来了新的挑战。主要的挑战之一是在三个维度 (X、Y 和 Z) 上全部保持器件的定位, 同时减轻在创造最终产品所需的许多加工步骤中出现的应力。

临时键合材料必须应对大量的应力和变化很大的工艺温度, 同时要保持晶圆的几何形状不变, 这意味着必须减小晶圆弓形和翘曲, 使其处于非常小的公差范围内。

面向 FOWLP 的创新解决方案

Brewer Science WLP 材料部的执行董事 Kimberly Yess 说, 很明显, 为了推动 FOWLP 技术的发展, 需要有能力更强的键合解决方案。需要新的方法来最大限度地提高性能, 简化工艺, 并帮助确保芯片移动最小。

通过与 IMEC 合作, Brewer Science 开发了新一代的临时键合解决方案, 很好地实现了以上几个关键目标。Brewer Science 与 IMEC 合作开发的材料提供了一系列以前无法实现的优势, 包括芯片近乎零移动 (ZDS), 所有这些都可以通过工业标准设备实现。

“ZDS 工艺中新材料的价值在于, 它可以控制芯片的放置, 成型 (mold) 后 RDL 无需对准。有了正确的芯片放置和芯片位置锁定, 制造过程对 EMC 引起的应力更加灵活和宽容。它还允许你能够扩展到在 BEOL 的设备中使用, 因为它降低了翘曲度, 使其与已有的工具兼容。” Yess 解释说。她指出, 当其他材料被用来制造 FOWLP 时, 翘曲和弯曲可能是如此明显, 以至于需要特殊的 BEOL 工具组来处理那些扭曲到人眼无法忽略的畸形晶圆。

当 Brewer Science 和 IMEC 着手确定新材料和工艺技术并使用标准 CMOS 兼容的工艺设备对其进行测试时, 关键的挑战是如何减轻覆层组装芯片的影响。研究人员的目标是极高的互连密度, 并相信 20 微米的间距现在是可以实现的。这项技术对移动设备的应用具有很大的吸引力, 因为它可以在非常小的外形尺寸内实现低成本的存储器到逻辑的高密度互连。这为针对高性能应用的异构集成铺平了道路。

FOWLP 上的倒装芯片通常采用模塑先行 (mold-first) 的方法, 即首先将芯片组装在临时载体上, 然后进行晶圆覆层。在最后一步, 创建 RDL 并进行连接。在这种方

法的基础上, IMEC 和 Brewer Science 已经证明: 在两步成型流程 (two-step molding flow) 中使用硅桥和封装通孔 (TPV, through package vias) 可以有效地连接多芯片堆叠。这种方法的可行性首先用假的模拟部件进行了证明, 并在随后的实验中用“活动”芯片进行了验证。图 1 的工艺流程图说明了关键的研究目标和研究结果。(Novel Temporary Bonding and Debonding Solutions Enabling an Ultrahigh Interconnect Density FOWLP Structure Assembly with Quasi-Zero Die Shift", Podpod, et al., 68th ECTC, 2018)

IMEC 正在开发的概念有多个步骤。第一步是在载体晶圆上涂上临时键合层 (BrewerBOND® C1301 材料), 然后在上面放置封装通孔 TPV 和逻辑芯片。接下来, 使用热压键合 (TCB) 连接硅桥。随后, 用环氧树脂模塑料对晶圆进行覆层。

在这一步骤之后, 通过研磨模塑料使铜柱暴露出来。在将重建的晶圆翻转到第二个载体上以后, 第一个载体被移除, 并使用倒装芯片技术组装存储器芯片。接下来是第二个载体的晶圆级成型; 然后, 将第二个载体移除就完成了这个阶段的工艺流程。由此产生的完整封装厚度为 300-



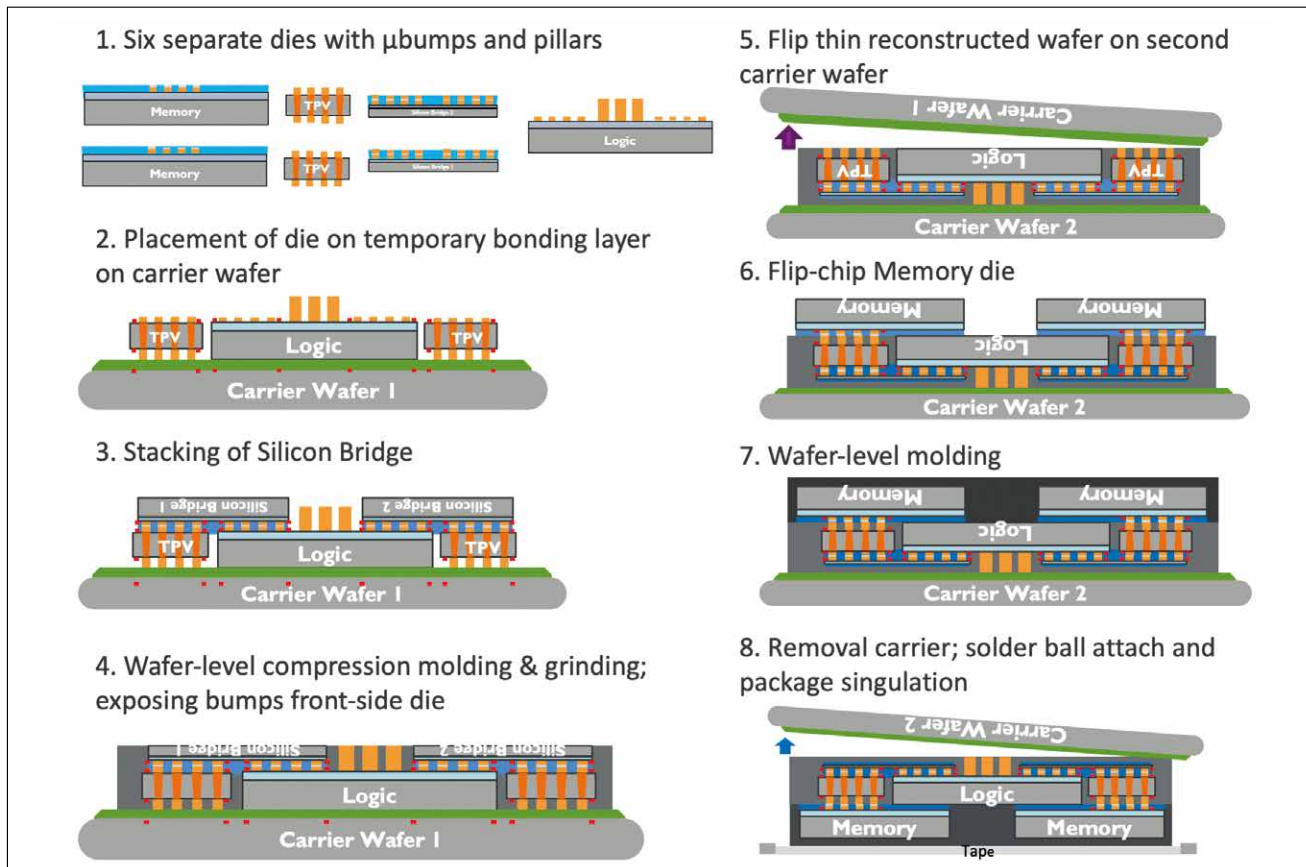


图1: 工艺流程图

400 微米（不包括焊球）。

从材料的角度来看，值得注意的是，在整个组装和加工流程中，使用了两种临时载体基材。整个过程的成功在很大程度上取决于涂在载体上的材料的具体特性，主要是：临时键合材料和有效解键合所需的释放材料。

第一个载体的主要作用是以 ± 3 微米的极高芯片间对准度组装芯片，这是实现 20 微米凸点间距所需要的。为了达到如此高的精度，在载体和芯片中都使用了对齐标记。为了使这些标记在实现紧密对准方面发挥作用，它们必须是可见的，这意味着第一种粘合剂材料必须足够透明，以便能够进行精确的自动对准。

另一个关键要求是，组装所用的各种芯片需要在室温下放置，这是出于一个非常重要的原因：限制或大幅削减热膨胀。限制热膨胀有助于实现更精确的芯片到载体的对准。然而，在随后的 TCB 芯片到晶圆的键合步骤中，粘合剂也需要承受高温。

该材料还必须能够在涉及热和力的晶圆覆模步骤中保持高度精确的芯片位置。最后，为了进一步提高标准，

粘合剂还应该允许从第一个载体上剥离，并能有效地进行清洁，以显露出嵌入的芯片，以便进行下面的工艺步骤。

第二载体的主要目的是使第一载体系统的移除不会对减薄的模塑料和嵌入的芯片造成不利的损害。当它被移除后，器件的正面就可以被接近，以便通过 TCB 和 over-mold 进行测试和进一步加工。

对第二载体的一个主要要求是能够有选择性地移除第一载体，而不产生芯片偏移，也不能损坏重建的晶圆或增加整体翘曲度。在这种情况下，粘合剂必须对模塑料和第二载体有非常好的粘附力，同时保持在最后步骤中的解键合脱粘能力。

倒装芯片 FOWLP 取得成功的主要“敌人”是芯片移动、晶圆扭曲和弯曲。芯片可能移动或晶圆可能变形的程度也会受到制造商所采用的模塑料和覆模技术的影响。最初的覆模是在放置硅桥后进行的；第二次是在通过翻转芯片将内存芯片连接到位后进行的。正确选择临时键合材料和模塑料（以及应用这些材料的工艺）是避免成型后出现芯片移动或晶圆变形的关键。

IMEC 构建了一些实验，以评估不同的载体系统、临时粘接剂和模塑料。在测试整体晶圆时，研究人员注意到，无论是颗粒状还是液体材料，芯片都能保持其放置的准确性，偏差小于 $2\mu\text{m}$ 。即使在 200°C 的温度下暴露两小时也是如此。研究人员还注意到，在整个 300 毫米晶圆上实现了低于 200 微米的极低翘曲率。

这些实验表明，晶圆翘曲值远远低于文献中的报道。例如，翘曲通常是在毫米到厘米的范围内——你可以用尺子来测量。然而，对于先进的粘接材料和先进的模塑料，翘曲度被报告为微米级。

正如临时键合材料和模塑材料对倒装芯片 FOWLP 的成功加工至关重要一样，载体系统的有效解键合也是如此。在载体一的情况下，发现机械解键合是最成功的，并且不影响第二次键合过程。激光辅助解键合工艺则被认为是成功解键合第二个载体的最有效方法，因为它有助于选择性地解键合。

总结

IMEC 开发的倒装芯片 FOWLP 技术的创新方法，为减少高密度互连封装中的翘曲和弯曲提供了一条途径，也展示了一种有助于确保大幅减少芯片移动的方法。Brewer Science 公司的临时键合胶 Brewer Bond[®] C1301 材料，作为这些进展的关键推动者发挥了重要作用。IMEC 工艺与 Brewer Bond[®] C1301 新材料科学相搭配，产生了非常低的翘曲度，这是在标准制造设备中处理覆模的模塑基材的关键。

倒装芯片 FOWLP 取得成功的主要“敌人”是芯片移动、晶圆扭曲和弯曲。芯片可能移动或晶圆可能变形的程度也会受到制造商所采用的模塑料和覆模技术的影响。最初的覆模是在放置硅桥后进行的；第二次是在通过翻转芯片将内存芯片连接到位后进行的。

该创新解决方案不再需要设计用于处理表现出明显翘曲的重建晶圆的专门工艺工具。Brewer Bond[®] C1301 临时粘接剂被设计为在室温下应用，同时在高达 200°C 的温度下仍能保持两小时的稳定性，这是一个重要的里程碑。细间距 RDL 与芯片优先 (chip-first) 相结合，将为广泛的应用铺平道路，特别是那些最终目标是高密度 I/O 的应用。◆

 BREWER SCIENCE www.brewerscience.com

宁夏建成首座 LED 智能植物工厂

据宁夏科技厅报道，针对宁夏城市化快速发展对高品质园艺产品的迫切需求，平衡水土资源紧缺问题，通过自治区重点研发计划支持，宁夏大学联合中国农业科学院农业环境与可持续发展研究所、北京创新生活科技开发有限公司共同实施东西部合作重点项目“人工光植物工厂节能及高效栽培技术研究与示范”。

项目新建智能 LED 人工光植物工厂 225 平方米，配套建设立体栽培架、营养液供给与回收、光照系统、空调控温系统、环境综合控制系统，扩建配套自然光条件下水耕栽培叶菜系统。

项目研发出红、蓝芯片组合式和荧光粉激发式 LED

植物光源装置 2 套，研制出植物工厂光温耦合热交换器及其控制系统 1 套；设计可调节立体水耕栽培系统 3 套，研发营养液循环与均匀供给技术 1 项。

建成后的智能 LED 人工光植物工厂一年可生产生菜 10 茬，每茬可定植 6000 株；结合人工光育苗，自然光条件下水耕栽培叶菜系统一年可生产生菜 11 茬。

项目通过植物工厂实现光热节能、水肥及土地资源高效利用的技术突破，形成具有自主知识产权的植物工厂高技术产业体系，助推宁夏植物工厂产业快速发展，为提升农业高新技术在国内外的竞争力做出积极贡献。



用于先进制程的AMC和微小颗粒物的检测和控制技术

在集成电路制造过程中，空气分子污染物（AMC - Airborne Molecular Contamination）会严重影响制程的良率和品质。元件尺寸越小，受到AMC污染的影响也越显著。AMC气态的分子污染物沉积到晶圆表面后就变成了表面分子污染物，再和晶圆表面其他元素进行化学反应就形成了晶圆缺陷，晶圆有了缺陷，芯片质量就下降，良率最后就降低了，这也是AMC微污染控制如此重要的原因。因此，为了避免产生良率下降和制程缺陷，AMC和微粒需要被严格控管。

先进制程发展所面临的相应问题

芯片制造从晶圆加工开始到最后封装测试结束，可能需要经过数百道工序，而任何一道工序稍有失误就可能导致大量的芯片报废。很多时候，细微的偏差只有等到芯片制造完成进行电性能测试的时候才能发现，这样造成的损失就非常大。

灰尘是小尺寸器件集成电路生产的天敌。在开发集成电路的过程中，已经开发了有效的方法来消除生产环境中的灰尘。如果有尺寸与电路结构元件相当的灰尘颗粒（临界尺寸，CD）或更大的灰尘颗粒意外进入设备中，会引发很多问题。在 22nm 的硅结构中只包括 41 个 Si 原子。根据这一标准，不仅颗粒构成了挑战，甚至分子造成的污染也成为越来越大的挑战。这些污染被称为空气分子污染 (AMC)。从开放式盒子到封闭式 FOUP 晶圆传送盒的转变大大降低了颗粒的污染，但同时也增加了 AMC 影响。

在 FOUP 内部环境中，AMC 有两个主要来源。最主要来源是每个工艺步骤后存储在 FOUP 中的晶圆，最后一道工序中的副产物从其表面释放，并可以被 FOUP 的高分子材料吸收或重新吸附在其他晶圆表面上。第二来源是 FOUP 的出气，出气来源于聚合物主体或其他晶圆，以及其他工艺先前吸附的副产物。由于聚合物具有吸附气体的高能力，所以 FOUP 具有其已携带晶圆的“记忆”。与这些 AMC 来源相比，良好控制的洁净室内的空气污染可以忽略不计。

在 IC 元件的制造过程中，AMC 已被确认会严重影响制程的良率和品质。当元件尺寸越小，受到 AMC 污染的影响也越显著。AMC 对于晶圆的污染过程如下：气态的分子污染物沉积到晶圆表面后就变成了表面分子污染物，再和晶圆表面其他元素进行化学反应就形成了晶圆缺陷，晶圆有了缺陷，芯片质量就下降，良率最后就降低了，这也是 AMC 微污染控制如此重要的原因。因此，为了避免



图2：普发真空针对AMC的量测设备和解决方案。

WHY CONTAMINATION CONTROL IS IMPORTANT?

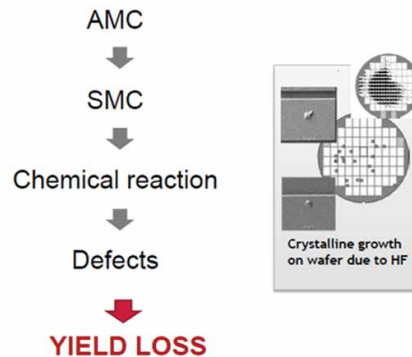


图1：AMC对于晶圆的污染过程：气态的分子污染物沉积到晶圆表面后就变成了表面分子污染物，再和晶圆表面其他元素进行化学反应就形成了晶圆缺陷，晶圆有了缺陷，芯片质量就下降，良率最后就降低了，这也是AMC微污染控制如此重要的原因。

产生良率下降和制程缺陷，AMC 和微粒需要被严格控管。

技术背景

在半导体制造业中，如集成电路的生产过程，许多关键的工艺步骤都是基于真空技术的。在硅加工过程中使用真空技术有几个原因：

- 真空允许对条件进行控制，因为它排除了硅晶片中的环境空气，如反应气体和粉尘。
- 真空允许硅和氧化硅的异性刻蚀，这是对硅晶片表面形成图案的基本工艺步骤。
- 几种基于真空的工艺允许所有类型的绝缘薄层和具有可控性的导电膜沉积在硅晶片上。

作为半导体产业微污染控制的主要供应商，普发真空拥有超过 10 年的污染管理经验，在微电子学、光学、显示器制造、光伏、制药等行业提供创新并全面的污染控制解决方案，近年来受到客户的广泛好评与信任。

为了检测并去除空气分子污染物，普发真空提供包括 APA 302 S、APA 302 LD、ADPC 302 和 AMPC 的量测设备以及 APR 4300 解决方案。

由于等待时间是保证晶圆加工灵活性所必需的制造要求，所以减少缺陷的正确方法是在升高的温度下使 FOUP 和晶圆在真空中出气，从而增加产量。为获得 AMC 的控制，关键是要在 FOUP 内部对其进行监控，而且，由于受到动态过程的支配，所以必须在生产环节中进行监控。普发真空提供了 APA 302 Pod 分析仪作为 AMC 分析的适宜工具。APA 302 在两分钟内于 ppbv

级别上提供有关总酸量、总胺量、挥发性有机化合物和水蒸气总量的信息。它可以使用空 FOUF 或载有晶圆的 FOUF 完成测量。

一旦已分析 AMC 且已确定其对产量的影响，则必须采取适当的措施来改善情况。为此，普发真空提供了 APR 4300 Pod 再生器作为在单次运行中净化多达四个 FOUF 的有效工具。这项专利机器是基于本文所提到的物理和化学气体表面相互作用的见解。Pod 分析仪遵循图 3 所描述的真空工艺。在大约 5 分钟的第一个真空调节步骤中，达到了工作压力。随后的净化工艺解吸在表面形成的 AMC，在最后一个步骤中，FOUF 返回至气压。

APR 4300 Pod 再生器通过将产量提高 7% 已经证明了其效率。半导体制造将出现新的挑战，而且，空气分子污染的剂量将变得越来越重要。因此，必须对关键生产步骤之间气压传输的替代方式进行开发。在未来解决方案中，真空技术将发挥越来越大的作用。

具体产品介绍

APA302 在半导体产业已被认定为量测 AMC 的标准设备，能够即时线上监控 AMC。它是一个开放式的平台，可依据客户需求安装分析仪，未来也可扩展多种型号。该设备基于 SEMI-S2/S8 认证的软件通讯标准，内建自动化校正系统，量测时间仅需两分钟，精度高，速度快，是半导体先进工艺污染管理的卓越选择。(https://www.iqiyi.com/w_19sb23kzsp.html 产品视频)

ADPC 系列产品是用于检测晶圆盒（用来运输半导体晶圆的盒子）内部的颗粒污染，可以全自动定位和计数晶圆盒内部表面（内表面每个面）的颗粒。ADPC 302 可全自动化管理，操作时间仅需 7 分钟，即可检测直径最低为 10nm 的颗粒，检测半导体清洗机台能力出色。

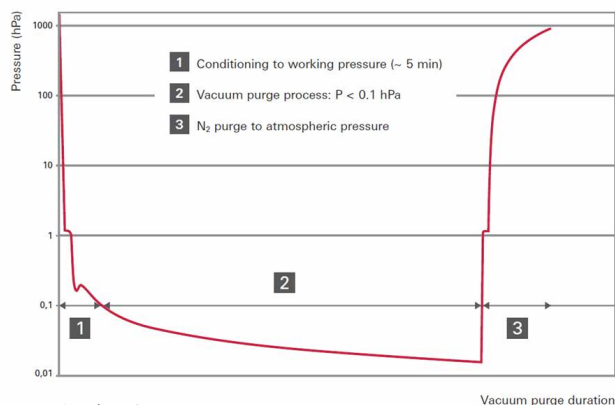


图3: Pod 再生器流程周期。

由于 AMC 在晶圆厂被认为是量产损失的主要因素，为了控制和了解污染的来源，普发真空提供 AMPC 解决方案。它的检测最小极限为 pptv 级别 (1ppt= 万亿分之一)，全自动化操作软件简单方便，反应速度快，检测范围广，适用于半导体无尘室以及机台设备的监控。

为去除晶圆盒内部污染物，普发真空的 APR 机台能够把晶圆盒的表面及内部水分和空气传播的分子污染物清除掉，从而提高晶圆良率。APR4300 具有独特的专利解决方案，可进行全自动化管理，每次可以同时清理 4 个晶圆盒，把良率提到 7%。(https://v.qq.com/x/page/b0563akqzhh.html 产品原理视频)

普发针对具体问题的技术研发和解决方案

1. 晶圆盒清洗效率的检测
2. 晶圆良率提升
3. 晶圆 Q-Time（晶圆安全时间）管理
4. 晶圆缺陷问题溯源
5. 晶圆盒质量的检测
6. 无尘室内部污染物检测

CMS新技术带来的益处

空气分子污染物管控技术 (CONTAMINATION MANAGEMENT SOLUTIONS) 是以客户为中心的全面协作解决方案，普发真空能为客户带来：

- 具有全球知识和经验的高技能团队和丰富的污染管理经验
- 创新的高性能设备
- 从研发到生产的技术支持
- 仪器的高吞吐量 (APA 302 LD 为 25 FOUFS/h)
- 可升级和扩充的产品 (最新分析仪，粒子计数器)
- 满足半导体设备和主机进行通信的协议标准

未来技术趋势

当今世界，随着半导体先进制程的发展，半导体线宽随着摩尔定律推进越来越小，气态污染物和颗粒污染物对芯片制造影响越来越大，这必定会让客户对 AMC 的防控需求也更加强烈。通过普发真空全自动化、即时、系统化、高覆盖度、全方位的监控，并且通过普发在全球半导体先进制程防控解决方案的应用，定会达到良率提升的目的。◆

超快光互连

通用芯片间光互连具有超快通信能力，新的光学I/O互连技术正以封装内电子部件的带宽密度和能耗提供封装外通信。

今天的光纤系统网络中，数据的传输速度要比铜缆网络快得多。传输瓶颈发生在电路板上的铜管脚和铜线上，在那里电子传输数据的速度要低得多。这些延迟是如此之大，以至于有一天铜互连将不得不被光信号所取代。

我们的团队来自加利福尼亚州埃梅里维尔的Ayar Labs，为这个问题提供了一个通用的解决方案。团队成立于2015年，由麻省理工学院(MIT)，加州大学伯克利分校，科罗拉多大学博尔德分校三所大学组成——我们以在微环芯片架构(micro-ring chip architectures)方面的开创性工作而闻名。

我们开发了一种芯片到芯片的光输入/输出(I/O)互连技术，解决了与电互连相关的几个弱点及其扩展限制。我们解决了与信令速度和管脚计数相关的弱点，这两个方面都会导致对电气I/O连接施加制动，并且功耗会快速增加，无法持续工作。

后一个问题不应掉以轻心，因为未来不久之后，片外



I/O消耗的功率几乎将占到封装的所有功耗。当这种情况发生时，使用主要由铜制成的电气I/O互连将是不可行的。到那时，需要转向基于光子学的芯片间通信，这项技术将消除电子I/O的瓶颈。

引入新的光子I/O架构也将满足不断增长的吞吐量需求。已经出现了异构计算，包括中央处理器(CPU)、图

形处理单元(GPU)、现场可编程门阵列(FPGA)、神经网络加速器和内存端的资源池。这一趋势要求在应用级别有更多的I/O，而电气I/O则受到管脚计数、信号和功率限制。

我们需要尽快采取行动提供动力，因为光学和电气的芯片、封装和电路板的差距正在快速上升(图1)。这就引出了一个问题：112Gbit/s的序列化器/反序列化器会(SerDes)是最后一个远程电气I/O解决方案吗？在现场部署中，系统集成商已经看到了112Gbit/s远程电气连接的限制性——它们无法跨越非车载、机架级通信所需的信令长度。

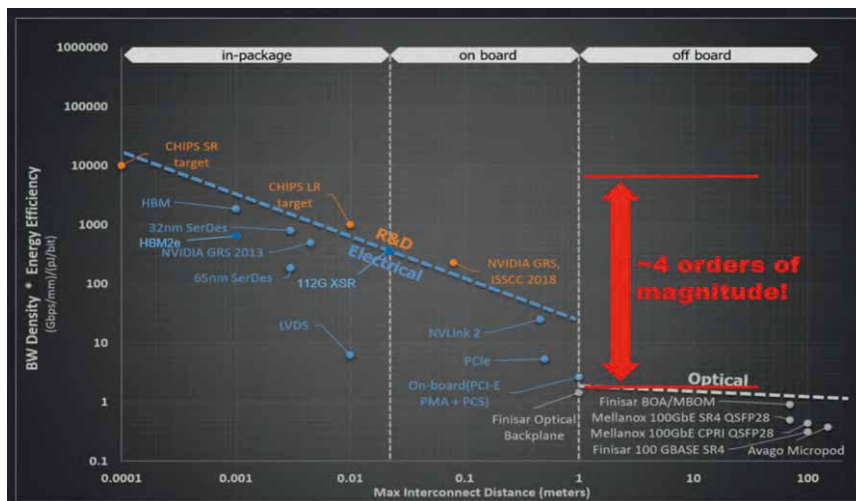


图1：光学和电气的芯片、封装和电路板之间有着巨大的差距（来源：Gordon Keeler, DARPA MTO, ERI Summit 2019）

作者：Vladimir Stojanovic, AYAR LABS

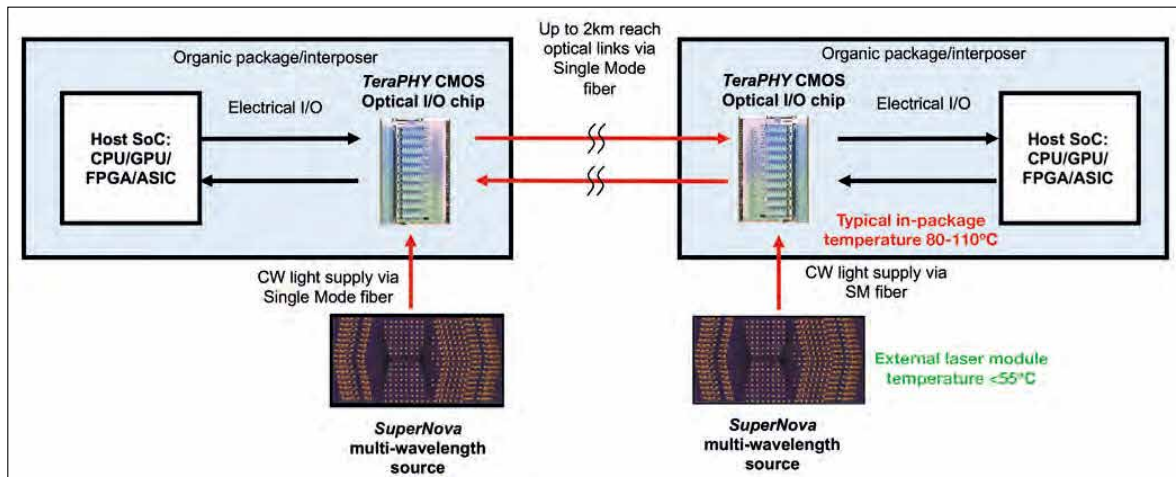


图2: Ayar实验室的封装内光学I/O系统架构 (来源: Ayar实验室)

为了评估 I/O 技术的性能, 我们使用了一个涉及许多项的优值。它考虑了来自 I/O 解决方案的边缘带宽密度, 并乘以其相关的能量效率。这提供了一个尺度, 可以捕捉到 Gbit/s/mm/pJ/bit, 从而作为距离的函数。当使用 I/O 技术跨越封装级与板级之间的界限时, 这一指标直线下降——封装内互连解决方案与提供板外连接的最新光学解决方案之间存在大约四个数量级的差距。

我们的新光学 I/O 技术进入了这个充满挑战的领域。它提供了一个通用的 I/O 解决方案, 以封装内现有电气设备的带宽密度和能源成本来提供

封装外通信。

封装内解决方案

要实施光学 I/O, 必须满足某些要求 (见图 2)。我们用自己的光学 I/O 系统架构来满足这些要求。这是一种基于小芯片 (Chiplet) 的解决方案, 直接与多芯片模块 (MCM) 封装中的主机片上系统 (SOC) 共同封装。通过集成单片电子光子 CMOS 的小芯片, 我们称之为 TeraPHY, 我们实现了一个适配主机 SOC 的灵活的电气 I/O 接口, 而无论其几何结构是宽并行还是高速串行。采用这种方法提供了灵活性, 可以在用于封装的硅中

介层和有机衬底之间进行选择。

我们的单芯片解决方案的优点之一是, 它进入了一个已经为 MCM 建立的完善制造生态系统。在我们的架构下, 我们将激光器的提供保持在模块外部。这简化了封装, 提高了激光器的可靠性, 并减轻了 SOC 封装和激光器光源的工作温度不匹配有关的问题。由于这些优势, 我们实现了将激光器进一步集成到多端口、多波长激光器模块解决方案中, 我们称之为 SuperNova。

为了实现封装内光学 I/O, 必须满足几个系统和技术要求 (见图 3)。在系统级方面, 光学 I/O 需要高密度

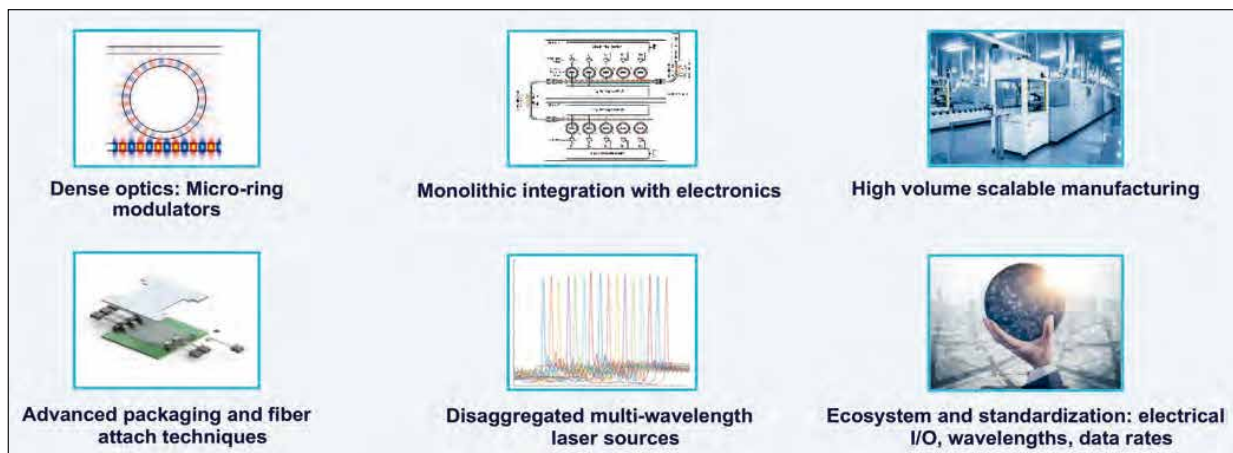


图3: 要实现封装内光学I/O, 必须解决六个方面的问题。 (来源: Ayar实验室)

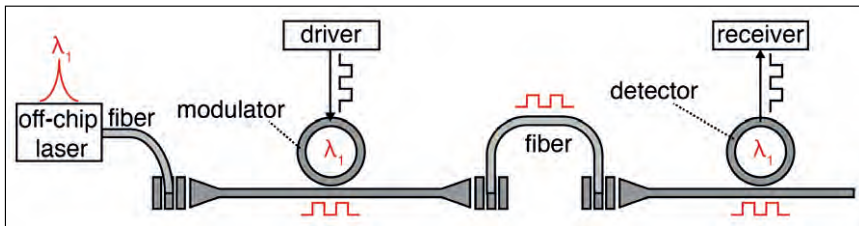


图4: TeraPHY光学I/O架构，以微环调制器和WDM为中心。(来源: Ayar实验室)

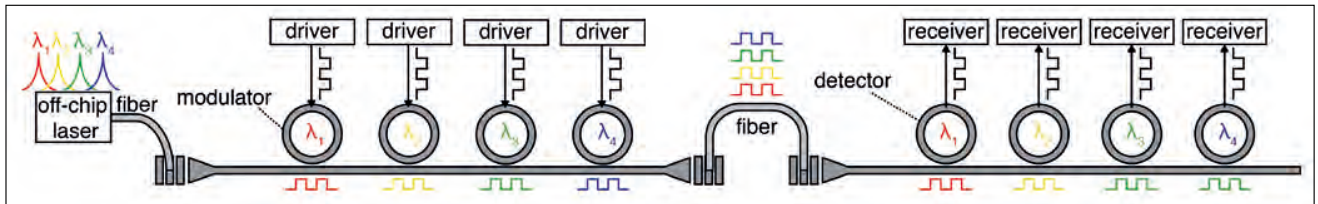


图5: 不同波长可以添加到光纤中，从而提高能源效率、带宽密度和光纤的整体吞吐量，而且不会增加后端电子器件的压力。(图片来源: Ayar实验室)

我们的微环有一个非常窄的共振，通常只有 20-40GHz，而这是在一个更大的周期，如 3.2THz 内重复。在这些条件下，微环具有波长选择性。这使得微环调制器既可以充当调制器又可以充当波分复用器，从而能够向

的光学器件和电路，能够满足未来 SOC 和应用的高带宽密度需求。为了确保成功，关键是要利用现有的 CMOS 工艺和制造基础设施，同时遵守 I/O 标准。而且，也许最重要的是，生产必须利用可扩展的、大规模的半导体制造技术。

我们通过支持每根光纤多个波长的波分复用 (WDM) 链路来满足这些要求，并允许扩展数据速率以满足未来应用的带宽密度要求。我们在同一根光纤上同时使用密集的波长，它们之间的间隔为几百 GHz。发射器和接收器分别调制 / 接收每个波长。通过利用单片集成和 CMOS 工艺，我们创造了一种小芯片驱动技术 (chiplet-driven technology)，将电子和光子器件紧密集成在一起，同时提高了带宽密度和能量指标。最后，我们的单片方法利用了 CMOS 代工厂的生态系统和多芯片模块的可扩展大规模封装制造。因此，我们已经创建了一个先进封装和光纤连接兼容的解决方案。

微环调制器和 WDM 技术 (见图 4)。它的关键是基于非专利标准的片外连续波激光器。这个发光器通过连续波 WDM 多源协议 (CW-WDM MSA) 驱动，为 TeraPHY 芯片提供一个或多个波长的光功率。光通过耦合器进入芯片，然后在光波导中沿着芯片传播。当光遇到一个微环调制器时，它将数据从电域转换到光域。

同一光纤 / 波导中添加更多波长。通过用硅制造我们的微环调制器，我们使用的材料与在芯片上制造所有晶体管和光学器件的材料相同。

我们小芯片的输出耦合到光纤并发送到接收器芯片。在这里，微环探测器将数据从光域转换到电域。微环探测器实际上起着双重作用，将探测器的任务与波分解复用器的任务结合

优化光学架构

我们的光学 I/O 架构的核心是

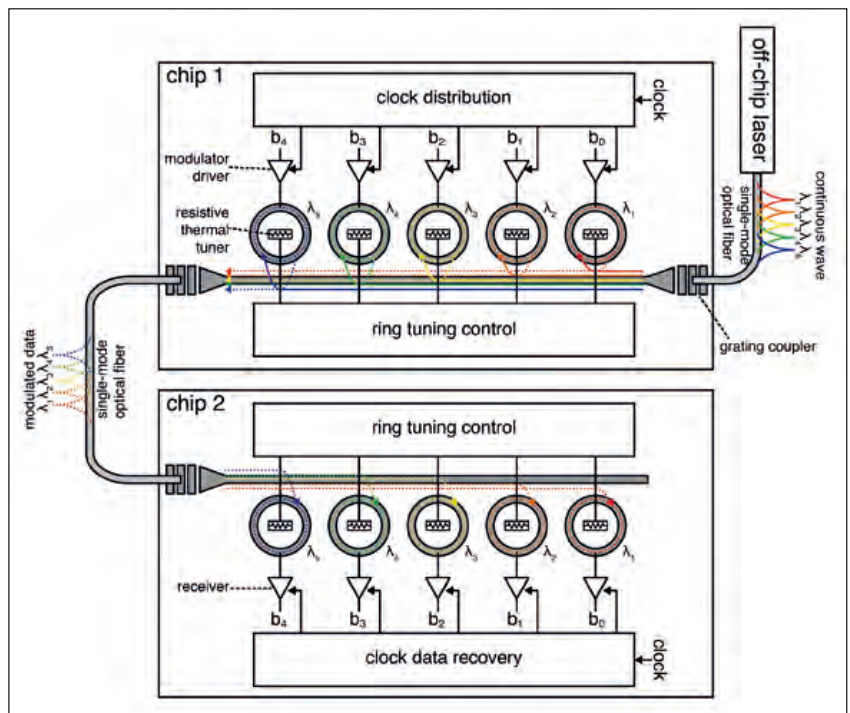


图6: 一个完整的WDM链路系统，其中有集成了光子组件的电路。(图片来源: Ayar实验室)

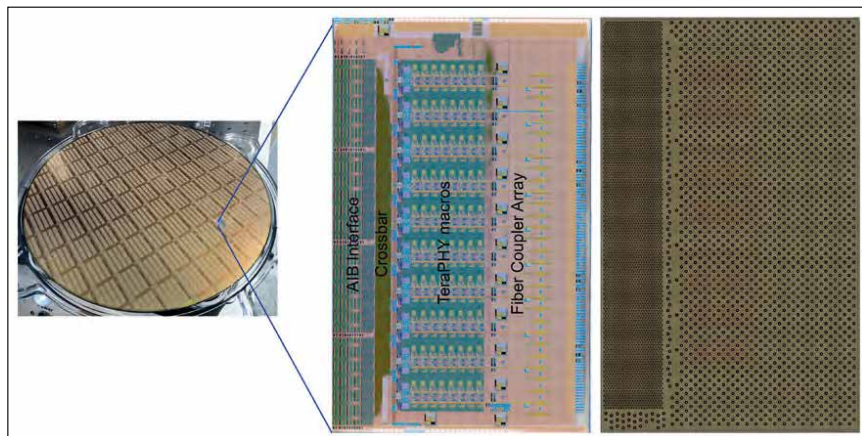


图7: 具有混合间距凸点的TeraPHY芯片 (图片来源: Ayar实验室)

起来, 为接收器选择调制波长。

我们可以通过向光纤中添加波长来增加链路的带宽密度, 以及光纤的总吞吐量。这是我们在不增加后端电子设备压力的情况下实现的改进。使用级联微环作为独立的通信通道, 我们实现了每根光纤多达 64 个微环。这就形成了一种每根光纤最多可提供 6 到 8 TB/s 的技术 (见图 5)。

在此项进展以及其他技术的基础上, 我们构建了一个完整的 WDM 链路系统, 该系统由电子和光子器件集成而成。电子器件通过热调谐和波长锁定来调制和接收数据并控制微环共振 (见图 6)。利用我们的技术, 在锁定接收器之前, 发射器环形调制器的谐振被锁定到入射激光波长。通过协同工作, 锁定环跟踪局部和全局温度波动, 同时补偿激光器、发射和接收芯片中出现的工艺引起的波长网格非理想性。

由于微环器件采用 CMOS 晶体管集成技术实现了小型化, 我们的互连在带宽密度和能效方面都表现出色。链路架构使我们能够创建 TeraPHY, 它本质上是一个提供 Tbit/s 光连接的小芯片, 并提供了一种替代电气序列化器 / 反序列化器小芯片组的方法。

我们演示的小芯片的主要特点是: 一个 24 通道高级接口总线 (AIB), 提供了 906Gbit/s 的总数据带宽; 10 对光子 Tx/Rx 宏对, 可配置为每个宏 125Gbit/s 至 256Gbit/s, 相当于每个芯片 1.28Tbit/s 至 2.56Tbit/s; 一种用于光信道的非归零调制格式, 消除了前向误差校正的需要; 可达 2 公里传输距离; 以及全部包含在内预估小于 5pJ/bit 的能量效率。

我们的 TeraPHY 小芯片像电子芯片一样工作。为了确保这一点, 我们使用了各种间距的凸点——其中有紧密的 55 μm 间距用于 AIB 接口标准, 以及混合间距的组合, 因为我们的芯片使用了嵌入式多模硅互连桥的变体 (见图 7)。通过这种布置, 主芯

片通过一块硅与其他芯片相连。它已嵌入有机基板中, 以使用 55 μm 间距的裸片之间的凸点提供细线连接。这使得精细间距 2.5D 型封装得以实现, 而不必使用硅中介层。相反, 我们可以使用有机基板, 它在面积和产量方面提供了更大的灵活性。

我们的封装内小芯片的一个主要卖点, 是为任何 SOC (包括 FPGA, CPU, GPU, 张量处理单元和交换机) 提供了通用的非封装互连解决方案。具体应用包括: 雷达; 数据和高性能计算机架的分类资源; 前面板 RFIC 阵列和后端数字波束形成处理器之间的 5G 连接; 以及人工智能计算的扩展, 如 GPU 到 GPU, TPU 到 TPU, FPGA 到 FPGA, CPU 到 GPU。

提供演示

早在 2020 年 3 月, 我们就提供了我们的小芯片技术的现场演示。在美国国防高级研究计划局 (DARPA) 的“光子芯片的极端可扩展封装 (PIPES, Photonics in the Package for Extreme Scalability)”计划下, 我们与英特尔合作, 用光信号接口取代了最先进 FPGA 的传统电气 I/O。

这项工作利用了英特尔先进的封装和互连技术, 将 TeraPHY 光学

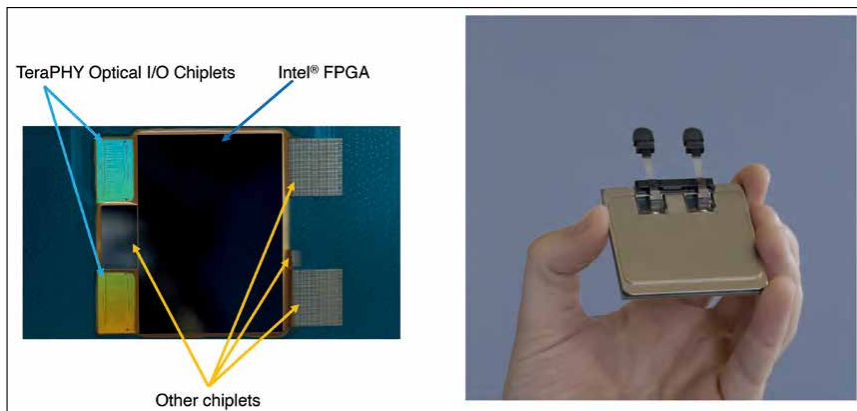


图8: 带封装内光学器件的多芯片封装组件 (来源: Ayar实验室)

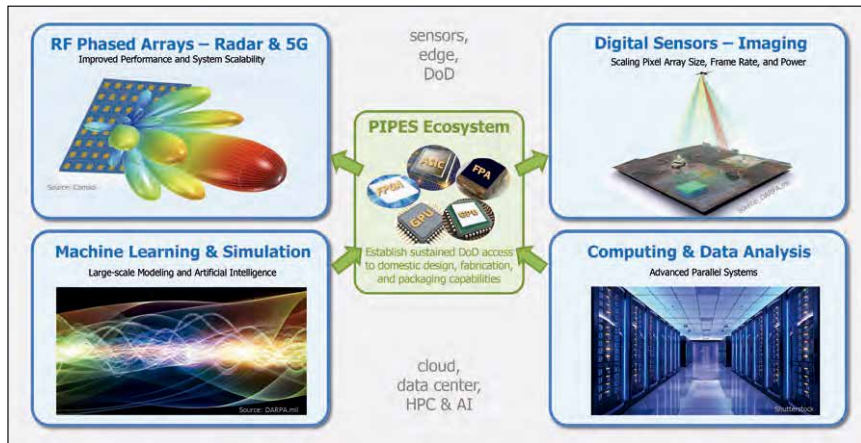


图9: 具有光子接口的高级集成电路的应用领域 (来源: Gordon Keeler, DARPA, ERI Summit 2020)

I/O 小芯片和英特尔的 FPGA 核心集成在一个封装中, 以创建一个带有封装内光学器件的 MCM (见图 8)。这种 MCM 极大地提高了互连范围、效率和延迟, 并最终实现了以直接来自 FPGA 的单模光学激光器为特征的高速数据链路。我们小芯片上的光波导, 是在硅中形成的, 是铜导线的光学等价物。当我们把两个波导靠近时, 我们可以把光子和能量从一个波导传输到另一个波导, 从而形成一个耦合器。在耦合器内, 一个直径为 $10\ \mu\text{m}$ 的微环谐振器对光的相位进行电调制并控制其方向。光要么通过, 被引导到一个下降口, 要么被允许在微环内耗散掉。

我们使用 Global Foundries 的 45 纳米平台进行 CMOS 芯片制造。这支持构建我们的联合封装小芯片组, 该小芯片组可提供 2Tbit/s 的 I/O 带宽, 与电气 I/O 相比, 实现带宽的功率消耗仅为电气 I/O 的一小部分。

DARPA 的 PIPES 计划的目标是开发先进的集成电路, 这种集成电路具有光子接口, 能够在能量低于 1pJ/bit 的情况下驱动每个封装 I/O 的带宽大于 100Tbit/s。在 FPGA 中部署这种性能级别的接口将提高高性能计算、AI、

大规模仿真和美国国防部的能力, 如射频阵列、先进雷达和 5G (见图 9)。

我们的演示为每个宏提供了 8 个波分复用通道, 在单个芯片上跨 4 个光学宏使用 16Gbit/s/波长的 I/O 数据速率。这提供了 512Gbit/s 的连接。

这次演示涉及英特尔为另一个 DARPA 项目开发的低功耗信号标准和小芯片封装工艺。这项工作还使用了英特尔的通用接口标准, 即 AIB。它是一个公开的、开放的接口标准, 使我们能够集成 MCM 和封装内光学器件。

在生产中, 我们的单个小芯片在 64 个波长通道上的 I/O 预计将达到

2Tbit/s, 每波长达到 32Gbit/s。而且无需前向纠错, 延迟小于 10ns。我们的小芯片还可与片外多波长连续波激光光源协同工作, 并与封装合作伙伴的任何类型的系统集成 (可以是 CPU、GPU、ASIC 或 FPGA), 以便在长达 2 公里的距离内连接交换机、服务器和卡板。

除了我们与 DARPA 和英特尔的合作之外, 我们还在继续推进我们的封装内光学 I/O 技术。在 2020 年 7 月的单芯片封装演示中, 我们又向前迈出了一步, 展示出我们基于微环的 WDM 可以满足下一代高性能芯片间 I/O 的要求。这项工作展示了 25Gbit/s 发射器和 25Gbit/s 接收器, 其中值得注意的成就包括发射器端的总带宽为 800Gbit/s, 接收器端的误码率低于 1×10^{-12} (见图 10)。综合起来, 能源效率达到仅为 4.91pJ/bit。

这次演示是展示我们小芯片全部功能的道路上的一个里程碑。通过以 32Gbit/s 的速度运行每个波长通道, 我们的单个小芯片可以提供 2Tbit/s 的传输和接收总带宽。我们计划推出一款 2Tbit/s 的 TeraPHY 小芯片。但这仅仅是我们技术路线图的开始——

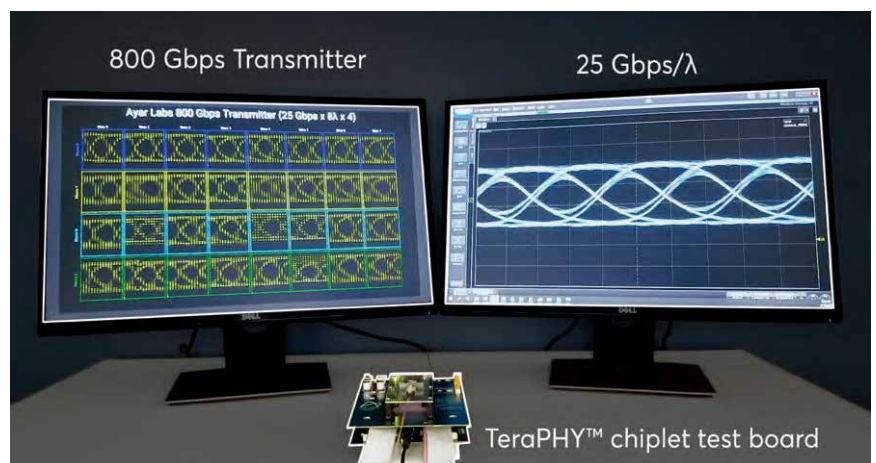


图10: 在单芯片封装演示中, Ayar实验室演示了25Gbit/s发射器和25Gbit/s接收器, 发射器端的总带宽为800Gbit/s。(来源: Ayar实验室)

我们将开辟一条达到每芯片 32Tbit/s 的路径，同时实现每比特仅 1 个皮焦耳 (pJ) 的功耗。

未来之路

通过使用单片封装光学芯片生产我们的器件，我们在利用现有小芯片生态系统和大规模制造 MCM 组装方法方面处于独特的地位。由于光学器件采用了相同的封装，我们在能源效率和带宽密度方面没有受到传统距离权衡的束缚。这将为以封装内互连的成本、能量和带宽密度，进而实现具有非封装通信的新的超高性能计算机体系结构打开了大门。

值得强调的是，实现这种在同一个芯片上集成了光子芯片和电子芯片的芯片，其关键在于光子组件的单片集成。这种方法在大学的的研究中取得了许多成果，为我们的公司奠定了基础，而且通过进一步的开发，我们现

在可以取得更多的突破。我们现在正在改进一项技术，将光子组件与先进的晶体管直接集成在 45 纳米的工艺中，以创建复杂的电子 - 光子系统，例如 WDM 链路。

使用这种方法，我们可以创建单个 CMOS 晶圆，其中包含集成光子组件和晶体管的芯片，从而能够支持各种各样的电气接口。

将我们的方法与同行的方法进行比较，您会发现许多 SOC 制造商都提出了 MCM 技术，这是因为需要在复杂的应用（如 GPU、CPU、内存或 I/O）上实现混合芯片功能。这种方法的一个主要缺点是，这些功能需要不同的工艺和工艺节点——无论是 10 纳米或 7 纳米技术中的 DRAM 节点还是 CMOS 节点，MCM 组装的复杂性比开发包含所有功能需要的全部特性的工艺更具成本效益。此外，即使对于相同的功能，MCM 方法也可

以通过将一个大芯片（例如 64 核微处理器）分解成良率更好的更小的芯片（例如 8 个 8 核芯片），以此提高良率并进而显著降低成本。

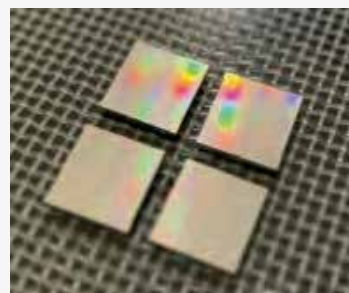
我们现在开始与选定的合作伙伴一起试用我们的第一代 TeraPHY 小芯片。这是一个旅程的开始，它将延续到新一代的小芯片。我们计划通过解决不同主机 SOC 需求和封装场景的电气接口变体来推进我们的技术，并通过增加波长数和每个波长的数据速率来提供更大的吞吐量。目标应用存在于人工智能、超级计算、数据中心、航空航天、国防、电信以及最终的自动驾驶车辆中。◆

注：这项研究是由美国国防高级研究计划局 (DARPA) 资助的。所表达的观点、意见和 / 或调查结果都属于作者本人，并不代表国防部或美国政府的官方观点或政策。

Ayar Labs 达到生产里程碑

Ayar 实验室于 2020 年 12 月利用 Global Foundries (GF) 的下一代 45nm 光子芯片制造平台，成功展示了其获得专利的单片电子 / 光子解决方案。这是业界首创的，也是为人工智能、高性能计算、云计算、电信和航空航天等需要大量数据的应用提供大规模芯片间光连接的关键里程碑。

据 GF 硅光子芯片副总裁 Anthony Yu 所说，“Ayar 实验室在硅上工作的突出成果对 Global Foundries 很重要，对行业来说更重要，因为硅上工作在我们的下一代 45 纳米平台中的结合，该公司将于明年下半年进行生产认证，使该产品和使用光子芯片的封装内光学 I/O 处于大批量生产



和光子学更广泛地进入该行业的风口浪尖上。这将改变整个产业。”在演示中，Ayar 实验室展示了功能强大的高性能模拟晶体管前端达到每波长每秒 32Gbit，这些前端连接到芯片上的微环调制器和光电探测器等光子器件上。他们还展示了功能齐全的发射器和接收器，它们都使用商用现成的

FPGA 及其 TeraPHY 光学 I/O 芯片，以光学方式发送和接收数据，每比特数据使用的能量不到两皮焦耳 (pJ)。请参见 ayarlabs.com 上的演示内容。

该公司还宣布了一项扩展的下一代小芯片送样计划，该芯片是在 GF 最新的硅光子芯片制造工艺基础上开发的，可通过 ayarlabs.com/starterkit 索取。

突破性干膜光刻胶技术： 满足下一代器件的缩放需求

随着芯片制造商开始转向更先进的技术节点，愈发精细的特征成为了棘手的难题。其中一个主要难点是将芯片设计转到晶圆上的材料，因为当前的材料很快就无法满足精细度要求。为了能及时满足下一代器件的缩放要求，泛林集团推出了一项突破性的干膜光刻胶技术。要更好地了解该解决方案，我们需要首先了解图形化工艺和当前使用的光刻胶，之后再探讨该技术的潜在优势。

图形化：创建芯片特征

高级芯片的制造可能需要经历数百个不同的步骤，因为其中的微观特征需要一层层地构建。光刻是其中最重要的工艺步骤之一——整个半导体制造过程中，需要不断的重复，再加上沉积和刻蚀，这些步骤将芯片的设计最终呈现在晶圆上。

在光刻过程中，需要在晶圆上涂覆被称为光刻胶的光敏材料，然后利用光掩膜（包含透明和不透明区域的图案）有选择地让部分光刻胶暴露在光下，之后就可以针对外露的部分进行刻蚀，其他部分则仍受（正性）光刻胶覆盖和保护。这样的方法让我们能够在覆盖光刻胶的晶圆上刻出想要的一组特征，其尺寸和密度则由原始的器件设计图形

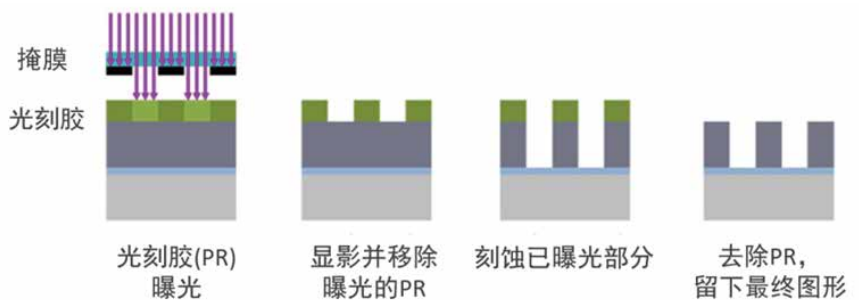


图1：光刻的基本过程。

决定。

芯片最小特征的尺寸和光刻过程中所用光的波长成正比。基于这一特性，波长更小的极紫外 (EUV) 光刻系统能够制造出比之前更精细的芯片特征，这一点类似于智能手机的屏幕分辨率——像素越小，显示精细度就越高。

光刻胶的作用

光刻胶又称光致抗蚀剂，在光刻工艺中发挥着关键作用。优质的光刻胶需要具备高分辨率、高灵敏度和较低的线边缘粗糙度 (LER)。

- 分辨率是指可生成胶膜的最小尺寸，它由光刻胶材料与入射光子发生反应的能力决定。
- 线边缘粗糙度体现了最终特征与设计要求的差距；而 LER 数值为零时则代表沟槽壁达到了原子层

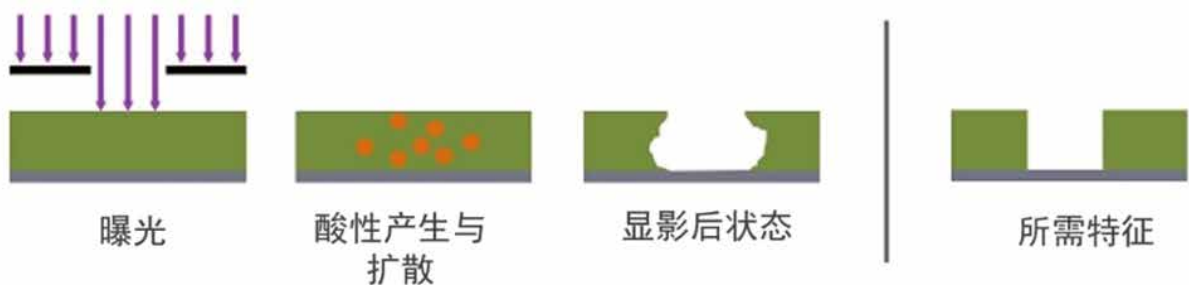


图2：CAR的原理和技术瓶颈。

级的完全垂直。

- 敏感度用来衡量创建特征所需的能量；光源强度越低，敏感度的要求就越高。

同时做好以上三个参数是很困难的，因为它们会相互影响，提升其中一个参数往往意味着要牺牲至少另一个参数——即它们之间具有“RLS 折衷关系”。为了更好地理解这种关系，我们首先需要了解光刻胶的工作原理。

CAR光刻胶的原理

除了主要的聚合物基体以外，如今的化学放大光刻胶还包含很多其他成分，包括吸收剂、光致酸产生剂（PAG），以及控制粘度、粘附性和稳定性的添加剂。光子（一种非常微小的光粒子）触及光刻胶时会引发改变材料结构的链式反应，使受反应影响的材料可溶性变高，随后可通过显影步骤将其移除。其中链式反应部分包括对初始光子的化学放大，指的是将光子转换成几个电子，并最终让每个人射光子产生几种光酸分子。采用了化学放大技术的材料就被称为化学放大光刻胶（CAR）。

CAR 的优势在于，只需提高每个光子产生的光酸分子数量就可以提升光刻胶的敏感度。但是更多的光酸分子意味着它们会愈发远离原始光子的位置，导致图像更加模糊、分辨率降低并提高线边缘粗糙度。

虽然 CAR 在过去几十年间有了长足的进步，但到了 5nm 节点之后该技术领域已面临重大瓶颈，这就要求芯片制造商进行设计调整、半导体制造厂采用多次光刻过程以满足分辨率要求。为了平衡 EUV 光刻技术的成本和设计难度，将其拓展至未来的工艺节点，我们需要一种创新的光刻胶解决方案。

干膜光刻胶解决方案

泛林集团与 ASML 和 imec 合作研发出了一种完全不同于旋转涂胶的突破性光刻胶技术。通过使用气相的反应前体，这种技术能够制出均匀且一致的薄膜。

这项新的技术需要用干法沉积微小（<0.5nm）的金属有机粒子，而这种方法具有多项优势。首先，现在的 EUV 光源波长更短，产生的光子数量成倍减少，而这项新技术的重要特征就是可以通过高密度光敏粒子框架更加有效地捕获光子。

此外，由于采用完全不同于 CAR 中链式反应的曝光机制，新技术的分辨率也更高。在国际光学工程学会（SPIE）

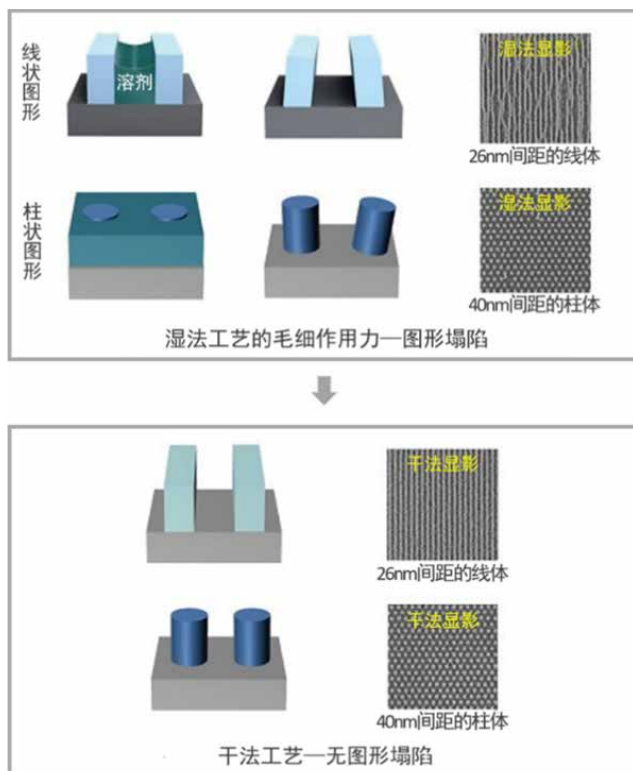


图3：干膜光刻胶与传统CAR光刻胶对比。

的先进光刻技术研讨会上，我们展示了利用该技术在 26nm 间距上成功实现成像，最佳 Z 因子 $<1 \times 10^{-8} \text{ mJ nm}^3$ 。

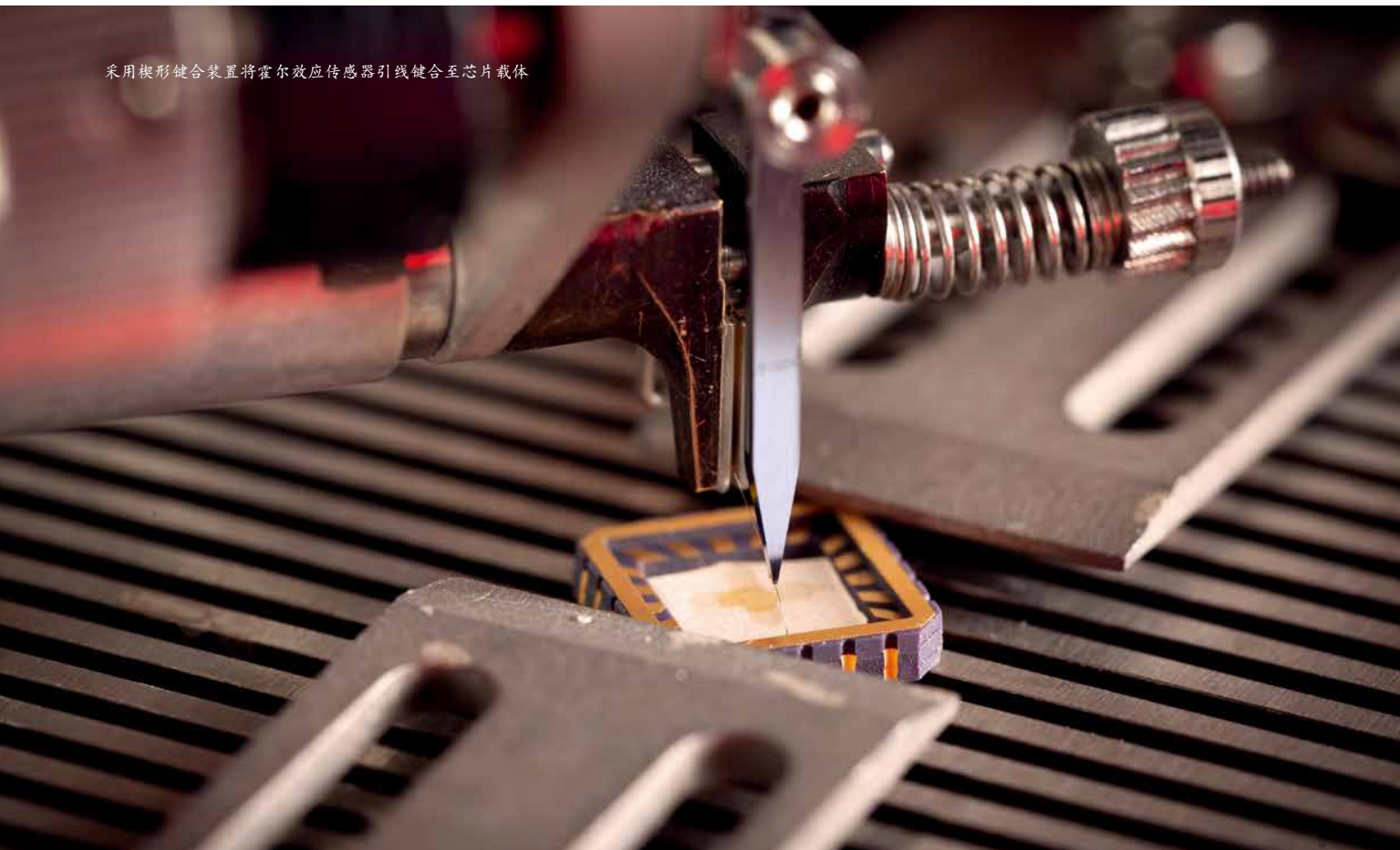
干法沉积的一大特点是只需改变沉积和显影时间就可以改变光刻胶厚度。相比之下，改变旋转涂胶厚度的难度要大得多，因为它必然会涉及到粘度和表面粘附问题，最终不得不做出影响光刻性能的妥协。使用干式方法，我们就可以同时优化干膜厚度、光子吸收、转移刻蚀和底层粘附，从而摆脱必须权衡线边缘粗糙度、敏感度和缺陷 / 器件良率的难题。

除打破 RLS 折衷关系以外，干膜技术还有其他优点。相对于旋转光刻胶，该技术不受粘度、化学保质期等限制因素的影响。由于不再需要添加用来控制粘附性或稳定性的添加剂，干法沉积获得的材料纯度更高，因此敏感度也更高，且重要的是非常适合之后的干法显影工艺。

新的干法显影工艺在经过共同优化后能够最大限度减少线条和柱状图形塌陷。不受湿法工艺所固有的毛细作用力影响，干法显影的无塌陷工艺窗口期明显更长。

泛林集团的干膜光刻胶和显影技术能加速业界转向满足未来节点要求的 EUV 光刻应用，并且让面向高级逻辑和内存器件的持续缩放成为可能。◆

采用楔形键合装置将霍尔效应传感器引线键合至芯片载体



新型石墨烯霍尔效应传感器 可提供高性能

石墨烯凭借其独特的二维（2D）能力，长期以来一直深深吸引着电子器件开发人员。但是，在获取石墨烯的同时保持其最受欢迎的特性，这被证明是很难做到的，因而延缓了它的普及。英国Paragraf公司首席执行官 Simon Thomas 博士说，该公司已经做好准备，用独特的产品（包括性能稳健的霍尔效应传感器）打破这种现状。Paragraf 成功的关键是其大规模制造石墨烯的新方法，目的是为石墨烯在电子领域中的应用商品化提供支持。

很长一段时间以来，人们一直十分关注石墨烯。石墨烯是元素碳的一种单原子厚度同素异形体，它在薄度、灵活性、坚固性和导电性方面拥有一些卓越非凡的特性。人们不无夸张地将石墨烯描述为一种“神奇的材料”，它将在整个电子行业中觅得变革性的应用。

然而，事实证明，要达到那种提高的期待感是不容易

的。迄今为止，石墨烯作为一种材料，在很大程度上未能在电子器件应用中发挥其潜力，这主要是由于它的制造和加工方式所致。考虑到这一点，有必要问一个相关的问题：石墨烯能达到广告宣传和炒作的性能吗？

要找到这个问题的答案，我们需要退后一步，看看制造面向电子行业的石墨烯所面临的一些挑战。大多数商业

化生产的石墨烯，其制作方法要么是剥离石墨，要么是在金属衬底（最常见的是铜箔）上形成石墨烯。虽然剥离石墨的做法能生产高质量的石墨烯，但是，这样生产出来的石墨烯通常面积非常小、多层、非均质、且不可定制；因此，除了在研发层面以外，它并不适合于电子器件。

另一方面，对于在铜箔上生长的石墨烯，在合成之后需要转移到电子器件兼容的衬底上，涉及各种不同的湿法和干法转移工艺过程，这些工艺过程会影响石墨烯在电子器件中的运作方式。而且，石墨烯还会被铜所污染。这些挑战意味着，市场上一直缺少无污染、无转移流程的大面积石墨烯，而且在大众市场电子产品中的应用普及仍然很缓慢。如果石墨烯想要在电子行业崭露头角，新的解决方案显然是必需的。

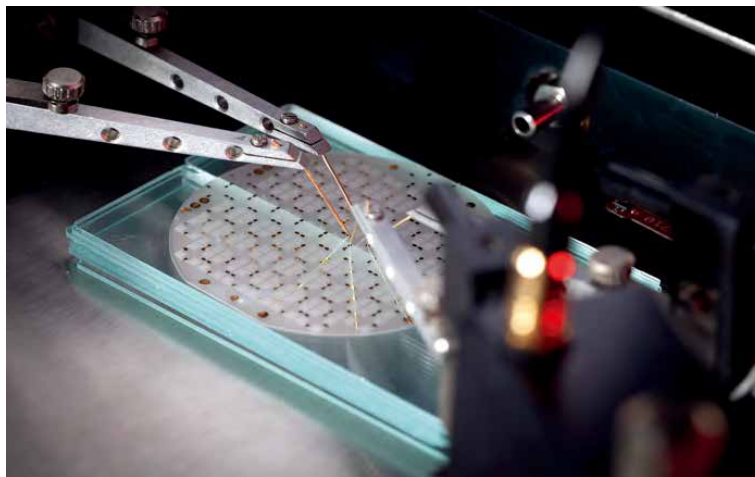
新颖的技术带来真正的希望

Paragraf 公司挺身而出，它开发了一种大规模生产石墨烯的创新方法，这引起了不小的轰动。这个令人兴奋的成果与一项可扩展且已获专利的技术有关，该技术运用特定的工艺流程制造出了大面积、高质量的石墨烯（目前的最大直径为 8 英寸）。

此方案使用了一种改进的沉积方法，不再需要大多数大面积石墨烯合成方法中常用的转移工艺过程。因此，石墨烯可以直接在多种衬底上以均匀单层的形式生产，包括硅、碳化硅、蓝宝石、氮化镓，以及其他半导体兼容的衬底。另外，它还没有金属污染。

于是，从表面上看，这种可扩展的方法为开发面向电子应用的石墨烯消除了许多棘手难题。下一步是通过确定合适的应用，并将具商业利益的产品推向市场，以充分利用这些技术进步。

事实上，这个过程业已开始，Paragraf 的科学家和工程师开发了一款新型石墨烯基霍尔效应传感器。现有的霍尔效应器件采用硅制造，主要用于磁传感。然而，它们在



晶圆片上霍尔效应传感器的电测量

灵敏度、准确度和磁场范围方面存在局限性。Paragraf 认为，他们的石墨烯器件将克服许多这些性能抑制参数。

那么，我们就略微详细地来看看这些说法。首先，我们具体地了解一下，作为一种材料，石墨烯为什么如此适合在霍尔效应传感器中使用。至关重要的一点是，石墨烯具有一种被称为表面载流子浓度（sheet carrier concentration）的特性：本质上说，就是可以通过这种携带电荷的材料电子数量，这个数量非常低。当配置此类材料以与其他电场或磁场相互作用时（比如在霍尔效应传感器中），该特性直接转化为器件中非常高的灵敏度水平。按实际值计算，这种灵敏度会比硅等标准半导体材料高 30 到 50 倍。

重要的是，石墨烯是一种二维材料，这意味着它不会表现出与较厚或块体材料相同的方向特性。这一点对于霍尔效应传感器尤其有用：传统器件存在的问题之一是传感材料的厚度，因而导致传感层需要是三维的。这使得不垂直于传感方向的场分量也被感测，并因此产生错误信号。这就是所谓的平面霍尔效应。由于单层石墨烯天生厚度很薄，所以 Paragraf 传感器中没有平面霍尔效应，这样一来上述错误信号被剔除，从而实现较高精度的磁场映射。

至关重要的一点是，石墨烯具有一种被称为表面载流子浓度的特性：本质上说，就是可以通过携带电荷的材料电子数量，这个数量非常低。当配置此类材料以与其他电场或磁场相互作用时（比如在霍尔效应传感器中），该特性直接转化为器件中非常高的灵敏度水平。

此外，石墨烯非常坚固，且不会遭受热冲击的损害，而传统半导体器件遭受热冲击的情况则是很常见的。这使得传感器能够在更加极端的温度下工作，远远高于或低于标准硅半导体器件的工作温度。它们可以在低于 -271°C (1.8 K) 的极端低温条件下使用，目前的最高工作温度达 80°C (353 K)，意味着它们可以在超导环境中使用，同时保持高灵敏度。

不但拥有抗热冲击能力，而且不需要静电放电保护，因此，可以将这种传感器直接插入市电 (220V)，而不会产生任何不利影响。这使得该传感器在工业环境中更容易操控。石墨烯基霍尔效应传感器还具有非常低的功耗 - 皮瓦 (PW) 级功耗和纳安 (nA) 级驱动电流 - 因此与其他霍尔效应传感器相比，它们将不会造成低温环境变热，并可以节省能量。Paragraf 的首席执行官 Simon Thomas 博士表示，这些绝佳的性能属性意味着，Paragraf 传感器能够在广泛的应用和技术中提供解决方案，而不存在现有器件所受的限制。

他解释说：“这样高的分辨率，加上没有平面霍尔效应，使之拥有了非常高的准确度，远远超过了采用市面上任何其他霍尔传感器所能达到的水平。还有，考虑到它采用的是小型封装，并在极端条件下具有坚固性，因此，最



Paragraf 的科学家在对封装器件进行电气测量

终呈现给用户的是一种极富吸引力的器件，该器件可以提供与磁通门传感器和核磁共振 (NMR) 探头旗鼓相当的性能水平。”

现场测试提供验证

在与几个合作伙伴进行的现场测试中，已经对 Paragraf 传感器的技术特性予以了验证。例如，Paragraf 正在与欧洲核子研究组织 (CERN) 的磁测量实验室开展



利用原子力显微镜对晶圆上器件进行分析

合作，后者已测试了传感器，看看它们能否准确地映射在 CERN 的独特设置中使用的电磁体中的磁场。

现场测试很确定地表明，Paragraf 传感器的平面霍尔效应可以忽略不计，因此仅测量沿着期望测量轴的场分量。CERN 希望构建霍尔效应传感器的堆叠式映射系统，该系统能够采用 Paragraf 的器件提供非常准确的磁场测量。

Paragraf 还分别与英国国家物理实验室 (NPL) 和伦敦大学皇后玛丽学院一起开展工作，与前者合作是探讨传感器在极端严酷环境中的适用性，而与后者合作则是研究石墨烯在电子器件中替代钢锡氧化物的可能性。

Thomas 补充说：“霍尔效应传感器展示了它在一系列磁场测量应用中的通用性，这种情况在未来的几年里还将继续下去。传感器的宽工作温度范围和高灵敏度开辟了以前不可能涉足的应用领域。”

他最后说到：“航空航天工业就是一个例子，在该领域中，可以将它们嵌入航空发动机中，用于完成故障的实时连续监控。此外，一旦与 NPL 一起参与的测试工作完成，



Paragraf 的科学家在手套箱的内部对器件进行试验

而且传感器被证明能够在恶劣的辐射环境中工作，那么它的应用可能会包括：用作核能系统拆装机器人和太空卫星内的位置传感器。”

欧盟委员会资助的石墨烯旗舰研究项目开发出新转移技术

利用二维石墨烯来制造先进的光子和电子器件有着诱人的前景，因而在工业界和学术界激发出数十亿欧元的投资。但是，要将石墨烯引入实际、广泛的应用被证明是很难做到的。将二维材料从生长基质 (growth media) 转移到目标衬底一直是一个巨大的障碍。传统的应对方法通常不符合大批量制造的要求，或者会使二维材料的品质显著下降。

帮助欧洲制造商充分发挥石墨烯的潜力，这是欧盟石墨烯旗舰研究项目的中心目标。2 月 10 日，石墨烯旗舰项目的研究人员公布了一种将石墨烯转到传统制造的新方法。瑞典和德国的研究人员最早在近期《Nature Communications》(自然通讯) 期刊上发表的一篇文章里报告了他们采用的方法。

文章的第一作者瑞典皇家理工学院研究员 Arne Quellmalz 指出：“一直以来，将 (石墨烯) 从特殊的生长衬底转移到最终衬底 (在它上面制造传感器或组件)，这个关键步骤是始终存在的。你可能希望将石墨烯光电探测器与硅读出电子器件相整合，但是，这些材料的生长温度过高，因此不能直接在器件衬底上做这件

事情。”该石墨烯旗舰项目的研究人员称，他们的解决方案之所以富有吸引力，在于使用了现有的半导体制造工具包：将标准介电材料 - 双苯并环丁烯 (BCB) 与传统的晶圆键合设备相结合。

Quellmalz 解释说：“大致说来，我们是用一种由 BCB 制成的树脂将两块晶圆片粘合在一起。我们加热该树脂，直到它变得粘稠 (像蜂蜜一样)，然后将二维材料压在它上面。” Quellmalz 表示，在室温条件下，该树脂变成固体，并在二维材料和晶圆片之间形成稳定的连接。石墨烯旗舰项目合作伙伴 AMO GmbH 和德国亚琛工业大学的 Max Lemme 教授最后说到：“为了堆叠材料，我们将加热和按压工艺步骤重复。这项工作是很重要的步骤……虽然很多后续挑战仍然存在，但是，潜在应用的范围是很大的。对于欧洲的高科技产业来说，二维材料的集成可能是一项真正改变游戏规则的技术。”

石墨烯旗舰研究项目开发的新型二维材料转移工艺不同于英国 Paragraf 公司的专有方案，Paragraf 公司已经将其工艺用于制造商用器件 (其中包括传感器)。

规模更大
全球专家连线

SiP技术与先进封测展

第五届中国系统级封装大会·深圳站

从IC设计到终端制造，打造SiP全产业链嘉年华！



扫码注册，参与9月SiP深圳站
2021年9月1-3日
深圳国际会展中心 5/6/7/8号馆

展区展示范围

- SiP封装设计与应用、SiP封装工艺与测试、SiP封装材料及设备
- IC设计与制造
- IC封装测试
- EDA工具
- 半导体材料与工艺

大会热点议题

- SiP装配技术创新
- SiP设计和系统集成
- 先进SiP材料和互连技术
- SiP测试解决方案

*大会议题更新中，最终议题以现场为准。

部分参与企业 排名不分先后



Advertiser	广告商名称	网址	页码
奥林巴斯(北京)销售服务有限公司		www.olympus-ims.com.cn	27
ELEXCON 2021	2021 深圳国际电子展暨嵌入式系统展	www.elexcon.com	47
IC China 2021	2021第四届全球IC企业家大会暨第十九届中国国际半导体博览会	www.ic-china.com.cn	IBC
ITW EAE		www.itweae.com	11
锐德热力		www.rehm-group.com	1

欢迎投稿

《半导体芯科技》(Silicon Semiconductor China, SiSC)是面向中国半导体行业的专业媒体,已获得全球知名权威杂志《Silicon Semiconductor》的独家授权。本刊针对中国半导体市场特点遴选相关优秀文章翻译,并汇集编辑征稿、采编国内外半导体行业新闻、深度分析和权威评论等多方面内容。本刊由香港雅时国际商讯(ACT International)以简体中文出版发行。

本刊内容覆盖半导体制造工艺技术、封装、设备、材料、测试、MEMS、mini/Micro-LED等。文章重点关注以下内容:

FAB (Foundry, IDM, OSAT, R&D)

四个环节:晶圆制造(wafer后道)、芯片制造、先进封装、洁净室;深入报道与之相关的制造工艺、材料分析、工艺材料、工艺设备、测试设备、辅助设备、系统工程、关键零备件,以及与particle(颗粒度)及contamination(沾污)控制等厂务知识。

FABLESS

芯片设计方案、设计工具,以及与掩膜版内容和导入相关的资讯。

半导体基础材料及其应用

III-V族、II-VI族等先进半导体材料的科学研究成果,以及未来热门应用。

《半导体芯科技》欢迎读者、供应商以及相关科研单位投稿,已甄选中文稿件将在印刷版杂志以及网上杂志刊登;IC设计及应用等半导体相关内容将酌情予以网络发表(微信推送、杂志网站)。本刊优先刊登中文来稿(翻译稿请附上英文原稿)。

技术文章要求

1. 论点突出、论据充分:围绕主题展开话题,如工艺提升、技术改造、系统导入、新品应用,等等。
2. 结构严谨、短小精悍:从发现问题到解决问题、经验总结,一目了然,字数以3000字左右为宜。
3. 文章最好配有2-4幅与内容有关的插图或图表。插图、图表按图1、图2、表1、表2等依次排序,编号与文中的图表编号一致。
4. 请注明作者姓名、职务及所在公司或机构名称。作者人数以四人为限。
5. 文章版权归著作者,请勿一稿多投。稿件一经发表如需转载需经本刊同意。
6. 请随稿件注明联系方式(电话、电子邮件)。

新产品要求

1. 新产品必须是在中国市场新上市、可在中国销售的。
2. 新产品稿件的内容应包含产品的名称、型号、功能、主要性能和特点、用途等。
3. 新产品投稿要求短小精悍,中文字数300~400字左右。
4. 来稿请附产品照片,照片分辨率不低于300dpi,最好是以单色作为背景。
5. 来稿请注明能提供进一步信息的人员姓名、电话、电子邮件。

电子邮箱: sunnieZ@actintl.com.hk
mizyH@actintl.com.hk

行政人员 Administration

HK Head Office (香港总部)

ACT International (雅时国际商讯)

Unit B, 13/F, Por Yen Buiding,
No. 478 Castle Peak Road,
Cheung Sha Wan, Kowloon, Hong Kong
Tel: 852 28386298

Publishing Director (出版总监)

Adonis Mak (麦协林), adonism@actintl.com.hk

Editor-in-Chief (编辑)

Sunnie Zhao (赵雪芹), sunnieZ@actintl.com.hk
Mizy He (贺贵鸿), mizyH@actintl.com.hk

Sales Director (销售总监)

Eva Liu (刘婷), eval@actintl.com.hk

General Manager-China (中国区总经理)

Michael Tsui (徐旭升), michaelT@actintl.com.hk

London Office

Hannay House, 39 Clarendon Road
Watford, Herts, WD17 1JA, UK.
T: +44 (0)1923 690200

Coventry Office

Unit 6, Bow Court, Fletchworth Gate
Burnsall Road, Coventry, CV5 6SP, UK.
T: +44 (0)2476 718 970

Publisher & Editor-SiS English

Jackie Cannon, jackie.cannon@angelbc.com
+44 (0)1923 690205

销售人员 Sales Offices

China (中国)

Shenzhen (深圳)

Jenny Li (李文娟), jennyl@actintl.com.hk
Gavin Hua (华北平), gavinH@actintl.com.hk
Tel: 86 755 25988573 / 25988567

Shanghai (上海)

Hatter Yao (姚丽莹), hattery@actintl.com.hk
Helena Xu (许海燕), helenax@actintl.com.hk
Amber Li (李歆), amberL@actintl.com.hk
Tel: 86 21 6251 1200

Beijing (北京)

Cecily Bian (边团芳), cecilyB@actintl.com.hk
Tel: 86 135 5262 1310

Wuhan (武汉)

Eva Liu (刘婷), eval@actintl.com.hk
Tel: 86 138 8603 3073
Sky Chen (陈燕), skyc@actintl.com.hk
Tel: 86 137 2373 9991
Grace Zhu (朱婉婷), graceZ@actintl.com.hk
Tel: 86 159 1532 6267

Hong Kong (香港特别行政区)

Mark Mak (麦协和), markm@actintl.com.hk
Tel: 852 2838 6298

Asia

Japan (日本)

Masaki Mori, masaki.mori@ex-press.jp
Tel: 81 3 6721 9890

Korea (韩国)

Lucky Kim, semieri@semieri.co.kr
Tel: 82 2 574 2466

Taiwan, Singapore, Malaysia (台湾, 新加坡, 马来西亚)

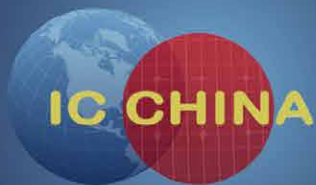
Regional Sales Director
Mark Mak (麦协和), markm@actintl.com.hk
Tel: 852 2838 6298

US (美国)

Janice Jenkins, jjenkins@brunmedia.com
Tel: 724 929 3550
Tom Brun, tbrun@brunmedia.com
Tel: 724 539 2404

Europe (欧洲)

Shehzad Munshi, Shehzad.Munshi@angelbc.com
Tel: +44 (0)1923 690215
Jackie Cannon, Jackie.cannon@angelbc.com
Tel: +44 (0) 1923 690205



开放发展 合作共赢
Open for development Cooperate for win-win

第四届全球IC企业家大会 暨第十九届中国国际半导体博览会

The 4th Global IC Entrepreneurs Conference
& The 19th China International Semiconductor Expo



官方微信

2021

📍 上海新国际博览中心
📅 2021年9月27-29日
www.ic-china.com.cn

2021“晶芯”研讨会全年主题

线上

▶ 01.21 第二届

先进封装发展趋势与应用挑战

▶ 02.24 第三届

IC制造高端光刻机发展趋势和技术挑战

▶ 05.20 第四届

半导体制程配套供应链的生态与生机

▶ 07.29 第五届

MEMS制造技术发展论坛

▶ 08.19 第六届

面向5G应用的半导体创新技术

▶ 09.23 第七届

LED技术发展及应用研讨会

▶ 10.20 第八届

半导体测试专题研讨会

▶ 11.18 第九届

功率器件技术与应用研讨会

▶ 12.23 第十届

芯片设计/软件工具技术研讨会

线下

📍 04.15 深圳(线下)

集成电路应用技术创新发展论坛

📍 06.10 苏州(线下)

超越摩尔定律的三维先进封装

* 以上议题暂定, 请以会议举办实际议题为准



公众号



客服号