

半导体芯科技



SILICON · CHINA
SEMICONDUCTOR
CONNECTING THE SILICON SEMICONDUCTOR COMMUNITY

· CHINA



微信公众号



P.18

面向5G、AI和IoT设备的 新型双层材料

ISSN 2523-1294

www.siscmag.com

2021年12月/2022年1月



P.24
为APC系统增加机器学习功能
P.27
完整的Die-to-Die IP解决方案

P.30
利用可视性建模研究干法刻蚀工艺
P.38
传感器融合实现智能感知



国际授权翻译
国内发行高新科技杂志

8本杂志免费送一年
(6期/印刷版)

包揽全年行业资讯



www.actintl.com.cn



免费
订阅

扫一扫添加
ACT读者服务号免费订阅

雅时国际商讯 (ACT International) 成立于1998年, 为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品 - 包括杂志和网上出版物、培训、会议和活动 - 为跨国公司及中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站, 以及各种技术会议, 服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制等领域的约二十多万专业读者及与会者。



LB Semicon

Look Beyond Best Solution Provider

WLP / Bumping

Test / COF

Back-end / RDL

随着全球的半导体晶片缩小化趋势，近年来 wafer bumping 技术的价值日益引起人们关注。伴随半导体制造技术趋势，LB Semicon 将不断研发技术，向国内外顾客提供高质量服务。作为最佳技术解决方案提供商，LB Semicon 会以尖端技术和不畏惧变化的挑战精神，竭力提供优质的产品 and 最好的服务，与客户共同成长。



HQ: Korea

www.lbsemicon.com/chn

VISIT US

目录 CONTENTS

封面故事 Cover Story

18 面向 5G、AI 和 IoT 设备的新型双层材料

5G, AI & IoT devices benefit from the latest dual-layer materials

晶圆级封装 (WLP) 已成为不断增长的 5G、AI 和 IoT 系统组件的标准。这些先进应用所需要的高性能 IC 需要构建在超薄衬底之上。这些设备的生产制造要求总厚度变化 (TTV) 最小, 几乎没有翘曲, 并且在下游加工过程中能够耐受高温。本文中 Brewer Science 公司材料专家解释了他们的 BrewerBOND® Dual-Layer 双层材料和工艺如何帮助制造商降低成本、改善性能和提高产量。



18

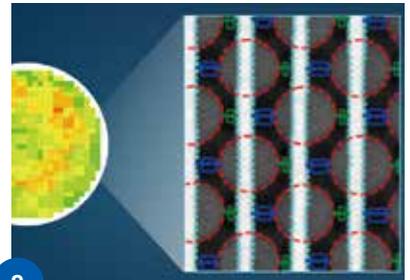
编者寄语 Editor's Note

4 结束芯片短缺需要时间

- 赵雪芹

行业聚焦 Industry Focus

- 5 12 英寸超精密晶圆减薄机 Versatile-GP300
- 5 杜邦和北京科华携手发展先进光刻材料
- 6 Integrity 3D-IC 平台: 降低设计复杂度, 加速系统创新
- 7 适用于 TWS 和助听器的超小型 MEMS 扬声器 Cowell
- 8 基于大数据的创新电子束量测系统
- 9 测试研发协同流程化工具 OneTest 助力芯片设计数字化
- 10 Ultra ECP GIII 电镀设备支持化合物半导体晶圆级封装
- 10 先进封装一体化协同设计环境 UniVista Integrator
- 11 SiTime 的 MEMS 时序解决方案提高无线充电速度



8

观点 Viewpoints

- 12 5G 毫米波何时会大规模推广?
When will 5G mmWave large-scale rollout ?
- 13 ALD 设备正在渗透到所有超越摩尔定律的应用之中
ALD equipment is penetrating all More than Moore applications



15

关于雅时国际商讯 (ACT International)



雅时国际商讯 (ACT International) 成立于1998年, 为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品—包括杂志和网上出版物、培训、会议和活动—为跨国公司和中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站, 以及各种技术会议, 服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT 亦是若干世界领先技术出版社及展会的销售代表。ACT 总部在香港, 在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photronics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

关于《半导体芯科技》

《半导体芯科技》(原半导体科技) 中文版 (SiSC) 是全球最重要和最权威的杂志Silicon Semiconductor的“姐妹”杂志, 由香港雅时国际商讯出版, 报道最新半导体产业新闻、深度分析和权威评论。为中国半导体专业人士, 提供他们需要的商业、技术和产品信息, 帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国半导体产业, 包括IC设计、制造、封装及应用等。

About Silicon Semiconductor China

Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology & product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMS, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

目录 CONTENTS

科技前沿 Research

- 15 新加坡国立大学的研究人员开发出类脑存储器件，可能颠覆半导体设计
NUS researchers develop brain-inspired memory device that can revolutionise semiconductor design
- 17 CEA-Leti 在下一代内存和 RRAM 储能方面取得突破
CEA-Leti breakthrough for next-generation memories and RRAM energy-storage



21

技术 Technology

- 21 系统级测试为器件制造商提供范式转变
System level test enables a paradigm shift for device manufacturers
- 24 为先进工艺控制制造系统增加机器学习功能
Adding ML to advanced process control manufacturing systems
- 26 EVG 面向 MEMS 制造的解决方案
Solutions for MEMS from EV Group
- 27 完整的 Die-to-Die IP 解决方案
Complete IP solutions for Die-to-Die
- 30 利用 SEMulator3D 中可视性刻蚀建模研究干法刻蚀工艺
Studying dry etching process using SEMulator3D visibility etching modeling
- 32 筛选与分析：声学显微成像的两个领域
Screening and analyzing: The two realms of acoustic micro imaging



24

专栏 Conlunm

- 36 制造商需要利用数据的力量来保持竞争力
Manufacturers need to leverage the power of data to be competitive
- 38 传感器融合实现智能感知
Sensor fusion to achieve intelligent perception



36

40 广告索引 Ad Index

《半导体芯科技》编委会（排名不分先后）

刘胜 教授
武汉大学 工业科学研究院执行院长

郭0凡 博士
日月光集团工程副总经理

姚大平 博士
江苏中科智芯集成电路有限公司总经理

汤晖 教授
广东工业大学、精密电子制造技术与装备国家重点实验室

于大全 教授
厦门云天半导体创始人

须颖教授
中国仪器仪表学会显微仪器分会副理事长

罗仕洲教授
磐允科技总经理

林挺宇 博士
广东芯华微电子技术有限公司总经理

杨利华 院长
两江半导体研究院

王文利 教授
西安电子科技大学电子可靠性(深圳)研究中心主任
雅时国际商讯顾问

张昭宇 教授
香港中文大学(深圳)理工学院
深圳半导体激光器重点实验室主任

刘功桂 教授级高工
中国电器科学研究院股份有限公司威凯技术中心主任

云星 总经理
深圳安博电子有限公司

李光 常务副总裁
深圳雷曼光电股份有限公司

张弛 总裁
深圳贝特莱电子科技股份有限公司

乔旭东 博士
深创投集团投资发展研究中心总经理

徐开凯 教授
电子科技大学、电子薄膜与集成器件国家重点实验室

社长 Publisher

麦协林 Adonis Mak

adonism@actintl.com.hk

主编 Editor in Chief

赵雪芹 Sunnie Zhao

sunniez@actintl.com.hk

贺贵鸿 Mizy He

mizyh@actintl.com.hk

出版社 Publishing House

雅时国际资讯 ACT International

香港九龙 B,13/F, Por Yen Bldg,

长沙湾青山道478号 478 Castle Peak Road,

百欣大厦 Cheung Sha Wan,

13楼B室 Kowloon, Hong Kong

Tel: (852) 2838 6298

Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988573 /25988567

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 59233884

UK Office

Angel Business

Communications Ltd.

6 Bow Court,

Fletchworth Gate,

Burnsall Road, Coventry,

CV56SP, UK

Tel: +44 (0)1923 690200

Chief Operating Officer

Stephen Whitehurst

stephen.whitehurst@angelbc.com

Tel: +44 (0)2476 718970



结束芯片短缺需要时间

持续蔓延的芯片短缺给整个半导体行业带来很大困扰，也给全球半导体生态系统带来了巨大挑战。芯片短缺将半导体行业置于聚光灯下，使其处在炙火之上，什么时候可以恢复“正常”？成为关注焦点。

芯片短缺将行业的注意力集中在增加供应链，以及提高供应链的弹性上面。增加产能？当然，这是关键。但是从事集成电路制造的人都知道，一个晶圆厂的成本需要 10 亿欧元左右，而且需要三年或更长时间来建造，还要一年来鉴定安装设备。这同样适用于从已经全天候运行的工厂中榨取更多的利润。因此，我们需要时间和支持制造商的无数供应商的努力。

结束目前芯片短缺并不像外界说起来那么简单。半导体制造商们每天都生活在供应、需求和市场扩张的现实中。将电子设备添加到各种消费产品中的推力创造了需求，而新冠病毒大流行更加助长了这种需求。不仅是对于最先进的新型半导体的需求，同时，OEM 对于老式 IC（由 200 毫米晶圆厂制造，包括汽车芯片在内）的需求也出现进一步增长，而全球的 200 毫米晶圆厂从 2006 年的 202 个下降到 2015 年的 180 个左右。尽管现在制造商已经重新开启了一些旧的 200 毫米晶圆厂，并且中国正在建设新的 200 毫米工厂，但需求仍然超过了产能。

人们正在努力建造更多的晶圆厂，美国欲保持其在全球半导体市场的领导力和竞争力，希望在境内建造更多的晶圆厂以进行本土 IC 制造，但英特尔还需要一年多的时间来完成其最新的西南工厂。台积电的美国项目还没有准备好。三星正准备在美国选址建厂。欧盟也在通过其《欧洲芯片法案》参与游戏，但与其他解决方案一样需要时间。中国正在积极推动半导体工厂建设计划，但也不会一蹴而就。

根据 SEMI《世界晶圆厂预测报告》，全球半导体制造商将在 2021 年年底前开始建设 19 座新的高产能晶圆厂，并在 2022 年再开工建设 10 座。2021 年和 2022 年共计开建的 29 座晶圆厂，中国大陆和中国台湾地区各有 8 个，美洲有 6 个，欧洲 / 中东有 3 个，日本和韩国各有 2 个。其中生产 300 毫米晶圆的预计 15 个，其余的将是 100 毫米、150 毫米和 200 毫米晶圆厂。这 29 座晶圆厂每月生产将达 260 万片晶圆（8 英寸等效），以满足市场对芯片的加速需求，特别是满足新兴应用，如自动驾驶汽车、人工智能、高性能计算和 5G 到 6G 通信，对半导体的强劲需求。

英特尔首席执行官 Pat Gelsinger 预测芯片短缺将在 12 至 18 个月内缓解，AMD 首席执行官 Lisa Su 预测将在 2022 年底结束。无论如何，从原材料、晶圆、基板到整体制造产能，我们看到了供应链的全面短缺和不足，而在短期内，任何人都无法解决这些短缺问题。半导体作为全球性的产业，需要各国携手共同“应对”问题，需要全产业链共同努力来解决问题。

赵雪芹

12英寸超精密晶圆减薄机Versatile-GP300

我国集成电路装备核心企业华海清科股份有限公司成功推出具有自主知识产权的12英寸超精密晶圆减薄机Versatile-GP300,并发往某IC龙头企业,正式进入集成电路大生产线。

晶圆减薄工艺主要是在进入IC封装工序之前,去除晶圆背面多余的材料,使得晶圆的厚度能够满足后期封装工艺的要求,还能增强芯片的散热能力。据报道,清华大学路新春教授团队从2000年起便开启CMP基础研究,利用其在CMP领域的产业化经验开展超精密减薄理论与技术研究,攻克晶圆背面超精密磨削、平整度智能控制、表面损伤及缺陷控制系列核心技术;最终联手华海清科,共同研制出首台用于12英寸3D IC制造、先进封装等领域晶圆超精密减薄机,解决了该领域的“卡脖子”问题。

Versatile-GP300设备功能配置丰富,效率与性价比兼得,能满足3D IC制造、先进封装等制程的超精密晶圆减



薄工艺需求,可提供超精密磨削、抛光、后清洗等多种功能配置,具有高刚性、高精度、工艺开发灵活等优势,主要技术指标达到了国际先进水平,填补了集成电路3D IC制造及先进封装领域中超精密减薄技术的空白。

Versatile-GP300采用的工艺很巧妙。团队在设计之初,创新性地将高效减薄和抛光工艺集成,既能实现超平整减薄与表面损伤控制,又兼顾高效率与综合性价比,更匹配3D IC晶圆减薄市场的迫切需求。

在我国3D IC制造、先进封装等领域中,12英寸高精度晶圆减薄机全部依赖进口。如今,华海清科的首台12英寸超精密晶圆减薄机Versatile-GP300已完成厂内测试,出机进入客户产线验证。这是华海清科又一产品在实现国产半导体装备自主可控道路上的重要突破,为加速推动集成电路国产设备替代进程贡献力量。

杜邦和北京科华携手发展先进光刻材料

杜邦电子与工业事业部和北京科华微电子材料有限公司宣布开展一项合作计划,为中国集成电路芯片制造商提供高性能光刻材料。凭借双方公司的优势,此项合作旨在满足行业对先进光刻胶和其它光刻材料的需求。

根据国际半导体产业协会(SEMI)发布的季度全球晶圆厂预测报告,中国芯片制造商宣布到2022年开工建设8座新晶圆厂。这些新晶圆厂将加速中国半导体行业的发展,推动未来几年对材料和本地化需求的不断增长。杜邦和北京科华之间的合作将帮助北京科华快速提供各类高性能光刻材料,助力客户发展。

“北京科华是杜邦在中国卓越的合作伙伴,拥有强大的技术能力与经验丰富的团队,高度重视客户关系,并且坚持以质量和客户需求为导向,这与我们的商业价值非常契合,”杜邦光刻胶全球业务总监George Barclay说道。“我



们很高兴能够通过这次新的合作,大力支持本地市场发展,并且也非常期待由此带来的新机遇。”

“目前中国光刻胶市场正处于飞速发展时期,北京科华正需要一个像杜邦这样的世界级合作伙伴,”北京科华董事长陈昕表示,“与杜邦百年企业相比,北京科华仍然是一家非常年轻的公司,我们希望能携手杜邦不断创新,聚焦挑战,推动行业发展。”

杜邦是全球领先的半导体材料供应商,已推出大量荣获认可、多种波长的光刻产品,其中包括193nm(ArF)、248nm(KrF)和i/g-line光刻胶,以及碳膜涂层(SOC)、抗反射涂层(BARC)、先进表面涂层和光刻胶配套试剂。

北京科华成立近20年来,已经成长为目前中国最大的集成电路光刻胶本土供应商之一。北京科华产品包括集成电路(IC)、发光二极管(LED)、分立器件、先进封装、机电系统(MEMS)等领域使用的光刻材料。

Integrity 3D-IC平台: 降低设计复杂度, 加速系统创新

楷登电子 (Cadence 公司) 全新 Cadence® Integrity™ 3D-IC 平台是业界首款完整的高容量 3D-IC 平台, 将设计规划、物理实现和系统分析统一集成于单个管理界面中。Integrity 3D-IC 平台支持 Cadence 第三代 3D-IC 解决方案, 客户可以利用平台集成的热、功耗和静态时序分析功能, 优化受系统驱动的小芯片 (Chiplet) 的功耗、性能和面积目标 (PPA)。

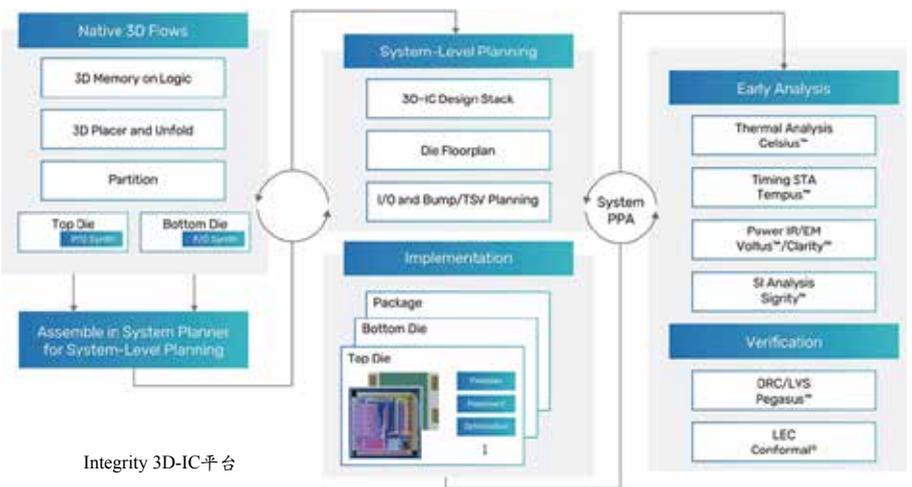
面向超大规模计算、消费电子、5G 通信、移动和汽车应用, 相较于传统单一脱节的 Die-by-Die 设计实现方法, 芯片设计工程师可以利用 Integrity 3D-IC 平台获得更高的生产效率。该平台提供独一无二的系统规划功能, 集成电热和静态时序分析 (STA), 以及物理验证流程, 助力实现速度更快、质量更高的 3D 设计收敛。同时, 3D exploration 流程可以通过用户输入信息将 2D 设计网表直接生成多个 3D 堆叠场景, 自动选择最优化的 3D 堆叠配置。值得一提的是, 该平台数据库支持所有的 3D 设计类型, 帮助工程师在多个工艺节点上同步创建设计规划, 并能够与使用 Cadence Allegro® 封装技术的封装工程师团队和外包半导体组装和测试 (OSAT) 供应商无缝协作。

Integrity 3D-IC 平台的客户可以从多项特性和功能中获益:

- 统一的管理界面和数据库: SoC 和封装设计团队可以对完整系统进行完全同步的协同优化, 更高效地将系统级反馈集成采纳。
- 完整的规划平台: 集成了完整的 3D-IC 堆叠规划系统, 支持所有 3D 设计类型, 帮助客户管理并实现原生 3D 堆叠。
- 无缝的设计实现和工具集成: 与 Cadence Innovus™ Implementation System 设计实现系统通过脚本直接集成, 简单易用, 通过 3D 裸片分区、优化和时序流程实现高容量数字设计。
- 集成的系统级分析能力: 通过早期电热及跨芯片 STA, 创建稳健的 3D-IC 设计, 利用早期系统级反馈

优化全系统 PPA。

- 与 Virtuoso 设计环境和 Allegro 封装协同设计: 通过层次化的数据库设计, 工程师可以将设计数据从 Cadence 模拟及封装环境无缝迁移至系统的不同环节, 快速实现设计收敛, 提高生产效率。
- 用户界面简单易用: 配有流程管理工具的强大的用户管理界面, 为设计师提供统一的交互方式, 执行相关的系统级 3D 系统分析流程。



Integrity 3D-IC平台

“凭借领先的数字、模拟和封装设计实现产品, Cadence 一直都在为客户提供强大的 3D-IC 封装解决方案。” Cadence 公司资深副总裁兼数字与签核事业部总经理滕晋庆 Chin-Chi Teng 博士表示, “随着先进封装技术的进步, 得益于在 3D-IC 领域的成功经验, 我们看到客户的强烈需求, 需要开发一款将设计实现技术与系统级规划和分析更加紧密集成的平台。随着行业持续推进开发更大差异化的 3D 堆叠裸片配置, 全新 Integrity 3D-IC 平台将帮助客户实现系统驱动的 PPA 目标, 降低设计复杂度, 加速产品上市。”

Integrity 3D-IC 平台是 Cadence 广泛 3D-IC 解决方案的组成部分, 在数字技术之上同时集成了系统、验证及 IP 功能。广泛的解决方案支持软硬件协同验证, 通过由 Palladium™ Z2 和 Protium™ X2 平台组成的 Dynamic Duo 系统动力双剑实现全系统功耗分析。Integrity 3D-IC 平台是应用于多个小芯片 (multi-chiplet) 设计和先进封装的完整 3D-IC 平台, 同时支持基于小芯片的 PHY IP 互联, 实现面向延迟、带宽和功耗的 PPA 优化目标。Integrity 3D-IC 平台支持与 Virtuoso 设计环境和 Allegro 技术的协同设

计，通过与 Quantus™ Extraction Solution 提取解决方案和 Tempus™ Timing Signoff Solution 时序签核解决方案提供集成化的 IC 签核提取和 STA，同时还集成了 Sigrity™ 技术产品，Clarity™ 3D Transient Solver，及 Celsius™ Thermal Solver 热求解器，从而提供集成化的信号完整性/功耗完整性分析 (SI/PI)，电磁干扰 (EMI) 和热分析功能。全新 Integrity 3D-IC 平台和更广泛的 3D-IC 解决方案组合，建立在 Cadence SoC 卓越设计和系统级创新的坚实基础之上，支持公司的智能系统设计 (Intelligent System Design™) 战略。

重塑 Multi-Chiplet 设计

Integrity 3D-IC 平台是用于设计多重小芯片的全新高容量、统一的设计和平台。该平台建立在 Cadence 领先的数字实现解决方案 Innovus Implementation System 的基础上，允许系统级设计师为各种封装方式 (2.5D 或 3D) 规划、实现和分析任何类型的堆叠裸片系统。Integrity 3D-IC 是业界首个完整的系统级和 SoC 级解决方案，能够与 Cadence 的 Virtuoso 和 Allegro 模拟和封装实现环境协同设计。现在，设计人员通过 Integrity 3D-IC 平台可以实现更高的生产力和系统级的优化，更快进入市场。

适用于 TWS 和助听器的超小型 MEMS 扬声器 Cowell

美商知微电子 (xMEMS Labs) 推出全球超小型单芯片 MEMS 扬声器——Cowell。Cowell 尺寸仅 22mm³、重量仅仅 56 毫克，采用直径 3.4mm 的侧发音 (side-firing) 封装，在 1kHz 可达到难得的 110dB SPL (声压级)。对比电动式及平衡电枢式扬声器，Cowell 在 1kHz 以上提供高达 15dB 的额外声压增益，能够改善语音信噪比的性能，并提高了人声与乐器的清晰度。Cowell 是首先采用 xMEMS 第二代 M2 扬声器单元架构的扬声器，在 SPL/mm² 上所带来的改善使其能在较小的外形中增加响度。Cowell 的工程样品现可供货，并计划在 2022 年第二季初量产。

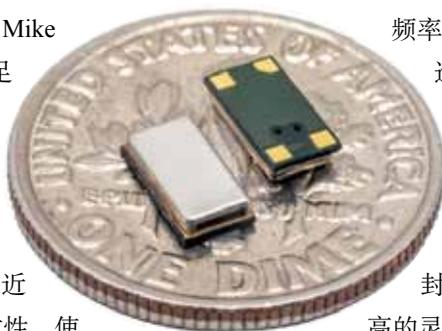
xMEMS 市场兼事业发展副总裁 Mike Housholder 表示：“Cowell 的架构满足了穿戴市场的两大关键趋势，一是空间与无损音频，二是非处方 (OTC) 助听器。Cowell 的小尺寸与性能完美符合了这些市场趋势，凭借比既有的扬声器快达 150 倍的机械响应，以及几近于零的相位偏移和正负 1 度的相位一致性，使音频信号在 3D 空间能更精准定位，实现优秀的全景声环绕效果。”

在 TWS (真无线蓝牙) 的应用上，Cowell 能作为封闭的入耳式耳机架构里的全音域单体，或者是作为小型、高性能的高频扬声器，搭配电动式低音单体以应用在非入耳式或耳塞式耳机的双声道解决方案。Cowell 优异的高频率响应把说话、人声和乐器的清晰度与存在感带到了新境界，而容许低音聚焦在主动降噪所需的低频率能量上。

在助听器应用上，Cowell 是比同级平衡电枢式接收器小 45% 的全音域单体，使耳道内置接收器的应用成为可能。Cowell 优异的高频率响应，消除频内共振峰值，以及在 1kHz 以上提供高达 15dB 的额外声压增益，使它成为应对高频率听损、改善噪音中的语音清晰度的理想扬声器。最后，Cowell 的扬声器振膜配合由前到后的泄压孔，能消减耳道内随时间累加的气压，因而降低长期佩戴所增加的疲劳感并能舒适地聆听。

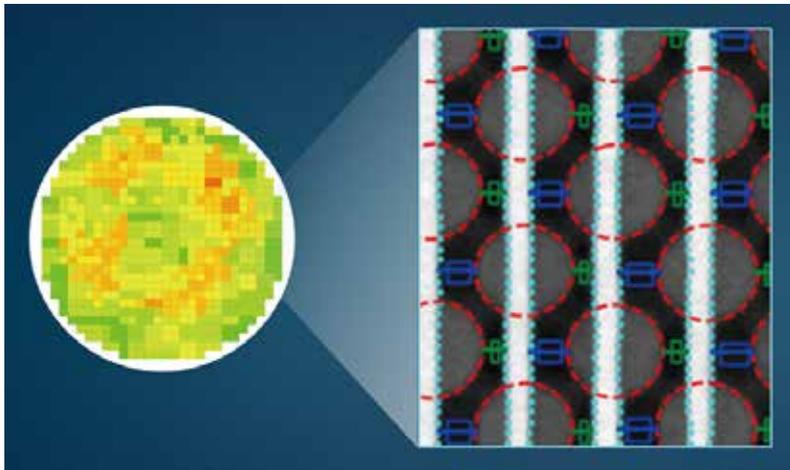
一如 xMEMS 所有的扬声器，Cowell 是单芯片架构，致动与振膜都是由“硅”来制作，因此每个零件在频率响应的一致性是无与伦比的，并可在制造时减少扬声器配对或调校的时间。这种专利创新的出音结构，催生出超快且精确的扬声器，去除了传统线圈扬声器为了音频信号品质和音场重现而使用的弹簧和悬吊系统。采用侧发音封装和 1mm 薄的剖面为耳机装配提供更高的灵活性，腾出更多空间来配置较大的电池和额外的传感器元器件。SMT-ready 封装和 IP58 等级的防尘/防水则可简化系统设计、一体化与组装。

xMEMS Labs 创立于 2018 年，正以世界首款单芯片 True MEMS 扬声器来重塑声音，适用于 TWS 和其他个人音频装置。xMEMS 拥有 36 项专利技术，正在申请中的超过 100 项。公司致力于以 MEMS 技术来为形形色色的消费电子装置设计先进的解决方案与应用。详情可见 <https://xmems.com>。



基于大数据的创新电子束量测系统

应用材料公司发布其独特的电子束量测系统。该系统为基于大规模器件上量测、跨晶圆量测和穿透量测的图形化控制启用了全新的战略。



PROVition® 3E系统基于全新的图形化控制战略，通过将纳米级分辨率、高速和穿透成像合而为一，为工程师提供数百万个数据点，满足其正确完成最先进的芯片设计图形化的需求。

先进芯片是逐层构建的，数以十亿计的独立特征都必须逐一完美地图形化并对齐，才能制造出能正常使用的晶体管 and 具有光电特性的互连结构。随着整个行业从简单的二维设计向更激进的多重图形化和三维设计转型，量测方法也需要与之相应的突破来完善每个关键层次，以实现最佳的性能、功率、面积成本和上市时间 (PPACt™)。

传统图形化控制战略

从传统角度来说，图形化控制是通过用光学套刻量测设备来帮助将晶粒上的图形和“套刻标识”保持一致来实现，这些套刻标识通过光罩被刻在晶粒与晶粒之间，切片的时候会从晶圆上被移除。通过对整片晶圆数据抽样可以计算出套刻标识的近似值。

但在经历连续多代的特征微缩、多重图形化的更广泛采用，以及引入导致层间失真的三维设计之后，传统方法所引发的量测缺陷或“盲点”不断增加，使工程师将期望的图形与片上结果正确关联的难度与日俱增。

全新的图形化控制战略

随着全新电子束系统技术的诞生，客户能够跨整个晶圆并穿越各层次直接高速测量半导体器件结构，客户得以大步迈向了基于大数据的全新图形化控制战略转型之路。

PROVition® 3E系统正是应用材料公司为这一全新战略而专门设计的最新电子束量测创新技术。

应用材料公司集团副总裁、成像与工艺控制事业部总经理基思·威尔斯表示：“作为电子束技术领域的领导者，应用材料公司正在为客户提供全新的图形化控制战略，这一战略专为最先进的逻辑芯片和内存芯片而优化。PROVition 3E系统的分辨率和速度使之能够突破光学量测的盲点，不仅可以跨整个晶圆，也可以在芯片的多个不同层次之间执行准确的测量，为芯片制造商提供多维数据集，满足其改善PPAC并加速新工艺制程技术和芯片快速上市的需求。”

PROVition 3E系统

PROVition 3E系统包含多种技术特征，支持当下最先进设计所需的图形化控制能力，包括3纳米晶圆代工逻辑芯片、全环绕栅极晶体管以及下一代DRAM和3D NAND。

- **分辨率：**应用材料公司业内领先的电子束镜筒技术可以提供当下可实现的最高电子密度，支持1纳米分辨率的精细成像。
- **准确性：**凭借数十年CD SEM系统和算法专业知识，为关键特征提供准确、高精度的测量。
- **速度：**每小时能够执行1000万次测量，测量结果准确且切实可行。
- **多层：**应用材料公司独特的Elluminator®技术能够捕获95%的背散射电子，以便同时快速测量多个层次的关键尺寸和边缘布局。
- **范围：**支持广泛的电子束能级。高能模式支持快速测量，深度达数百纳米。低能模式支持对包括EUV光刻胶在内的各种脆性材料和结构进行无损测量。

将这些特性结合在一起，可使客户得以摆脱由光学套刻标识近似计算、有限统计采样和单层控制组成的旧图形化控制战略，转而实现基于大规模器件上、跨晶圆和穿透量测与控制的新战略。

测试研发协同流程化工具OneTest 助力芯片设计数字化

中国半导体测试和研发协同的方案提供商上海孤波科技有限公司，发布业界首创国产自主研发的测试协同流程化工具 OneTest，为中国芯片设计产业提速加码。

随着我国在智能驾驶、AI、5G 等应用技术方向上的创新突破与市场的快速增长，中国半导体企业已经在高速发展中逐渐迈向高端、复杂的芯片应用场景，他们的下游关键客户对芯片提出了更为严苛的质量诉求。中国芯片企业非常迫切地希望将其芯片质量及可靠性提升一个台阶。与此同时，整个芯片设计产业也提出了 Shift Left 的理念，通过设计方法与工具的革新将整体芯片研发时间提前，加速整个研发进程，缩短设计时间加快产品上市时间。

面对这些趋势，芯片测试作为覆盖芯片产品生命周期的性能与质量重要关卡，也是数据收集的重要手段，测试创新将直接加速芯片研发进程与质量管控高效落地。

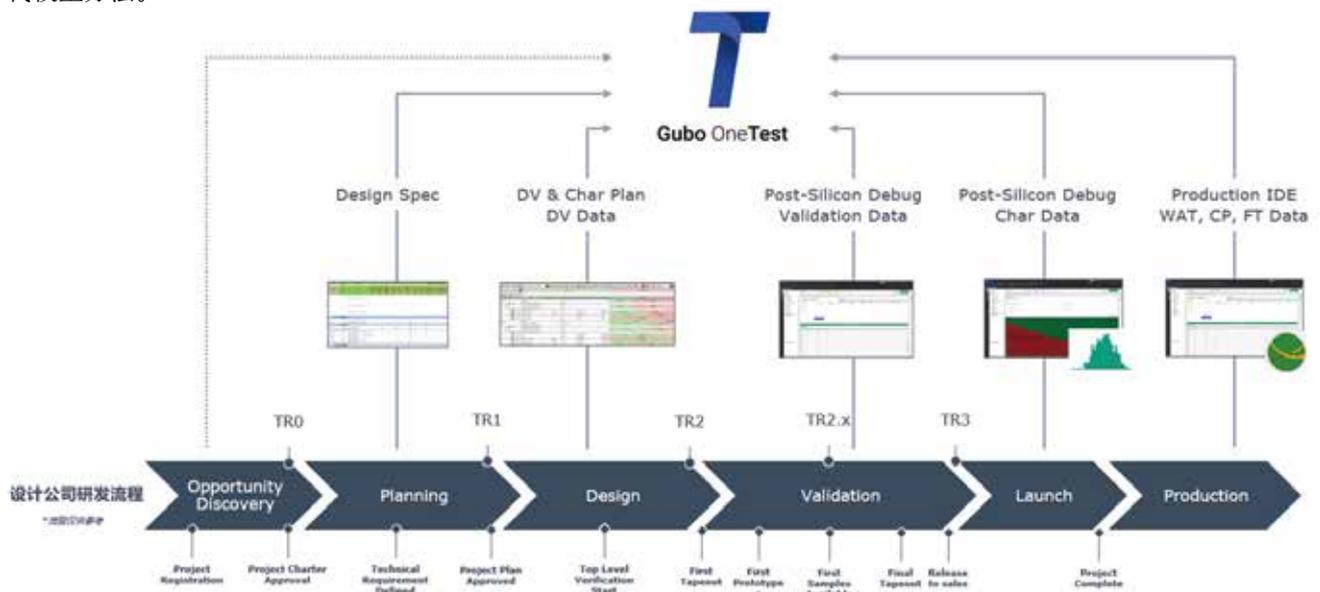
孤波科技是中国首家专业研究半导体测试和研发协同的方案提供商，持续不断地研究国际大厂组织和测试的最佳实践。在与中国设计公司的合作中，孤波团队发现国内很多芯片设计公司遇到的大多是短期发展问题，表现为测试人员能力不足而导致的测试项目延迟，从而影响了整体芯片上市时间，也影响了芯片的质量。反观国际大厂已经顺应数字化趋势在组织和流程设计上做出了重新设计，将经验、技术能力、质量保证手段建立在测试的方法与流程上，而且通过测试收集的大数据不断迭代模型方法。

面对国内半导体公司的现状，孤波科技团队选择首先解决芯片设计公司单点的测试问题，实现测试验证自动化，测试数据自动化收集，将测试经验固化到测试 IP 中，但同时兼顾优化整体设计公司组织与流程，帮助设计公司把能力建立在组织之上，为长期数字化转型做好数据基础建设，为芯片设计公司打造高效可用的产业数字化平台。

此次推出的 OneTest 是一款测试协同流程化工具，其将测试自动化贯穿到芯片产品研发生命周期中，相比于传统单点工具可更加快速实现各环节研发与测试协同，支持研发测试计划导入，测试用例 IP 化管理及自动化执行，低代码用例开发，更加有效地实现测试数据分析与探索。

孤波科技 CEO 何为表示：“通过这些手段，OneTest 能够以产品 Spec 为驱动，横跨组织各部门，将提炼后的测试方法 IP 化，应用到设计仿真验证，实验室流片后验证，可靠性测试，再到大规模量产。而测试作为数据的入口，将测试和产品生命周期管理紧密结合，让数据在组织中，流程中流转。”

孤波科技致力于通过专业测试方案、测试开发流程及数据工具等创新性产品，用数据驱动设计，工艺，良率，运营的管理，帮助设计公司建立高效测试流程体系，最终有效进行产品生命周期管理并提高产品质量。更多详情请访问 www.guwave.com。



Ultra ECP GIII电镀设备支持化合物半导体晶圆级封装

盛美半导体设备 (ACM Research) 新产品 Ultra ECP GIII 电镀设备支持化合物半导体 (SiC, GaN 和 GaAs) 晶圆级封装。该系列设备还能将金 (Au) 镀到背面深孔工艺中, 具有更好的均匀性和台阶覆盖率。Ultra ECP GIII 还配备了全自动平台, 支持 6 英寸平边和 V 型槽晶圆的批量工艺, 同时结合了盛美半导体的第二阳极和高速栅板技术, 可实现最佳性能。

盛美半导体设备董事长王晖表示: “随着电动汽车、5G 通信、RF 和 AI 应用的强劲需求, 化合物半导体市场正在蓬勃发展。一直以来, 化合物半导体制造工艺的自动化水平有限, 并且受到产量的限制。此外, 大多数电镀工艺均采用均匀性较差的垂直式电镀设备进行。盛美新研发的 Ultra ECP GIII 水平式电镀设备克服了这两个困难, 以满足化合物半导体不断提升的产量和先进性能需求。”

盛美的 Ultra ECP GIII 设备通过两项技术来实现性能优势: 盛美半导体的第二阳极和高速栅板技术。第二阳极



技术可通过有效调整晶圆级电镀性能, 克服电场分布差异造成的问题, 以实现卓越的均匀性控制。它可以应用于优化晶圆边缘区域图形和 V 型槽区域, 并实现 3% 以内的电镀均匀性。

盛美的高速栅板技术可达到更强的搅拌效果, 以强化传质, 从而显著改善深孔工艺中的台阶覆盖率, 同时提升的步骤覆盖率可降低金薄膜厚度, 从而为客户节约成本。

盛美半导体的 Ultra ECP GIII 已取得来自中国化合物半导体制造商的两个订单。第一台订单设备采用第二阳极技术的铜 - 镍 - 锡 - 镀银模块, 且集成真空预湿腔体和后道清洗腔体, 应用于晶圆级封装, 已于 7 月交付。第二台订单设备适用于镀金系统, 将于 2021 年第四季度交付客户端。

盛美专注于对先进集成电路制造、先进晶圆级封装制造及大硅片制造领域半导体设备研发、生产和销售, 通过向半导体芯片制造商提供高性能、低消耗的工艺解决方案, 致力于提升客户的生产效率和产品良率。

先进封装一体化协同设计环境 UniVista Integrator

上海合见工业软件集团有限公司推出一款高效解决 2.5D、3D、SIP 等各种先进封装系统级一体化协同设计环境产品 UniVista Integrator (简称: UVI)。

UVI 采用工业软件的尖端技术, 融合先进的底层架构及 EDA 行业先进封装产业链的最佳实践, 为行业各领域客户提供高效直观简洁的系统级协同设计环境。UVI 是一款完全自主知识产权商用级 EDA 产品, 提供高效的图形渲染和显示, 稳定的类数据库内存事务状态管理机制, 具备原子性、一致性、持久性、隔离性, 支持用户自由切换至任意数据编辑节点。UVI 采用了业界首创的系统级网络连接检查技术, 极大的提高了大规模 2.5D、3D、SIP 等先进封装的设计效率, 并能完成人工难以实现的多层、多形式的复杂堆叠设计。另外, UVI 具有优秀的开放性、易用性、灵活性、可扩展性、组件化集成等特点。可以持续不断的提供各种新的迭代功能。

合见工软产品方案与市场副总裁敬伟表示: “UVI 的所有功能已经通过了客户大规模先进封装 (2.5D 含多颗 HBM) 的实际设计数据考验与检测, 已凭借其操作简洁、运行稳定、性能优越等特点, 得到了客户的肯定与支持。”

燧原科技联合创始人、首席运营官张亚林表示: “UVI 将各种设计节点的数据完整的集成在统一界面, 简单灵活的使用操作, 高效准确的查验分析, 大大提高了协同设计检查的效率。合见工软快速精准的响应速度, 热情专业的服务态度, 使我们充分感受到 EDA 产品本土化的优势。”

合见工软作为自主创新的高性能工业软件及解决方案提供商, 以 EDA 领域为首先突破方向, 致力于帮助半导体芯片企业解决在创新与发展过程中所面临的严峻挑战和关键问题, 并成为他们值得信赖的合作伙伴。更多信息请访问 www.univista-isg.com。

SiTime的MEMS时序解决方案提高无线充电速度

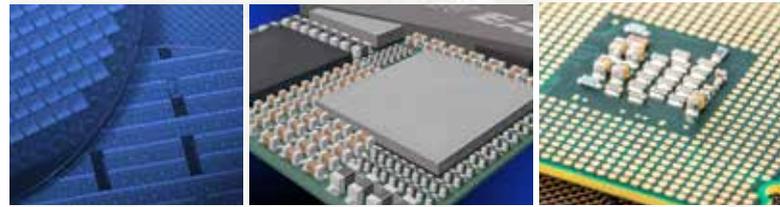
MEMS 硅时钟系统解决方案市场领先者 SiTime 公司推出 SiT3901 μ Power 数字控制 MEMS 振荡器 (DCXO)，该振荡器专门针对空间受限的功耗敏感型移动应用和物联网应用。SiT3901 最多可将无线充电速度加快 25%，同时将整个时序解决方案的占板面积缩小高达 90%。MEMS 振荡器理想适用于智能手表、活动追踪器、助听器 and 可穿戴设备的无线充电系统。



SiTime 市场营销执行副总裁 Piyush Sevalia 表示：“随着电子产品的演进发展，SiTime 综合采用创新性 MEMS、可编程模拟与快速推出方法，继续快速解决极具挑战性的时序问题。新无线应用的功耗和尺寸要求迫切需要一种新的时序方法。SiT3901 DCXO 是业界首款 μ Power 数字控制振荡器，它能够提高充电效率，同时缩小占板面积。”

Qi 和 AirFuel 等无线充电标准依靠谐振输电来实现近距离充电。然而，环境干扰可能严重影响谐振充电频率，拖慢充电过程。SiT3901 允许充电器动态调节谐振频率，最大化输电效率，并将充电速度最多提高 25%。SiT3901 DCXO 的数字控制功能可避免在电路板上采用额外的无源元件，进而将时序解决方案的占板面积缩小了高达 90%。由此产生的充电系统工作性能更高、尺寸更小、更便于制造也更加可靠。

SiT3901 DCXO 是 SiTime μ Power MEMS 振荡器系列的最新成员。该系列的目标应用包括空间受限的功耗敏感型可穿戴设备、听戴设备、物联网应用和移动应用。与石英振荡器相比， μ Power MEMS 振荡器耗电最高可降低 90%，占板面积最多可缩小 90%，有利于制造环保型电子产品。



用于半导体封装的 印刷、点胶、回流焊、 清洗和热处理设备

ITW EAE 正在推进半导体封装下一代技术的创新与发展。新技术能显著提高生产率和良率。

MPM[®] Edison[™] 是市场上最精确的印刷机。Camalot[®] Prodigy[™] 点胶机具有最先进的技术，例如 Dynamic Dual Head[™] (动态双头)，无论零部件之间如何旋转，两个点胶泵都可以同步点胶。Vitronics Soltec 回流焊系统具有无与伦比的可靠性。Electrovert[®] 离心和在线清洗系统能对高级封装进行高性能清洗。Despatch[®] 提供用于聚合物固化等的高性能烘箱。

专为提高半导体良率而设计

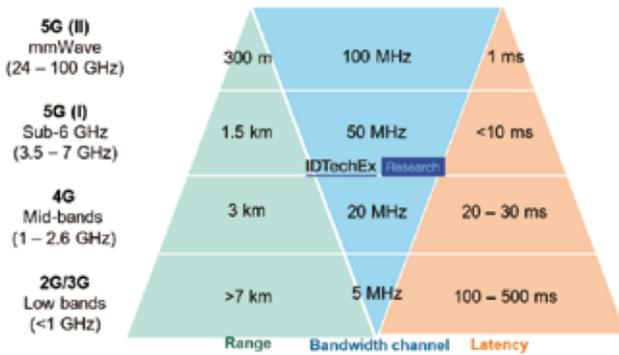


请参观 ITW EAE 的展台在 2021 年 12 月 28 日至 30 日，在 Semicon Taiwan 台北南港展览馆展示 (一楼) 展台 J2646 获取更多信息。

5G毫米波何时会大规模推广?

5G 有两个新频段：sub-6 GHz (3.5 - 7 GHz) 和 mmWave (>24 GHz) 毫米波频段。5G sub-6 GHz 的频率相对接近 4G 的频率范围，并不像另一个新频段 mmWave 那样受到关注。mmWave 以前只用于军事、卫星和汽车雷达通信目的，由于其超宽带宽，可提供 20 Gbps 的最大数据速率和 1 ms 的超低延迟，现在被加入到移动通信的频率池中。

围绕着毫米波有很多讨论，包括这项技术是否已经被广泛采用？毫米波行业的痛点是什么？它的未来前景如何？



图：从2G到5G的频谱分布 (Source: IDTechEx - "5G Technology, Market and Forecasts 2022-2032")

本文介绍 IDTechEx 最近发布的市场研究报告 "5G Technology, Market and Forecasts 2022-2032 (2022-2032 年 5G 技术、市场和预测)" 和 "5G Small Cells 2021-2031: Technologies, Markets, Forecasts (2021-2031 年 5G 小蜂窝：技术、市场、预测)" 中的一些研究结果。

让我们从五个重要地区 (美国、中国、欧洲、韩国和日本) 的移动消费网络的 5G 推广开始。截至 2021 年 8 月，只有美国的 Verizon 承诺为大规模的移动消费网络部署毫米波 (注意，在 Verizon 于 2021 年初收购了部分 6GHz 以下的频段后，他们现在正将重点转移到这个频段上建立 5G 推广)。而其余的地区，当地电信运营商主要在中 / 低频段 (以前的 4G 频率现在重新划归为 5G) 和 / 或 6GHz 以下频段开发移动消费网络。这样做是合理的，因为一个具有成本效益的网络，就是安装尽可能少的基站实现尽可能多的覆盖。由于毫米波的传播距离大大缩短，5G 毫米波站的潜在密度将是 4G 中低频 (频率在 2GHz 左右) 基站的十倍左右，以覆盖同一地区。当涉及到 5G 全国和更广泛的覆盖时，IDTechEx 认为，中低频段和 sub-

6 GHz 频段将继续成为大多数电信运营商的最多选择。换句话说，毫米波频段将主要用于数据共享热点，如拥挤的体育场馆，用于实时流媒体和上传 4K/8K 视频。

毫米波应用中的一个关键的新兴主题是固定无线接入 (FWA)，它使用移动通信进行家庭宽带。人们意识到，光纤部署的成本很高，而且需要数天的劳动力来建造。因此，安装毫米波基站来取代 "光纤到户" 的宽带是一个很好的选择，特别是在光纤部署有限的国家，如美国、英国、南美、非洲等。在中国，早在 2016 年，光纤宽带的可用性已经超过 64%。韩国和日本在 2021 年几乎拥有 100% 的光纤宽带可用性。因此，IDTechEx 预计，用于 FWA 推广的毫米波可能会在光纤有限的国家获得支持。应该指出的是，较低频率的频段，如 6GHz 以下的频率范围，也可用于宽带目的。因此，各地电信运营商不一定要使用毫米波进行宽带服务。例如，在秘鲁和菲律宾，运营商已经选择了 sub-6GHz 频段用于 5G FWA 的推广。

现在我们来讨论一下 5G 企业 (企业对企业，B2B) 网络。例如，在工业 4.0 中，毫米波是主要网络部件吗？根据 IDTechEx 的 "5G Small Cells 2021-2031: Technologies, Markets, Forecasts(2021-2031 年 5G 小蜂窝：技术、市场、预测)" 研究，答案是否定的。事实上，毫米波是为需要超低延迟的应用而设计的，如远程手术；而需要多连接的用例很可能由 sub-6GHz 频段支持。据 IDTechEx 所知，与毫米波相比，sub-6 GHz 是许多拥抱 5G 技术的智能工厂的最优先选择。预计至少在未来 5-6 年内，企业网络在 sub-6 GHz 和 mmWave 之间的部署比例将分别为 80%-90% 和 10%-20%。

那么，毫米波的时代会到来吗？据 IDTechEx 称，答案是肯定的，尽管还要许多年才会到来。以下是影响毫米波部署的一些因素。1. COVID-19 的影响。COVID-19 将人们推离了毫米波推广最适合的区域，如体育场馆和机场！尽管由于有了疫苗，在某些发达国家，人们的生活正逐渐恢复正常，但在世界恢复原状之前 (如果会发生的话)，仍有很长的路要走。2. 寻找杀手级应用。什么应用只能由毫米波支持？远程手术和自动驾驶无疑都是关键的应用，但我们的社会要完全接受这种技术，还需要很多年的时间。

5G 毫米波的技术及设备挑战包括：

下转第14页

ALD设备正在渗透到所有超越摩尔定律的应用之中

Yole 预计到 2026 年原子层沉积 (ALD) 设备市场规模将达到 6.8 亿美元, 年复合增长率为 12%。

Yole Développement 公司近期发布的报告“面向超越摩尔定律应用的 ALD 设备”(Atomic Layer Deposition Equipment for More than Moore report, Yole Développement, 2021) 显示:

市场趋势

除了 CIS 应用之外, 面向各种超越摩尔定律 (MtM) 的商业器件制造, ALD 设备市场现在真正起飞。预计 2020-2026 年, 用于生产光电子器件的 ALD 设备将有 30% 的年复合增长率 (CAGR)。在同一时期, 用于功率和射频器件的 ALD 设备将分别有 12% 和 15% 的年复合增长率。但在此期间, 面向 MEMS、传感器和 CIS 的 ALD 设备年复合增长率将低于 10%。

技术趋势

当需要在复杂结构上保形沉积高质量的纳米级厚度薄膜时, ALD 技术是理想的选择。虽然 CIS 和一小部分基于 Si 的低功耗器件采用与逻辑和存储器类似的制造工艺, 在类似的 300 毫米平台上生产。但另一方面, 大多数超越摩尔定律的应用器件是在 200 毫米平台上使用 ALD 生产的, 并由此提高器件性能。

生态系统

ALD 工艺在所有供应链参与者的密切协作下不断完善。

2020-2026 market size of atomic layer deposition equipment for More-than-Moore applications

(Source: Atomic Layer Deposition Equipment for More than Moore 2021 report, Yole Développement, 2021)



图1: 面向MtM应用的ALD设备2020-2026年的市场规模。

对于设备制造商来说, 进入 ALD 业务可以通过两种方式实现: 收购较小的初创企业或者发展现有的 CVD 设备。

一些领先的设备制造商长期以来一直都在参与逻辑和内存 HVM 的 ALD 业务。例如, 应用材料公司、泛林半导体设备公司、ASM 国际公司、TEL 公司和 Kokusai

2020 Atomic layer deposition equipment vendor revenue market share for More-than-Moore

(Source: Atomic Layer Deposition Equipment for More than Moore 2021 report, Yole Développement, 2021)

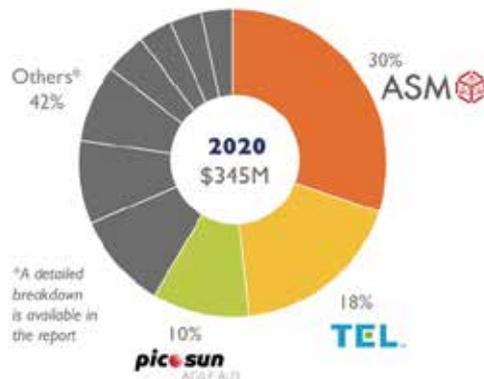


图2: 2020年面向MtM应用的ALD设备供应商的市场份额。

More-than-Moore atomic layer deposition supply chain and ecosystem analysis

(Source: Atomic Layer Deposition Equipment for More than Moore 2021 report, Yole Développement, 2021)



图3: 面向MtM应用的ALD供应链和生态系统分析。

Electric 公司

其他较小的参与者,如 ALD 专业设备供应商 (Picosun 和 Beneq) 或真空系统供应商 (Optron、Veeco、Plasma-Therm、Oxford Instruments),正在丰富扩充他们的产品线,以应对不断增长的超越摩尔定律的应用市场。

Yole 半导体制造业技术和市场分析师 Taguhi Yeghoyan 表示:随着全球半导体代工厂产能扩张,ALD 设备在半导体制造中的应用正在加速。2020 年,专门用于超越摩尔定律器件制造的 ALD 设备市场总额为 3.45 亿美元,其中占主导的是 CIS (CMOS Image Sensor) 市场达到 47%。在未来几年,预计在 2020-2026 年期间,ALD 设备市场将以 12% 的年复合增长率增加,在 2026 年达到 6.8 亿美元。

Yole 的分析师认为,ALD 设备市场高速增长有两个主要原因。

首先,一些制造基地正准备生产 MtM 器件,这些器件在所有大趋势中都越来越重要。例如,基于化合物半导体的功率器件,特别是 GaN 和 SiC,以及光子器件,包括 miniLED 和 microLED。另外,在汽车和消费应用领域,它们的制造正以火箭般的速度增长,ALD 设备的销售预计将以令人印象深刻的年复合增长率增加,功率器件的年复合增长率为 12%,光子器件的年复合增长率为 30%。同时,由于 CIS 器件、硅电力电子和先进封装(主要是晶圆级封装)的高晶圆产量进一步增长,在所有 MtM 应用中,ALD 设备的使用也更加重要。

其次,全球半导体市场需求强劲。所有市场的芯片短缺和 MtM 器件需要增加,推动一些制造商宣布扩大全球工厂产能。晶圆厂的扩张不仅涉及领先的制造企业,也涉及较小的生产基地,从而给新兴的 ALD 设备供应商带来了增长机会。

Taguhi Yeghoyan 认为:“这是一个部署新材料和新工艺的绝佳机会,以提高器件性能。ALD 生态系统和供应链的参与者,传统上是紧密联系的,现在则是更多的合作以加速 ALD 的采用。其中包括 ALD 工艺开发者,如学术和研发机构、前驱体供应商(现成的和定制的)、设备子部件供应商,以及检测和计量系统供应商。”

2020 年的 ALD 设备市场是由 300 毫米平台引领的。根据 Yole 报告,领先的 ALD 设备供应商 ASM 国际,占 30% 的市场份额,TEL,占 18% 的市场份额。中国本土的北方华创 NAURA 也在市场中处于领先地位。这些企业都提供具有较高平均销售价格和高产量的 300 毫米平台。

紧随其后的是专门生产 200 毫米平台的 Picosun 公司,它在全球 ALD 市场上占有 10% 的份额。然而,该公司被 Optron、Beneq、Plasma-Therm、Oxford Instruments 和 Veeco 等公司紧随其后。

此外,以前只活跃在 ALD 研究领域的设备供应商现在正在开发他们批量生产机器,以应对芯片和设备的短缺。总而言之,全球半导体市场的持续上升给 MtM ALD 设备供应商的收入带来了乐观的前景。但是,ALD 市场竞争激烈,市场份额在未来几年预计还会有很大变化。◆

上接第12页

- 低损耗材料
- 功率放大器
- 滤波器技术
- 无线电频率模块
- 相控阵天线模块
- 热管理

IDTechEx 的报告全面评估了 5G 毫米波及 5G 小蜂窝技术进步和市场趋势,以及促成的主要垂直应用的广泛和详细的案例研究。更多信息请访问: www.idtechex.com。◆



新加坡国立大学的研究人员开发出类脑存储器件，可能颠覆半导体设计

可重构器件能够简化半导体电路设计，并提升计算能力和速度。

现今的许多电子设备都依赖于半导体逻辑电路，此类电路是基于硬接线的开关来执行预定义的逻辑功能。新加坡国立大学（NUS）的物理学家与一个国际研究小组共同开发了一种新型分子记忆电阻器（或者说是电子存储器件），其拥有异常出色的存储可重构性。

与硬连线的标准电路不同，这种分子器件可以采用电压进行重新配置，以嵌入不同的计算任务。这种节能型新技术能够提高计算能力和速度，有可能被用于边缘计算，以及电源供应受限的手持式设备和应用。

该研究项目负责人、新加坡国立大学物理系的副教授 Ariando 表示：“在我们寻求设计低能耗计算的过程中，这项工作是一个重大的突破。在单个元件中使用多重开关的想法是从大脑的工作方式中获取的灵感，并从根本上重新构想了逻辑电路的设计策略。”

这项研究在 2021 年 9 月 1 日的《自然》杂志上首度发表，并与印度科学培育协会（Indian Association for the Cultivation of Science）、惠普企业、利莫里克大学、俄克拉何马大学及德州农机大学合作开展。

类脑技术

“这一新发现有助于边缘计算领域的发展，作为一种复杂巧妙的内存内计算方法，可以克服冯诺依曼瓶颈，后者是许多数字技术中常见的计算处理延迟，它是由于存储器与器件的处理器之间的物理分离所致。” Ariando 副教授说。另外，这种新型分子器件还可能有助于设计具有更高计算能力和速度的下一代处理芯片。

新加坡国立大学物理系研究员、本篇论文的第一作者 Sreetosh Goswami 博士说：“与人类大脑中神经元连接的灵活性和适应性相似，我们的存储器件在运行过程中能针对不同的计算任务进行重新配置，这只需改变外加电压即可实现。除此之外，就像人脑神经元能够储存记忆一样，这种器件也可以保存信息，以供未来检索读取和处理之需。”

该研究小组的 Sreebrata Goswami 博士曾是 NUS 的一名资深研究科学家，之前在印度科学培育协会任教授，他构思和设计了一种属于苯基偶氮吡啶 (phenyl azo pyridines) 化学家族的分子系统，苯基偶氮吡啶具有一个中心金属原子，该金属原子绑定至被称为配体的有机分子。Sreebrata Goswami 博士解释说：“这些分子很像电子海绵，

能够提供多达 6 个电子转移，从而产生 5 种不同的分子状态。此器件的可重构性背后的关键，就是这些状态之间的互连性。”

Sreetosh Goswami 博士创建了一款由一层 40 纳米厚分子膜构成的纤巧电路，这层分子膜夹在一个顶层与一个底层之间，顶层是金，底层为浸金纳米盘和钢锡氧化物。他观察到：当给该器件施加一个负电压后，随即出现了一种前所未有的电流 - 电压分布曲线。与传统金属氧化物记忆电阻器在某个固定电压下接通和关断不同，这些有机分子器件能在若干个离散的序列电压下，在通 - 断状态之间切换。

通过采用一种被称为拉曼光谱仪的成像技术，研究人员观察到这些有机分子振动运动中的光谱特征，从而解释了多次状态转变的原因。Sreebrata Goswami 博士解释道：“扫描负电压将触发分子上的配体经历一系列的还原或电子获得，这致使分子在关断和接通状态之间转换。”研究人员使用一种带有“如果 - 则 - 否则” (if-then-else) 语句的决策树算法来描述分子的行为，传统方法是采用基于基础物理的方程，而决策树算法则被用于几种计算机程序 (特别是数字游戏) 的编码。

节能型器件的新可能性

该小组在研究的基础上，采用这种新型分子存储器件来运行程序，以完成不同的真实计算任务。作为概念的验证，研究团队展示了自己的技术能够在单独步骤中完成复杂的计算，并且可以通过重新编程在下一刻执行另一项任务。

一个单独的分子存储器件可以执行与数千个晶体管相同的计算功能，从而使该技术成为一种更加强大和节能的存储器选项。

Ariando 副教授补充说：“这项技术可能首先在手持式设备中使用，像蜂窝电话和传感器，以及电源供应受限的其他应用。”

该研究小组正在构建纳入自身创新成果的新型器件，并与合作者一起配合工作，以进行与现有技术相关的仿真和基准测试。这篇研究论文的其他作者包括 NUS 的 Abhijeet Patra 和 Santi Prasad Rath、印度科学培育协会的 Rajib Pramanick、惠普企业的 Martin Foltin、利莫里克大学的 Damien Thompson、俄克拉何马大学的 T. Venkatesan、德州农机大学的 R. Stanley Williams。◆



CEA-Leti 在下一代内存和 RRAM 储能方面取得突破

CEA-Leti 在下一代内存和电阻式 RAM (RRAM) 储能方面取得新突破, 有望大大推进 RRAM 器件的能量存储技术。CEA-Leti 提出了一种“新奇方法”, 通过对 RRAM 器件施加不同的偏压, 使 RRAM 有望既可以作为能量存储元件又可以作为内存来运行, 取决于所施加的偏压。

内存能量是内存计算的一个补充功能, 而内存计算是 CEA-Leti 路线图的重点。它可以大大减少能耗, 因为基于 RRAM 的电池具有高度可扩展性和动态可分配性, 并且它们可以放在靠近处理器的内存块旁边。当处理器需要峰值功率 (通常来自外部电源) 时, 将能源供应放在靠近处理器的地方尤其有用。

这减少了传输线上的电力使用, 同时提高了供电网络 (PDN) 的效率。除了显示出更高的能量和功率密度之外, CEA-Leti 提出的这种混合双型 (双行为) 器件还与 CMOS 制造工艺兼容。

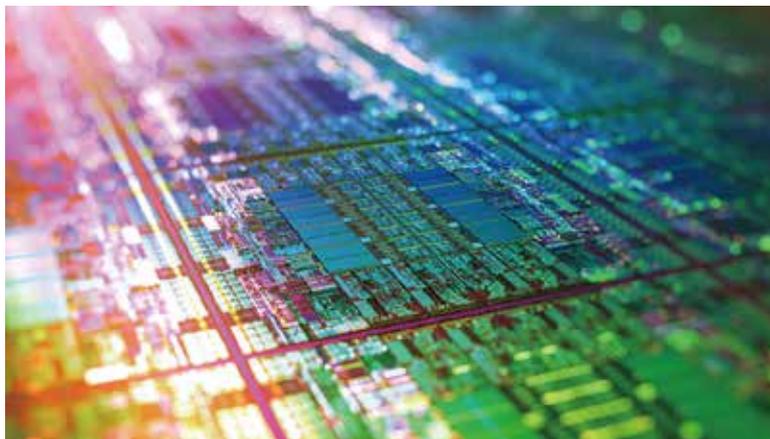
“我们的工作试图用一种创新的方法, 最先进的完全不同的解决方案来解决现代节能计算的需求。” CEA-Leti 的高级专家 Gaël Pillonet 表示, “这种内存能量的能力非常有益, 可以为附近的处理单元和内存提供本地就近和高带宽的能量供应。我们的研究是关于在 RRAM 中实际实施纳米电池效应的第一份可行性报告, 对能量和功率密度能力进行了量化, 并与当前的最佳解决方案进行了比较。”

RRAM 被认为是下一代存储器的主要候选者, 因为它在可扩展性、成本和 CMOS 工艺兼容性方面具有很好的性能。

这项研究成果发表在《Advanced Electronic Materials》中, 论文题目是 “In Memory Energy Application for Resistive Random-Access Memory” (RRAM 的内存能量应用)。

高能量和功率密度是由于该研究中的 RRAM 器件依靠法拉第过程将信息存储在有效容积内, 使得提取值 (功率和能量密度) 远远超过静电电容器, 并且可以与微型超级电容器相媲美。此外, 该技术具有强大的可扩展性: 一

个单元的尺寸可以低至 10^{-7} 平方毫米, 不会损失储能能力, 而最先进的超级电容器大约是 10^{-3} 平方毫米。这意味着这种新型 RRAM 器件比最小尺寸的微型超级电容器的可扩展性高 10^4 倍。



RRAM 器件的小物理尺寸使其具有高能量可扩展性, 它需要一个亚纳米厚的灯丝来存储能量: 典型的 RRAM 器件面积在 $[0.1-1]10^{-7}$ 平方毫米的范围内, 并且预计在不久的将来还可以缩小。

预计这类节能的双行为器件的应用包括能量到内存 (NAND 和 NOR 闪存)、能量到逻辑 (物联网处理器) 和神经形态应用 (突触技术)。

“我们的研究表明, RRAM 中的能量存储表现出 ‘局部’ 特征, 类似于内存效应, 因此不会随着器件面积的增加而增加, 与标准固态电池和微型超级电容器不同,” 博士研究员和论文作者之一 Paola Trotti 说。“由此可见, 减少样品的尺寸, 并将它们并联起来, 应该可以实现更高的能量密度。此外, 因为与 CMOS 兼容, 随着更先进的技术节点采用, 能量密度也会随之增加。”

这项研究仅仅是第一步。未来的工作将旨在量化放电模式下的输出电压、库伦效率、实验能量和功率密度能力, 以及处理作为内存 / 能量存储双重器件运行的适当外围电路。更紧迫的是, 将探索新的设计方案, 在其中优化存储器和能源性能, 使该技术达到应用水平。◆



面向5G、AI和IoT设备的新型双层材料

晶圆级封装（WLP）已成为不断增长的5G、人工智能（AI）和物联网（IoT）系统组件的标准。这些先进应用所需要的高性能集成电路需要构建在超薄衬底之上。这些设备的生产制造要求总厚度变化（TTV）最小，几乎没有翘曲，并且在下游加工过程中能够耐受高温。本文中Brewer Science公司材料专家解释了他们的BrewerBOND® Dual-Layer双层材料和工艺如何帮助制造商降低成本、改善性能和提高产量。

要成功开发新一代电子产品，必须有坚实的基础。在业界领先的IC制造商将CMOS制造工艺推进到5纳米或更微细尺寸时，也有一些先进的电路制造商正在采取不同的路线来实现高性能，包括采用2.5D/3D架构，在提高处理速度和功能的同时减少IC面积和空间。

制造商已经成功地大幅减少了TTV（total thickness variation）和翘曲，同时在保持高产量的同时控制了成本。许多晶圆减薄技术和材料技术已经被开发出来，以便能够支持各种先进封装平台。一种常见的工艺是晶圆级芯片尺寸封装（WLCS），它以低成本提供高性能。但是，由于它采用的是“无衬底”封装，应用可能会因芯片尺寸而受到限制。随着芯片尺寸不断缩小，制造商已经在寻找替代方案。扇出型晶圆级封装（FOWLP）技术正在不断发展，因为通过将连线扇出到外部焊盘，可以提高I/O密度，因而可以实现更小的外形尺寸，并降低功耗。

先进的晶圆级封装有一个重要方面：使用临时晶圆键合（TWB）材料和工艺，目的是使经过部分处理后的晶圆能够承受各种后续步骤，甚至在非常高温度和高真空中进行后续步骤。“理想的”TWB材料解决方案应该可以节省时间和金钱，同时保持最佳性能。许多制造商还要求材料能在室温下应用和粘合，并在对薄晶圆进行部分热压键合（TCB）工艺步骤时能提供保护。TWB材料还应该有足够的灵活性，以支持不同的固化选项，同时保持器件特征的完整性。此外，通过使用一些分离技术，TWB材料还要能够将薄晶圆从载体上剥离开来。

“Brewer Science公司正在不断努力改进我们已经被广泛采用的材料。一个很好的例子是Dual-Layer材料，这些材料不断得到改进，因此更具有适应性。我们看到为5G、人工智能和物联网应用开发设备和系统的制造商对此特别感兴趣。自最初推出以来，Dual-Layer材料已经

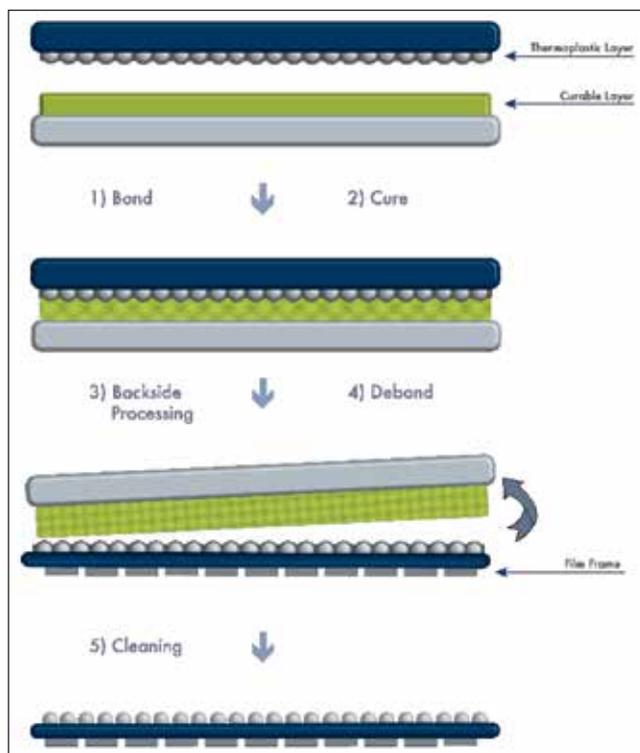


图1: 使用Brewer Science双层材料的TBDB 工艺流程。

在TCB工艺的薄晶圆加工过程中显示了保护作用。我们继续改善生产环境中的TTV性能，我们已经看到Dual-Layer材料成功支持薄至10微米的晶圆。业界所有最常用的点胶设备都可以在室温下使用我们的Dual-Layer材料。”Brewer Science现场应用首席工程师John Massey说。

薄晶圆加工是半导体制造的一个主要挑战。因为厚度小于50微米的薄硅片或使用RDL-first工艺建立再分布层(RDL)的硅片脆弱易碎，并且制造成本昂贵。为了安全加工薄晶圆，使用支撑基底(载体晶圆)成为必需。具体工艺步骤是采用专门设计的材料来进行薄晶圆和载体晶圆的临时键合和解键合(TBDB)，以便实现复杂的封装架构。

用于TBDB工艺的材料通常是由高粘度、低T_g(玻璃化转变温度)的热塑性聚合物制成。这些材料具有热机械稳定性，当超薄的器件晶圆与支撑载体临时键合时更容易对其进行加工处理。虽然Brewer Science提供广泛的TBDB材料品种供用户选择，支持许多键合/解键合技术(主要包括：机械、激光和热滑解键合)，但是由于更高温度工艺步骤的引入，使传统的粘合剂材料表现得更像液体；因此，随着熔体粘度的降低，临时键合的晶圆会失去机械稳定性。这使得粘合剂材料一定程度软化，键合稳定性降低。在更高温度下，器件晶圆还会发生变形和分层，从

而影响下游加工处理。Brewer Science开发的先进材料和工艺，为客户提供一个可以消除这些常见的材料故障点的TBDB系统。

面向TBDB的BrewerBOND® Dual-Layer材料

最新的Brewer Science Dual-Layer 双层材料提供下一代键合系统性能，以实现高产量和热稳定性。这些材料还为晶圆级和面板级加工提供室温粘合和脱粘。双层材料支持广泛的制造要求，使研磨后的器件厚度更加均匀，小于50微米，同时也使器件结构(临时键合的)能够在真空下经受高温处理。图2左图是采用Brewer Science 双层材料和工艺优化得到的无损伤器件的扫描电镜图像，右图是使用其他基本工艺的相同尺寸的有损伤产品的图像。

据Brewer Science 晶圆级封装材料执行总监Kim Yess介绍，与行业之前使用的解决方案相比，BrewerBOND材料的双层方法具有关键优势。

“BrewerBOND T1100系列材料是为在键合前对器件结构进行保形涂覆而设计的；这种材料具有特殊的流变属性，可以为器件结构提供极好的保形涂覆保护。BrewerBOND C1300材料是与T1100系列材料一起使用的可固化热固性层(薄膜)，它在最终固化前保持可塑性。这将使得粘合在一起的“晶圆对”具有非常低的TTV，并且能够经受住接近400℃的下游工艺。”Yess解释：双层

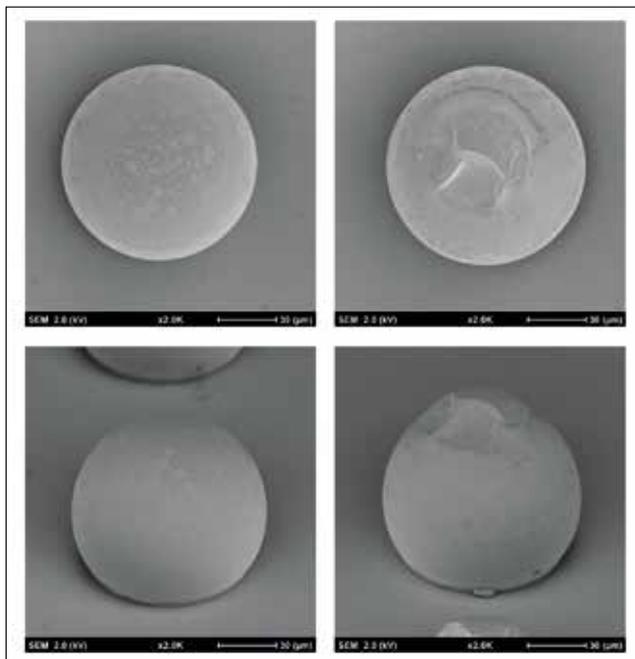


图2: 左图是采用Brewer Science双层材料和工艺优化得到的无损伤器件的扫描电镜图像，右图是使用其他基本工艺的相同尺寸的有损伤产品的图像。

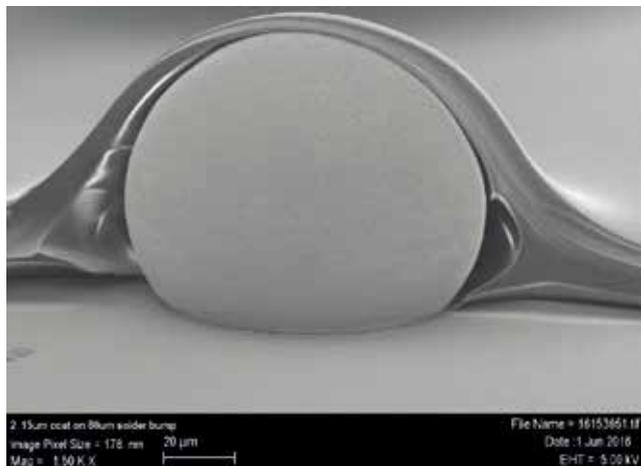


图3: BrewerBOND T1100 材料提供高保形性和良好粘合性。

系统应用包括两个步骤，①将低玻璃化转变温度（低 T_g）的热固性材料（BrewerBOND C1300）应用在载体上。②然后将该载体组件粘合到已经应用对应的较高 T_g 的粘合材料（BrewerBOND T1100）涂覆处理过的器件结构上。在室温下进行粘合和加工后，这对（器件结构和载体）结构就可以进行紫外线照射或热烘烤，以固化热固性材料。当加工温度低于 350℃ 时，BrewerBOND T1100 系列材料在 300℃ 以下仍能保持固有流变属性，几乎没有熔体流动。这种材料具有高度的保形性，用作涂覆保护层，即使涂得很薄，也能覆盖严重不均匀的形貌。图 3 是在 80 微米的焊接凸点上涂覆 2.15 微米厚的 BrewerBOND T1100 系列材料涂层后的扫描电镜截面图。

Brewer Science 公司开发的 Dual-Layer 双层方法具有的特殊性能，可以优化涂层工艺的基本品质，同时使各种应用步骤适合典型的工艺流程，达到高产量水平。（关键材料特性见表 1）。

Yess 指出：“BrewerBOND T1100 和 C1300 材料需要

表1: BrewerBOND 先进材料的性能

Property	Curable Material	Thermoplastic Materials		
	BrewerBOND® C1301-50	BrewerBOND® T1107	BrewerBOND® T1105	BrewerBOND® T1101
Solution viscosity	4675 cP at 24.5°C	160 cP at 24.5°C	100 cP at 24.5°C	75 cP at 24.5°C
Target thickness	25-60 μm	2 μm	2 μm	2 μm
Young's modulus	3.3 MPa	2500 MPa	2500 MPa	2550 MPa
CTE	394 ppm/°C	63 ppm/°C	63 ppm/°C	53 ppm/°C
T _d	420°C	465°C	465°C	375°C
T _g	< -50°C	328°C	328°C	82°C

相互配合才能发挥其最佳潜力。相对而言，BrewerBOND T1100 材料更薄，保形性更好，制造商需要这种材料来应对不断缩小的器件几何形状。T1100 还能使器件的下游清洗更加容易。我们的 BrewerBOND C1300 材料在高温工艺中具有更好的稳定性，从而可以减少翘曲，并有助于确保所包覆器件加工后的功能。”需要注意，在工艺过程中只有载体基底的表面需要使用 BrewerBOND C1300 材料，因为解键合（机械脱粘）工艺时需要利用热塑性能。

“创建新的器件结构及其产生的各种极端要求正在扩展目前所使用的技术和材料的极限。Brewer Science 专注于开发更好的材料和工艺，使器件制造商能够获得下游加工所需的稳定性和耐热性，但却依然只需使用行业标准的清洁工艺和化学品就能根据需要去除涂层。通过使用正确的涂层，半导体制造商可以在纳米尺度上获得他们所需要的稳定性和耐热性，同时仍然保留根据需要去除涂层的能力。”她解释说。

总结

Brewer Science 为先进封装带来领先的材料专业知识，通过使用独特支持 FOWLP 技术要求新型临时键合/解键合材料，为创新铺平道路。当组合成一个系统后，Brewer Science 的双层材料带来了更好的机械稳定性，减少了需要在高真空或高温下处理键合的薄晶圆的危险性。该材料的保形性、室温键合/解键合特性和耐化学腐蚀性提供了附加价值，提高了性能，同时降低了拥有成本。

Brewer Science 的双层材料可以使用低能激光解键合工艺，对器件晶圆提供更好的保护，并且残留物中含碳低，也可以使用其他解键合方法。随着封装技术不断发展和器件几何形状进一步缩小，双层材料也在不断发展，能够处理薄至 10 微米的晶圆。它们还能保护在整个半导

体生产中占据越来越大份额的三维器件结构。Brewer Science 公司将继续开发和提供先进的临时键合和解键合材料，同时研制新材料支持正在开发的新兴的器件封装技术，以满足制造商的要求。◆



系统级测试 为器件制造商提供范式转变

AEM Singapore 所做的研究显示，半导体行业需要不断提高故障检测覆盖率，并降低测试和测量的总成本，以实现更好更高效的缺陷检测，同时改善质量和整体良率。

作者：Stuart Pearce,
永科控股（新加坡）公司（AEM HOLDINGS, SINGAPORE）

随着系统复杂性和异构性的日益增加，以及应用要求的日趋苛刻，故障检测覆盖率的问题变得越来越多。对于许多终端应用领域而言，如自动驾驶汽车、云服务器、人工智能（AI）、工业物联网（IoT）或医疗设备等应用现在均属于任务关键型，因而推动了对低缺陷水平（十亿分之一，PPB）的需求。

先进驾驶辅助系统（ADAS）和信息娱乐应用

“在每一个工艺节点，晶体管密度都会增加一倍”，在

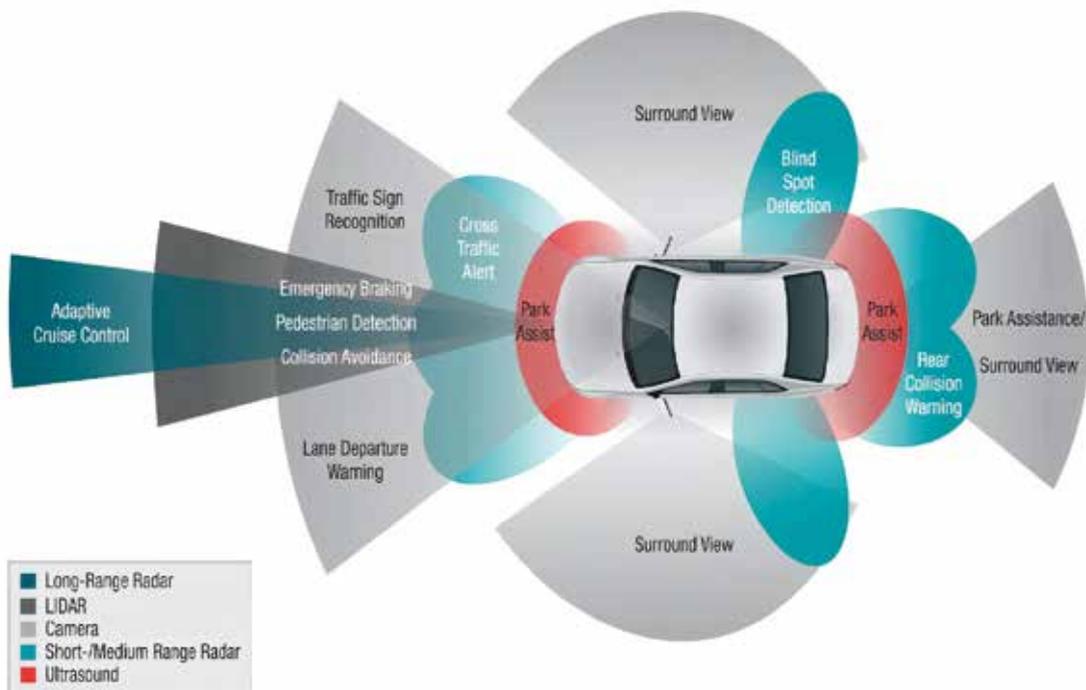


图1：随着各种汽车内置系统越来越依赖于基于半导体的系统，人们对于快速、准确和成本效益型测试的需求也在增长。

这个方面，半导体行业继续遵循着摩尔定律。以前，这些技术飞跃一直是以 18 ~ 24 个月为周期出现的，不过，先进节点的复杂性让进展的取得更具有挑战性，节点之间的时间在延长。随着这些新的工艺节点进入市场，晶体管的尺寸更小、数量更多，因而更难发现缺陷，并将使测试覆盖率要求更加严苛。

例如，对于一颗测试覆盖率为 99.4% 的先进节点 300mm 晶圆而言，在一个含有 25 亿只晶体管的器件上会留下 1500 万只未经测试的晶体管。产品上市时间和获利周期等因素推动了对缩短工时和提高故障测试覆盖率的需求。在客户应用环境中进行系统级测试，可以提供解决上述难题的能力，同时获得显著降低总测试成本的机会。

新型系统级测试解决方案 (AMPS)

永科电子科技(新加坡)公司 (AEM Singapore) 开发了一款新型系统级测试解决方案 (AMPS)，该解决方案利用了过去 10 年来他们在为一些领先半导体公司提供系统级器件处理方面所获得的知识与经验。AMPS 是

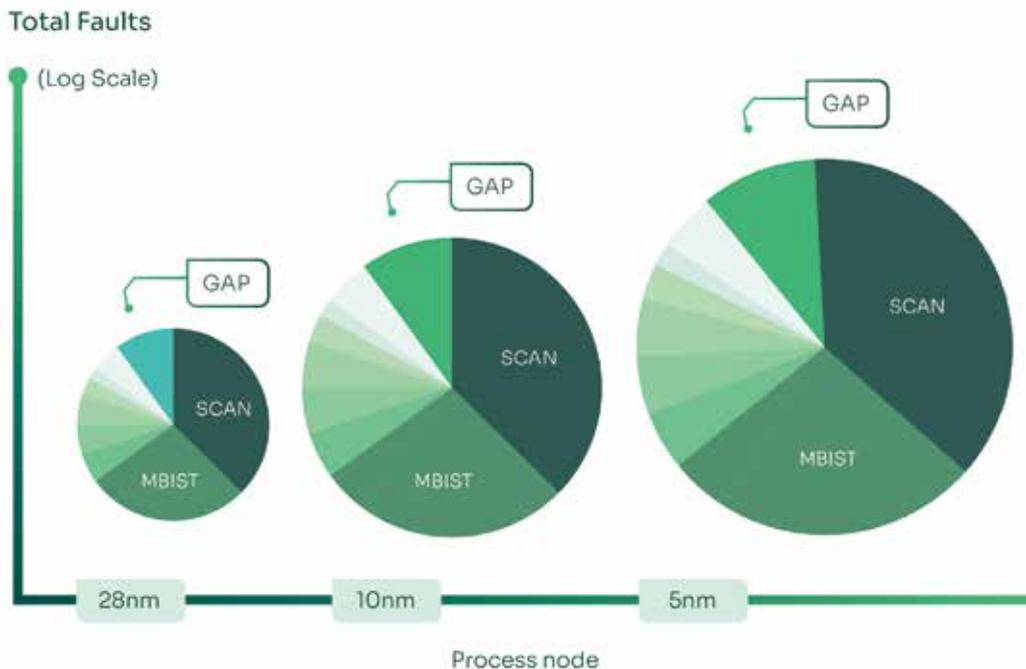


图2：随着晶体管尺寸的微缩，每片晶圆所容纳的器件越来越多，因而形成了复杂的测试环境。(图片提供：高通公司 Mike Campbell)



图3：测试场景示例。

-40℃至150℃)，因而支持相同系统内的老化和应力测试。通过增添可选的系统级功能测试能力 (SLT+)，可以在相同的系统内实现内建自测试 (BIST)、存储器内建自测试 (MBIST) 和功能测试。这样只要配置一个系统，就可以提供同时测试多个不同器件或模块的能力，从而支持具有多品种产品（如封测代工 OSAT 制造商常常需要提供很多产品）的应用。

“Asynchronous, Modular Parallel and Smart” 的首字母缩写，“异步” (Asynchronous)、“模块化并行” (Modular Parallel) 和“智能” (Smart)，这些是系统级测试的关键参数。

系统级测试器必需是模块化的，而且还应该能够容易地针对特定的器件应用进行定制和重新配置。通过与客户合作，将经过他们修改的应用评估模块整合为系统级测试处理解决方案，就可以利用现有的测试开发成果。

通过提供一种可以复制和扩展的模块化方法，就能将同一个系统用于工程调试环境，其主要优势是，开发团队最初使用的系统能够快速过渡到生产阶段中。此类面向生产的解决方案在操作中必需是完全异步的，以使每块系统评估板在运行中基本上都是“独立的”。这样就可以具备在不拆卸生产线的情况下重新配置系统的能力，并且支持单独的智能器件测试流程。

通过重复使用相同组件实现的模块化，可以为大规模测试处理器提供可扩展性，这能降低总拥有成本。AEM 的系统测试器 (AMPS) 可以扩展到能够对多达 480 个并行站点 (parallel sites) 的单独器件进行工程调试处理的规模。

它可以对单独器件提供 ATC 热控制（从

支持系统级测试的测试流程

收集系统级测试数据，可以实现对于功能测试和晶圆测试结果的关联追溯。通过访问存储数据，分析系统可以基于智能化知识，在晶圆测试、功能测试和系统级测试 (SLT) 之间做出自适应测试决策，从而能够进一步降低总测试成本。

在系统级上添加可选的功能测试模块，可以进一步实现同一系统内的适应性。

如今，数据分析、机器学习和大规模并行测试处理系统的发展成就了测试范式的转变。系统级测试并不是新概念，现在它被证明是可行的，并且即将帮助提高故障测试覆盖率，同时降低总测试成本。◆



图4：AEM系统测试器 (AMPS)

为先进工艺控制制造系统 增加机器学习功能

随着人工智能(AI)和机器学习(ML)的持续升温，人们可能会认为，通过在集成电路制造过程中添加“一点”人工智能/机器学习来提高制造产能相对容易。但实际情况要复杂得多。Tignis公司的AI工艺控制专家们相信，他们有了一个新的解决方案，可以使机器学习驱动的高级工艺控制（APC）更容易实现，并且更具成本效益。

想象一下，一家小型半导体制造商想要添加一个机器学习（ML）辅助应用程序来改进其制造工艺流程。该公司即将发现，除了他们的工艺工程师之外，添加 ML 功能是一种多学科方法，没有快速、适应性强或易于实施的现成解决方案。据总部位于西雅图的人工智能工艺控制公司 Tignis 称，这种模式即将发生转变。

Tignis 宣布了其新的 AI/ML 分析工具集，它称之为 PAICe，它将其描述为一种解决方案，可以让帮助用户增加 AI/ML APC 的好处，而无需像以前那样投入大量时间和金钱。Tignis 公司联合创始人兼首席执行官 Jon Herlocker 在预发布采访中告诉 Silicon Semiconductor，PAICe 旨在将机器学习的力量交到那些并非数据科学家的用户手中。这种下一代技术可帮助制造商实现当今先进工艺控制（APC）方法无法实现的工艺改进，包括利用 Tignis 创建的替代机器学习模型的能力，这些模型比基于物理的模拟更准确，且速度也要快达一百万倍。这种性能增强

可直接用于实现更快的生产、更好的质量控制和更快的上市时间。

“在创建 PAICe 时，基本的思想是赋能工艺工程师。这与当今一些解决方案提供商所提供的方法相反，它们本质上采用“神奇的黑匣子”方法来做您想做的事，但您不知道盒子内部发生了什么，作为客户，您完全依赖另一家公司的技术，放弃控制。我们的方法——使用我们所谓的数字孪生查询语言（digital twin query language），简称 DTQL，能够在几分钟内构建模型，甚至无需学习数据编程课程。这种基本系统至少适用于 80% 的案例，我们还可以为需要进一步优化的特殊情况提供我们自己的程序员。”他解释说。

据 Tignis 称，他们全新的 DTQL 是第一种专门设计用于在数字孪生上构建机器分析的语言。Tignis 表示，通过 DTQL，其 PAICe 产品套件显著消除了阻碍工程师利用他们收集的所有历史数据来帮助他们做出更好决策的障碍；新的解决方案使工艺和可靠性工程师能够将他们深厚的主题知识转化为数百个基于机器学习的预测模型，这些模型可以在数千种不同的物理资产中轻松管理——所有这些都无需成为数据科学家。

PAICe 产品套件加速了在制造和工艺行业构建、验证和部署支持机器学习解决方案的能力，最初专注于半导体制造、石油和天然气加工以及能源领域。这是 Jon Herlocker 的最新风险投资，他

是一位连续创业者和资深技术专家，在创建和建立成功的初创公司方面有着良好的记录，同时也是 VMware 公司的前副总裁兼首席技





术官，VMware 是一家年产值 120 亿美元的虚拟基础设施管理公司。Tignis 的资金和建议来自行业领袖，如软件高管 Paul Maritz，他是 Tignis 的投资者和董事会成员。Maritz 是 VMware 的首席执行官，也是微软公司高管团队的成员。而 GE Digital 公司的前首席技术官 Harel Kodesh 则是另外一名投资者。

“PAICe 产品套件将机器学习交到了以前从未使用过它的人手中，” Herlocker 说。“这很重要，因为基于机器学习的控制算法不仅优于经典的反馈或前馈先进工艺控制应用程序，而且它们不断从新的工艺数据中学习，减少重新调整控制和随着时间的推移进行改进的需要。借助 PAICe 产品套件，更多制造商现在将能够通过利用机器学习在现代制造和工艺控制中的优势，来提高工艺质量、产能和良率。”

PAICe 产品套件使机器学习不仅可以用于预测性维护，还可以用于工艺优化及其直接实施到工艺控制回路中。它能够以比传统的基于物理的模拟快 100 万倍的速度运行基于机器学习的模拟，从而使制造商能够在过去无法实现的地方进行实时反馈控制（例如实时优化）。该套件的主要特点包括：

- PAICe Builder，一种任何人都可以轻松使用的机器学习分析工具。它提供与 OSIsoft PI 数据历史记录和其

他数据源的简单连接，并提供可下载或云版本，允许用户在任何地方进行分析。

- PAICe Monitor，它允许客户一键轻松地将他们的分析部署到私有或公共云基础设施和数以千计的资产上（包括用于从数据历史记录器中获取和发送数据的 Web API）。它提供了一个可扩展的云基础架构来根据需要构建分析；Tignis 管理的基础设施意味着客户只需为他们需要的资源付费。
- PAICe Maker，它部署和管理基于机器学习的控制算法，可以随着时间的推移和数据的增加而改进。机器学习模型可以比传统的基于物理的模拟快一百万倍的速度计算控制变量，从而允许实现控制的实时计算。内部部署和云架构的混合确保控制延迟低，并在云中实现最佳模型训练和学习。

通过 Tignis 公司在发布前的广泛 Beta 测试计划，PAICe 产品套件已在石油和天然气、半导体和能源行业的众多工业客户中进行了使用。该产品套件的一些著名用户包括 Tokyo Electron (TEL)、Synopsys、Etairon 和 Optimum Energy。

该产品套件现在可直接从 Tignis 获得；详情请访问 www.tignis.com。◆

EVG面向MEMS制造的解决方案

今天，几乎日常生活的每一项技术中都少不了微机电系统（micro-electro-mechanical systems, MEMS）器件。智能手机是消费类设备的一个突出例子，它集成了多个 MEMS 器件，例如用于运动传感的加速度计和陀螺仪，以及用于无线通信的基于 MEMS 的滤波器。

MEMS 也是汽车行业的一项关键技术，从发动机管理或轮胎压力监测系统到安全气囊释放系统中的加速度计。而用于汽车和工业应用的 MEMS 器件必须满足最高标准的性能和可靠性，这也对制造技术提出了最高要求。

作为 MEMS 市场晶圆加工设备的领先供应商，EVG 有着悠久的历史。EVG 在光刻和晶圆键合领域出色的工艺技术、持续创新和广泛的产品组合，支持 MEMS 客户为其下一代器件开发领先的解决方案。

先进光刻技术实现精密MEMS制造

大多数 MEMS 器件由具有高深高比和小型易碎移动部件的 3D 结构组成。因此，制造工艺需要厚光刻胶工艺、表面保形涂层以及出色的曝光和对准能力。EVG 除了提供标准的紫外光刻设备，甚至通过纳米压印光刻（NIL）为新兴的 MEMS 应用提供纳米结构。此外，EVG 的无掩模曝光（Maskless Exposure Technology, MLE™）技术可以实现光刻胶的动态图案化，包括单个芯片注释的可能性——这是关键的汽车和工业 MEMS 应用的重要特征。

针对 MEMS 制造，EVG 光刻技

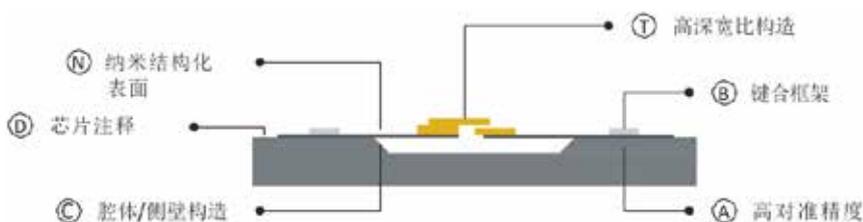


图1: MEMS结构特点及其制造工艺要求（来源：EVG）

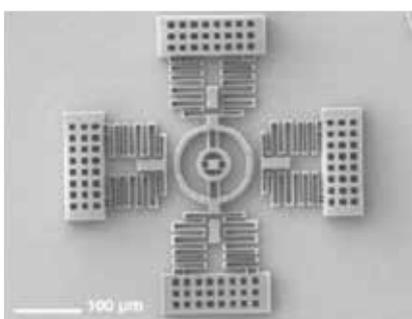


图2: 应用20微米厚度光刻胶进行MEMS结构图案化（来源：EVG）

术的优势主要有以下四方面：

先进光刻胶工艺

- 旋涂和喷涂能力
- 多层工艺
- 特种光刻胶工艺
- 喷射、混水、束流和超声波辅助开发

高精度掩模对准

- 用于蚀刻和金属化的光刻
- 最新的 UV-LED 技术
- 高景深曝光
- 键合对准

采用无掩模曝光技术（MLE™）的数字制造

- 具有线空间分辨率 <math><2\mu\text{m}</math> 的

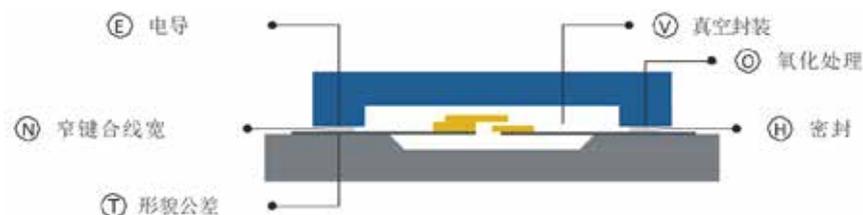


图3: MEMS封装及其工艺要求（来源：EVG）

动态光刻胶图案化

- 从芯片注释到多项目晶圆的单个图案
- 无掩模数字基础设施
- 从快速原型设计到大规模制造的智能和敏捷

最高分辨率的纳米压印光刻（NIL）

- 经批量验证的晶圆级压印技术
- 专有 SmartNIL® 技术
- 领先的晶圆级光学能力
- Bio-MEMS 的创新工艺

晶圆键合

许多 MEMS 器件需要保护，以免受到外部环境的影响，或者只能在受控气氛或真空下运行。当今 MEMS 器件与 CMOS 芯片的高度集成，还需要专门用于 MEMS 器件的先进晶圆级封装解决方案。此外，许多 MEMS 都是基于 SOI 晶圆等技术基板。因此，晶圆级键合工艺在 MEMS 器件的制造中起着至关重要的作用。

EVG 面向 MEMS 晶圆键合的技术优势主要有以下六个方面：

用于气密密封和真空封装的金属

完整的Die-to-Die IP解决方案

简介

下一代服务器、AI 加速器和网络片上系统 (SoC) 设计需要越来越强的能力，以满足更快的数据处理和先进人工智能 / 机器学习工作负载的需求。大规模 SoC 和模块化优势正在推动行业向多晶粒 SoC 的模式转变，它可提供以下一些众所周知的优势：

- 支持超越光罩尺寸的 SoC
 - 提高大型 SoC 的产量
 - 使流程技术与功能需求保持一致
 - 实现模块化，以使用相同的“构建模块”支持不同的用例和产品配置
- 然而，多晶粒 SoC 给设计师带来了需要克服的新挑战，包括：
- 由于晶粒和封装之间的紧密相互作用，导致设计复杂
 - 从 SoC 组装到制造的不同阶段的可测试性支持
 - 由于晶粒彼此非常邻近（或重叠）而需要进行复杂的热管理

IP 和设计工具的发展帮助设计人员定义和实施其 SoC 架构。本文讨论的范围超出了晶粒到晶粒 PHY 接口特性和优势，描述了多晶粒 SoC 结构的晶粒到晶粒链路、实现需求、链路问题管理和晶粒到晶粒协议栈结构，所有这些对于理解如何在单一封装中实现更加模块化、更灵活、更好良率的多晶粒 SoC 而言都至关重要。

用例和实现要求

对于多晶粒 SoC 设计人员来说，关注以下晶粒到晶粒接口如何对系统性能做出贡献的标准是值得的：

- 链路延迟
- 跨链路的数据一致性
- 可接受的误码率 (BER) 及其控制机制
- 带宽和分支
- 晶粒到晶粒接口协议

以下是几个晶粒到晶粒使用案例：针对高性能计算 (HPC) 的多晶粒 SoC 的一个常见用例是在同一封装中组装多个同质晶粒，每个晶粒包含一组类似的处理单元，可以是通用 CPU 或针对 AI 工作负载的专用处理器，以及本地内存和缓存。采用多晶粒方法的原因可能是配置和模块化的灵活性（例如：扩展计算性能），或者是因为单片晶粒太大，无法高效制造（例如：分离 SoC）。

在由同质晶粒组装的多晶粒 SoC 中（如图 1 所示），一个互连网络连接每个晶粒中的所有 CPU 集群和共享内存组。晶粒到晶粒链路连接两个晶粒中的网状互连，如同它们是同一互连的一部分。

在高性能的同质计算用例中，无论是服务器还是 AI 处理，具有紧密耦合缓存层次结构的 CPU 或 TPU 集群

都分布在多个晶粒上（如图 2 所示）。

这些实现通过统一的内存架构得到增强，这意味着任何 CPU 都可以以类似的访问时间来访问另一个 CPU 集群中的内存，因此软件代码可以不知道工作负载是如何在不同的处理集群之间分配的。对于这些情况，至关重要的是一个晶粒中的 CPU 能够以最小的延迟访问另一个晶粒中的内存，同时支持缓存一致性。

通常，两个晶粒之间的链路需要缓存一致性，利用 CXL 或 CCIX 流量的优势来降低链路延迟。

如果每个方向的链路延迟在 15 到 20 纳秒的范围内，维持一个统一的内存架构域通常是有可能的。

当链路两端共享缓存内存时，高性能异构计算架构也可能需要一致性。

在 IO 访问这样的应用中，为了灵活性和效率，数字处理存在于 IO 功能之外的一个单独的模块中（IO 示例可以是电子 SerDes、光学、无线电、传感器或其他），通常没有一致性要求，对链接延迟更宽容。在这些情况下，IO 流量通常通过标准协议路由，如 AXI 接口。

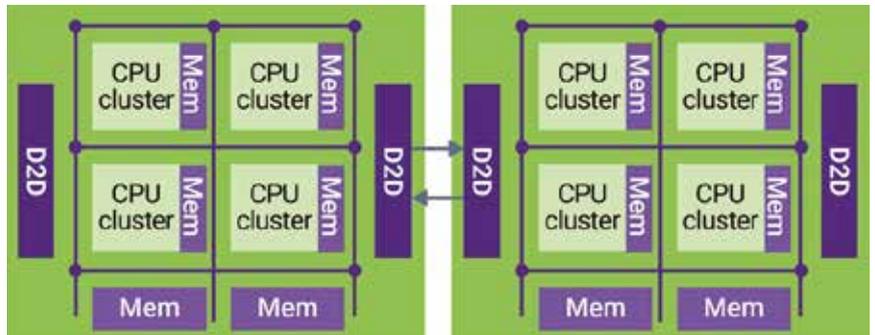


图 1：采用同质晶粒组装的多晶粒 SoC 图示。

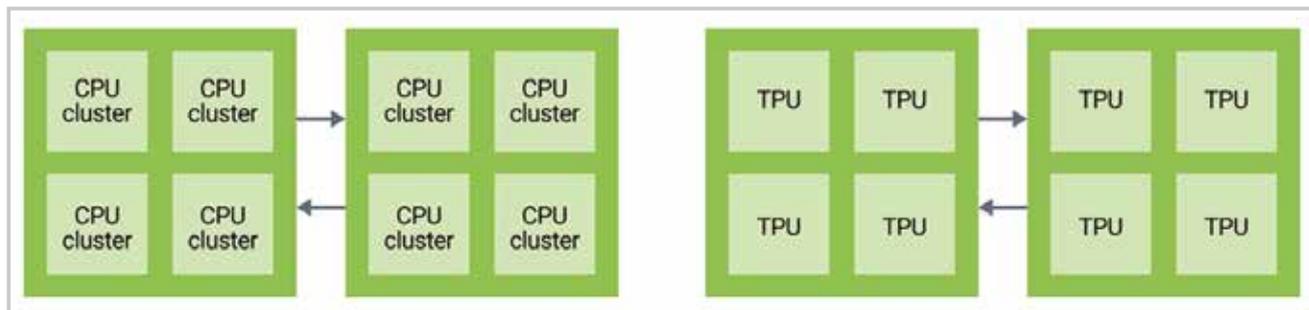


图 2: CPU 和 TPU 集群分布在多个晶粒上的同质计算用例。

类似情况如 GPU 和连接到 CPU 集群的一些异构计算类的加速器这样的并行架构，可能只需要 IO 一致性（如果加速器晶粒没有缓存），或者根本不需要一致性，如图 3 所示。

管理链路错误

任何数据传输都存在错误。晶粒到晶粒链路，由于短距离和相对干净的通道特性，相比必须通过不同材料和连接器的较长通道而言，产生的错误要更少。

为了避免因链路错误导致数据损坏，进而对系统运行造成灾难性影响，晶粒到晶粒链路必须实现允许错误检测和纠正的功能。根据系统要求和原始 PHY BER，有两个主要选项可用于检测和纠正传输错误，这些选项可单独使用或结合使用：

- 与错误检测功能结合的重试机制能够纠正所有检测到的传输错误。一个错误检测码，如奇偶校验或循环冗余检查（CRC）码被添加到发送的数据，以便接收端可以验证接收的数据，在检测到错误时，请求重新发送数据。
- 前向纠错（FEC）是与数据一起传输的更复杂的代码，能够检测和纠正错误位。根据 FEC 算法的复杂度，检测和纠正的错误数量可能更高。只是，FEC 编码和解

码的延迟增加了复杂性。

FEC 可以纠正一定数量的错误，而不需要重新传输，但将产生额外的延迟。通常，FEC 用于将 BER 恢复到特定的低概率水平（“可靠链路”），任何未纠正的错误都会触发重传。

根据系统需求和晶粒到晶粒链路配置，不需要 FEC 的原始误码率限制可能会有所不同。有时认为足够的最小限制是 $1e-15$ BER，对应于在 40 Gbps 下运行的 1 条通道链路每 7 小时重传请求一次。对于具有 10 个通道的复杂系统，重新传输概率与通道的数量成比例地增加，因此将 BER 降低到较低水平的轻量级 FEC 仍然是需要的，这样可以将重传请求之间的间隔保持在合理的高水平上。

晶粒到晶粒协议栈

与其他芯片到芯片链路一样，晶

粒到晶粒链路的协议栈可以分割成与开放系统互连（OSI）模型栈定义一致的不同协议层，如图 4 所示。PHY 层由物理介质无关（PMA）和物理介质相关（PMD）组成。PHY 层处理与通道的电气接口。逻辑 PHY 层位于 PHY 层的上方，将 PHY 层的信令特性与链路层隔离，辅助数据流构建和恢复。

链路层管理链路，处理错误检测和纠正机制，保证一个端到端无错误的链路。链路层还处理流控，调节发送方和接收方之间的数据通信量。传输层从应用层接收读写请求，从链路层创建和接收请求包。

当他们在一起定义和验证时，每一层都会得到优化，即使每一层都有预定义的接口。例如，期望的 FEC 特性取决于预期的 PHY 的误码率。

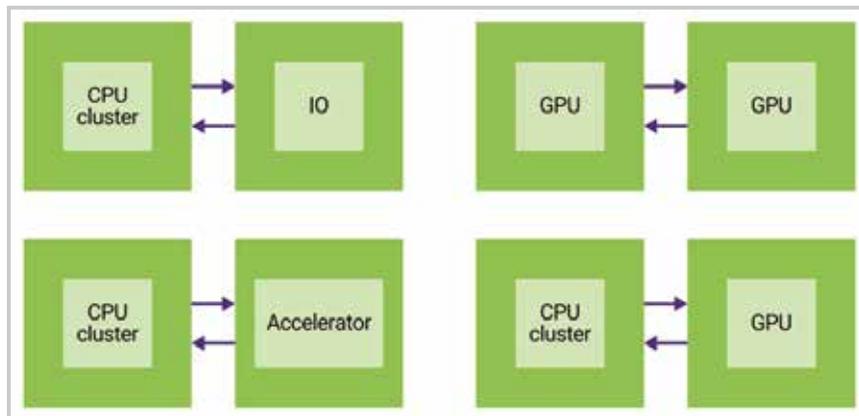


图 3: 具有并行异构架构的多晶粒 SoC。

晶粒到晶粒连接的特性

晶粒到晶粒链路的特性使其不同于传统的芯片到芯片链路。例如，在封装多晶粒 SoC 时，链路的两端是已知且固定的。因此，晶粒到晶粒链路特性可以提前确定，通过软件或寄存器在开机时进行设置，避免链路发现和协商步骤的复杂性。

另外，期望晶粒到晶粒链路是一个连接两个晶粒的互连结构的简单“隧道”，而没有特定的已定义协议。为减少延迟并保证互操作性，理想的做法是将链接紧密优化，以便与晶粒上互连结构进行操作。例如，Arm Neoverse 平台定义了支持缓存一致性的专用接口，可用于低延迟的晶粒到晶粒解决方案。或者，更通用的应用接口（例如 AXI）可用于附接到任何片上互连结构。

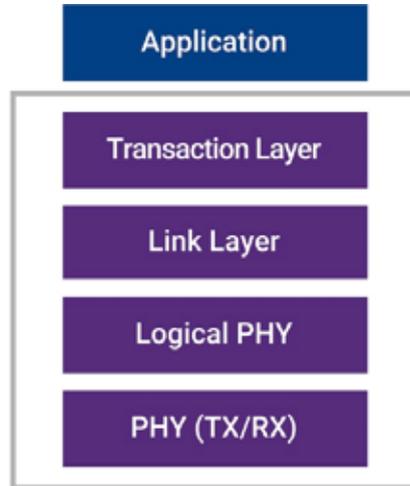


图4：晶粒到晶粒协议栈。

总结

随着 SoC 的尺寸越来越大，功能越来越复杂，设计人员正在探索其他选项来优化产量和延迟。发展趋势是在单一封装内集成多晶粒 SoC，实现更好的模块化、灵活性和产量。由

于这个原因，实现晶粒到晶粒的接口在不同案例中变得至关重要，例如 SoC 计算能力的扩展、SoC 的分割、聚合多个不同的功能和分解 IO。设计师必须理解如何实施此类用例，如何定义和验证晶粒到晶粒协议栈中的每一层，以实现更优化和更可靠的晶粒到晶粒链路，以及如何确定目标晶粒到晶粒特性以降低延迟并保证互操作性。

Synopsys 设计和开发了 DesignWare 晶粒到晶粒 IP 解决方案产品组合，来专门满足每个用例的需求。DesignWare® 晶粒到晶粒 IP 产品组合包括可用于 FinFET 工艺的 SerDes 和基于并行的 PHY 以及用于 112G USR/XSR 链路的控制器。◆

（文章来源：Synopsys 公司 DesignWare 技术公告）

下转第26页

键合（焊料、共晶、瞬态液相（TLP）、金属扩散）

- 限定压力封装
- 机械强度高
- 高键合后对准精度
- 丰富的界面属性

工程化基板的熔接

- MEMS-SOI 基板
 - 混合键合
 - 规模芯片转移
 - 先进半导体封装的异构集成
- 用于可靠的硅 - 玻璃界面的阳极**

键合

- 高度稳定和牢固的键合
- 光学透明
- 三层键合（硅 - 玻璃 - 硅）
- 高键合后温度耐受性

玻璃粉键合的形貌公差

- 中间玻璃层

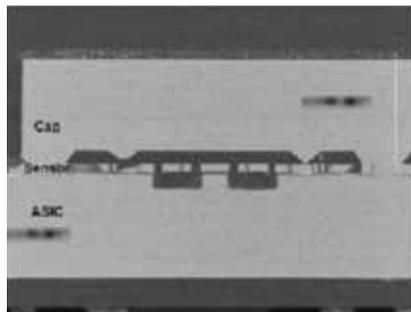


图4：使用Al-Ge共晶键合将一个MEMS器件与一个ASIC键合在一起（来源：Courtesy of Chipworks）

- 高真空处理和工艺 (<7E-8 mbar)
 - 无吸气剂真空封装
 - 低温 Al-Al 键合
 - 晶圆表面活化
- 工艺服务和能力中心**
- EVG 在其奥地利总部以及美国和日本拥有先进的应用实验室和洁净室，致力于为全球研发和生产客户及合作伙伴提供卓越的工艺专业知识。服务范围从设备演示和可行性研究到中小型试生产线，以缩短上市时间。EVG 还建立了异构集成能力中心 (Heterogeneous Integration Competence Center™)，旨在帮助客户利用 EVG 的工艺解决方案和专业知识，通过系统集成和封装技术的进步推动实现全新的和增强的产品和应用。◆
- 宽工艺窗口
 - 平面电馈通
 - 数十年的生产验证
- 用于简单集成的胶粘键合**
- 临时键合 / 去键合
 - 使用紫外线固化粘合剂进行室温键合
 - 超薄胶层转移键合
 - 兼容多种基板材料
- 采用 ComBond® 技术的高端封装

利用SEMulator3D中可视性刻蚀建模研究干法刻蚀工艺

在干法刻蚀中，由于与气体分子的碰撞和其他随机热效应，加速离子的轨迹是不均匀且不垂直的（图1）。这会对刻蚀结果有所影响，因为晶圆上任何一点的刻蚀速率将根据大体积腔室可见的立体角和该角度范围内的离子通量而变化。这些不均匀且特征相关的刻蚀速率使半导体工艺设计过程中刻蚀配方的研发愈发复杂。在本文中，我们将论述如何通过 SEMulator3D® 中使用可视性刻蚀建模来弥补干法刻蚀这一方面的不足。

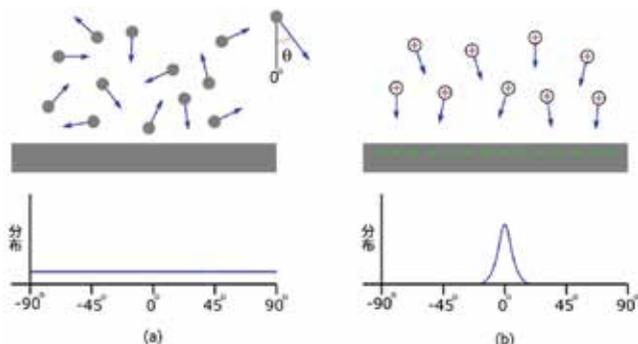


图1：(a) 中性气体在腔室内随机流动的二维展示。气体的行进角度在图中描绘的所有方向上都等分布。(b) 显示了带正电的离子和一个带负电的晶圆。离子会因电场而向下加速；然而，由于随机热效应和与其他离子或气体分子的碰撞，完美垂直轨迹无法实现。角速度分布可以近似为高斯函数。

角相关刻蚀

确定材料刻蚀速率 (ER) 最简单的方法是在实际刻蚀前后测量晶圆的材料厚度。在刻蚀过程中使用平面晶圆可确保局部区域内的所有位置具有相同的张角和离子通量，这将带来可测量的统一刻蚀速率（图 2a）。由于不同的刻蚀角度和不断变化的离子通量，在特征相关的刻蚀过程、例如沟槽和硬掩膜刻蚀中，确定该刻蚀速率是不可能的。SEMulator3D 能够使用其“多刻蚀”功能模拟此类刻蚀。该软件可测量任意给定点的可见立体角并计算与该立体角范围内离子通量成比例的常态刻蚀量（图 2c）。入射角的离子通量分布被假定为具有标准差的高斯分布。

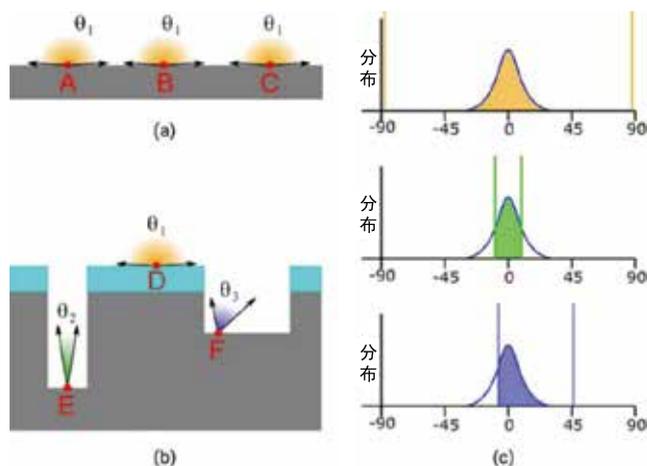


图2：(a) 在平面晶圆表面，每个位置(A、B、C、D)完全暴露在腔室中（开口角为180°），并且接收各个方向的全部离子通量。(b) 在凹坑和沟槽(E、F)底部，腔室视线内的角度范围减小。刻蚀速率可以表示为角度范围内的分布积分（垂直线之间曲线下的阴影区域）。

刻蚀配方剖析

给定刻蚀腔室设置（射频功率和压力设置）的离子角分散可以凭经验用延时刻蚀样品的扫描电镜 (SEM) 图像确定，随后可以在 SEMulator3D 中模拟出虚拟腔室内的“虚拟”结构。虚拟实验设计可以在此模型中运行——通过改变角分散，直到虚拟刻蚀建模结果与实际 SEM 图像轮廓相匹配。图 3 展示的是，在 SEMulator3D 中将刻蚀样品的虚拟延时 SEM 与几个不同厚度的模型进行了比较，显示不同角分散值下的刻蚀形状和深度。SEMulator3D 中的厚度设置说明的是在大体积腔室具有完全可视性的区域内理论上最大的材料去除。该设置将与实际刻蚀腔室中样品上的最大离子通量成比例。与实际刻蚀配方最匹配的模拟设置将在每个成比增加的厚度和时间上都具有与 SEM 图像相匹配的模拟轮廓（3D 模拟图像）。开发与相应的实际刻蚀配方相匹配的模拟配方具有重大价值，它可用于预测样品的刻蚀时间演变，并使工艺探索期间在其他应用和结构中使虚拟刻蚀模型成为可能。

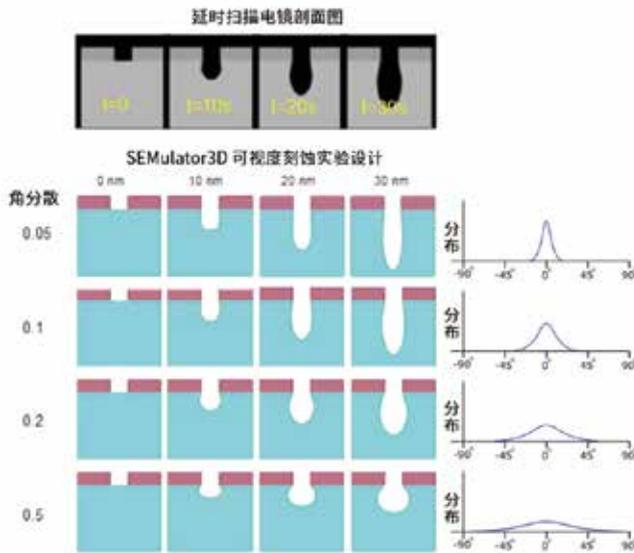


图3: 模拟实验设计与延时SEM的比较。模拟实验设计使用了恒定刻蚀量和不同的角分散(高斯分布的标准差), 进行模拟并显示增量材料删除步骤失效。右侧的直方图说明了角度分布与软件中数值设置的相关性(不按比例)。刻蚀工艺的实际角分散是通过找到与刻蚀轮廓最匹配的模拟实验设计结果来确定的。

使用剖面配方优化 SADP 样品

作为 SEMulator3D 中可视性刻蚀的示例, 我们将使用剖面的二氧化硅 (SiO_2) 和氮化硅 (SiN) 刻蚀工艺模型来确定确保 SADP 柱孔关键尺寸的均匀性所需的最佳原子层沉积 (ALD) 厚度 (见图 4)。该样品由 50nm SiN 层和 100nm 高的碳芯轴组成, 芯轴直径 20nm, 水平间距 80nm。最终目标是使用 SADP 创建一个 40nm 间距的孔阵列。此剖面 $\text{SiN} / \text{SiO}_2$ 刻蚀的角分散为 0.08, 对所有异物的选择比为 0.3。使用 ALD 形成的孔不对称形状呈现为带有圆形开口的菱形, 与在芯轴上形成的圆柱形孔形成对比。由于此菱形孔的大小可以通过 ALD 进行调整, 我们

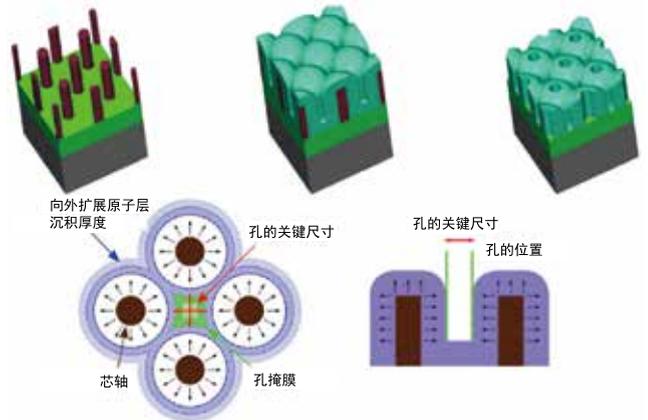


图4: 孔阵列上的菱形SADP, 芯轴直径20nm, 水平间距80nm。处于扩张的向外沉积形成了孔, 这些孔又形成菱形并具有圆形开口。使用剖面 SiO_2 刻蚀, 可以探索不同ALD厚度刻蚀孔的形状。

需要确定 ALD 的临界厚度, 刻蚀过程中这一厚度的 ALD 下进入此菱形孔区域的离子总量与进入圆柱区域的离子总量相等, 这将带来相等的刻蚀深度和形状。

SEMulator3D 中可以通过 ALD 厚度实验设计确定这一最佳厚度。该模拟的结果如图 5 所示, 刻蚀自上而下的形状和底部横截面也可见。随着 ALD 厚度的增加, $\text{SiN} /$ 基底界面处的孔形状从方形变为圆形, 并且逐渐变小。在足够的 ALD 厚度下, 菱形孔的尖端可视度有限, 这会导致较低的刻蚀速率且刻蚀保持圆形。在 23.5nm 的 ALD 厚度下得到了此次剖面 SiO_2 和 SiN 刻蚀工艺最均匀的孔形状。

结论

SEMulator3D 中可视刻蚀特征提供了一种模拟与现实刻蚀腔室接近的刻蚀速率的方法。SEMulator3D 可视性刻

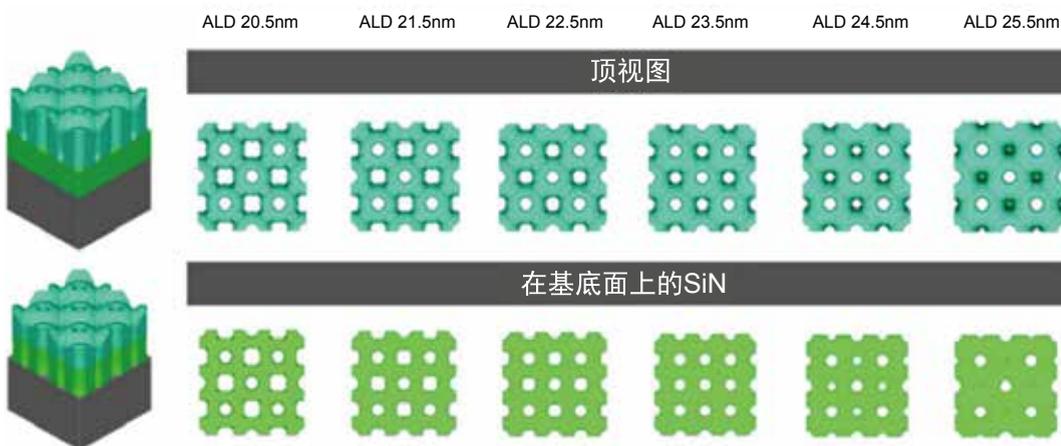
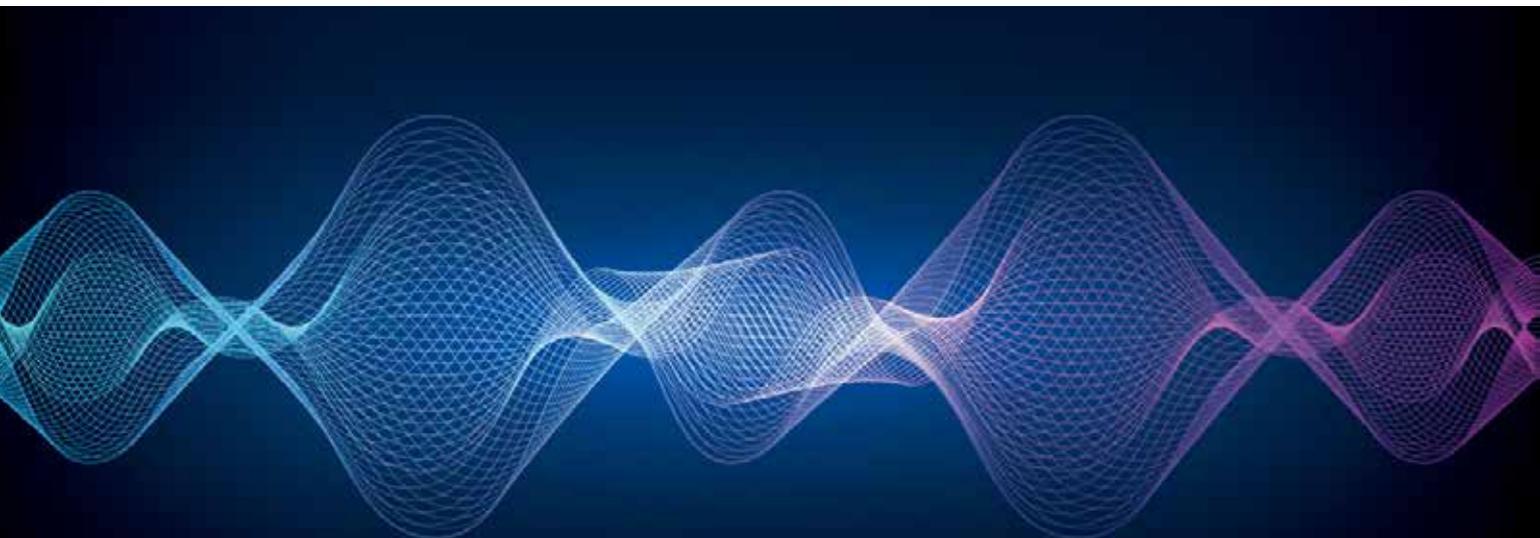


图5

蚀设置, 例如角分散和选择比, 可以与延时 SEM 图像进行比较, 以验证工艺模型。之后, 该工艺模型可以用来探索刻蚀配方变化对不同结构和不同刻蚀次数的影响, 免去实际晶圆制造和测试的时间和成本。◆



筛选与分析： 声学显微成像的两个领域

从未切割晶圆一直到安装在最终产品上，电子元件需要通过各种仪器的测试和检验，以确保长期无故障的使用寿命。声学显微成像 (Acoustic Micro Imaging, AMI) 设备是一种经常使用的仪器，它使用超声回波传送到换能器的多种类型的数据来揭示器件的内部材料界面和材料特性。

作者：Tom Adams，诺信测试与检验 顾问

声学显微成像设备具有锁定器件内部结构特征位置的能力，甚至在器件开始生产之前，即能够对封装设计的完整性和稳健性进行评估，而无需激活或切开器件。该设备得到的图像可以验证原型的芯片键合是否包含未键合区域或者塑封料及填充料是否有气泡。该设备在评估和查看满负荷测试后器件内的热偏移结果方面也很有价值。

当正常使用的器件出现现场故障时，AMI 数据和图像可以通过无损成像在器件被物理切开的目视检查之前查明原因。而这个破坏性过程称为声导破坏性物理分析 (AGDPA)。

在上述设计和原始器件应用中，AMI 设备通常在实验室中运行并对少量器件进行分析。但是器件制造商和用

户需要进行大规模芯片筛选。这可以通过把器件装在标准托盘通过自动化 AMI 设备进行高速成像来实现。本文将分别介绍了两种成像环境 – 小批量分析和大批量筛选。

声学显微成像原理

当声学显微成像设备的换能器将超声波脉冲发射到电子元件的表面时，脉冲（图 1 中的 #1）会穿过水，水是换能器与器件表面的耦合剂。当脉冲撞击水和器件表面之间的界面（#2）时，一部分脉冲能量被反射（#3）回换能器，这也报告了脉冲到达表面的时间或者从换能器到器件的表面的距离。

脉冲的另一部分进入（#4）第一层材料，通常是塑封料。脉冲能量的变小是能量在界面分配的结果。

穿过塑封料的超声波到达塑封料和硅芯片之间的界面 (#5)。从这个材料界面，一部分超声波将再次被反射 (#6) 回换能器，其余的超声波穿过 (#7) 界面进入芯片。

这个从界面返回的回波 #6，到达换能器并报告其传播时间及深度。它还报告其振幅、超声波频率内容以及界面的极性 (正或负)。

这些位数据告诉用户界面的深度以及界面上两种材料的很多信息。

换能器快速扫描元件表面，每秒在数万个 x-y 位置中的每一个位置发射一个脉冲，在发射下一个脉冲之前接收来自每个位置的回波。软件会将来自每个位置的返回回声转换为器件声学图像中的一个像素。每个像素可以表示成回声的幅度、频率、或到达时间等内容。

完成的声学图像可以将塑封料和硅管芯之间的界面显示为一种颜色，将塑封料和铜之间的界面显示为不同的颜色。

但是 AMI 设备将对固体材料和空气之间的界面 (超声波在这样的频率下不能穿过空气) 之间的界面进行最明亮的成像，因为固体 - 空气界面几乎可以 100% 反射到达的脉冲。AMI 系统很容易发现隐藏的内部缺陷，因为大多数威胁性能的缺陷都含有空气，也就是表现为固体对空气的界面。

在黑白声学图像中，固体到空气区域通常以亮白色成像。在彩色图像中，通常为这些气隙选择红色，代表空隙、裂纹、分层，这种缺陷通常会导致使用中的电气故障。

在某些器件中，用户可能只对器件内的单个深度感兴趣。在给定的器件类型中，如果故障通常涉及芯片键

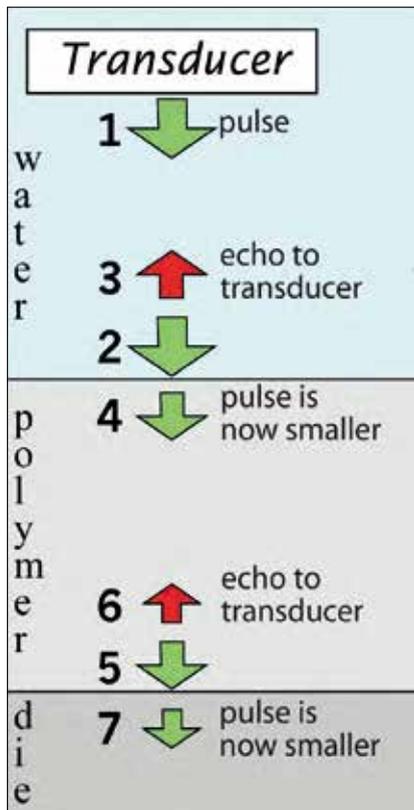


图 1：将脉冲发射到器件中的时间顺序。

合，则可以设置窄电子门，仅收集那些在与芯片键合材料的垂直范围匹配的时隙内到达换能器的回波。

实验室分析

根据上面简要介绍的基本原理，声学显微成像设备可以确保安装在产品中的电子元件在使用过程中不会出现可能导致电气故障的内部结构异常。声学显微成像设备之一是 Nordson SONOSCAN 的实验室 C-SAM[®]，它不处理多个器件托盘；相反，它旨在对从单个器件到一个托盘进行成像，但它配备了所有 C-SAM 设备的 14 个成像模式。

C-SAM 分析可用于一种或多种相同类型的器件。它们可能是在使用中或在环境测试期间出现故障的器件，或者它们可能是来一直使用的器

件，但是刚到货的样品。或者它们可能是即将推出的全新器件。所有这些都可以成像以发现可能导致缺陷的异常或材料变化。多种声学成像模式的应用可以确保即使是难以检测的异常也能被发现并成像。

还有一种情况是在不进行成像的情况下分析器件，以确定新装运中的塑封料是否与之前装运中使用的塑封料不同。通常，用少数器件在五个不同位置接收单个脉冲，如果声阻抗和吸声值与之前发货的数值接近，则材料很可能相同。

IGBT 模块可以在 C-SAM 反射模式下成像，如图 1 所示。在这种模式下，从各个深度接收回波以组合声学图像。这种方法可以提供一个整体视图，但如果目的是仔细检查所有深度，用户可能会发现某些深度失焦且无法准确评估。

更好的选择可能是 PolyGate 模式。在这种模式下，换能器将来自每个 x-y 位置的传入回波流按到达时间分为 5 组，因此能够创建 5 个图像，代表五个不同的深度。

图 2 用于揭示 IGBT 模块中可能存在的内部缺陷。未封装的 IGBT 模

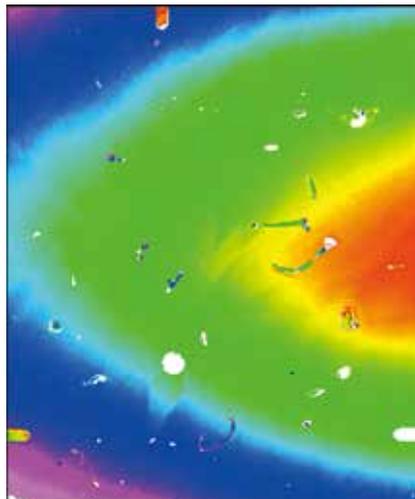


图 2：倒喷水换能器通过散热器扫描的 IGBT。

块必须通过其底面成像，因为顶部成像可能会留下残留物，从而导致该高功率器件出现电气故障。

底面扫描是使用一种具有倒置换能器的 C-SAM 设备完成的。它将超声波脉冲发送到其上方的 IGBT。来自换能器的超声波通过喷泉式的水柱到达 IGBT 底部表面的散热板。

门通常设置为从刚好在散热板内部开始到刚好在到达 DBC 表面的深度收集回波。如果需要对位于 DBC 上面的芯片本身进行成像，则可以电子门扩展包括芯片。

但在图 2 中，感兴趣的深度是散热板和 DBC 板之间的焊料层。图中两个事实立即显而易见：

- 焊料厚度不均，可能会导致 DBC 的翘曲变形。该图像使用了时差模式，像素的颜色由时间差或距离决定，而不是由其幅度或某其他属性决定。左下角和左上角焊料较薄，右边，尤其是右边中部焊料较厚。

- 焊料中形状各异的微小特征是充满空气的空隙。空隙反射的颜色由返回回波的深度决定。白色空隙可能与散热板平齐。有绿色、蓝色和粉红色的空隙，还有一些多色空隙延伸到不止一种深度颜色。

这张图片中的信息非常直接：焊锡厚度存在显著差异，这将导致上方芯片的热量分布不均。此外，还有一些充满空气的空隙会将热量反射回芯片。该 IGBT 可能不适合在生产中使用。

为 C-SAM 开发的所有成像模式（图 3）均可用于器件的实验室分析。一种模式是 Q-BAM，用户能够选择感兴趣的垂直平面，并沿该线对器件执行无损横截面。声学图像显示了器件表面的细节，就好像器件已被锯成两半。因为这个过程是非破坏性的，所以它可以沿着许多其他直线重复 - 用户喜欢的任何角度。在 Q-BAM 之后，有时会进行物理切片来比较结果。依次使用非破坏性和破坏性的方法被称为声学引导的破坏性物理分析 (AGDPA)。

下面我们快速浏览一下其他模式：

声学 3-D 使用超声波以指示每个特征深度的颜色对非垂直内部界面进行成像。

声学表面平整度 (ASF) 使用颜色来揭示局部平整度的偏差，例如，BGA 封装的锡球或 300 毫米晶圆的表面。

频域显示来自回波的特定频率，以揭示在此模式下比通过查看总回波幅度更好地揭示的内部特征。回波可能包含很宽的频率范围，比如 75 MHz 到 125 MHz，但该特征可能

只在相对较短的频率范围内出现 - 例如，93 MHz 到 98 MHz。

PolyGate 允许用户在一次扫描期间创建多个图像，每个图像都具有特定的垂直范围。结果可以是，例如，20 幅图像的序列，每幅图像显示返回回波被划分成的 20 个切片中的一个。

THRU-Scan 使用两个换能器，一个在器件顶部，一个在器件下方。每个都通过水耦合到器件表面。C 形安装座始终将两者保持在相同的 x-y 位置。顶部换能器发射脉冲，但忽略从各个深度到达它的回声。一部分脉冲穿过回壁并被下方的换能器收集。没有超声波通过空隙和分层等气隙，因此这些缺陷在声学图像中显示为纯黑色特征。

STaR 代表“同步反射及透射成像模式”。反射图像是由从内部界面返回（反射）的回波，同时透射图像通过器件并被下方接收换能器检测到的信号，两者同步完成。

VRM 指的是“虚拟重新扫描模式”。当器件可能已被破坏或丢失或者对于确定通过筛选测试但由于先前未预料到的缺陷而失败的器件故障的根本原因可能很重要。VRM 模式记录样品整个厚度的原始回波数据并创建矩阵数据文件，它不再需要对器件进行重新扫描成像。如果 FA 工程师想要使用不同的分析模式对零件进行声学重新筛选，则会重新筛选矩阵文件而不需要丢失的器件。

近年来，一些曾经仅用于分析工作的成像模式已适用于筛选。这些模式在图 3 中用星号标记。

大批量筛选

当实验室完成对经历过类似故障的芯片的详细分析后，已收集到足够

声学三维图像
表面平整度
实体扫描*
C- 模式*
频域图像
积分模式
背面失声模式*
多重门*
轮廓模式
精确B-扫描
STaR 模式*
透射模式*
时差模式*
虚拟扫描模式

图 3：为什么超声波能看到这么多信息，因为有 14 种声学成像模式。

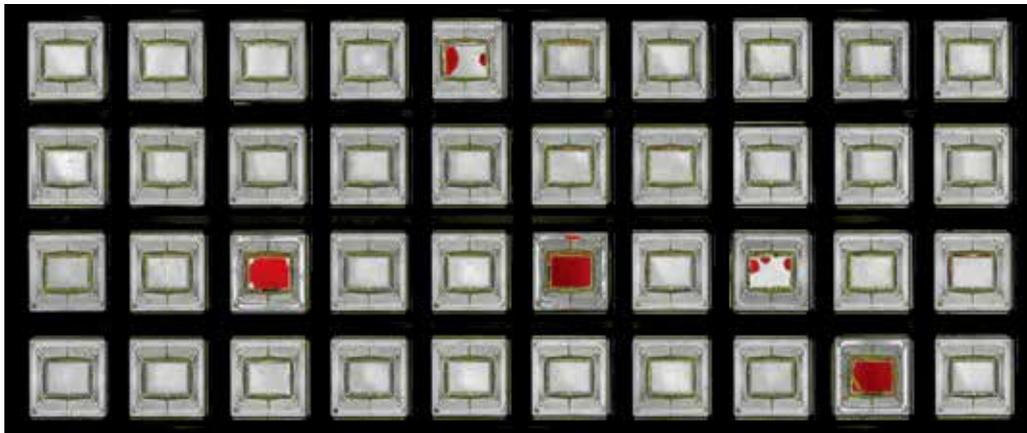


图 4：塑料封装 IC 托盘的声学筛选图像。

的数据来编写对大量单一器件类型进行大批量声学筛选的程序。

芯片内已知缺陷的具体位置以及最能说明问题的参数将与该芯片用于组装的所有公司位置共享。有些缺陷是难以捉摸的，但最佳成像方法的细节将由实验室与公司的组装地点共享，这些地点可能遍布全球。这要求每个 AMI 设备都能够从同一器件获得精确相同的图像。Nordson SONOSCAN 通过提供多个匹配的设备（实际上是可操作的双胞胎、三胞胎等）使这成为可能，即使器件需要使用与通常菜单大不相同的参数进行成像。AMI 设备与使用不同语言且位于不同大陆的不同操作员将从单个器件生成完全相同的图像。

筛选可以在器件安装到电路板上之前和之后进行。筛选的目的是识别和移除那些具有内部特征的器件，实验室已将其识别为可能导致现场故障的异常。

制造过程中使用的托盘中的器件由 Nordson SONOSCAN FastLine® 大批量 AMI 设备扫描。如果感兴趣的深度不止一个，或者如果怀疑异常可能无法通过相同的方式全部成像，则在同一扫描期间收集来自多个门的回

波。筛选设备必须高度自动化，以便快速检测数以千计的器件。

传感器必须能够自动聚焦。它们必须能够以十几种或更多模式成像，并且必须能够使用完全相同的参数——成像模式、频率、幅度和深度范围。他们必须能够在相同的百万分之一秒时间内捕获返回的回声。并且他们必须避免让任何残留物或污染物到达被成像的器件。甚至分析图像以及挑选报废的器件也是自动化的。

选择换能器的频率旨在在器件内的所需深度提供最大分辨率。脉冲进入器件的超声波频率范围可以从 10 MHz（低分辨率，但穿透深度）到 300MHz（高分辨率，但穿透率较低）。

由于实验室的分析工作已经确定了可能发生给定缺陷的最可能位置，因此可以通过仅使用在特定时间跨度内到达换能器的那些回波来简化扫描。时间跨度定义了“门”，即缺陷最常见的垂直深度。例如，如果缺陷最常见的深度是在芯片面和塑封料之间的界面，则可能不需要处理来自该器件其他深度的回波。

图 4 是装有器件的托盘的 AMI 30 MHz 反射模式图像。之所以对它们进行筛选，是因为实验室发现器件

中的类似缺陷会导致测试过程中出现故障。这些图像是使用 Nordson SONOSCAN FastLine 设备获得的。

该图像是在托盘的单个扫描过程中获得的多个图像之一。设置了几个门，来自两个门之间的回声将用于为器件的非常薄的水平切片制作单个图像。该图像是

由塑封料和硅芯片顶部之间的界面处产生的回声获得的。该图像的电子门的两边设置为刚好从塑封料到芯片界面的正下方到该界面的正下方。选择红色作为颜色来识别固体对空气界面的像素。

红色缺陷是充气分层 - 扁平气泡。在这个位置，使用过程中的热偏移可能会导致它们上下移动，这些动作可能会导致连接到芯片的电线断裂或芯片本身破裂。两种情况下的结果都是电气故障。

实验室分析可以使用 14 种成像模式中的任何一种。多年来，实验室的模式逐渐被修改以用于筛选环境——PolyGate 就是一个例子。但是，某些成像模式对于高速筛选来说过于耗时且数据密集。例如 Q-BAM 无损横截面和三维声学成像。

实验室 C-SAM 和生产车间 FastLine 一起在风险器件发展为现场故障之前找到它们。关键是各种成像模式可以报告来自不同类型内部结构异常的许多不同数据形式。受益者是最终用户，他们的电子设备、车辆、计算机、电话、电器和设备不发生故障。◆

C-SAM® 是 Nordson SONOSCAN 的注册商标。



制造商需要利用数据的力量来保持竞争力

许多制造商都认为，提高工厂车间的反应能力、生产率和灵活性是增强竞争力的关键要素。专为实现信息技术（IT）与操作技术（operational technology, OT）融合而设计的控制器怎样才能帮助确保最优化数据管理和连通性，从而获得竞争优势？Silicon Semiconductor 杂志特邀三菱电机（MITSUBISHI ELECTRIC）公司边缘计算技术产品经理 Jeremy Shinton，共同对此做了深入探究。

运用工业物联网（IIoT）进行高效数据管理，这对于将通信延展到生产单元之外，并确保在整个制造环境中成功部署新系统及更新升级自动化系统，正变得越来越重要。

在处理大量数据的自动化系统与更高级别的企业系统之间，要实现共享信息的智慧能力，起关键桥梁作用的是一种新型控制器。针对 IIoT 应用所构建的最新可编程逻辑控制器（PLC）、设备控制器和工业 PC 可用于边缘计算，同时还能支持到云端的高速数据记录。

延伸到工厂车间以外

在高效、面向未来的生产设施中，位于核心部分的是

工业物联网。这是一种由连接设备和系统组成的网络（从工厂车间一直到较高的企业层级），它生成和共享大量的数据。目的是创建独特的可行制造智能，以改善生产和工厂活动，从而提升生产率、增加正常运行时间和提升灵活性。这样，那些利用数据力量的工商企业就能在瞬息万变的市场上大幅增强自身的竞争优势。

要创建成功的 IIoT 应用，就需要基于具有领先处理能力和容量的控制器，这样就可以在更靠近数据生成的位置对其进行分析。最先进的 PLC（如三菱电机的 MELSEC iQ-R 系列）采用了功能强大的处理器，并拥有海量数据处理能力，因而满足了上述要求。

支持 IIoT 的控制器（比如那些支持高级连接选项的

控制器)在持续不断地传送数据驱动信息的过程中发挥作用。具备在 PLC 上直接采用公共协议以连接到云端的能力,是一个日益增长的趋势。“连接一切”的想法意味着,可以将控制器安放在任何地方,并充当一个至较高级云端平台的“数据泵”。现在,诸如 Linux 等常用操作系统可以部署在 PLC 模块上。

这使得平台能够利用可以很容易地安装到这些环境中的开放源码和安全功能。它将已经高度连接的工厂级 PLC 置于采用新语言术语短语句的区域,如 SON、REST API、MQTT、Python 以及填补此间隔的其余术语和首字母缩写。这些新的 PLC 功能为在所有行业中实现 IIoT 应用创造了条件。

虽然这些要素对于创建信息技术(IT)驱动型可操作见解(以改善生产作业)至关重要,但是,制造企业将需要一种用于不断消除信息技术(IT)界与操作技术(OT)之间鸿沟的解决方案。这代表了在确保工厂的高生产力、灵活性和反应能力方面的下一步工作。

在边缘设备上起作用的自动化

为此,需要实施的解决方案应能支持时间要求严格的操作任务的数据分析和基于生产的分析,以及虽不紧急但处理密集程度更高的数据挖掘。这些有助于建立对工厂运作的深入了解,并制定改善的具体对策。

三菱电机最新的 MELIPC 边缘计算解决方案提供了一款理想的 IT/OT 合并器,该合并器支持现场和非现场数据分析功能。它拥有先进的分析和人工智能功能,以对数据进行实时的本地处理,从而利用车间专有技术以及诊断和预防性维护反馈信息。因此,设备能够根据关键数据来驱动生产系统的决策。MELIPC 还对数据进行预处理和聚合,以获得更高层次的深刻理解。由于采用了 OPC 统一架构(OPC UA)标准连接,因而将信息共享到不同的平台,以改善工厂的运行。

较之传统的云端系统,这种混合解决方案的一个明显的优势是,拥有特别安全且可靠的连接和生态系统。于是,制药业等受到严格监管的行业就能从创新的数据挖掘能力获益,同时仍然符合相关的法规要求。◆

案例研究:先进工艺环境中的自动化

乐天(LOTTE)是一家领先的糖果生产商,该公司想要优化其广受市场欢迎的雪糕糯米糍(Yukimi Daifuku)产品线的生产。有关的制造工艺很复杂,而且会受到诸多因素的影响。考虑到这一点,三菱电机开发了一种数据驱动型解决方案,以帮助提供稳定的产品质量。

乐天有限公司浦和工厂设施部经理 Hiroshi Sugimoto 解释说:“在包装的时候,产品的硬度过去常常随着温度和含水量而变化。有些操作是依赖于人的,由于需要精细调节机器参数,因而产生损失。”

Sugimoto 补充说:“e-F@ctory IIoT 系统使我们能组织实施改进活动,如提高作业率和稳定质量,以及针对生产活动优化人员配置。另外,系统的可扩展性(它取决于我们想做的事情)也是很有吸引力的。”

安装在生产线上的 PLC 负责收集每道工序中产品和机器状态的相关数据。从送料斗振动数据到来自输送逆变器的数据等均包含在内。所有的信息皆可通过安装在控制室的整体 SCADA 监控系统(也可以通过现场计算机显示器)进行实时显示。通过将收集数据集中起来,三菱电机的 MELIPC 可用于完成实时分析和数据诊断。这么做的结果有助于改善产品质量,并提供优化工厂生产活动的机会。

乐天有限公司浦和工厂执行董事兼工厂经理 Takayuki Manako 说:“在日常生产过程中,机器设备并不是每天都在相同的条件下运行,以前,都是由经验丰富的工作人员负责检查和调整机器设备的设置,但是,利用 e-F@ctory,我们就能显现机器的运行状况,而且机器本身可以发布指令来完成所需的调整。”Manako 补充道:“我们的目标是横向部署该系统,以构建智能工厂,智能工厂里的‘症状管理’和‘工作率改善’在许多生产线上实施。稳定的工厂运转和人力节省最终将在成本等方面发挥举足轻重的作用。如果我们将乐天作为一个整体考虑,那么我们的目标是进一步发展该技术,并将其推广到其他工厂。”

与 IIoT 控制器实现集成

制造业的未来就在这里,它基于互连的 IIoT 框架。实现此目标的关键技术解决方案已在手边。通过建立利用了先进控制器和工业 PC(它们具有高速、强大的处理能力和连接功能)的 IIoT 系统,制造企业便能真正地改善制造作业。这将形成数据驱动型应用,能够生成和共享对于工厂和生产活动的全面理解,从而为其持续改进提供支持。



传感器融合实现智能感知

今天，我们的生活高度依赖传感器。传感器作为人类“五感”的延伸，去感知这个世界，甚至可以观察到人体感知不到的细节，这种能力也是未来智能化社会所必须的。

不过，单个传感器的性能再卓越，在很多场景中还是无法满足人们要求。比如汽车中昂贵的激光雷达可以根据生成的点云，判断出前方有障碍物，但想准确得知这个障碍物是什么，还需要车载摄像头帮忙“看”一眼；如果想感测这个物体的运动状态，可能还需要毫米波雷达来助阵。

这个过程就好比 we 熟悉的“盲人摸象”，每个传感器基于自己的特性和专长，只能看到被测对象的某一个方面的特征，而只有将所有特征信息都综合起来，才能够形成更为完整而准确的洞察。这种将多个传感器整合在一起使用的方法，就是所谓的“传感器融合”。

对于传感器融合，一个比较严谨的定义是：利用计算机技术来自多传感器或多源的信息和数据，在一定的准则下加以自动分析和综合，以完成所需要的决策和估计而进行的信息处理过程。这些作为数据源的传感器可以是相同的（同构），也可以是不同的（异构），但它们并不是简单地堆砌在一起，而是要从数据层面进行深度地融合。

实际上，传感器融合的例子在我们生活中已经屡见不鲜。归纳起来，使用传感器融合技术的目的主要有三类：

- 获得全局性的认知。单独一个传感器功能单一或性能不足，加在一起才能完成一个更高阶的工作。比如我们熟悉的 9 轴 MEMS 运动传感器单元，实际上就是 3 轴加速传感器、3 轴陀螺仪和 3 轴电子罗盘（地磁传感器）三者的合体，通过这样的传感器融合，才能获得准确的运动感测数据，进而在高端 VR 或其他应用中为用户提供逼真的沉浸式体验。
- 细化探测颗粒度。比如在地理位置的感知上，GPS 等卫星定位技术，探测精度在十米左右且在室内无法使用，如果我们能够将 Wi-Fi、蓝牙、UWB 等局域定位技术结合起来，或者增加 MEMS 惯性单元，那么对于室内物体的定位和运动监测精度就能实现数量级的提升。
- 实现安全冗余。这方面，自动驾驶是最典型的例子，各个车载传感器获取的信息之间必须互为备份、相互印证，才能做到真正的安全无虞。比如当自动驾驶级别提升到 L3 以上时，就会在车载摄像头的基础上引入毫米波雷达，而到了 L4 和 L5，激光雷达基本上就是标配了，甚至还会考虑将通过 V2X 车联网收集的

作者：安富利公司

数据融合进来。

总之，传感器融合技术恰似一个“教练”，能够将性能各异的传感器捏合成一个团队，合而为一又相互取长补短，共同去赢得一场比赛。

传感器融合的策略和架构

选定了需要融合的传感器，怎么融合则是下一步要考虑的问题。传感器融合的体系结构，按照融合的方式分为三种：

- 集中式：集中式传感器融合就是将各个传感器获得的原始数据，直接送至中央处理器进行融合处理，这样做的好处是精度高、算法灵活，但是由于需要处理的数据量大，对中央处理器的算力要求更高，还需要考虑到数据传输的延迟，实现难度大。
- 分布式：所谓分布式，就是在更靠近传感器端的地方，先对各个传感器获得的原始数据进行初步处理，然后再将结果送入中央处理器进行信息融合计算，得到最终的结果。这种方式对通信带宽的需求低、计算速度快、可靠性好，但由于会对原始数据进行过滤和处理，会造成部分信息的丢失，因此原理上最终的精度没有集中式高。
- 混合式：顾名思义，就是将以上两种方法相结合，部分传感器采用集中式融合方式，其他的传感器采用分布式融合方式。由于兼顾了集中式融合和分布式的优点，混合式融合框架适应能力较强，稳定性高，但是整体的系统结构会更复杂，在数据通信和计算处理上会产生额外的成本。

对于传感器融合方案，还有一种按照数据信息处理阶段进行分类的思路。一般来说，数据的处理要经过获取数据、特征提取、识别决策三个层级，在不同的层级进行信息融合，策略不同，应用场景不同，产生的结果也不同。

按照这种思路，可以将传感器融合分为数据级融合、特征级融合和决策级融合。

- 数据级融合：就是在多个传感器采集数据完成后，就对这些数据进行融合。但是数据级融合处理的数据必须是由同一类传感器采集的，不能处理不同传感器采集的异构数据。
- 特征级融合：从传感器所采集的数据中提取出能够体现监测对象属性的特征向量，在这个层级上对于监测对象特征做信息融合，就是特征级融合。这种方式之

所以可行，是由于部分关键的特征信息，可以来代替全部数据信息。

- 决策级融合：在特征提取的基础上，进行一定的判别、分类，以及简单的逻辑运算，做出识别判断，在此基础上根据应用需求完成信息融合，进行较高级的决策，就是所谓的决策级融合。决策级融合一般都是应用导向的。

如何选择传感器融合的策略和架构，没有一定之规，需要根据具体的实际应用而定，当然也需要综合算力、通信、安全、成本等方面的要素，做出正确的决策。

传感器融合技术和应用的发展趋势

不论是采用哪种传感器融合架构，你可能都会发现，传感器融合很大程度上是一个软件工作，主要的重点和难点都在算法上。因此，根据实际应用开发出高效的算法，也就成了传感器融合开发工作的重中之重。

在优化算法上，人工智能的引入是传感器融合的一个明显发展趋势。通过人工神经网络，可以模仿人脑的判断决策过程，并具有持续学习进化的可扩展能力，这无疑为传感器融合的发展提供了加速度。

虽然软件很关键，但是在传感器融合过程中，也并非没有硬件施展拳脚的机会。比如，如果将所有的传感器融合算法处理都放在主处理器上做，处理器的负荷会非常大，因此近年来一种比较流行的做法是引入传感器中枢（Sensor Hub），它可以在主处理器之外独立地处理传感器的数据，而无需主处理器参与。这样做，一方面可以减轻主处理器的负荷，另一方面也可以通过减少主处理器工作的时间降低系统功耗，这在可穿戴和物联网等功耗敏感型应用中，十分必要。

有市场研究数据显示，对传感器融合系统的需求将从2017年的26.2亿美元增长到2023年的75.8亿美元，复合年增长率约为19.4%。可以预判，未来传感器融合技术和应用的发展将呈现出两个明显的趋势：

- 自动驾驶的驱动下，汽车市场将是传感器融合技术最重要的赛道，并将由此催生出更多的新技术和新方案。
- 此外，应用多元化的趋势也将加速，除了以往那些对于性能、安全要求较高的应用，在消费电子领域传感器融合技术将迎来巨大的发展空间。

总之，传感器融合为我们洞察这个世界提供了更有效的方法，让我们远离“盲人摸象”般的尴尬，进而在这个洞察力的基础上，塑造更智能的未来。◆

Advertiser	广告商名称	网址	页码
ITW EAE		www.itweae.com	11
LB Semicon		www.lbsemicon.com/chn	1
锐德热力		www.rehm-group.com	IBC
SEMICON China 2022		www.semiconchina.org	BC

欢迎投稿

《半导体芯科技》(Silicon Semiconductor China, SiSC)是面向中国半导体行业的专业媒体,已获得全球知名权威杂志《Silicon Semiconductor》的独家授权。本刊针对中国半导体市场特点遴选相关优秀文章翻译,并汇集编辑征稿、采编国内外半导体行业新闻、深度分析和权威评论等多方面内容。本刊由香港雅时国际商讯(ACT International)以简体中文出版发行。

本刊内容覆盖半导体制造工艺技术、封装、设备、材料、测试、MEMS、mini/Micro-LED等。文章重点关注以下内容:

FAB (Foundry, IDM, OSAT, R&D)

四个环节:晶圆制造(wafer后道)、芯片制造、先进封装、洁净室;深入报道与之相关的制造工艺、材料分析、工艺材料、工艺设备、测试设备、辅助设备、系统工程、关键零备件,以及与particle(颗粒度)及contamination(沾污)控制等厂务知识。

FABLESS

芯片设计方案、设计工具,以及与掩膜版内容和导入相关的资讯。

半导体基础材料及其应用

III-V族、II-VI族等先进半导体材料的科学研究成果,以及未来热门应用。

《半导体芯科技》欢迎读者、供应商以及相关科研单位投稿,已甄选中文稿件将在印刷版杂志以及网上杂志刊登;IC设计及应用等半导体相关内容将酌情予以网络发表(微信推送、杂志网站)。本刊优先刊登中文来稿(翻译稿请附上英文原稿)。

技术文章要求

1. 论点突出、论据充分:围绕主题展开话题,如工艺提升、技术改造、系统导入、新品应用,等等。
2. 结构严谨、短小精悍:从发现问题到解决问题、经验总结,一目了然,字数以3000字左右为宜。
3. 文章最好配有2-4幅与内容有关的插图或图表。插图、图表按图1、图2、表1、表2等依次排序,编号与文中的图表编号一致。
4. 请注明作者姓名、职务及所在公司或机构名称。作者人数以四人为限。
5. 文章版权归著作者,请勿一稿多投。稿件一经发表如需转载需经本刊同意。
6. 请随稿件注明联系方式(电话、电子邮件)。

新产品要求

1. 新产品必须是在中国市场新上市、可在中国销售的。
2. 新产品稿件的内容应包含产品的名称、型号、功能、主要性能和特点、用途等。
3. 新产品投稿要求短小精悍,中文字数300~400字左右。
4. 来稿请附产品照片,照片分辨率不低于300dpi,最好是以单色作为背景。
5. 来稿请注明能提供进一步信息的人员姓名、电话、电子邮件。

电子邮箱:sunnieZ@actintl.com.hk
mizyH@actintl.com.hk

行政及销售人员 Administration & Sales Offices

行政人员 Administration

HK Head Office (香港总部)

ACT International (雅时国际商讯)

Unit B, 13/F, Por Yen Buiding,
No. 478 Castle Peak Road,
Cheung Sha Wan, Kowloon, Hong Kong
Tel: 852 28386298

Publishing Director (出版总监)

Adonis Mak (麦协林), adonism@actintl.com.hk

Editor-in-Chief (编辑)

Sunnie Zhao (赵雪芹), sunnieZ@actintl.com.hk
Mizy He (贺贵鸿), mizyH@actintl.com.hk

Sales Director (销售总监)

Eva Liu (刘婷), eval@actintl.com.hk

General Manager-China (中国区总经理)

Michael Tsui (徐旭升), michaelT@actintl.com.hk

London Office

Hannay House, 39 Clarendon Road
Watford, Herts, WD17 1JA, UK.
T: +44 (0)1923 690200

Coventry Office

Unit 6, Bow Court, Fletchworth Gate
Burnsall Road, Coventry, CV5 6SP, UK.
T: +44 (0)2476 718 970

Publisher & Editor-SiS English

Jackie Cannon, jackie.cannon@angelbc.com
+44 (0)1923 690205

销售人员 Sales Offices

China (中国)

Shenzhen (深圳)

Jenny Li (李文娟), jennyl@actintl.com.hk
Gavin Hua (华北平), gavinH@actintl.com.hk
Tel: 86 755 25988573 / 25988567

Shanghai (上海)

Hatter Yao (姚丽莹), hattery@actintl.com.hk
Helena Xu (许海燕), helenax@actintl.com.hk
Amber Li (李歆), amberL@actintl.com.hk
Tel: 86 21 6251 1200

Beijing (北京)

Cecily Bian (边团芳), cecilyB@actintl.com.hk
Tel: 86 135 5262 1310

Wuhan (武汉)

Eva Liu (刘婷), eval@actintl.com.hk
Tel: 86 138 8603 3073
Sky Chen (陈燕), skyc@actintl.com.hk
Tel: 86 137 2373 9991
Grace Zhu (朱婉婷), graceZ@actintl.com.hk
Tel: 86 159 1532 6267

Hong Kong (香港特别行政区)

Mark Mak (麦协和), markm@actintl.com.hk
Tel: 852 2838 6298

Asia

Japan (日本)

Masaki Mori, masaki.mori@ex-press.jp
Tel: 81 3 6721 9890

Korea (韩国)

Lucky Kim, semieri@semieri.co.kr
Tel: 82 2 574 2466

Taiwan, Singapore, Malaysia

(台湾, 新加坡, 马来西亚)
Regional Sales Director
Mark Mak (麦协和), markm@actintl.com.hk
Tel: 852 2838 6298

US (美国)

Janice Jenkins, jjenkins@brunmedia.com
Tel: 724 929 3550
Tom Brun, tbrun@brunmedia.com
Tel: 724 539 2404

Europe (欧洲)

Shehzad Munshi, Shehzad.Munshi@angelbc.com
Tel: +44 (0)1923 690215
Jackie Cannon, Jackie.cannon@angelbc.com
Tel: +44 (0) 1923 690205



THERMAL SYSTEMS

8 processes
with **infinite**
possibilities!



适用于多种应用行业的生产设备

无论是汽车电子、智能手机还是消费电子，许多行业和领域都见证了锐德的产品质量。我们的产品组合涵盖八种不同的工艺制程--对流、气相或接触式焊接、电子元件的点胶、涂覆、粘合或固化以及太阳能电池金属化工艺。我们可以满足您对电子产品的所有需求，并为您提供最佳的解决方案。

八大制程工艺，创造无限可能!

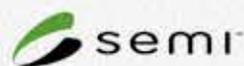


锐德热力设备（东莞）有限公司 | 中国广东省东莞市松山湖高新技术产业开发区畅园路2号3栋101室
T +86 769 - 8238 0238 | info@rehm-group.com | www.rehm-group.com



微信扫码关注
获取更多资讯

SEMICON® CHINA | FPDCHINA



2022年3月23-25日 上海新国际博览中心

2022 展台设计大赛

展商参赛抓眼球

观众投票得好礼

详情扫码全知晓



快来PICK您喜爱的宝藏展台

展商扫码参与填写
SEMICON China 2022
展台设计大赛报名表



观众扫码预注册
SEMICON China 2022
获得大赛投票资格



* 获奖展商还能获得展会现场观众引流以及SEMI China媒体平台免费宣传机会 * 活动详情请关注后续SEMI公众平台推送