

# 半导体芯科技



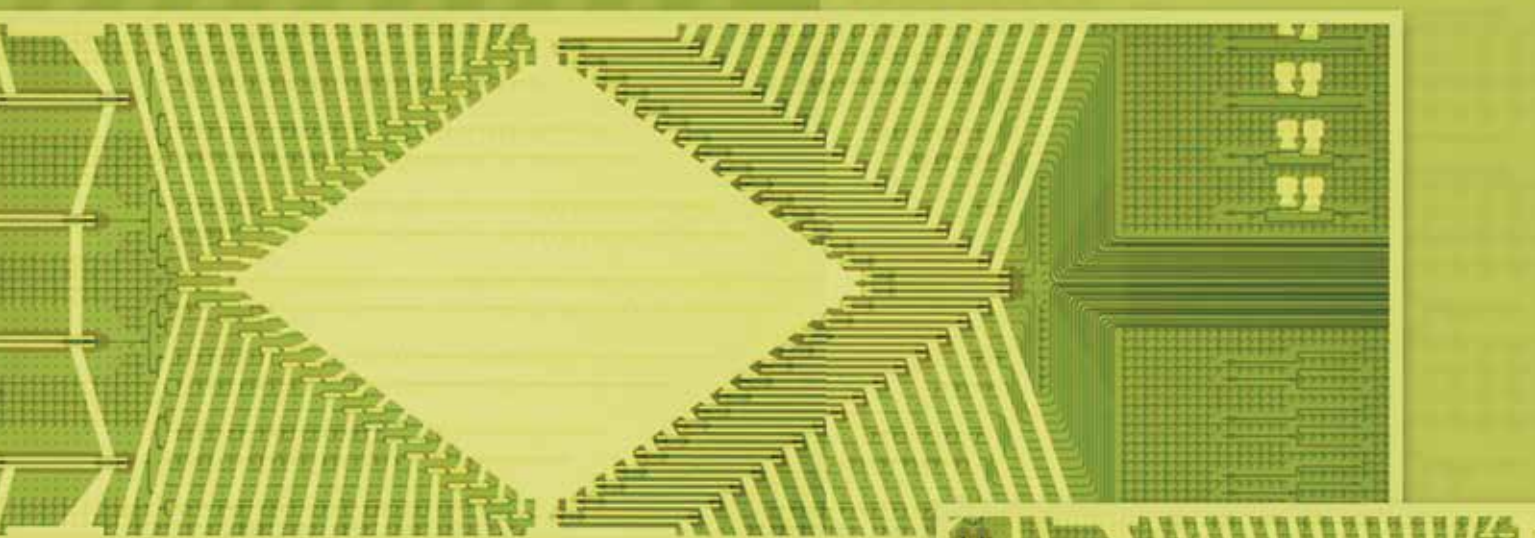
**SILICON**  
SEMICONDUCTOR

**CHINA**

ISSN 2523-1294

www.siscmag.com

2022年 10/11月



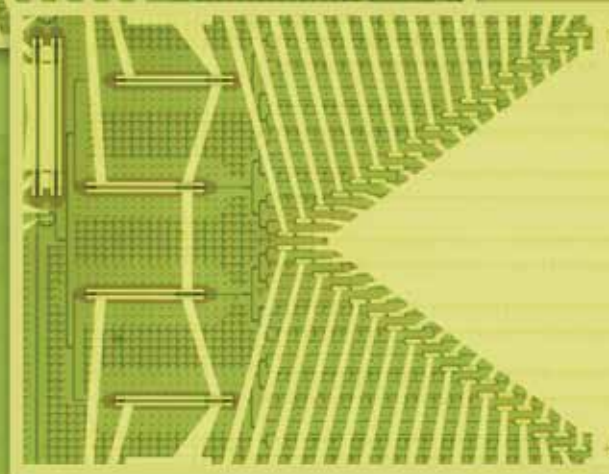
## 用于激光雷达的 硅光子技术 P.20

电镀创新实现超精细铜键合 P.25

完全自对准的双金属级半镶嵌模块 P.28

SPARC全新沉积技术 P.31

高速收发器中光电IC的设计与集成 P.36



微信公众号



国际知名媒体授权  
引领全球高新科技信息

8本专业杂志(双月刊)  
欢迎免费索阅

全年行业资讯



[www.actintl.com](http://www.actintl.com)



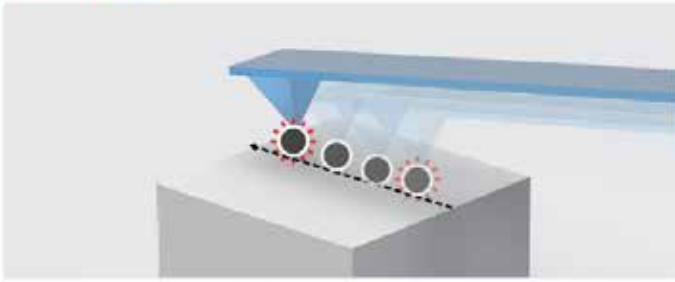
免费  
订阅

扫一扫添加

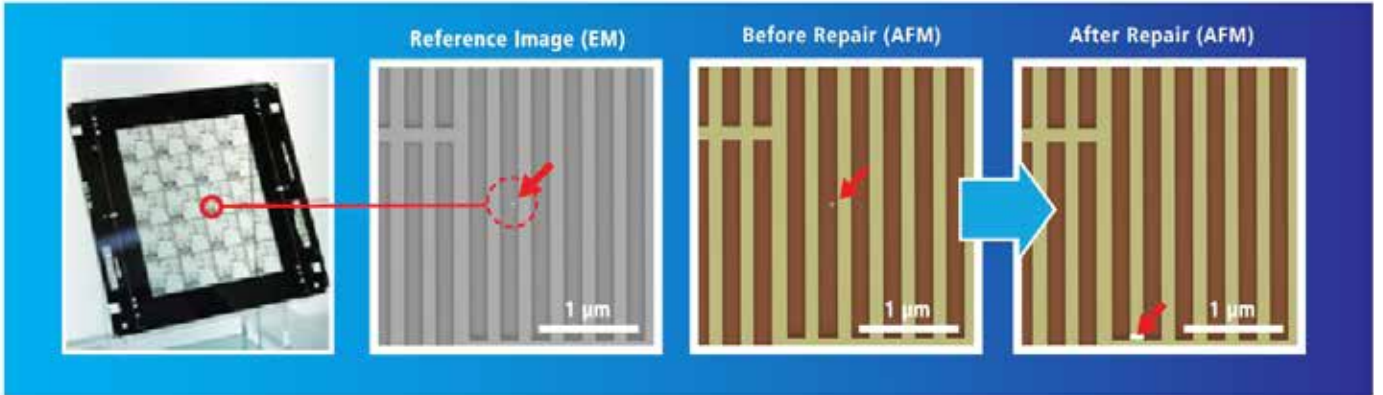
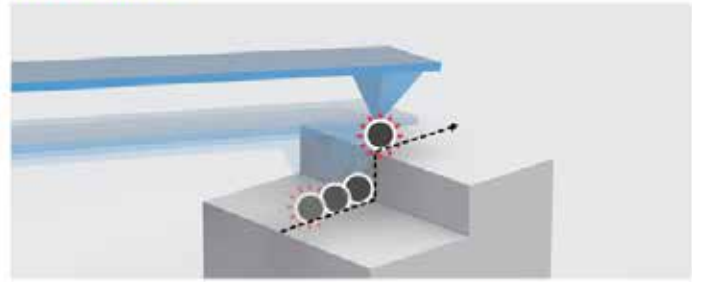
ACT读者服务号免费订阅

雅时国际传媒集团成立于1998年，在高增长的中国市场上为众多高科技领域提供服务。通过其产品系列，包括印刷和数字媒体以及会议和活动，雅时国际为国际营销公司和本地企业提供了进入中国市场的机会。雅时国际的媒体品牌为电子制造、机器视觉系统、激光/光子学、射频/微波系统设计、洁净室/污染控制和半导体制造，化合物半导体，工业AI等领域的20多万名专业读者和受众提供服务，雅时国际也是一些世界领先的技术出版社和活动组织者的销售代表。雅时国际的总部设在香港，在北京、上海、深圳和武汉设有分公司。

Scratch Mode



Sweep Mode



## Park NX-Mask

### 掩膜修复

#### 问题

- 现有的用于掩膜修复的电子束或激光处理方法会导致样品表面的破坏。
- 极紫外光刻(EUV)掩膜内侧小沟槽缺陷修复非常困难。
- 由于没有保护膜，先进的 EUV光掩膜很容易被污染。

#### 原子力显微镜解决方案

- 基于原子力显微镜的纳米加工可以选择性的修复掩膜表面的微小缺陷，且不会破坏样品。
- 专用探针可以修复极紫外光刻(EUV)掩膜的小沟槽。
- Park 的掩膜修复解决方案以行业领先的核心技术为基础，为掩膜修复和纳米加工提供最佳性能保障。



Park原子力显微镜  
电话:400-878-6829  
www.parksystems.cn



# 目录 CONTENTS

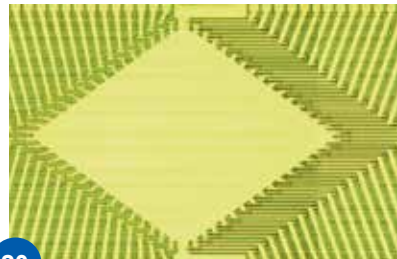
## 封面故事 Cover Story

### 20 用于激光雷达的硅光子技术

#### Developing silicon photonics for LiDAR

微电子学几乎改变了人们生活的方方面面。将硅光子集成电路纳入到先进 CMOS 集成电路中的努力往往集中在那些仅靠 II-VI 或 III-V 族化合物半导体材料技术无法应对的要求上。但未来计算、汽车、健康和众多其他应用将受益于利用各种硅或混合技术的集成化光子器件。LiDAR 正处于一个拐点，三星先进技术研究所实现更好的 LiDAR PIC 道路上取得了硅光子技术进步。

- Dongjae Shin, Kyoungho Ha, Hyuck Choo, 三星先进技术研究所



20

## 编者寄语 Editor's Note

### 4 客观研判 趋利避害

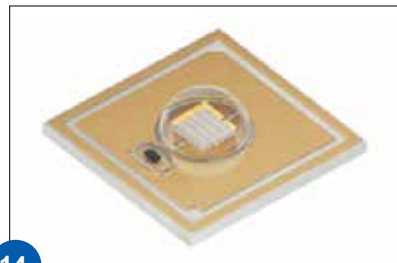
- 赵雪芹



7

## 行业聚焦 Industry Focus

- 5 盛美新型热 ALD 立式炉设备满足高端半导体生产需求
- 5 豪威集团发布 OX03J10 汽车图像传感器
- 6 ClassOne 推出新型表面处理技术
- 6 天马显示科技第 6 代柔性 AMOLED 首批产品出货
- 7 西门子与联华电子合作开发 3D IC 混合键合流程
- 8 EV 集团 NanoCleave 离子层技术改变 3D 集成
- 10 芯和半导体 Metis 工具实现异构集成协同仿真
- 10 英特尔以硅基技术成功制造量子芯片
- 12 Onto Innovation 发布新型声学薄膜计量系统
- 12 新思科技 PrimeClosure 解决方案助力设计效率提升 10 倍



14

### 关于雅时国际商讯 (ACT International)



雅时国际商讯 (ACT International) 成立于1998年, 为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品 - 包括杂志和网上出版物、培训、会议和活动 - 为跨国公司及中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站, 以及各种技术会议, 服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港, 在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

### About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photonics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

### 关于《半导体芯科技》

《半导体芯科技》(原半导体科技)中国版 (SiSC) 是全球最重要和最权威的杂志Silicon Semiconductor的“姐妹”杂志, 由香港雅时国际商讯出版, 报道最新半导体产业新闻、深度分析和权威评论。为中国半导体专业人士, 提供他们需要的商业、技术和产品信息, 帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国半导体产业, 包括IC设计、制造、封装及应用等。

### About Silicon Semiconductor China

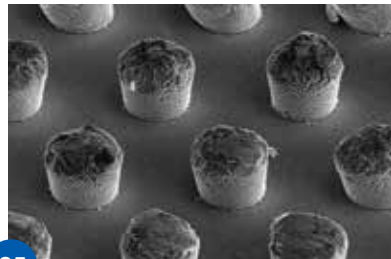
Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology & product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMS, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

# 目录 CONTENTS

- 13 Cadence Verisium 平台引领验证效率革命
- 14 NTT 研究证明石墨烯成为高速光电探测器材料的前景
- 14 新型高功率 UV-C LED 实现领先电光转换效率与杀菌效果

## 采访报道 Interview

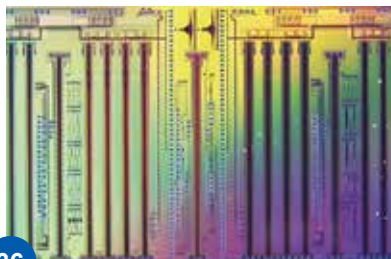
- 16 在“平行世界”创建产业新势力
- 18 三大趋势引领 EDA 未来



25

## 技术 Technology

- 25 电镀创新实现超精细铟键合  
Electroplating innovation enables ultrafine indium bonding
- 28 IMEC 制造首个完全自对准的双金属级半镶嵌模块  
Imec produces the first fully self-aligned, two-metal-level, semi-damascene module
- 31 SPARC : 用于先进逻辑和 DRAM 的全新沉积技术  
SPARC: a new deposition technology for advanced logic and DRAM
- 33 具有高对准精度和高吞吐量的芯片到晶圆自组装技术  
Die-to-Wafer self-assembly breakthrough targeting high alignment accuracy and throughput



36

## 专栏 Conlunm

- 36 高速有线收发器中的光电集成电路的设计与集成  
Design and integration of photonic and electronic integrated circuits for high-speed wireline transceivers
- 38 3D 打印颠覆性技术背后的真空“奥秘”  
The Vacuum Mystery behind the disruptive technology-used in 3D printing



38

## 40 广告索引 Ad Index

### 《半导体芯科技》编委会（排名不分先后）

刘胜 教授  
武汉大学工业科学研究院执行院长  
郭一凡 博士  
日月光集团工程副总经理  
姚大平 博士  
江苏中科智芯集成科技有限公司总经理  
汤晖 教授  
广东工业大学、精密电子制造技术与装备国家重点实验室

于大全 教授  
厦门云天半导体创始人  
须颖 教授  
中国仪器仪表学会显微仪器分会副理事长  
罗仕洲 教授  
磐允科技总经理  
林挺宇 博士  
广东芯华微电子技术有限公司总经理  
杨利华 院长  
两江半导体研究院

王文利 教授  
西安电子科技大学电子可靠性(深圳)研究中心主任  
雅时国际商讯顾问  
张昭宇 教授  
香港中文大学(深圳)理工学院  
深圳半导体激光器重点实验室主任  
刘功桂 教授级高工  
中国电器科学研究院股份有限公司威凯技术中心主任  
云星 总经理  
深圳安博电子有限公司

张弛 总裁  
深圳贝特莱电子科技股份有限公司  
乔旭东 博士  
深创投集团投资发展研究中心总经理  
徐开凯 教授  
电子科技大学、电子薄膜与集成器件国家重点实验室  
何进 教授  
北京大学教授、深圳系统芯片设计重点实验室主任

## 客观研判 趋利避害

当前，全球半导体行业正遭遇“摩尔定律”瓶颈，加之受国际地缘政治争端影响和疫情的反复冲击，国际形势动荡多变，企业经营形势不容乐观。特别是近期美国通过《2022 芯片与科学法案》以及各种针对中国半导体行业的限制规定，在未来几年对我国半导体行业的影响将持续存在，面对如此严峻复杂的国际竞争形势，中国半导体企业应该如何实现稳步发展？

“全球化转向区域化是一个大趋势，对我国半导体行业的影响确实是存在的，既有机遇，也有挑战。”汇顶科技总裁胡煜华日前接受《半导体芯科技》专访时表示。

胡煜华认为：在全球半导体产业向区域性产业生态圈演化的过程中，一方面会倒逼我们整个半导体产业链上下游加速升级，国产化概念兴起，国际企业有选择性地退出部分市场，国内企业的蛋糕就变大了。另一方面，此番转变也造成一些不利局面，一是随着国际巨头参与本国的制造业复兴工程，中国企业的学习对象将逐渐减少，二是中国企业走出去进行投资并购的行动也会受到影响。胡煜华说：“既然是有利有弊，那就看我们怎么把有利因素尽量发挥好，把不利因素影响尽量减少。”

“把有利因素尽量发挥好，把不利因素影响尽量减少。”这应该是业界每一个人的愿望和努力方向。面对全球化转向区域化的大趋势，在全球半导体供应链体系深度调整和产业链加快重塑的大背景下，我们需要客观研判当前国际竞争形势下的发展机遇和挑战，在此基础上，做出在新发展形势下的应对之策。正如胡煜华所说：“无论市场环境如何变化，竞争核心还是实力，最后都要靠自身实力说话。”所以，客观研判，趋利避害，抓住时机尽量提升自己的实力，才能在未来的竞争中处于有利地位。

本期杂志刊出的对胡煜华的采访报道文章——在“平行世界”创建产业新势力（第 16 页），对于中国半导体企业探寻在新形势下的发展道路可以提供很有价值的参考借鉴。

### 本期杂志更多精彩内容：

用于激光雷达的硅光子技术

电镀创新实现超精细钢键合

IMEC 制造首个完全自对准的双金属级半镶嵌模块

SPARC：用于先进逻辑和 DRAM 的全新沉积技术

高速有线收发器中的光电集成电路的设计与集成

.....

赵雪芹

社长 Publisher

麦协林 Adonis Mak

adonism@actintl.com.hk

主编 Editor in Chief

赵雪芹 Sunnie Zhao

sunniez@actintl.com.hk

出版社 Publishing House

雅时国际商讯 ACT International

香港九龙 B,13/F, Por Yen Bldg,

长沙湾青山道478号 478 Castle Peak Road,

百欣大厦 Cheung Sha Wan,

13楼B室 Kowloon, Hong Kong

Tel: (852) 2838 6298

Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988573 /25988567

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 59233884

UK Office

Angel Business

Communications Ltd.

6 Bow Court,

Fletchworth Gate,

Burnsall Road, Coventry,

CV56SP, UK

Tel: +44 (0)1923 690200

Chief Operating Officer

Stephen Whitehurst

stephen.whitehurst@angelbc.com

Tel: +44 (0)2476 718970



## 盛美新型热ALD立式炉设备满足高端半导体生产需求

盛美半导体设备（上海）股份有限公司对其 300mm Ultra Fn 立式炉干法工艺平台进行了功能扩展，研发出新型 Ultra Fn A 立式炉设备。该设备的热原子层沉积（ALD）功能丰富了盛美上海立式炉系列设备的应用。首台 Ultra Fn A 立式炉设备已于 9 月底运往中国一家先进的逻辑制造商。

盛美上海董事长王晖表示：“随着逻辑节点的不断缩小，越来越多的客户为满足其先进的工艺要求，努力寻找愿意合作的供应商共同开发。ALD 是先进节点制造中增长最快的应用之一，是本公司立式炉管系列设备的关键性新性能。得益于对整个半导体制造工艺的深刻理解和创新能力，我们能够迅速开发全新的湿法和干法设备，以满足新兴市场的需求。全新 ALD 立式炉设备基于公司现有的立式炉设备平台，搭载差异化创新设计，软件算法优化等实现原子层吸附和均匀沉积。”

盛美上海新型热 ALD 设备可沉积氮化硅（SiN）和碳氮化硅（SiCN）薄膜。出厂的首台 Ultra Fn A 设备将用

于 28 纳米逻辑制造流程，以制造侧壁间隔层。此工艺要求刻蚀速率极低，且台阶覆盖率良好，与其他实现模式相比，Ultra Fn A 立式炉设备在模拟中实现了均一性的改善。

### Ultra Fn A 的特点

盛美上海 Ultra Fn A 设备以 Ultra Fn 立式炉设备平台的成功为基础，能满足原子层沉积工艺的同时具备低累积膜厚气体清洗功能，保证颗粒的稳定性。Ultra Fn A 立式炉设备聚焦核心技术研发，力求满足高产能批式 ALD 工艺的高端要求。

可通过简单改变微小的组件和细微的布局对设备进行个性化定制，这使得新型 ALD 工艺的开发得以迅速提升。其创新设计还巧妙融合了盛美上海成熟的软件技术、可提高耐用性和可靠性的新硬件以及盛美上海独家专利工艺控制 IP，以实现快速而稳定的工艺控制。



## 豪威集团发布 OX03J10 汽车图像传感器

全球领先的车载图像传感器开发商，豪威集团面向 360° 全景显示系统、后视摄像头、摄像头监控系统（CMS）三类场景发布了一款型号为 OX03J10 的全新产品，在信号处理、成像效果、产品功耗等多个方面都进行了优化升级，能支持更多高阶的辅助驾驶功能。

汽车实现高度智能化过程中，图像传感器一直扮演着至关重要的角色。随着汽车逐步向高阶自动驾驶等级迈进，对于图像传感器规格和性能的诉求也同步升级。目前主流的 ADAS 系统当中，不同安装位置的摄像头侧重的功能也有所不同，环视及后视位的摄像头为了能进一步增强驾驶安全性，需要让驾驶员能更清晰、精准地了解视角之外的环境。

OX03J10 是一款用于人类视觉和机器视觉汽车应用的 1/2.44 英寸光学格式、1920x1536 单芯片低功耗 CMOS，符合 ASIL-B 安全标准，可支持 YUV、RGB 和 RAW 三种格式输出。采用豪威集团 PureCel<sup>®</sup>Plus 技术扩展动态范围，兼具 AEC/AGC/AWB、镜头校正、缺陷像素校正、HDR



组合、色调映射和自动黑电平校正图像信号处理功能；支持 LED 闪烁抑制（LFM）、50/60 Hz 闪烁消除功能，可以解决当前智能驾驶中经常遇到的日光灯照射产生闪烁干扰问题；采用 SPI 主控用于加载图像叠加层和配置，能在一个经济高效的简单系统中实现高级 HDR 成像。

眼下，越来越多车企推出功能更全、自驾等级更高的中高端车型，对于这类终端来说，一款性能表现强劲的图像传感器必不可少。而像素尺寸及各项性能都全面升级的 OX03J10，无疑可以更契合中高端车型对图像传感器的需求。

## ClassOne推出新型表面处理技术

为微电子制造提供先进电镀和湿法加工工具的全球供应商 ClassOne Technology 公司宣布，已经在其旗舰产品 Solstice 自动化单晶圆平台上增加了表面处理 (surface preparation, SP) 技术。在相同的平台上，该公司现在可以为化合物半导体和其他关键应用（比如需要极高的晶片均匀性和过程控制的应用）提供 SP 技术，包括溶剂剥离、湿蚀刻、金属剥离 (MLO) 和单晶片清洗。

从硅集成电路到化合物半导体，如碳化硅 (SiC) 和氮化镓 (GaN)，自动化单晶片处理设备在微电子器件的晶片内和晶片到晶片的均匀性方面的价值正在不断增长。这些先进设备正越来越多地应用于汽车、物联网、电力和 5G 通信等快速增长的市场。基于这一趋势，ClassOne 通过扩展其 Solstice 平台，帮助客户增加其先进晶圆加工处理能力。

ClassOne 专注于推进 Solstice 单晶圆平台，作为最灵活的湿法处理平台之一，Solstice 继续满足特定的市场需求。客户可以选择多达 8 室模块配置，进行多次电镀、溶剂剥离和湿蚀刻应用。对于批量制造，有专门的配置可提



供最大吞吐量和拥有成本的优化设计。这使 ClassOne 在研发、小批量制造和大批量制造方面都可为客户提供服务，也使 ClassOne 成为目前正在研发并准备在未来转向批量生产的客户的理想合作伙伴。

### 增加表面处理的好处

Solstice SP 采用正面朝下的晶圆加工方案。这种结构允许在晶圆表面直接进行化学冲击，从而实现高速和均匀的蚀刻、剥离和 MLO 工艺。与常见的正面朝上式结构相比，Solstice SP 具有巨大的安全优势，因为全密封的腔室可以有效排出和处理危险化学物质。该平台还很容易集成槽控制技术以控制温度和浓度，确保晶圆加工一致和延长槽寿命。

此外，可选的白光端点检测 (EPD) 功能提供高效膜去除蚀刻处理，例如凸点下金属化 (UBM) 蚀刻或种子蚀刻。FaceUp 旋转冲洗干燥 (SRD) 模块安装在工艺室上方，由于其位于设备顶部，与化学品分离，因此可以提供快速、清洁的干燥。在安全性、性能和可靠性方面，Solstice SP 为 ClassOne 的客户带来了更广泛的功能。

## 天马显示科技第6代柔性AMOLED首批产品出货

近日，厦门天马显示科技有限公司迎来关键里程碑时刻，第 6 代柔性 AMOLED 生产线项目首批柔性 AMOLED 产品出货。

自 2022 年 2 月成功点亮首片柔性 AMOLED 显示屏后，天马显示科技第 6 代柔性 AMOLED 生产线项目一直处于产线产能和产品良率的爬坡提升阶段。在全体项目组成员的共同努力下，攻克众多技术和工艺难关，在 2022 年 8 月成功实现首批柔性 AMOLED 产品出货国际品牌客户，刷新业内新产线达成交付速度新纪录。

后续该项目全面建成后，不仅将使天马在柔性 AMOLED 领域的布局更加完整，更将助力天马柔性 AMOLED 产能规模跻身全球前三，并有利于持续保持在中小尺寸高端显示市场的行业竞争力；同时，对于整个中国新型显示产业的发展也将起到积极的推动作用，有助于

进一步提升中国企业在全球 AMOLED 领域的影响力。

作为厦门投资最大的单体高科技制造项目，天马显示科技第 6 代柔性 AMOLED 生产线项目总投资 480 亿元，总建筑面积约 126 万平方米，其中工艺洁净区面积约 60 万平方米，是目前国内单体最大的柔性 AMOLED 单体工厂。

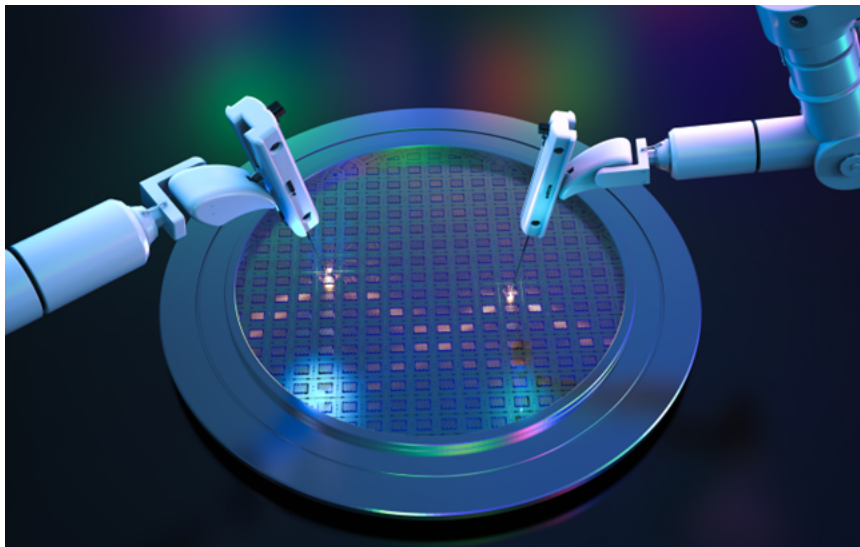
该项目将聚焦于中小尺寸高端显示领域，提供领先的柔性 AMOLED 显示解决方案，关键制程全部采用行业主流设备，设备规格优于或持平业内水准，对于折叠、低频、低功耗、屏下摄像等先进前沿技术，都已做预先规划布局，同时与多家主流品牌客户的技术预研及产品认证也在稳步推进中。未来，随着产线良率逐步提升，该项目将有效支撑产品规格的持续优化，满足客户更加前沿、多样化的需求，加速推进新技术产品化及量产化，有望成为全球最先进的柔性 AMOLED 生产线之一。



## 西门子与联华电子合作开发 3D IC 混合键合流程

西门子数字化工业软件近日与半导体晶圆制造大厂联华电子 (UMC) 合作，面向联华电子的晶圆堆叠 (wafer-on-wafer) 和芯片晶圆堆叠 (chip-on-wafer) 技术，提供新的多芯片 3D IC (三维集成电路) 规划、装配验证和寄生参数提取 (PEX) 工作流程。联电将同时向全球客户提供此项新流程。

通过在单个封装组件中提供硅片或小芯片 (chiplet) 彼此堆叠的技术，客户可以在相同甚至更小的芯片面积上实现多个组件功能。相比于在 PCB 上铺设多个芯片的传统配置，该方法不仅更加节省空间，还能以更低的功耗实现更出色的系统性能和更多的功能。

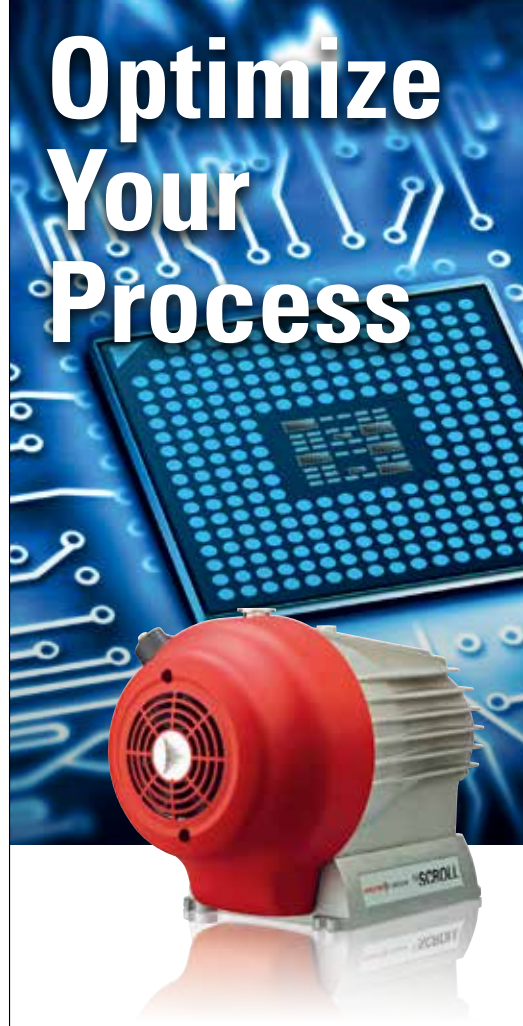


联华电子组件技术开发和设计支持副总裁郑子铭表示：“我们的客户现在可以使用经验证且可靠的晶圆制造设计套件与流程，来验证其堆叠组件的设计，同时校正芯片对齐与连接性，并提取寄生参数，以便在信号完整性仿真中使用。联电与西门子 EDA 的共同客户对高性能计算、射频、人工智能物联网等应用的需求正日渐增长，随之带来对 3D IC 解决方案的大量需求，此次联电与西门子的合作将帮助客户加快其集成产品设计的上市时间。”

联华电子开发了全新的混合键合 (hybrid-bonding) 3D 版图和电路比较 (LVS) 验证和寄生参数提取工作流程，使用西门子的 XPEDITION™ Substrate Integrator 软件进行设计规划和装配、西门子的 Calibre® 3DSTACK 软件进行芯片间的连接性检查，同时使用 Calibre nmDRC 软件、Calibre nmLVS 软件和 Calibre xACT™ 软件来执行 IC 与芯片间扩展物理和电路验证任务。

西门子数字化工业软件电子板系统高级副总裁 AJ Incorvaia 表示：“西门子非常高兴能够与联华电子进一步深化合作，为双方共同客户提供更优解决方案。随着客户不断开发复杂度更高的设计，我们已经准备好为其提供所需的先进工作流程，以实现这些复杂设计。”

# Optimize Your Process



## HiScroll®系列超静音无油真空泵

### 您能获得的附加价值

- 低噪音、低振动
- 采用全自动压力调节实现最低运行成本
- 配备内置止回阀和密封的泵系统，保障安全
- 通过智能接口技术提升工艺适应性
- 适用于半导体技术等行业应用

**PFEIFFER** VACUUM

**Your Success. Our Passion.**

Pfeiffer Vacuum  
(Shanghai) Co., Ltd.  
普发真空技术(上海)有限公司  
T +86 21 3393 3940  
www.pfeiffer-vacuum.cn



官方微信

## EV集团NanoCleave离型层技术改变 3D 集成

红外激光切割（IR laser cleave）技术实现纳米级精度的硅载体晶层转移，无需使用先进封装应用需要的玻璃基板，还可以实施薄层3D堆叠。

微机电系统、纳米技术和半导体市场晶圆键合与光刻设备领先供应商 EV 集团（EVG）推出了革命性的硅离型层技术 NanoCleave™，可实现用于前端处理的超薄层堆叠，包括高级逻辑、存储器和功率器件成型，以及半导体先进封装。NanoCleave 是一种完全兼容前端应用的离型层技术，采用波长可穿透硅层的红外激光。NanoCleave 结合采用特殊配方的无机层，可以释放硅载体上的任何超薄膜或超薄层，精度可达到纳米级别。

利用 NanoCleave 技术，先进封装工艺可以采用硅晶圆载体，例如使用模具和重组晶圆的扇外型晶圆级封装（FoWLP），以及用于 3D 堆叠 IC（3D SIC）的中介层。NanoCleave 还可以兼容高温工艺，也能够为 3D IC 和 3D 顺序集成应用提供新型工艺流程，甚至能够在硅载体上实现超薄层的混合和熔融键合，从而彻底改变 3D 和异构集成，改变新一代微缩晶体管设计中的材料转移。

### 硅载体有利于3D堆叠和后端处理

在 3D 集成中，用于薄晶圆处理的载体技术是实现更高性能系统和增加互连带宽的关键所在。业内的常见方法是使用玻璃载体与有机粘合剂临时粘合，用于构建器件层，再使用紫外（UV）波长激光溶解粘合剂，释放器件层，再将其永久粘合于最终产品晶圆上。然而，现有的半导体设备主要围绕硅器件设计，需要进行成本不菲的升级才能处理玻璃基板。此外，有机粘合剂的加工温度一般限制在 300℃ 以下，也限制了它们在后端加工中的应用。

而采用无机离型层的硅载体能够解决温度问题和玻璃载体兼容性问题。此外，红外激光切割能够达到纳米精度，因此有可能在不改变工艺记录的前提下加工极薄的器件晶圆。此类薄器件层的后续堆叠还可实现更高带宽的互连，为下一代高性能系统设计和分割晶圆提供新的机遇。

### 新一代晶体管节点需要新型层转移工艺

另一方面，3 纳米以下节点的晶体管发展规划也需要新型架构和设计创新，例如埋入式电源轨、后端供电网络、



互补场效应晶体管（CFET），甚至 2D 原子通道，所有这些技术都需要实施超薄材料的层转移。硅载体和无机离型层技术能够满足前端制造流程对工艺清洁度、材料兼容性和高加工温度的要求。然而，目前必须使用研磨、抛光和蚀刻等工艺才能完全去除硅载体，但这些工艺也会导致工作器件层表面出现小范围微变化，因此并不适用于先进节点的薄层堆叠。

EV 集团的新型 NanoCleave 技术利用红外激光和无机离型层材料，在硅载体上实现纳米精度的激光剥离。这种技术使先进封装无需使用玻璃基板，巧妙避开了温度和玻璃载体兼容性问题，而且能够在前端处理中通过载体实现超薄层（一微米及以下）转移，无需改变工艺记录。EV 集团的新工艺可以达到纳米精度，能够为先进的半导体器件开发规划提供支持，此类器件需要采用更薄的器件层和封装工艺，加强异构集成，并通过薄层转移和取消玻璃基板来降低加工成本。

EV 集团执行技术总监保罗·林德纳（Paul Lindner）表示：“由于工艺公差更加严格，半导体微缩技术正在变得日益复杂，而且难以实现。行业需要新的工艺和集成方法，以实现更高的集成密度和设备性能。我们的 NanoCleave 离型层技术通过薄层和芯片堆叠实现半导体微缩，改变行业现状，满足严苛的行业需求。NanoCleave 提供了高度通用的离型层技术，帮助客户开发出更先进的

# 超景深数码显微镜 Easyzoom

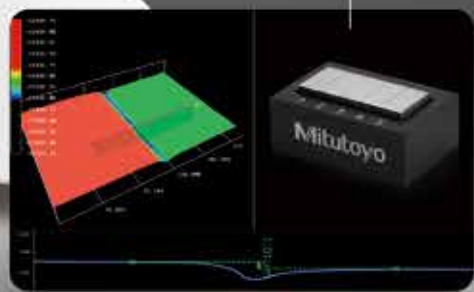
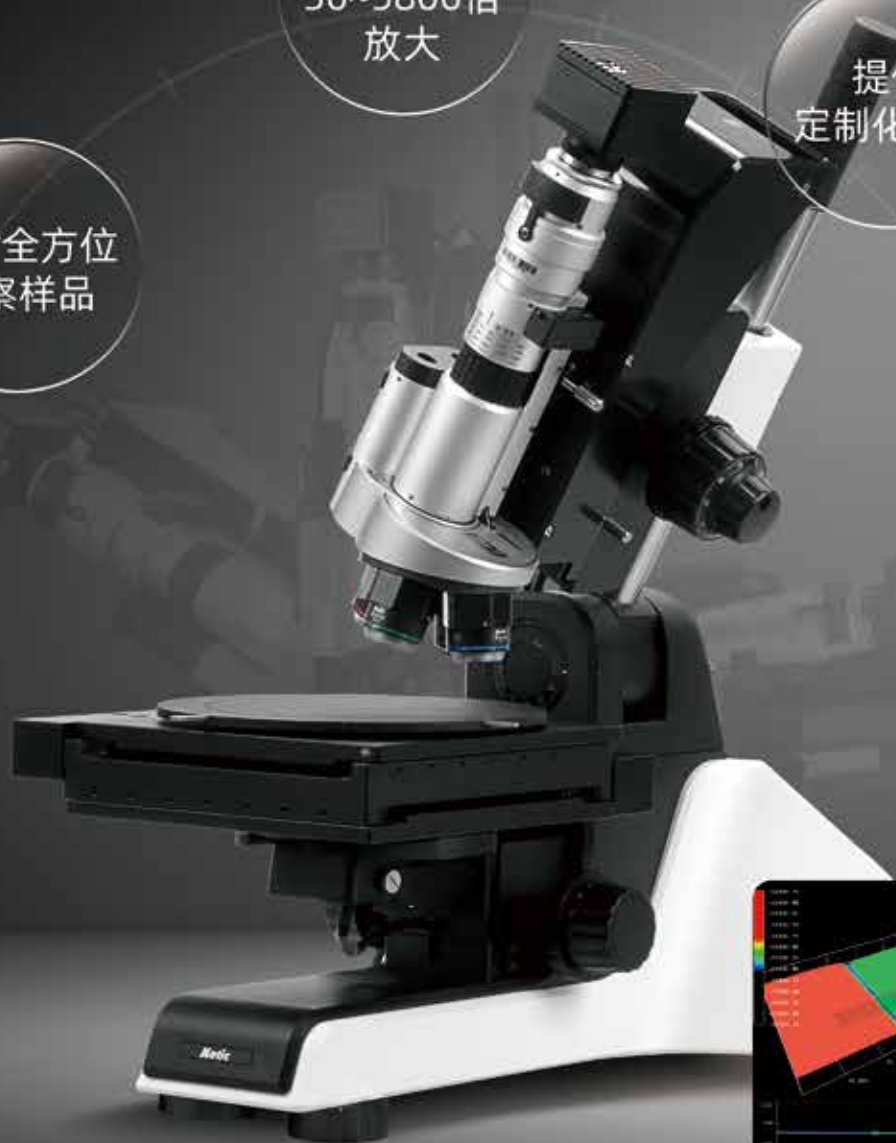
单镜体实现  
50~5800倍  
放大

提供  
定制化服务

360°全方位  
观察样品

微米级高精度  
3D测量

一微米标准台阶差



产品，制定更高效的封装规划，适用于标准硅晶圆和晶圆工艺，在晶圆厂内实现不同技术的无缝集成，为客户节约更多时间和资金。”

## 独特的红外激光技术

EV 集团的 NanoCleave 技术对硅晶片背面采用红外激光曝光，这种激光的波长可以穿透硅片。这种技术使用

标准沉积工艺，将无机离型层预构至硅叠层，吸收红外光，在预先精确定义的层或区域完成硅片切割。NanoCleave 使用无机离型层，可以实现更精确、更纤薄的离型层（只有几纳米，而有机粘合剂为几微米）。此外，无机离型层可兼容高温处理工艺（最高 1000℃），能够为多种新型前端应用实现晶层转移，例如在不兼容有机粘合剂的应用中实施外延、沉积和退火。

## 芯和半导体 Metis 工具实现异构集成协同仿真

国产 EDA 行业的领军企业芯和半导体近日证实，先进封装基板设计初创公司 Chipletz 已采用芯和半导体的 Metis 电磁场仿真 EDA，用于 Chipletz 即将发布的 Smart Substrate™ 产品设计，使能异构集成的多芯片封装。

芯和半导体 Metis 是一款定位于先进封装仿真的快速电磁场仿真工具，它提供了与芯片设计工具和封装设计工具的便捷集成，满足先进封装设计中对于容量、精度和吞吐量方面的严苛要求。Metis 内嵌的三维全波高精度电磁仿真引擎 MoM Solver 可以涵盖 DC-THz 的仿真频率，在满足异构集成中高速高频等应用精度要求下提供了前所未有的性能表现，并可以完美支持纳米到厘米级别的跨尺度仿真，从而实现对先进封装设计的裸芯片 Die、中介层 Interposer 和封装 Package 的协同仿真。

“摩尔定律放缓和对高性能计算的追求正在引领先进封装时代的到来，这必将带来对于像芯和半导体先进封装仿真 EDA 解决方案的迫切需求，” Chipletz CEO Bryan Black 评论道，“芯和半导体及其 Metis 电磁场仿真工具在仿真效率和内存消耗方面提供了业界前所未有的性能优势，帮助我们顺利应对信号和电源完整性分析方面的独特挑战。”

“Chipletz 公司的 Smart Substrate™ 产品将成为 2.5D/3DIC 先进封装的开发工程师工具包中的一个强有力补充，”芯和半导体 CEO 凌峰博士说，“Smart Substrate™ 能在一个封装体内实现来自不同供应商的多个不同芯片的异构集成，这对于 AI 工作负载、沉浸式消费者体验和高性能计算市场尤其重要。芯和半导体很高兴能够在这项先进封装技术的交付中发挥作用。”

## 英特尔以硅基技术成功制造量子芯片

在 2022 年硅量子电子研讨会上，英特尔实验室宣布以现有硅基半导体技术成功生产自旋量子计算芯片，这为未来量产量子计算机打下基础。英特尔表示，最新研究结果是业界最大的硅基自旋量子运算芯片，量产芯片切出裸晶表现高度均匀性，芯片良率超过 95%。这一成就代表了英特尔在晶体管制造工艺上扩大规模和努力制造量子芯片的一个重要里程碑。

英特尔的研究使用极紫外（EUV）光刻技术制造，并使用专门设计的量子低温探测器 Cryoprober 对最新硅自旋量子运算芯片进行了测试，该设备在极低的温度（1.7 开尔文或 -271.45 摄氏度）下运行，以保持量子比特的稳定性，从而使其可用于计算目的。测试确认自旋量子运算芯片运行稳定性。Cryoprober 也证实 300 毫米晶圆

上 95% 的量子位封装芯片按预期工作。这对英特尔来说尤其是好消息，因为到目前为止，大多数量子芯片生产努力一次只能制造一个。英特尔的 EUV 工艺现在似乎能够在晶圆上制造多个量子芯片，且具有出色的均匀性和良率。

英特尔的量子计算芯片制造技术，是允许单电子状态跨芯片自动收集数据，以完成迄今最大单量子点和双量子点，也就是超过 900 个单量子点和超过 400 个双量子点。

英特尔量子硬件总监 James Clarke 表示，这代表未来能朝商业量子计算机数千或数百万个量子比特方向迈出重要一步。完成高产量和均匀统一性，也代表英特尔晶体管制程制造量子芯片可行，且随着技术成熟将实现商品化，帮助量子运算发展。

# PRODUCT LAUNCH ONLINE 线上产品推介会

新技术 · 新工艺 · 新材料 · 新设备

推介时长 **2小时/场**  
推介企业 **3-4家/场**



## ▶ 拟定话题

衬底生产、外延生产、器件工艺、封装工艺、制造材料、封装材料、检测分析与仪器、可靠性分析

## ▶ 出席嘉宾

原厂首席技术官、研发总监、市场总监、高级销售工程师、产品/设备经理、行业KOL

## ▶ 目标听众

技术管理、采购管理、科学工程、工艺开发与研究、技术顾问与咨询、品控测试、研发设计、学术研究、相关领域工程师



填写意向表



添加客服号

主题定制、多维互动、精准传播

半导体全产业链互推共融！

## Onto Innovation发布新型声学薄膜计量系统

Onto Innovation 公司推出创新薄膜声学计量系统。新的 Echo™ 系统进一步扩大了不透明薄膜在线表征和计量能力，利用皮秒超声原理，为前沿 DRAM 和高堆栈 NAND 存储器提供关键厚度计量和材料表征。对于这些先进的架构，Echo 系统提供了关键的金属薄膜计量，使更高的内存带宽和位密度成为可能。Echo 系统也可以在专业领域为各种设备提供金属厚度和表征，包括 5G 通信的射频滤波器，以及电动汽车 (EV) 和高速便携式充电器的功率器件。

Echo 不透明薄膜声学计量系统。能够测量从 50Å 到 35μm 厚度的单层或多层薄膜，处理 100-300mm 尺寸的晶圆。随着垂直 NAND 设备中层叠的不断增多，关键的沉积步骤，如硬掩膜，对通道孔形成过程至关重要。这些薄膜的准确厚度和机械性能对于确保薄膜在整个蚀刻过程中保持完整性极为关键。通过利用 Onto 以工具为中心的软件，Echo 系统在 HVM 客户现场可以提供完整的解决方案，其中晶圆上的计量被用于闭环反馈，对关键的薄膜沉积步

骤进行过程控制。



Echo 系统的信噪比 (SNR) 是现有产品的三倍，它支持广泛的薄膜厚度，从厚度非常薄的 50Å 薄膜到 35μm 厚的不透明薄膜和金属层。此外，Echo 系统具有材料表征能力，包括植入监测在线时域热反射和热导率表征。

## 新思科技PrimeClosure解决方案助力设计效率提升10倍

新思科技推出突破性的黄金签核 ECO 解决方案，旨在解决工程设计收敛时间过长的的问题，从而提高先进电子设计效率，实现更佳功耗、性能和面积 (PPA) 目标。新思科技 PrimeClosure 解决方案将行业领先的 ECO 签核解决方案——新思科技 PrimeECO™ 和新思科技 Tweaker™ ECO——与多种突破性的创新技术相结合，实现更快的 ECO 收敛时间，同时兼顾高容量和 PrimeTime® 黄金签核精度。与传统的 ECO 流程相比，早期客户采用 PrimeClosure 解决方案实现了时序提高 45%、功耗降低 10%、ECO 迭代次数减少 50%、设计效率提升 10 倍。

数据中心、便携设备、汽车电子、人工智能和物联网等应用领域都对 PPA 提出了更高的要求。先进工艺节点的发展产生了新物理规则和影响 PPA 的新效应。深亚微米设计的规模和复杂性都非常巨大，因此为修复问题而进行的每一次分析和 ECO 优化都需要更长时间，并消耗更

多的计算资源。处理大量违例并推进收敛以将其减少至零，是 ECO 的一个重要挑战。

新思科技 PrimeClosure 解决方案具备创新的针对性优化功能，能够极大地改善 PPA、时序、时钟网络、压降、变异性和老化等设计指标。该解决方案与新思科技 Fusion Compiler™ RTL-to-GDSII 解决方案、新思科技 PrimeTime 静态时序分析解决方案紧密集成，能够实现黄金签核精度，从而提供完整流程以加快大型设计项目的设计收敛和上市时间。

借助其创新的千兆芯片层次化设计技术，新思科技 PrimeClosure 解决方案能以相对较少机器数量，针对具有十亿级规模标准单元和数百种分析场景的设计进行无缝扩展，从而实现业界领先的快速设计周转时间。它的优化剪枝技术可以有效筛选数以千计的场景和数以百计的层次化模块，减少需要优化的数据集数量，最终使设计周转时间加速超过 40%，减少高达 60% 的内存消耗。

## Cadence Verisium平台引领验证效率革命

楷登电子 (Cadence) 推出 Cadence® Verisium™ AI-Driven Verification Platform, 整套应用通过大数据和 JedAI Platform 来优化验证负荷、提高覆盖率并加速 bug 溯源。Verisium 平台基于新的 Cadence Joint Enterprise Data AI (JedAI) Platform, 并与 Cadence 验证引擎原生集成。

随着 SoC 复杂性不断提高, 验证往往比其他工程任务更加消耗算力和人力, 如何缩短验证周期已成为产品按时上市的关键。Verisium 平台的发布代表了电子设计自动化 (EDA) 利用大数据和人工智能来优化整个 SoC 设计和验证过程, 由单运行 (single-run)、单引擎 (single-engine) 向多运行 (multi-run)、多引擎 (multi-engines) 的全新算法转变。

通过部署 Verisium 平台, 汇集所有波形、覆盖率、报告和日志文件等验证数据于 Cadence JedAI 平台中, 在此平台上建立机器学习 (ML) 模型和发掘更多特定指标, 进而将其应用于全新系列工具上, 从而极大地提高验证工作效率。借助 Cadence JedAI 平台, Cadence 能够将其在数据和人工智能方面的计算软件创新成果, 统一应用在 Verisium AI-Driven 验证, Cerebrus™ Intelligent Chip Explorer AI-Driven 实现和 Optimality™ Intelligent System Explorer AI-Driven 系统分析等产品中。

**Verisium 平台初版应用套件包括以下选项:**

- **Verisium AutoTriage**: 构建机器学习模型, 通过对同源的多个测试故障进行预测和分类, 以实现回归故障分类选等重复性工作的自动化。
- **Verisium SemanticDiff**: 通过算法对 IP 或 SoC 的多版源代码变更进行比较及分类, 并依据其对系统行为的干扰程度进行排序, 来帮助定位潜在 bug 热点的解决方案。
- **Verisium WaveMiner**: 应用强大的人工智能引擎来分

析多个运行案例的波形, 揭示最有可能导致测试失败的信号和时间点。

- **Verisium PinDown**: 与 Cadence JedAI Platform 及业界标准修订管理系统进行集成, 建立源代码变更、测试报告和日志文件的机器学习模型, 预测哪些源代码签入 (check-in) 最有可能引起故障的发生。
- **Verisium Debug**: 提供从 IP 到 SoC, 从单运行 (single-run) 到多运行 (Multi-run) 的整体调试解决方案。支持波形、电路图、驱动跟踪和 SmartLog 技术上的快速、完整的互动式和后处理式调试流程。Verisium Debug 与 Cadence JedAI Platform 及其他 Verisium 应用程序原生集成, 支持同时自动比较通过和失败的测试用例, 来实现 AI-Driven 的溯源分析。
- **Verisium Manager**: 将 Cadence 在 IP 和 SoC 级全流程验证管理解决方案, 包括验证规划、工作调度和多引擎覆盖率, 统统整合到 Cadence JedAI 平台中, 同时还扩展出新的旨在提高计算服务集群效率的 AI-Driven 测试集优化技术。Verisium Manager 还可直接与其他 Verisium 应用程序集成, 通过统一的网页版管控台即可交互式部署一个完整的 Verisium 平台。

Verisium AI-Driven 验证平台是 Cadence 验证全流程的一部分, 此外还包括 Palladium® Z2 硬件仿真、Protium™ X2 原型验证、Xcelium™ 软件仿真、Jasper™ 形式验证平台以及 Helium™ Virtual and Hybrid Studio。Cadence 验证全流程提供了最高的验证吞吐量, 在有限的时间内尽可能发现更多的 bug 和实现更多的溯源分析, 让项目各方面的投资都做到物尽其用。Verisium 平台和验证全流程支持 Cadence 智能系统设计 (Intelligent System Design™) 战略, 助力实现 SoC 卓越设计。

半导体芯科技  
SS SILICON CHINA  
SEMICONDUCTOR

半导体领域旗帜性期刊  
每期杂志发行 **27,984** 册  
为行业提供全方位的商业、技术和产品信息

>



关注公众号



添加客服号

## NTT研究证明石墨烯成为高速光电探测器材料的前景

日本 NTT 公司和美国国家材料科学研究所 (NIMS) 共同实现了石墨烯光电探测器 (PD) 的超快速零偏压运行 (220GHz)。此外, NTT 和 NIMS 的研究首次阐明了石墨烯的光到电 (O-E) 转换过程。石墨烯对从太赫兹 (THz) 到紫外线 (UV) 的各种电磁波均具有高灵敏度和高速电响应。因此, 它是一种很有前景的光检测材料, 能够在现有半导体设备无法工作的波段内实现高速的 O-E 转换。然而到目前为止, 限于传统的器件结构和测量设备, 实验所展示的零偏压运行速度被限制在 70GHz。为此, 石墨烯光电探测器研究面临的挑战是实现 200GHz 的运行速度并阐明石墨烯的固有特性, 如光到电转换的过程。

在这项研究中, NTT 和 NIMS 通过使用氧化锌 (ZnO) 薄膜作为栅极材料来消除器件结构造成的电流延迟, 使用

片上太赫兹光谱技术来高速读出电流, 并基于 220GHz 的 3dB 带宽展示了高速运行。该研究还通过比较用不同质量的石墨烯光电探测器的特性, 发现了运行速度和灵敏度之间的协调效应。这些发现将使石墨烯光电探测器能够根据其预期用途进行优化, 例如更注重灵敏度的光学传感器或更注重速度的 O-E 信号转换器。

该研究小组研究了石墨烯的 O-E 转换, 重点是光热电 (PTE) 效应。该特性能实现改善功耗和信噪比所需的零偏压运行。此外, 研究表明, 与传统认识所不同的是, 电流的响应时间几乎与光电探测器的大小无关。根据载流子密度的不同, 从光照射到产生电流的时间可以有很大变化范围, 从低于 100 fs 到超过 4 ps。

这项开创性的研究于 2022 年 8 月 25 日在线发表在英国科学杂志《自然 - 光子学》(Nature Photonics) 上。

## 新型高功率UV-C LED 实现领先电光转换效率与杀菌效果

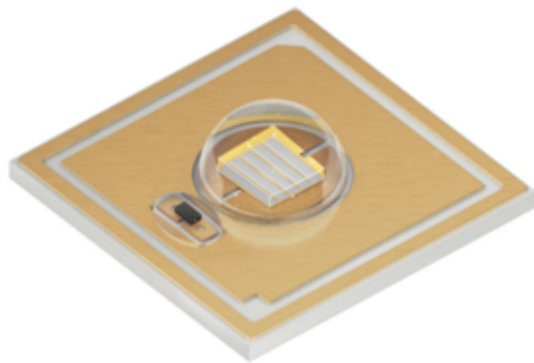
艾迈斯欧司朗推出新款高功率 UV-C LED 产品 OSOLON<sup>®</sup> UV 6060, 提供最高杀菌效果的 265 纳米发射波长, 单芯片源拥有强大的 100 毫瓦光输出以及市场领先的电光转换效率。

OSOLON<sup>®</sup> UV 6060 满足了工业应用的需求, 为消杀和净化环境提供可持续的 UV-C 处理解决方案。“通过 OSOLON<sup>®</sup> UV 6060, 我们加速推动 UV-C LED 在不断增长空气、表面和水净化消毒领域的工业化应用。”艾迈斯欧司朗高级产品经理 Nina Reiser 表示, “新的 OSOLON<sup>®</sup> UV-C LED 非常适合在高功率水平下需要最大杀菌效果的应用, 同时提供出色的电光转换效率。与传统光源技术相比, 它有许多优点, 如适应性、紧凑性和即时启动功能。UV-C LED 正在快速发展, 并在日常应用中实现了按需净化的特点。”

200-280 纳米的波长范围, 即所谓的来自太阳的 UV-C 辐射, 被阻隔在地球大气层之外, 这就是为什么细菌和病毒在进化过程中对 UV-C 很少或根本没有防御机制。如果用人工产生的 UV-C 辐射照射细菌, 它会在改变微生物 DNA 的同时, 攻击病毒或细菌等微生物的细胞结构, 从而破坏它们的复制能力。

UV-C 已经用于净化很多年了。与过去使用的体积庞

大、波长有限的汞蒸气灯相比, 先进 AlGaN (氮化铝镓) 技术基础上的 UV-C LED 与传统光源相比具有灵活的设计。该产品尺寸紧凑, 面积只有 6mm × 6mm, 尤其对空间有限的应用而言带来极大便利, 允许 LED 直接安装在需要消杀的作用点, 如洗衣机或空调。OSOLON<sup>®</sup> UV 系列的高功率版本在 250 毫安的情况下平均可实现 100 毫瓦的光功率。



艾迈斯欧司朗在 UV-C 技术领域耕耘多年。OSOLON<sup>®</sup> UV 6060 高功率 UV-C LED 的推出, 完善了此前由低至中功率产品组成的 OSOLON<sup>®</sup> UV LED 产品系列, 帮助客户获得更大竞争力。同时, 紧凑型的封装设计, 使 OSOLON<sup>®</sup> 家族的性能得到进一步提升。



# 用于半导体封装的印刷、点胶、回流焊、清洗和热处理设备

## Camalot

### 先进的倾斜和 旋转点胶

该技术通过在组装件的周围侧面精确点胶，能减少沾粘区域，改善底部填充的毛细管流动。

全新!



即将  
推出!

## MPM

### Edison II ACT 印刷机

全球业界最精准的印刷机，  
采用全新的自动更换技术，  
优化提升了良率。

*Electronic Assembly Equipment*

**TW EAE**

【半导体芯科技独家专访】

# 在“平行世界”创建产业新势力

——专访汇顶科技总裁胡煜华

“全球化转向区域化是一个大趋势，对我国半导体行业的影响确实是存在的，既有机遇，也有挑战。”日前，有着多年全球性半导体企业领导经验的胡煜华，就近期美国芯片法案、市场机遇和挑战等热门话题，与《半导体芯科技》探讨了半导体产业最新动向和未来发展趋势。

胡煜华将高科技产业的当下和未来形象地描绘为“平行世界”——半导体等高科技产业近年来由全球化向区域化演化，在产业链重整的过程中，正在创造由区域性行业巨头担当多极领导的N个“平行世界”。

在即将到来的“平行世界”，像汇顶科技这样的面向多元化半导体产品开发、研发投入占营收比重超35%的大型领先企业，将成为塑造区域性产业新势力的生力军。

胡煜华认为：在全球半导体产业向区域性产业生态圈演化的过程中，一方面会倒逼我们整个半导体产业链上下游加速升级，国产化概念兴起，国际企业有选择性地退出部分市场，国内企业的蛋糕就变大了。另一方面，此番转变也造成一些不利局面，一是随着国际巨头参与本国的制造业复兴工程，中国企业的学习对象将逐渐减少，二是中国企业走出去进行投资并购的行动也会受到影响。

面对机遇和挑战并存的行业生态，胡煜华开出的“药方”也是举重若轻，带有她所崇尚的“韧性”管理智慧与决策逻辑：“既然是有利有弊，那就看我们怎么把有利因素尽量发挥好，把不利因素影响尽量减少。”

## 从TI到汇顶，全球领导力来自工作现场

作为资深专家，胡煜华女士进入半导体行业已经二十年，前十八年任职全球知名半导体公司德州仪器（TI），从销售技术工程师开始，一直做到德州仪器全球副总裁、中国区总裁，也见证了半导体行业在中国的飞速发展。

1999年，胡煜华以技术工程师身份加入TI，负责销售工程师的工作。当时，已进入中国市场13年的TI，仍

只有30多家B端客户。胡煜华面临的长期挑战，是如何带出一支能征善战的销售团队。为了迅速培养既“懂芯片”，也“懂销售”的复合型人才队伍，胡煜华启动了人才培养和实战并驾齐驱的战略布局。

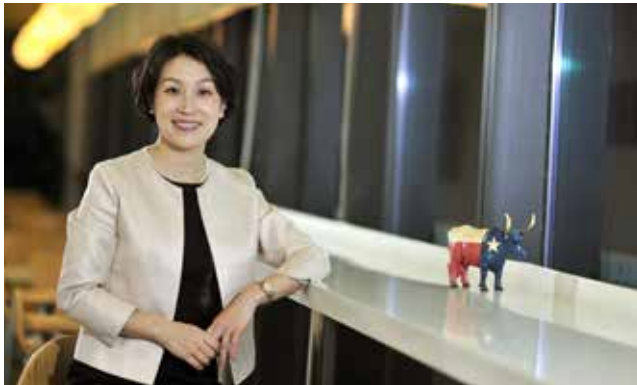
随着大中华区财务贡献在TI全球市场收益中地位显著上升，胡煜华于2018年当选为TI全球副总裁，并继续留任中国区总裁数年。

“无论在TI这样的国际化公司，还是在日、韩背景的外资企业，其实都很少会考虑将女生提拔到企业高管层，至于进入公司全球总部核心领导层，那更是罕有先例。”谈到女性领导者在全球性企业内部面临的这种不成文的上升管道，胡煜华说，你必须以自己的“韧性”、独立思维和不亚于任何人的努力与业绩来突破男性领导者所主导的固有秩序。

由于其带领跨国公司多年来持续创造的业绩，胡煜华多次被福布斯商业排行榜推举为中国100位杰出女性商业领导者之一。2021年2月22日，胡煜华再次荣获“福布斯2021年度中国杰出商界女性”胡煜华。这已经是胡煜华连续第5次登上福布斯年度排行榜。

汇顶科技于2021年3月15日正式任命胡煜华女士担任公司总裁。这位对TI中国业务增长发挥了关键作用，在跨国公司全球化思维和本土化发展方面积累了广泛经验的领导者，就这样完成了个人职业身份的过渡。

回顾在国际产业巨头工作的激情燃烧岁月，以及中国本土企业逐步、逐渐“平视世界”的历史进程，胡煜华感谢自己在这个期间遇到的每一个工作机会：“我很愿意和客户打交道。我一直觉得工作是一种享受，是一种乐趣。”胡煜华说：“我对于管理的理解、看待事情的角度和高度跟以前完全不可同日而语，这也无形中增加了我的使命感和责任感，我要为社会、为国家、为这个世界作出更大的贡献。”



## 对话胡煜华

### 企业发展和上市是不同的两件事

**SiSC:** 当前,全球半导体行业正遭遇“摩尔定律”瓶颈,受国际地缘政治争端影响和疫情的反复冲击,国际形势动荡多变,企业经营形势不容乐观。您认为中国半导体企业应该如何实现稳步发展?

**胡煜华:** 我认为很重要的一点就是,中国企业要合规,合法。比如说汇顶科技,我们公司在这一点就做得特别好。汇顶科技是一个全球布局的公司,我们在美国、欧洲、韩国和印度都有团队,在每个国家运营都要符合当地的所有法律法规,只有规范化操作才能规避法律上的风险,这对于一个国际化的企业来说非常重要,也是每一个国际化的公司都会面临的问题。

第二点,因为半导体的特殊性,所以我们就必须对相关国家的出口管制政策跟踪得更加及时,并且执行到位。

第三点我认为对所有的中国半导体企业都很重要,就是供应链的安全和稳定。尤其是像汇顶科技这样服务全球客户的公司,最好是每个产品都有多个供应商,有国内的,也有国外的,这样是最安全的。对于一个半导体企业来讲,尤其是 fabless 企业,供应链的安全特别重要。

**SiSC:** 您本人曾经在德州仪器这样的顶尖国际半导体公司工作多年,推动公司在中国的业务增长,请谈谈中国企业与国际顶尖公司相比,需要加强哪些方面的发展?

**胡煜华:** 与国际顶尖公司相比中国企业需要加强的地方,其实我感触还挺深,主要是两块,第一块是人才的培养,第二块是体系和流程的搭建。最凸显的问题是人才的培养,国内相对比较薄弱,无论是设计人才还是管理人才,国内企业不能只是挖角,更需要造血,要自己培养。

我之前供职的 TI 是一家特别重视人才培养的公司,每年超过 80% 的招聘都是校招,然后自己培养。这一点非常值得国内公司学习和借鉴。

另外一个国内企业需要加强的地方就是体系和流程的搭建。我国大部分的半导体企业还是靠拼命快跑来抢市场,无暇顾及这些体系的搭建。有的企业不是图发展,而是图上市,这就跑偏了,发展和上市还是两码事。

### 这是一个走向男女公平竞争的时代

**SiSC:** 您曾入选福布斯“中国科技女性榜”和“中国杰出商界女性”,您认为中国女性应如何在科技企业中发挥更多关键作用?

**胡煜华:** 首先我觉得中国女性是挺幸福的。女性在中国与男性的这种平等性在国外是享受不到的。无论在美企 TI 还是在民企汇顶科技,我都能很深刻地感受到男女都是公平竞争的。

我先讲讲女性领导者的优点在哪里,我觉得女性与生俱来得更亲和,更关注细节,她的执行力会比较强。这是女性一个很大的优势。越来越多的女性在公司里担任很关键的职位,我觉得跟这个是有关系的。

女性领导者的第二个优点就是往往在困难的时候,她的坚持和韧性会更好。所以当企业遭遇困境的时候,她带给团队的凝聚力会比男性来得更好。

我们要鼓励更多下一代女性进入科技行业,给予她们更多的帮助。女性领导者相对较少的原因是很多女性自己放弃。很多女性是职业走到一半的时候因为家庭或其他原因主动放弃,但是只要你把那个坎跨过去了,你就不会比别人差。

### 半导体不是快速回报的行业

**SiSC:** 据了解汇顶科技目前正在经历从单一拳头产品向多元化产品转变的过程,请介绍一下汇顶最近在多元化产品与服务布局方面的进展。

**胡煜华:** 汇顶科技已经实现了 0~1 的突破,现在正处于 1~n 的这样一个过程,正朝着多元化产品的方向发展。汇顶已经搭建起了多产品线的架构,有指纹和触控,有连接产品,有音频产品,还有安全产品。

2015 年汇顶科技在全球首推玻璃盖板指纹识别方案,并成功商用于主流终端品牌,所以汇顶的 DNA 就是做创新的产品,做有差异化的产品。

今年整个消费市场需求疲弱,可喜的是我们正在由手机市场向可穿戴,物联网,汽车领域拓展,已经进入多家汽车电子企业。汇顶科技非常重视研发,研发占营收比重超 35%。无论市场环境如何变化,竞争核心还是实力,最后都要靠自身实力说话。◆ (本刊记者 胡婴)

# 三大趋势引领 EDA 未来

电子设计自动化 (EDA) 行业的增长势头强劲, 为半导体和电子系统设计行业实现更大的成功做出了重要贡献。越来越多的系统公司开始自己设计芯片和电子产品, 他们的创新步伐会受到哪些主要 EDA 趋势的影响?



是德科技副总裁兼 PathWave 软件解决方案总经理 Niels Faché 先生在此分享他对 EDA 趋势的看法。

**趋势 1:** 电子产品的设计正在朝着特定领域发展。特定领域的设计对 EDA 工具开发人员和用户意味着什么?

**答:** 对于产品开发人员来说, 只考虑芯片或电路板的传统技术指标已经不够。他们现在还必须要考虑产品集成和使用的环境。

促使产品开发团队考虑环境设计的因素包括系统越来越高的复杂性、更高的性能需求与成本的取舍, 以及不断压缩的开发周期。为了解决这些问题, 在由元器件 (如 RFIC)、子系统 (如雷达) 和系统 (如自动驾驶系统) 等构成的生态系统中, EDA 厂商和用户需要更密切地合作, 才能应对集成挑战并优化性能。

针对环境进行设计给 EDA 工具提供商带来了如下挑战和机遇:

- 创建协作工作流程, 在设计和测试阶段实施更好的工艺、数据和知识产权 (IP) 管理, 以便众多专家能够高效地协同工作。
- 根据仿真类型 (电路仿真、系统仿真或网络仿真) 来决定是在系统级充分利用基于模型的系统工程 (MBSE), 还是采用分层设计和不同等级的模型来设计。
- 改进模型 (包括基于测量的模型), 从而提高仿真的准确性。早期设计过程中的准确仿真可使开发团队降低验证和确认风险, 减少对迭代和成本高昂的物理原型的需求。
- 通过云端的高性能计算 (HPC) 和并行运行增加仿真数量。
- 在仿真环境中提供正式的验证框架, 从而在要求的设

计环境下确认元器件兼容性。

要围绕环境进行设计就需要 EDA 公司之间加深合作, 进一步提升 EDA、计算机辅助设计 (CAD)、计算机辅助工程 (CAE) 和测试工具之间的互操作性。它还要求将 EDA 工具更好地融合到产品生命周期管理 (PLM) 系统中, 加大对仿真和测试流程以及数据管理的投资, 从而提高生产效率。

**趋势 2:** 芯片在各类产品中的使用越来越普遍, 半导体行业现在要服务越来越多的客户群体。这对 EDA 行业有何影响?

**答:** 当前芯片处于供不应求的状态, 疫情更是让这种状态雪上加霜。我在前不久的一次欧洲之行中了解到, 是德科技的芯片设计和制造客户证实, 需求比供应高出了 30%。一部分芯片厂未来两年的产能都已被预订。不过, 有些公司将在未来 18 至 24 个月内扩大产能, 这可能会有助于供需重新平衡。

半导体行业具有周期性, 芯片制造中一直存在的需求周期会影响下游的 EDA 厂商。举个例子, 汽车行业长期以来就是一个周期性行业。在汽车行业进入下行周期时, 消费和医疗保健等其他应用会抢占芯片产能。应用和行业领域的多样性有助于晶圆厂的产能得到高效利用。

长期增长势头强劲, “万物电气化”极大地增加了对新芯片组的需求。简单的 8 位或 16 位微控制器已经无法满足许多需要更先进计算处理和连通性的应用提出的需求。初创企业正在迅速萌芽, 不断打造出新的设计和创新产品。无晶圆厂模式使得行业能够满足越来越多的应用需求, 同时让半导体制造能力得到高效利用。

设计人员需要让 EDA 产品实现新的设计功能并满足验证工作的要求。设计团队需要 EDA 公司提供更好的工具、IP 模块和咨询服务。对于 EDA 厂商来说, 客户市场使用芯片的力度加大是一个非常积极的动向, 这些厂商的成长和成功一部分要取决于设计的启动和成功。启动的设计越多, 对工程师和他们使用的 EDA 工具的要求也就越多。工程师需要借助智能化和更高的效率更快完成工作。

**趋势 3：客户希望芯片和电子系统具有更长的使用寿命，并且能在整个生命周期正常发挥作用。这对于汽车等安全关键型市场和数据中心等任务关键型市场尤为重要。EDA 工具如何解决产品老化、质量和可靠性问题？**

**答：**对于是德科技而言，可靠性设计并不是一个新鲜的话题，因为公司的仪器产品具有非常严格的使用寿命要求。只有将可靠性完全融入整个设计、制造和测试过程，它才能发挥积极的影响。在仪器产品生命周期中，是德科技充分吸取可靠性优秀案例的经验，这些经验在多年的开发过程中对我们的设计和仿真工具产生了积极影响。是德科技的内部工具用户和商业客户对于如何让电路保持在电气和热限值范围内十分感兴趣。这看似很简单，其实非常有挑战，尤其是在环境和工艺发生了变化的时候。

在通过不同封装技术互连的更大系统中，芯片占据了越来越大的比重。如何对这些互连和封装细部进行建模也

是可靠性设计要攻克的难关。举个例子，空间应用需要考虑自身的冗余和特殊设计模式，从而提高辐射硬度。这种方法也用到了医疗保健等其他任务关键型应用中。在物联网、汽车和消费产品中，对可靠性和老化（磨损）要求的重要性越来越凸显，而此前只有航空航天和国防应用有这样的要求。

随着这些新兴应用中的错误成本增加，仿真对于设计质量的重要性也在增加。是德科技 PathWave 设计工具可以对直接影响质量和可靠性的信号与电源完整性以及电磁效应进行仿真和分析。如果从事设计领域的客户寻求在业内实现仿真签核，EDA 工具的影响可能会变得更加显著。这一方式需要通过独立的测试套件或测试机构来验证软件。EDA 工具和 IP 也有助于预测和避免现场故障。使用嵌入式传感器和 AI/ML 软件技术进行实时数据收集和解析有望很快解决芯片产品的可靠性和老化问题。◆

## ADI公司和是德科技联手共推相控阵技术

Analog Devices, Inc (ADI) 和 Keysight Technologies, Inc. (是德科技) 宣布合作，共同加速相控阵技术的推广与部署。相控阵技术能够简化与创建卫星通信、雷达和相控阵系统相关的开发工作，是实现无处不在的连接和泛在检测的关键。

ADI 公司的相控阵平台系列提供了一套完整解决方案，可以利用 Keysight 的相控阵测试解决方案进行测试和校准，从而帮助客户加快波束成形解决方案的开发速度。此次合作整合了双方生态系统的整体实力，旨在打造集设计、测试和校准的全方位解决方案。其中的相控阵天线亦是推动实现新一代无线通信应用以及信号智能和地球观测应用的关键。

Keysight 无线测试事业部副总裁兼总经理 Peng Cao 表示：“我们很高兴能够与 ADI 公司合作，为众多新客户及其使用场景带来创新的相控阵技术。Keysight 先进的

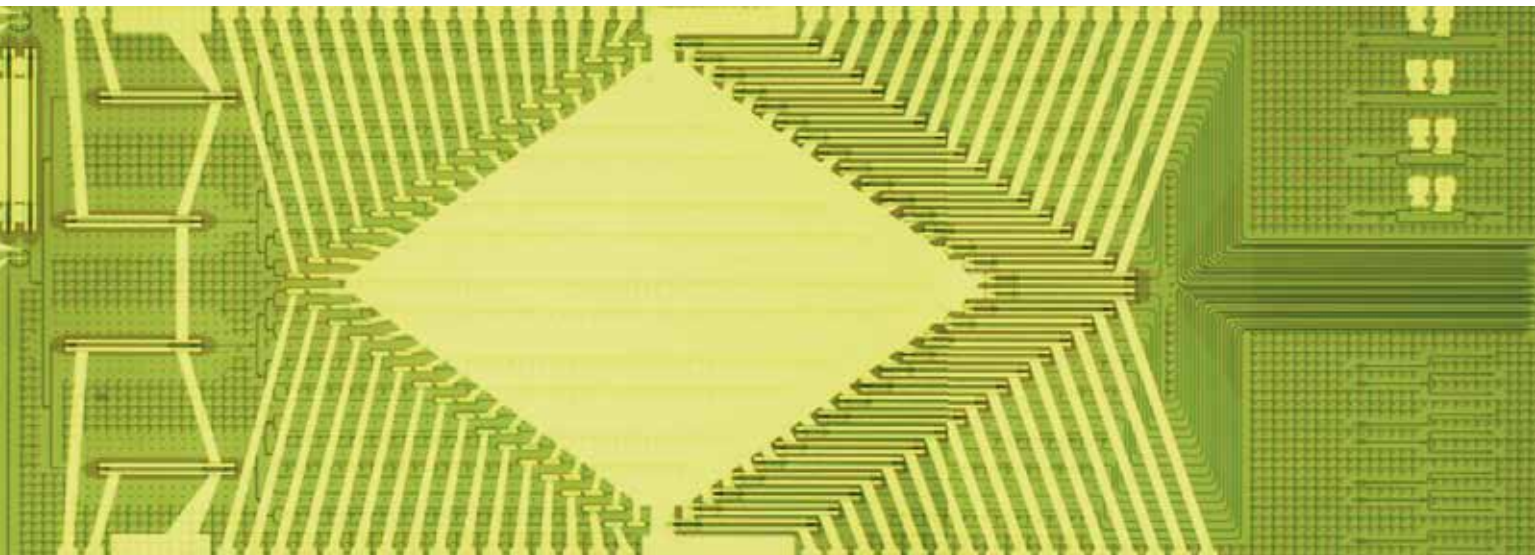


测量解决方案将相控阵测试时间从几分钟缩短到了几秒钟。通过与 ADI 公司密切合作，我们成功将测量速度提高了 70 倍，同时仍保持出色的精度。ADI 公司先进的波束成形技术和 Keysight 的测量创新技术相结合，让我们的客户有机会实现完整的端到端相控阵解决方案，从而加速产品上市并提供优异的性能。”

ADI 公司航空航天与防务事业部副总裁 Bryan Goldstein 指出：“客户需要的

不仅仅是波束成形 IC，而是包含相控阵测试和校准的整体系统级解决方案。ADI 与 Keysight 之间的合作旨在利用 ADI 公司的系统平台，帮助加快相控阵平台的采用，从而打造数据速率更高的通信和检测解决方案。”

开发套件获取，请访问：[www.analog.com/Pr221017/x-band-development-platform](http://www.analog.com/Pr221017/x-band-development-platform)



# 用于激光雷达的硅光子技术

微电子学几乎彻底改变了人们生活的方方面面。将硅光子集成电路（PIC）纳入到先进 CMOS 集成电路中的努力往往集中在那些仅靠 II-VI 或 III-V 族化合物半导体材料技术无法应对的要求上。但未来计算、汽车、健康和众多其他应用将（或已经）受益于利用各种硅或混合技术的集成化光子器件。LiDAR 正处于一个拐点，此时，缩小尺寸和提高性能的进一步发展将取决于类似三星先进技术研究所（Samsung's Advanced Institute of Technology）的研究人员预想的那些新方法，这些研究人员报告了为实现更好的 LiDAR PIC 道路上取得的硅光子技术进步。

**现**代电子学和光子学大约始于二十世纪中叶，分别是晶体管和激光器的发明。由于互补金属氧化物半导体（CMOS）技术的不断发展，使晶体管发生了革命性的变化，几十年来，微电子学一直是创造当今通信和计算系统以及无数其他创新的基础之一<sup>[1]</sup>。

另一方面，光子学的发展速度相对较慢，而且与微电子学相比，它仍然局限于多样化但相对较小的利基领域。硅光子学（SiP）就是在这种情况下诞生的。人们对于以下两点的兴趣不断升高，即：硅光子学是否能缩小这两种技术之间的差距？能否通过将 CMOS 的生产力嫁接到光子学上来实现光子器件的商品化？<sup>[2]</sup>

随着 CMOS 行业对 SiP 给予更多的技术关注，重要的是找到能够弥补技术之间差距的“杀手级应用”，以使之成为有利可图的商业机会，因为假如没有盈利潜力，任何技术都不会得到快速发展。本文介绍了三星先进技术研究所（SAIT）在支持专为光探测和测距（LiDAR）传感器设计的光子集成电路方面的近期研究。

## 为什么是 LiDAR?

为了解释为什么 LiDAR 是众多应用中光子集成的最佳成长机会之一，大致了解一下三星的产品开发历史是有帮助的。SiP 最具代表性的任务之一是解决 DRAM-

作者：Dongjae Shin, KyoungHo Ha, Hyuck Choo，三星先进技术研究所

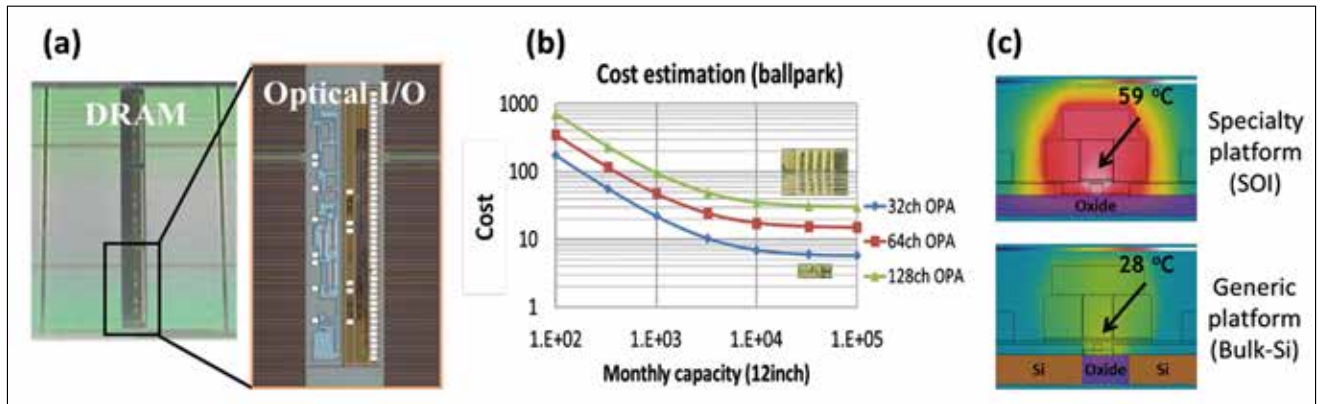


图1: (a)嵌入在65nm DRAM中的PIC。(b) LiDAR 的估测产量-成本曲线。(c)通用平台的热力学优势。

CPU 互连瓶颈问题，这个问题是经典冯·诺依曼计算架构众所周知的致命弱点。2010 年前后，三星积极进行了尝试。考虑到 DRAM 的成本限制，通过将 PIC 直接集成到 DRAM 芯片中（如图 1(a) 所示）的做法，证明了在 DRAM 和 CPU 之间实现光子互联的可行性<sup>[3][4]</sup>。尽管取得了如此重大的成就，但是，这些尝试也揭示了 CMOS 和光子学在技术成熟度上的巨大差异，并没有促成后续的全面发展。从该经验中得到的教训之一是，将新兴的 PIC 技术直接应用于已经成熟了很久的传统应用是非常困难的。因此，三星认为 PIC 技术在许多情况下最适合新兴应用。

在考虑的众多新兴应用中，LiDAR 被选中主要有三个原因。第一个原因是它可能有很高的产销量。由于 LiDAR 在自动驾驶汽车、机器人和智能设备等各种应用

领域的需求量很高（或者将会很高），因此它很可能会达到证明实施 CMOS 大规模生产具有合理性的高产量。第二个原因是，从以摩尔定律为特征的 CMOS 演进的角度来看，它的时机很好，而且它正朝着体积更小、速度更快、功耗更少、制备成本更低的器件不断迈进。LiDAR 的广泛部署由于其成本居高而被推迟，因此，如图 1(b) 所示，从类似 CMOS 的生产工艺中获得“产量增高 - 成本下降”的良性循环一直是 LiDAR 发展的一个迫切目标。第三个原因是 LiDAR 与三星的 PIC 平台有着良好的匹配。虽然硅光子行业的大多数厂商一直在基于各种专用衬底（如 SOI）的平台上开发 PIC，但是，三星已经在基于一种通用衬底的平台上开发了面向传统应用的 PIC，如图 1(c) 所示<sup>[5]</sup>。由于硅的导热性比氧化物高了大约 100 倍，因此三星的平台可以提供更好的散热效能，从而使其非常

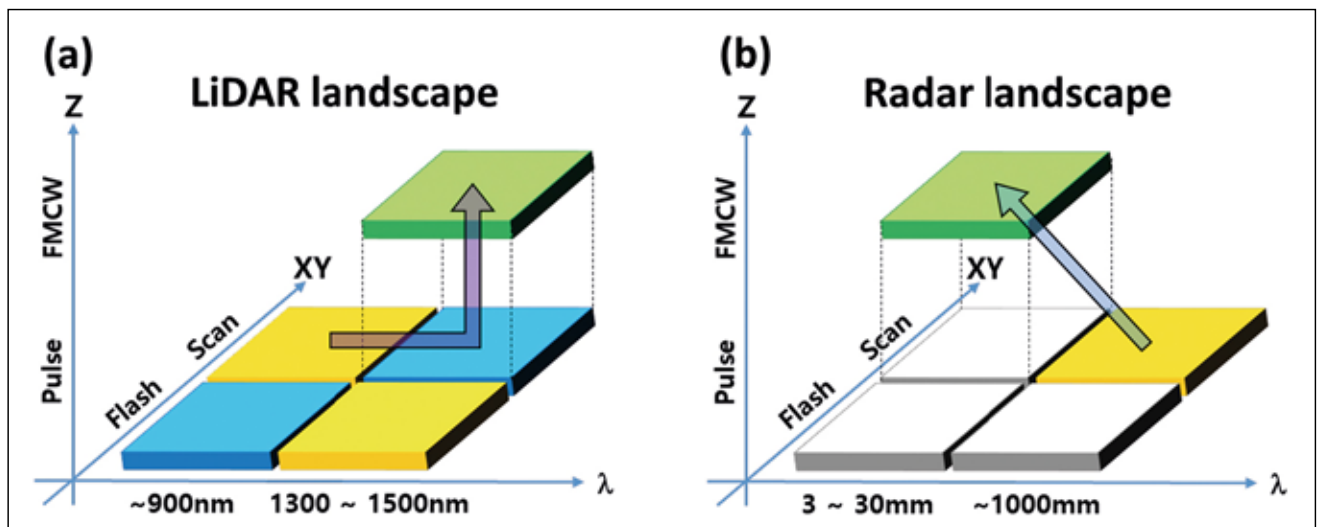


图2: LiDAR (a)和雷达 (b)的技术状况。

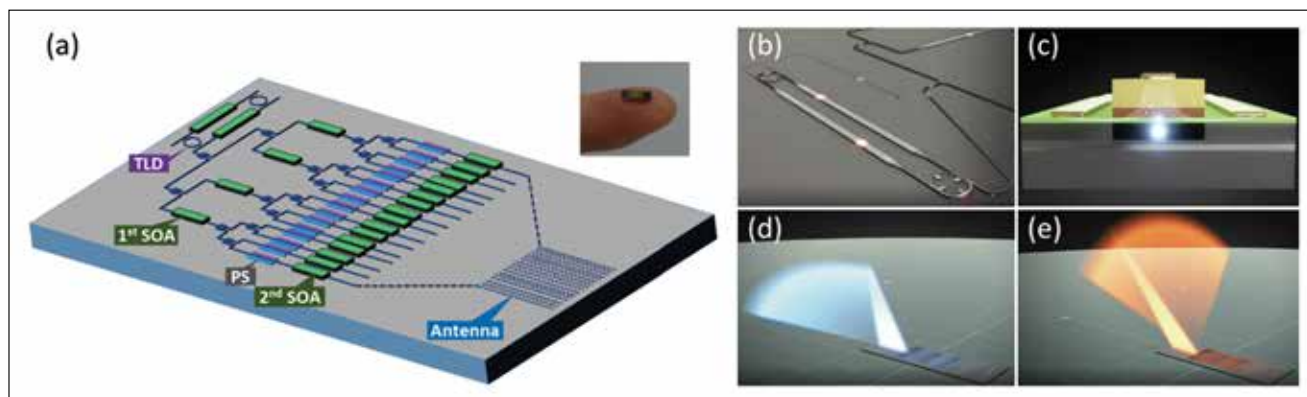


图3: (a)集成了TLD、SOA、PS和天线阵列的LiDAR芯片。(b)TLD平面结构。(c)SOA垂直结构。(d)在较低的仰角上用短波长进行水平光束扫描。(e)在较高的仰角上用长波长进行水平光束扫描。

适合LiDAR应用所需的热敏激光器或放大器阵列。不过，该通用平台暂时被搁置了，而专用平台则用于研究目的。

### 最适合LiDAR的技术

在LiDAR领域，各种技术方案在性能和成本方面展开了竞争，而市场赢家目前仍不确定，特别是低端应用。关于LiDAR架构的大致共识是，最有可能胜出的是固态解决方案，而不是带有活动部件的机械系统。在竞争中拥有优势的是不同技术的“整合”，而非“拼接”；不同角度的比较性探讨正在积极地进行之中。

通往优化LiDAR解决方案的道路通常考虑三个最重要的视点：平面(XY)照明，轴向(Z)测距，以及波长，如图2所示。照明通常采用闪光方案(flash scheme)，同时对整个视场(FOV)进行照明，而扫描方案则在

包含FOV的每个方向上采用顺序照明。通过利用现有的CMOS生态系统，闪光方案已经在短距离应用中实现了商业化，而扫描方案则已在长距离无线电探测和测距(RADAR)应用中得到了长期的证明。

测距可能需要使用各种不同的方法，比如：飞行时间(TOF)方案发射短光脉冲，而频率调制连续波(FMCW)方案则发射频率调制光。考虑到雷达从TOF演进到了FMCW，我们认为LiDAR很有可能发生类似的技术演进。

在波长方面，有兼容硅的~900nm波段和基于III/V族化合物半导体的1.3~1.5μm波段。从现有工业生态系统的角度来看，~900nm波段是有利的，但是，从人眼安全和抗环境光噪声的角度来看，则1.3~1.5μm波段具备优势。SAIT一直在采用扫描方案和1.3μm波段，更注重长距离应用；它正准备从TOF向FMCW演进。

	PoC1[CLEO2021]	PoC2[CLEO2020]	PoC3[IEDM2020]	PoC4[IEDM2021]	PoC5
Chip					
Platform	Si	III/V on Si	III/V on Si	III/V on Si	III/V on Si
Ch#/size	128ch, 5.7 x 5mm	32ch, 7.5 x 3mm	32ch, 7.5 x 3mm	32ch, 8.7 x 3mm	TBA
OPA	Integrated	Integrated	Integrated	Integrated	Integrated
SOA	Assembly	Integrated	Integrated	Integrated	Integrated
TLD	Assembly	Assembly	Integrated	Integrated	Integrated
PD	Assembly	Assembly	Assembly	Assembly	Integrated

图4: LiDAR 器件集成的进展。





PoC4, 电路的布局得到了改进, 以减低片内损耗和热效应<sup>[8][9]</sup>。具集成型光电二极管 (PD) 的 PoC5 也在考虑之中, 但由于存在与一些 LiDAR 架构问题有关的延迟, 其集成化“仍在途中”。在 PoC1 中, 使用相对简单的纯硅工艺, 制备了具有 128 个天线的 OPA, 而从硅基 III-V 族化合物半导体工艺挑战性较高的 PoC2 起, 由于器件良率较低, 因此制备的是具有 32 个天线的 OPA。最佳的天线数量是作为性能 - 成本权衡折衷的一部分来确定的, 预计会根据各种应用所要求的探测距离而变化。

图 5 总结了专为实现最佳 LiDAR 性能而设计的各种技术组合的成功。虽然 PoC1 组具有 128 个天线, 分辨率还不错, 但是由于 OPA 输出功率低和外部 TLD 速度慢, 因此帧速率非常慢是不可避免的。在 PoC2 测试中, 由于 OPA 的输出功率通过 SOA 的集成得到了改善, 每秒 2 帧的视频记录成为可能, 不过由于天线数量的减少, 分辨率有所降低。在 PoC3 测试中, 由于额外集成了 TLD, 因此实现了每秒 20 帧的视频记录, 并且通过数字信号处理 (DSP) 和图像信号处理 (ISP), 使分辨率也得到了提高。在 PoC4 测试中, 通过 OPA 的光学和热学性能改进, 增加了输出功率, 因而改善了探测范围和 FOV。目前正在努力优化性能, 以达到市场所要求的性能水平。特别地, 如图 5 所示, 改善 FOV 是最紧迫的问题。

由于 FOV 和探测距离是相互关联的, 因此对 FOV 的改进应该伴随着探测距离的改善。尽管 TOF 方法对于短距离应用很可能是足够的, 但是, 在长距离应用中的效用则可能需要使用 FMCW 方法。因此, 业界普遍认为: 相对复杂的 FMCW 的成本较低, 而相对简单的 TOF 的性能较高, 这些对于 LiDAR 市场的初始分割将会是很重要的。

## 未来展望

为了预测 LiDAR 的未来技术演进, 有必要研究相关的先前技术, 比如那些对雷达和电信应用的发展至关重要的技术。雷达的用途几乎与 LiDAR 相同, 并经历了 100 多年的技术发展。电信也使用了 LiDAR 常见的光学器件和模块技术, 演进历史已超过 50 年。

图 6 简要总结了雷达和电信的主要演进路径。雷达在 20 世纪初开始使用 TOF 方法, 由于高功率 RF 放大器的挑战, 已经发展到运用 FMCW 方案。FMCW 雷达在 20 世纪 70 年代影响了电信技术的发展; 当时人们对类似

FMCW 的相干方案有着很高的兴趣。

然而, 由于基于光电的系统和众所周知的光纤放大器的出现, 自 20 世纪 90 年代以来, 电信市场一直被类似于 TOF 的强度方案 (intensity schemes) 所主导。从本世纪第一个十年开始, 当需要更多的性能改进时, 电信 / 数据通信应用重新审视了一种相干方案, 该方案现在与强度方案共存。这一演进历史的一个重要含义是, 放大器技术对这些器件的发展方向和导致市场引入的开发时间安排产生了重大的影响, 这种情况很可能在 LiDAR 技术的演进中再度出现。也就是说, TOF - FMCW 过渡的时间选择可以根据本文所述的基于 SOA 的分布式光放大技术的成功程度来确定。人们关注的焦点是这种技术的不确定性在未来的几年里将对 LiDAR 技术的商业化产生怎样的影响。◆

## 参考文献

1. G. E. Moore, "Cramming more components onto integrated circuits," *Electronics*, 1965.
2. D. Shin, et al., "Commoditizing the uncommoditized: Chip-scale LiDAR," *SPIE Photonics West*, 2022.
3. D. Shin, et al., "Integration of Si photonics into DRAM process," *OFC*, 2013.
4. D. Shin, et al., "Bulk-Si platform: born for DRAM, upgraded with on-chip lasers, and transplanted to LiDAR," *IEEE J. Lightwave Technology*, 2022.
5. D. Shin, et al., "III/V-on-Bulk-Si Technology for Commercially Viable Photonics-Integrated VLSI," *VLSI*, 2020.
6. C. Shin, et al., "A 10-m LiDAR system using an aperiodic spatially chirped optical phased array," *CLEO*, 2021.
7. H. Byun, et al., "A gain-enhanced silicon-photonics optical phased array with integrated O-band amplifiers for 40-m ranging and 3D scan," *CLEO*, 2020.
8. J. Lee, et al., "Single-Chip Beam Scanner with Integrated Light Source for Real-Time Light Detection and Ranging," *IEDM*, 2020.
9. H. Byun, et al., "Single-Chip Beam Scanner LiDAR module for 20-m imaging," *IEDM*, 2021.

半导体芯科技

SS SILICON CHINA  
SEMICONDUCTOR

www.siscmag.com



关注公众号

杂志、官网、公众号连接半导体业界, 为中国半导体行业提供全方位的商业、技术和产品信息, 以及先进解决方案。

# 电镀创新实现超精细铜键合

倒装芯片键合对于混合集成 (hybridization) 至关重要, 混合集成是将来自不同技术的芯片组合成高性能模块的过程, 例如激光雷达和其他成像应用中的混合像素探测器。曾经用于倒装芯片接合的锡焊料正在被包括铜在内的无铅替代品所取代。然而, 使用传统方法制备对于形成键合必不可少的铜“凸点”是一项挑战。ClassOne Technology的专家们确信, 一种新的电镀工艺可以解决铜凸点刚玉 (corundum) 的问题。

**混**集成像素探测器广泛用于从高能物理到军事、环境和医疗等方面的成像应用。混合集成像素探测器将像素传感器芯片与读出集成电路 (ROIC) 相结合, 从而允许对探测器中的每个像素进行电子访问。像素传感器由高电阻率硅制成, 而 ROIC 则需要低电阻率材料。混合集成允许每个元件独立制造, 然后通过称为倒装芯片或凸点键合的工艺耦合在一起。

倒装芯片键合创建了一个触点, 可提供很高的输入/输出 (I/O) 密度以及传感器像素和 ROIC 之间的短互连距离, 从而实现高性能器件。在倒装芯片键合期间, 焊料凸点熔化从而形成这种连接。混合集成探测器中的像素放置在一个阵列中, 它们之间的距离或间隙小于 100 微米。这种高连接密度需要更精细、更高精度的凸点和非常高良率的倒装芯片工艺, 以确保每个像素都能够连接到 IC。

## 倒装芯片的演变

传统的倒装芯片组装首先是使用铅基焊料凸点实现的, 但由于其毒性, 现在全球禁止在电子产品中使用这些材料, 从而不得不重新审查这些材料。然而, 无铅替代品, 如纯锡或各种锡基无铅合金, 例如 SnAgCu (锡-银-铜, 或 SAC), 在像素探测器中也面临挑战, 因此寻找一种可行的替代品就摆在人们的面前。

由于读出芯片和传感器芯片由不同的材料制成, 因此需要低温制造工艺来减少因热膨胀系数 (CTE) 不匹配而对传感器芯片造成的热影响。此外, 传感

器可能面临从严酷辐射到低温的极端环境。总之, 所有这些挑战都需要一种具有特定性能的新型焊料。我们建议将铜作为此类首选候选材料之一。

## 为什么是铜?

铜是一种软质金属 (比铅软), 熔点低 (156°C), 具

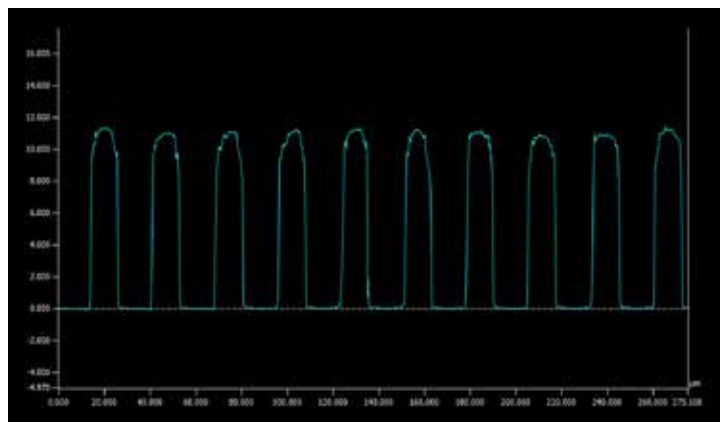
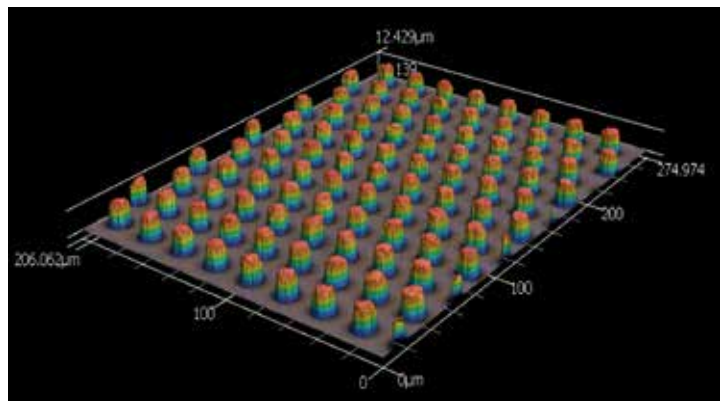


图 1: 共聚焦显微镜数据 - (a) 铜的特征形貌图, (b) 轮廓测量。

有很高的延展性和拉丝性，并且在极低的温度（甚至低至绝对零度，-273℃）下仍能保持这些特性。这使得钢成为低温和真空应用的理想选择。

就化学性质而言，钢仅在较高温度下才与氧发生反应，不溶于酸，和其他金属之间有良好的附着力，并具有浸润玻璃的能力。其良好的导电性、延展性和低温稳定性使其成为混合集成像素探测器应用中的理想选择。

### 以前的方法

钢凸点以前是通过热蒸发或溅射制造的，这种方式能够形成具有良好凸点结构控制的高度均匀的凸点。然而，这种方法不能产生适合半导体行业当前需求的具有更小间隙的小凸点（更高的纵横比）。

此外，钢溅射需要昂贵的蒸发设备；仅限于具有高蒸汽压的材料；需要复杂的制造工艺；由于掩模与晶圆的 mismatch，不太适合更大的晶圆尺寸；因为它会产生更多污染，因此环境安全性较差；并且仅适用于小规模生产。

相比之下，具有高纵横比、低成本和简单制造工艺的电镀凸点，特别是针对于大规模生产是可以实现的方式。但是传统的电镀需要优化，因为不均匀的凸点会导致制造过程中的失效并降低混合集成芯片的可靠性。用于超精细间隙的钢凸点的蒸发既困难又耗时。此外，光刻胶掩模上的材料浪费使该工艺不具有成本效益，通过这种方法可实现的最小间距尺寸为 30 毫米。

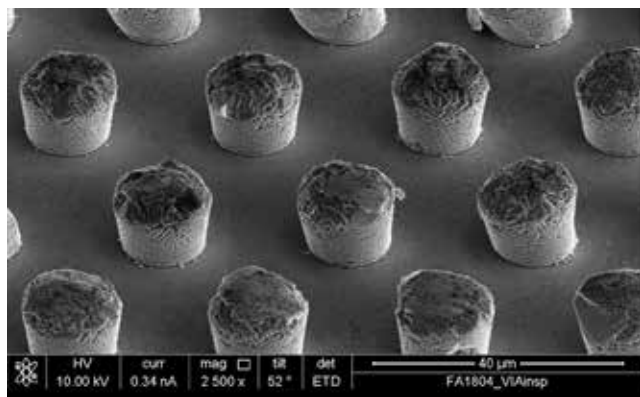


图2：钢凸点的扫描电子显微镜图像。

### 电镀挑战

电镀在用于制造倒装芯片键合凸点时面临多重挑战：它必须在晶圆级和高良率下实现所需的电镀凸点的均匀性和一致性、超精细间隙。随着间隙缩小和凸点数量增加，其挑战性将会急剧增加。

随着晶圆特征尺寸的缩小，凸点尺寸将从 50 微米减小到 15 微米，间隙尺寸将从 100 微米减小到 25 微米。我们的目标是验证电镀能够产生高质量和高良率的高密度钢凸点。我们的工作证明，使用适当的工具和材料组合可以实现更小的凸点尺寸和更小的间隙。

### 工艺步骤

在硅晶圆上沉积凸点下金属化 (UBM) 之后，我们电镀钢凸点。对于 UBM，需要一个阻挡层和粘层（例如钛），然后是钢的可浸润层（例如镍或金），因为镍倾向于快速氧化。钢球的高度由钢的体积和可浸润性 UBM 焊盘的直径决定。在我们的测试中，我们使用铜作为 UBM 的最外层。在 125℃ 左右的温度下，一些微量的钢与铜形成金属间相；然后，对于更高的温度，应使用阻隔金属，如镍 - 金或镍 - 铜。

去除 UBM 顶部层（我们测试中的铜）后，将晶圆加热到电镀钢凸点由于表面张力形成球体的温度。回流的目的是通过将钢重新塑造成球体来增加凸点高度，并帮助倒装芯片键合对准。

在回流之前，用与水混合的硝酸蚀刻掉铜种子层。钛是一种不浸润的材料，用于防止钢在回流期间扩散到整个表面。钢对 UBM 的顶层（铜）具有良好的粘附性，但对周围的材料 (Ti) 则不是。

回流必须在无氧环境中进行，即炉体中需要有受控气氛；否则，会形成氧化钢，阻碍钢凸点的形成。在我们的研究中，凸点在大约 200℃ 的温度下和表面吹氮气的条件下在热板上回流。

回流后，像素传感器和 ROIC 在室温下通过低压进行配对。在工业应用中，在倒装芯片工艺之后会进行第二次回流，以实现与熔融钢的表面张力的自对准，并且使之具有高的强度。

影响凸点质量和良率的因素包括不均匀的 UBM、蚀刻工艺、回流温度分布和回流后的清洗。在光刻过程中，光刻胶的准确对准对于获得高质量的凸点至关重要，但没有在蒸发工艺中那么关键。电镀工艺中的电流分布和物质传输是电镀中决定钢沉积物生长和影响凸点形状演变的主要因素。

### 实验方法

在这项工作中，我们尝试电镀超精细间隙钢凸点（特

## 倒装芯片键合

征尺寸为 10 $\mu\text{m}$ ，像素间隙为 5 $\mu\text{m}$  和 7.5 $\mu\text{m}$ ），并有非常均匀的高度。我们使用 6 英寸的硅晶圆作为基板，其上带有铜种子层和 17 $\mu\text{m}$  厚的光刻胶，以曝光形成所需的图案。光刻胶厚度需要严格控制以确保良好的凸点轮廓。我们使用真空预浸润工艺来去除气泡和预浸润小的图案，并选择纯钢板作为阳极，确保 100% 的阳极效率。

通过直流 (DC)、脉冲和脉冲反向电流波形进行铜凸点电镀。脉冲和脉冲反向电流的平均电流密度保持与直流条件相同，以便进行直接比较。

## 电解质的作用

迄今为止，已有各种化学物质用于铜的电镀。由于析氢、大晶粒和结节导致的光刻胶损坏是传统铜电镀电解液造成的主要缺陷。MacDermid Alpha Electronics Solutions 公司开发了一种铜电解质来克服这些致命缺陷。

Novafab IN-100 是一种酸性电解质系统，用于低温、无铅焊接互连。这种专有电解质的配方可高效沉积铜金属，并且与传统的铜电镀浴不同，由于其创新的化学成分，不会产生析氢。

在电镀过程中，金属 - 溶液界面处的 pH 值保持稳定，消除了可能导致光刻胶剥离和损坏的 pH 值急剧升高。因此，Novafab IN-100 因其固有的光刻胶兼容性而适用于光刻胶图案化晶圆电镀。它产生细粒度、无结节的亚光沉积物，铜纯度 >99.5%，并表现出卓越的附着力。该溶液是完全可解析的，并且与可溶性和不溶性阳极系统兼容。

## 结论

电镀凸点的高度是使用共聚焦显微镜测量的，如图 1 所示。为了消除非优化回流工艺的影响，高度测量在电镀之后和回流工艺之前进行。在我们使用的三种波形中，具有高开启时间与关闭时间比率的脉冲电镀产生了最好的结果。测量凸点的高度，我们能够在整个晶圆上获得不到 10% 的非均匀性。

在我们的演示过程中，凸点表面确实形成了氧化铜层，因此我们无法在回流后获得完美形状的球体，但观察到凸点开始变圆并形成球体。

在 ClassOne 的 Solstice 单晶片平台上，铜电解质的特性与倒装芯片工艺相结合，展示了一种将铜用于倒装芯片电镀工艺的可行方法。◆

# 日立电镜半导体解决方案

日立科学仪器拥有非常完善的电镜产品线，包括 SEM, TEM, FIB, NanoProbe 等产品，可以满足半导体材料及其相关器件的样品制备、形貌观察、成分分析、失效分析等需求。

## ◆ 半导体相关电镜产品：



高分辨冷场扫描电镜 SU8600



高分辨冷场扫描电镜 SU8600



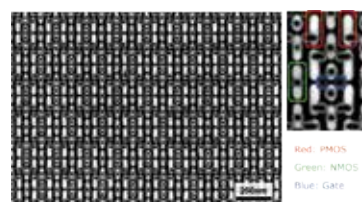
纳米探针失效分析系统 NP6800



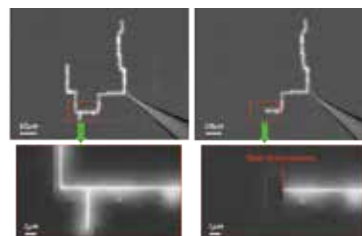
200kV 球差校正透射电镜 HF5000

## ◆ 应用举例

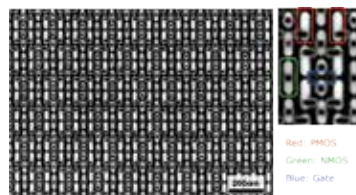
Voltage contrast imaging results of a 5 nm process SRAM device



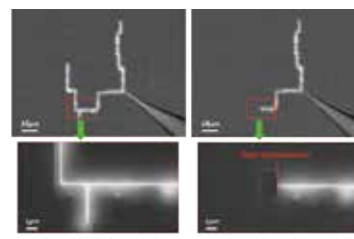
Localization of a Metal Open Circuit Failure with Current Amplified EBAC Imaging



High quality lamella preparation of InGaN/GaN using triplebeam system



Cross sectional TEM image of FinFET



# IMEC 制造首个完全自对准的双金属级半镶嵌模块

半镶嵌集成是一种将互连工艺流程扩展至用于低于 20 nm 金属间距的方法，该方法富有吸引力且具成本效益。IMEC 是在五年前提出这种方法的，现今确认：已对一款 18 nm 金属间距的功能性双金属级半镶嵌模块进行了首次实验演示。

## 半镶嵌集成和BEOL发展路线图

20 多年来，铜 (Cu) 双镶嵌 (dual-damascene) 一直是构建可靠互连的主要工艺流程。但是，当尺寸继续缩小，并且金属间距 (metal pitches) 变得像 20 nm 及以下那样紧密时，由于电阻电容 (RC) 乘积的急剧增长，后段制程 (BEOL) 越来越受到 RC 延迟的不利影响。这个问题迫使互连行业着手寻找替代集成方案，以及在紧密金属间距下具有更好品质因数的金属。

在本文中，imec 的研究人员 Gayle Murdoch 和 Zsolt Tokci 着重阐述了紧密金属间距下通孔自对准的重要性，解释并演示了模块的主要技术参数，包括通孔和线路电阻

以及可靠性。该研究结果在 2022 年 IEEE VLSI 技术与电路研讨会 (VLSI 2022) 上发表。

大约五年前，imec 最初提出半镶嵌 (semi-damascene) 作为铜双镶嵌的可行替代方案，用于集成 1 nm (及以下) 技术节点的最关键的局部 (Mx) 互连层。

与双镶嵌不同，半镶嵌集成依赖于互连金属的直接图案化来制作线条 (称为减材金属化 -subtractive metallization)。不需要采用金属的化学机械抛光 (CMP) 来完成工艺流程。

连接后续互连层的通孔以单镶嵌方式图案化，然后用金属填充和过度填充，这意味着金属沉积会继续进行，直

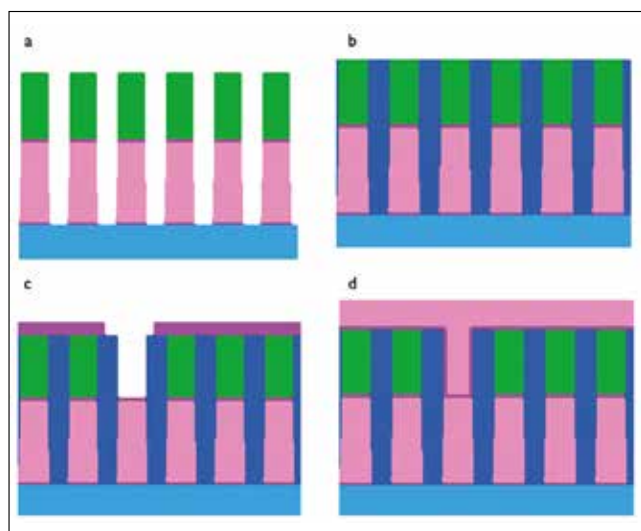


图1: imec 的半镶嵌流程: a) Ru 蚀刻 (底部局部互连线 (Mx) 的形成); b) 间隙填充; c) 通孔蚀刻; d) 通孔填充和顶线 (Mx+1) 形成 (在 VLSI 2022 大会上展示)。

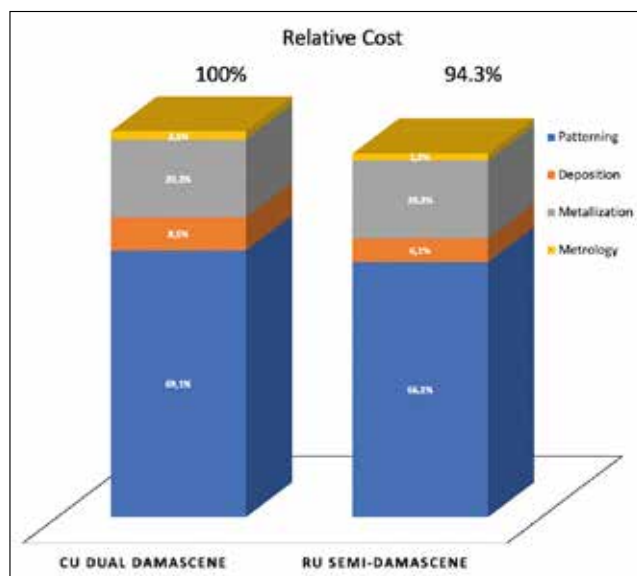


图2: 18 nm 金属间距下半镶嵌与双镶嵌成本的比较。

作者: Gayle Murdoch, imec 技术团队主要成员; Zsolt Tokci, imec FELLOW 兼纳米互连项目总监

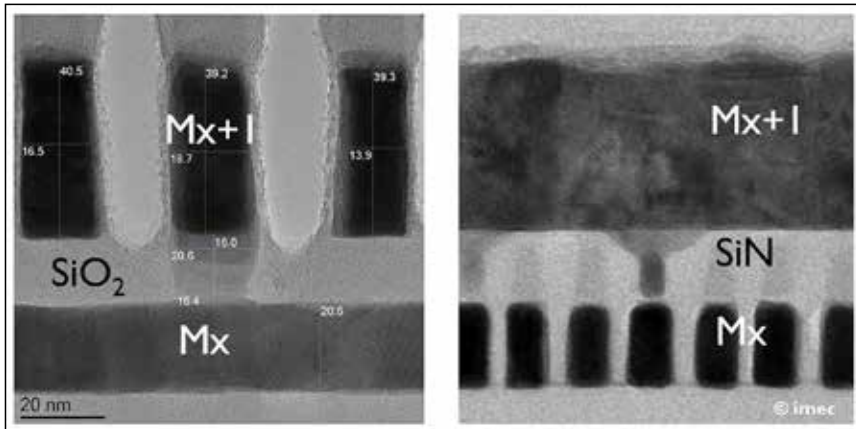


图3: 沿 Mx (左) 和跨 Mx (右) 的自对准通孔。X-TEM 显示自对准通孔落在 18 nm 间距 Ru 线上 (在 VLSI 2022 大会上演示)。

到在电介质上形成一层金属。接着, 对该金属层进行掩膜和蚀刻, 以形成具有正交线的第二互连层。

在金属图案化之后, 线之间的间隙可以用电介质填充, 或用于在局部层处形成 (部分) 气隙。请注意, 在半镶嵌流程中, 一次性形成两层 (通孔和顶部金属), 就像传统的双镶嵌一样。当以双镶嵌为基准进行评估时, 这使其具备很好的成本竞争力 (见图 2)。

### 半镶嵌集成流程的好处

据 imec Fellow 兼纳米互连项目总监 Zsolt Tokei 称, 与铜双镶嵌相比, 半镶嵌在紧密的金属间距下具有多项优势。他表示: “首先, 它允许更高的线路纵横比, 同时保持电容处于受控状态, 这有望带来整体 RC 优势。其次, 由于没有金属 CMP 工艺步骤, 因而造就出更简化和成本效益更高的集成方案。最后, 半镶嵌集成需要一种无阻挡层 (barrierless)、可图案化的金属, 例如钨 (W)、钼 (Mo) 或钌 (Ru)。通过使用不需要金属阻挡层的金属 (这不同于铜), 珍贵的导电区域就可以被互连金属本身充分利

用, 从而确保在微缩尺寸上具有竞争力的通孔电阻。”

当然, 除了上述好处之外, 在这样的一项计划获得业界认可之前, 还有许多挑战需要解决。朝这个方向迈出的一步是实际演示了双金属级方案。虽然迄今仅通过仿真和建模显示了这些好处, 但是 imec 首次为双金属级半镶嵌模块提供了实验证据。

### 完全自对准的通孔: 一个至关重要的构建块

在金属间距小至 20 nm 的情况下, 控制通孔降落在窄线上是半镶嵌集成模块成功运行的关键。当通孔和线路 (在通孔顶部和底部) 没有正确对齐时, 通孔和相邻线路之间存在泄漏的风险。这些泄漏路径是由小通孔的常规图案化引起的过大覆盖误差造成的。

imec 技术团队主要成员 Gayle Murdoch 说: “找到一种方法来制作功能性、完全自对准的通孔一直是半镶嵌工艺的 ‘圣杯’。我们通过 imec 的集成、光刻、蚀刻和清洗团队之间的密切合作实现了这一里程碑。凭借我们完全自对准的集成方案, 我们能



# 颀中科技

先进封测领军企业

COMPANY PROFILE

## 公司简介

### 公司设立

- 创立时间: 2004年6月
- 注册资金: 11亿人民币

### 占地面积

- 厂房: 96,321 m<sup>2</sup>
- 宿舍: 20,000 m<sup>2</sup>

### MAIN BUSINESS

## 主营产品

#### 显示驱动芯片封装测试

- 晶圆金凸块 (Gold Bump)
- 晶圆测试 (CP)
- 薄膜覆晶封装/测试 (COF/FT)
- 玻璃覆晶封装 (COG)
- 柔性屏幕覆晶封装 (COP)

#### 非显示类芯片封装测试

- 铜柱凸块/铜镍金凸块/金属重布线 (Cu Pillar/CuNiAu/RDL)
- 电镀焊锡凸块/植球焊锡凸块 (Sn Plating/Ball Drop)
- 晶圆测试 (CP)
- 晶圆级芯片封装 (DPS)

立足先进封装, 逐鹿产业龙头  
打造封测领域受人尊敬的伟大企业

地址: 江苏省苏州工业园区凤里街166号  
TEL: 86-512-88185678 网址: <http://www.chipmore.com.cn>



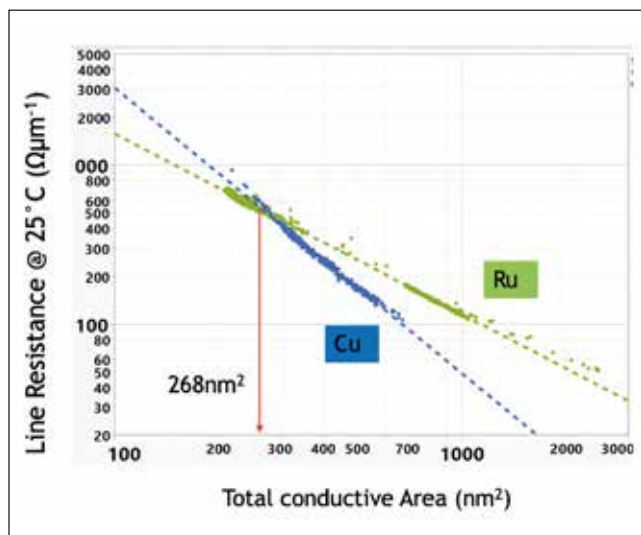


图4: Ru线和Cu线的导电面积与线电阻的关系 (在VLSI 2022大会上演示)。

够补偿高达 5 nm 的覆盖误差，这是一项重要的成就。”

通过在间隙填充后选择性去除氮化硅来确保底部自对准，从而允许在下部金属线的范围内形成通孔。朝向顶部金属层 (Ru) 的自对准是通过 Ru 过度蚀刻步骤实现的，该步骤在通孔过度填充和 Ru 图案化之后应用。

### 新的里程碑：18 nm 间距下的良好电阻和可靠性

使用具有完全自对准通孔的 Ru 减法蚀刻 (subtractive etch) 产生了 18 nm 金属间距的功能性双金属级器件。结合自对准双重图案化 (SADP) 的 EUV 光刻用于对 9 nm “宽”的 Ru 底部局部互连线 (Mx) 进行图案化，而单次曝光 EUV 光刻则用于印刷顶线 (Mx+1) 和通孔。顶部金属与气隙相组合以抵消电容的增加。

当将 Ru 与 Cu 的线路电阻与导电面积进行基准比较时，在目标金属间距下，Ru 明显优于 Cu。通孔自对准在形态学和电学上都得到了确证。实现了优异的通孔电阻 (对于 26 ~ 18 nm 的金属间距，其阻值范围在 40 Ω 和 60 Ω 之间)，并且证实通孔到线击穿电场 >9MV/cm。

Zsolt Tokei 说道：“我们展示了所有关键技术参数的卓越价值，包括通孔和线路电阻及可靠性。该演示表明，半镶嵌是双镶嵌的一种有价值的替代方案，用于集成 1nm 技术节点及以后的前三个局部互连层。我们的具有完全自对准通孔的双金属级器件已被证明是关键的构建块。”

研究人员表示，通过增加线路的纵横比 (这可以降低电阻)，同时保持气隙 (这可以控制电容)，可以实现进一步的改进。与此同时，对使用半镶嵌技术 (它允许在标

准单元级别进一步减小面积) 实现中段制程 (MOL) 和 BEOL 技术下一步改进，imec 也已经有了具体的想法。◆

### 作者简介：



**Gayle Murdoch** 于 1997 年毕业于爱丁堡大学，获化学物理学荣誉学士学位。她的职业生涯先是在 NEC Semiconductors 公司担任光刻工程师，后来加入 Filtronic Compound Semiconductors 公司，从事 GaAs 器件的蚀刻开发和集成工作，并最终成为首席蚀刻工程师。2008 年，她加入了 imec 的先进光刻技术团队，然后在 2013 年转到 BEOL 集成部门。她从事过一系列课题的研发，包括低 k 电介质集成，完全自对准通孔，以及最近的半镶嵌集成。目前，她是技术团队的主要成员职位，并领导 BEOL 集成团队。



**Zsolt Tokei** 是 imec Fellow 兼纳米互连项目总监。他于 1999 年加入 imec，先是作为低 k 铜互连领域的一名工艺工程师和研究人员，接下来担任了金属部门的主管。之后，他成为了纳米互连项目的首席科学家和总监。他 1994 年在匈牙利德布勒森的科苏特 (Kossuth) 大学获得物理学硕士学位。1997 年在匈牙利科苏特大学和法国艾克斯-马赛第三大学 (Aix Marseille-III) 大学共同指导的论文框架内，他获得了物理学和材料科学的博士学位。1998 年，作为博士后研究员，他开始在德国杜塞尔多夫的马克斯-普朗克研究所工作。加入 imec 后，他继续从事一系列互连问题的研究，包括微缩、金属化、电气特性分析、模块集成、可靠性和系统等方面。

半导体芯科技

SS SILICON CHINA  
SEMICONDUCTOR



关注公众号

杂志、官网、公众号

连接半导体业界，为中国半导体行业提供全方位的商业、技术和产品信息，以及先进解决方案。

www.siscmag.com



# SPARC：用于先进逻辑和DRAM的全新沉积技术

芯片已经无处不在：从手机和汽车到人工智能的云服务器，所有这些的每一次更新换代都在变得更快速、更智能、更强大。创建更先进的芯片通常涉及缩小晶体管和其他组件并将它们更紧密地封装在一起。然而，随着芯片特征变得更小，现有材料可能无法在所需厚度下实现相同性能，从而可能需要新的材料。

1 的流程所示，间隔膜沉积在前置结构的栅极和鳍上。薄膜必须遵循现有结构的精确轮廓，并保持厚度一致（结构均匀性）。它还必须对下面的层具有出色的附着力，且没有针孔或其他缺陷。此外，除了在栅极侧壁所需位置外，它还必须易于从其他任何地方移除。

薄膜本身就有要求。随着晶体管按比例缩小，栅极

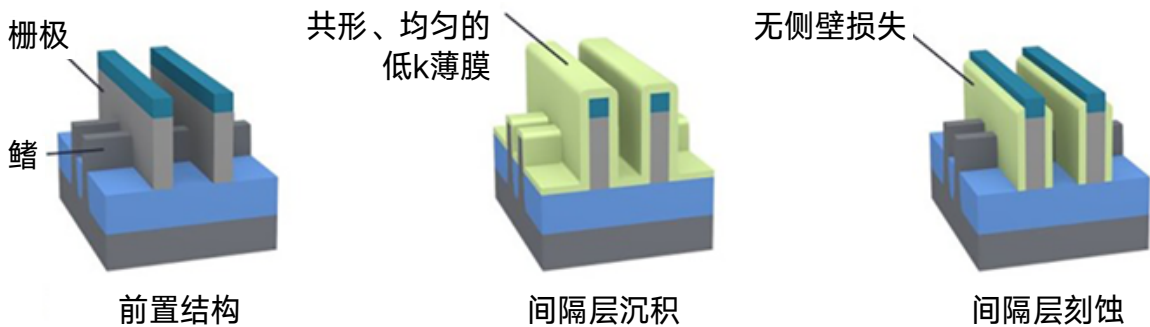


图1

泛林集团发明了一种名为 SPARC 的全新沉积技术，用于制造具有改进电绝缘性能的新型碳化硅薄膜。重要的是，它可以沉积超薄层，并且在高深宽比的结构中保持性能，还不受工艺集成的影响，可以经受进一步处理。SPARC 将泛林无与伦比的等离子技术与化学和工艺工程相结合，实现了先进逻辑和 DRAM 集成设计的进一步发展。

模块中的电容耦合会增加，从而降低整体晶体管的性能。SPARC 碳化物薄膜是电绝缘性能更佳的新型材料的绝佳例子，即所谓的“低 k 薄膜”，用于最大限度地减少这种耦合。现有的低 k 薄膜通常很脆弱，无法承受后续步骤中使用的强烈的化学物质，因而会导致整体芯片性能不佳。

泛林的 SPARC 技术可提供均匀、坚固的低 k 薄膜，其厚度和特征内部的成分都是均匀的。SPARC 薄膜被轻柔地沉积，没有直接的等离子体对下面的敏感器件造成损坏，它通过使用由具有远程等离子体和新型前驱体的独特

## 提高逻辑器件性能

SPARC 的一个关键逻辑应用是 FinFET 间隔层。如图

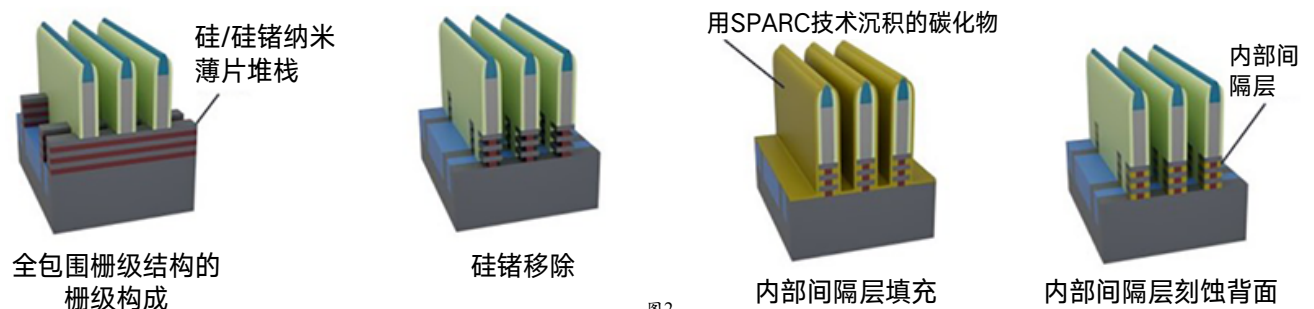


图2

作者：Aaron Fellis, 泛林集团公司副总裁兼电介质原子层沉积产品总经理

反应器产生的自由基来实现。与直接等离子体增强原子层沉积 (ALD) 薄膜不同，它可以轻松调整薄膜成分，以更好地预防损坏，优化干法或湿法刻蚀的选择性。得到的薄膜很薄、无针孔，并且可以在芯片制造过程的其余环节保持正确的硅碳 (Si-C) 键合结构，从而保持其介电性能和坚固。

随着全包围栅极 (GAA) 架构的出现，泛林 SPARC 技术的价值变得愈加明显。新的内部间隔层应用需要一种材料来降低器件的寄生电容——即降低器件之间的干扰。该薄膜还必须在硅锗沟道释放过程中作为外延处理的源极 / 漏极的保护层。SPARC 沉积的薄膜为该应用带来了关键特性，包括低 k 值，均匀性，高图形负载，均匀厚度，对硅基、氧化物、碳类型材料的出色刻蚀选择性，以及器件中的极低泄漏 (图 2)。

### 同样有利于 DRAM 架构

随着器件的微缩，工程师们不断努力减少位线和电容器触点之间的电容，以保持良好的信号 / 噪声进行位感应。位线深宽比的增加也使传统的沉积方法难以成功。位线电容的一个重要组成部分是位线和存储节点触点 (SNC) 之间的耦合，随着单位面积封装越来越多的器件以降低 DRAM 成本和增加密度，该耦合正在增加。为了减少这种耦合，自 1x nm 技术节点以来，SPARC 沉积的低 k 间

隔材料至关重要。

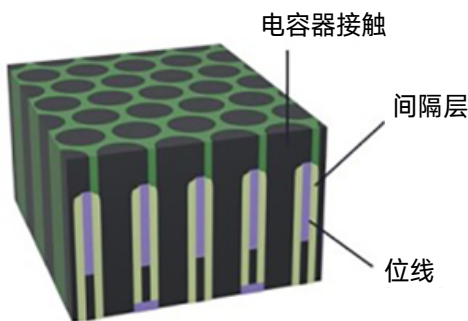
### 理想的低k薄膜

使用 SPARC 或单个前驱体活化自由基腔室技术制造的碳化硅氧化物 (SiCO) 薄膜具备密度大、坚固耐用、介电常数低 ~ 3.5-4.9、泄漏率低、厚度和成分共形性极佳等特点。在 250°C 至 600°C 的广泛温度范围内，碳完全交联，末端甲基极少甚至没有，与其他薄膜 (如

SiOC、SiOCN 或 SiCN) 相比，该薄膜具有热稳定性和化学稳定性。

在 SPARC SiCO 系列中，远程等离子体、独特的前驱体和工艺空间可实现广泛的成分调整。此外，这些 SPARC SiCO 薄膜在稀氢氟酸和热磷酸等典型湿法化学物质中的 WER (湿法刻蚀速率) 为零，因此还提供近乎无限的湿法刻蚀选择性。这些薄膜也是连续的且无针孔的，厚度低于普通替代的一半。

由于这些特性，SPARC SiCO 薄膜在某些间隔物应用中实现厚度最小化，是个很有吸引力的选择。鉴于其对高深宽比堆栈材料的显著湿法选择性或等离子体损伤预防，这些薄膜能够形成气隙，减少电容耦合，并保护高深宽比堆栈中容易氧化或损坏的工艺元件。SPARC 技术已被领先技术节点的所有主要逻辑 / 代工厂和 DRAM 制造商采用。随着集成度和性能扩展挑战的提升以及深宽比的提高，下一个节点应用空间预计将增加。◆



DRAM应用

图3

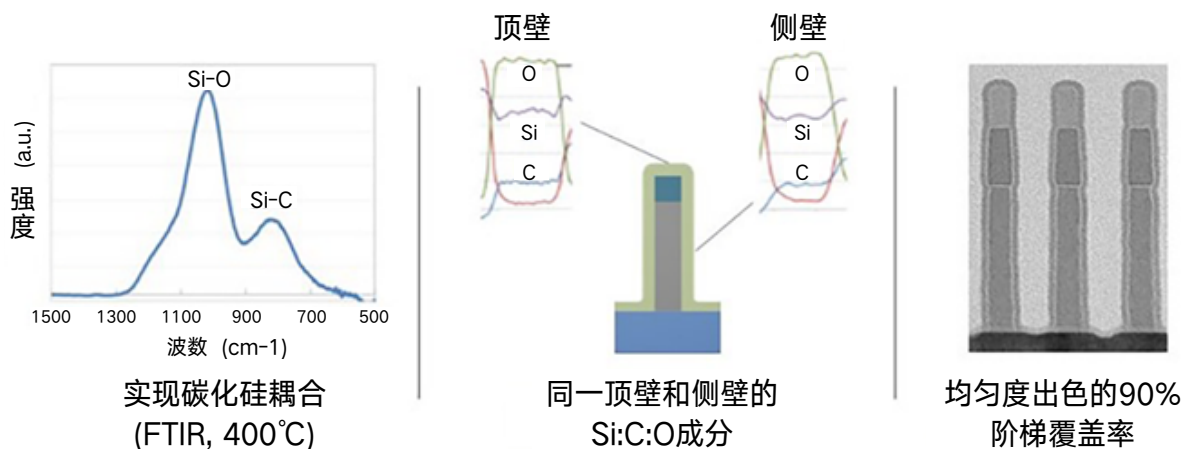


图4

# 具有高对准精度和高吞吐量的芯片到晶圆自组装技术

CEA-Leti 和英特尔合作成功实现了具有高对准精度和高吞吐量的芯片到晶圆 (Die-to-Wafer, D2W) 自组装技术, 并在 2022 年电子元件与技术会议 (ECTC) 上展示了这项突破性技术。这种 D2W 自组装工艺是利用水的毛细力 (capillary force) 在目标设备上对齐裸片 Die, 该技术有望应用在内存、高性能计算和光子技术等领域。

据悉, CEA-Leti 和英特尔合作优化了一种混合直接键合的自组装工艺, 采用的方法是使用水滴的毛细力来对齐目标晶圆上的裸片。该工艺有望增加对准精度, 并可以达到每小时几千个 Die 的制造吞吐量, 这对于未来需要的芯片对晶圆 (D2W) 混合键合技术来说是一项突破, 可以促进 D2W 键合技术应用。

该结果发表在 2022 年电子元件与技术会议 (ECTC) 的论文“Collective Die-to-Wafer Self-Assembly for High Alignment Accuracy and High Throughput 3D Integration”中。虽然领先的微电子公司认为 D2W 混合键合工艺对于未来存储器、高性能计算和光子器件的成功至关重要, 但它比晶圆对晶圆 (W2W) 键合要复杂得多, 对齐精度和芯片组装吞吐量也较低, 所以尚处于研究阶段。CEA-Leti 多年来一直在研究开发自组装方法, 目标是大幅提高吞吐量和贴装精度。

CEA-Leti 的 3D 集成项目经理 Emilie Bourjot 说: “采用具有商业规模吞吐量的 D2W 自组装方法需要解决与芯片处理相关的两个主要挑战, 一是将自组装工艺与取放工具相结合, 二是为自组装技术配套集体芯片处理 (collective die-handling) 解决方案。如果将自组装工艺与取放工具相结合, 则可以通过减少对齐时间来提高产量, 因为

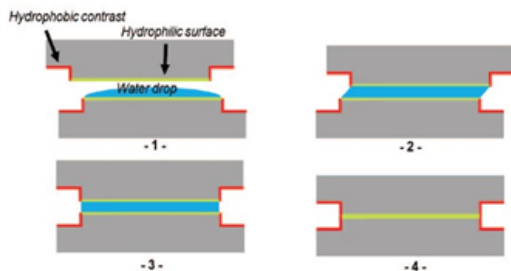
精细对齐是由液滴完成的。而当自组装与芯片集体处理解决方案相结合时, 由于所有芯片同时粘合在一起, 在整个工艺流程中都不再需要高精度放置, 因此吞吐量会增加。”

工艺优化也是提高工艺成熟度和满足工业要求的重要组成部分。“将物理的魔力和一滴水结合起来, 竟然能带来这样奇迹的对齐和吞吐量性能, 这无疑是大有希望的方法,” Bourjot 说。

该论文指出: “毛细力源于表面最小化原理, 在液体的情况下通过表面张力施加。从宏观的角度来看, 液体倾向于使其液/气界面最小化, 以达到能量最小化的平衡状态。这种机制使 Die 芯片在其键合位置上自对准。选择作为重新排列矢量的液体必须具有高表面张力, 并且必须与直接键合兼容。大多数液体的表面张力在 20 到 50 mN/m 之间, 但水的表面张力为 72.1 mN/m, 这使其成为使用亲水键的自组装工艺的绝佳候选者, 其中水已经是关键机制参数。”

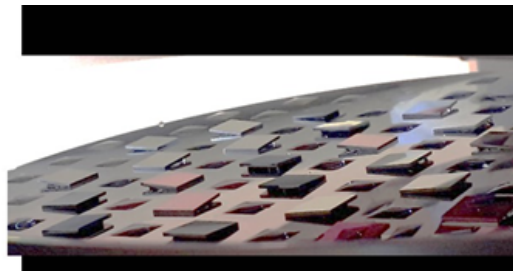
“用于调节表面亲水性的水分配技术和表面处理, 对于自组装工艺的正确进行似乎至关重要, 由此才能在自制的集体自组装键合工作台上实现出色的对准性能。这样产生的平均偏差低于 150 nm,  $3\sigma$  低于 500 nm。最后, 这种自组装工艺与各种芯片尺寸 ( $8 \times 8 \text{ mm}^2$ 、 $2.7 \times 2.7 \text{ mm}^2$ 、 $1.3 \times 11.8 \text{ mm}^2$  和  $2.2 \times 11.8 \text{ mm}^2$ ) 可以兼容。”该论文称。

相比之下, 目前的采用取放工具的键合技术, 最先进的对准是  $1 \mu\text{m}$ , 最好的情况是 700nm, 而采用自对准工



The different steps of self-assembly process

1. Inaccurate pre-alignment ( $>200 \mu\text{m}$ )
2. Drop spreading and chip is realigned with submicron accuracy (around 400nm)
3. Drop evaporation
4. Direct bonding



Collective bonding by self-assembly  
Dies deposited on water droplet

艺则可以提供低于 500nm，甚至小于 200nm 的键合对准。

CEA-Leti 还解释了“自制集体自组装键合工作台”：“由于没有用于自组装方法的工业工具，因此研究团队制造了自己的实验工作台，以实现集体自组装。尽管低再现性和手动过程控制，自制工作台仍然可以实现 500nm 及以下的对准，这非常有力地表明，如果采用专用于该工艺的工业工具将能提供更高的再现性、稳健性和精度。”

该论文的结论强调：尽管取得了以上突破，自组装技

术的许多方面仍然需要探索，只有当工具供应商开发出适应性工具来自动化这一过程时，才能实现巨大的改进。

在这次合作过程中，CEA-Leti 设计了工艺流程，并利用其在键合物理、工艺和工艺集成方面的专业知识进行了晶圆加工和自组装键合。CEA-Leti 还进行了表征，如纳米形貌、扫描声学显微镜和对齐。英特尔的工作包括提供规范、建模和预键合及正键合工艺集成专业知识，以使自组装工艺与代工厂兼容。◆

## 2022年全球Fab设备支出将达990亿美元历史新高

SEMI 最新的季度《世界晶圆厂预测报告》(World Fab Forecast) 宣布，2022 年全球晶圆厂设备支出预计将同比增长约 9%，达到 990 亿美元的历史新高。

SEMI 总裁兼首席执行官 Ajit Manocha 表示：“在 2022 年达到创纪录水平后，预计在新的晶圆厂建设和升级的推动下，全球晶圆厂设备市场明年将继续保持健康发展。”

预计中国台湾地区将在 2022 年引领晶圆厂设备支出，投资同比增长 47% 至 300 亿美元。其次是韩国，达到 222 亿美元，下降 5.5%。中国为 220 亿美元，较去年峰值下降 11.7%。预计欧洲 / 中东地区今年的支出将达到创纪录的 66 亿美元，同比增长 141%，尽管支出相对其他地区而言较低，对高性能计算 (HPC) 先进技术的强劲需求正在

推动该地区的支出激增。预计 2023 年，美洲和东南亚的投资也将创下历史新高。

《世界晶圆厂预测报告》显示，继 2021 年增长 7.4% 后，今年全球产能将增长 7.7%。晶圆厂设备上一次出现 8% 的年同比增长是在 2010 年，当时每月产能超过 1600 万片晶圆 (8 英寸等效)，大约是 2023 年预计每月 2900 万片晶圆的一半。预计 2023 年产能将继续增长 5.3%。

正如预期的那样，2022 年和 2023 年，Foundry 部分将占设备支出的 53%，其次是内存，2022 年和 2023 年分别占 32% 和 33%。这两块的产能增幅最大。

最新《世界晶圆厂预测报告》列出了全球 1453 家工厂和产线，包括 148 家预计在 2022 年或之后开始生产的工厂和产线。◆

## 贺利氏信越石英半导体生产基地于沈阳开建

近日，贺利氏信越石英半导体生产基地项目开工仪式在沈阳经济技术开发区新址举行。新厂由德国贺利氏和日本信越石英共同投资建设，总投资 5 亿元，占地面积 6.81 万平方米，规划建筑面积 8.95 万平方米，计划于 2024 年 6 月投产运行，主要生产半导体所需的超纯石英系列产品，包括硅片承载器、石英管、石英舟等半导体器件、集成电路产业装备配件等。

贺利氏大中华地区总部总裁艾周平博士指出：建设新工厂的重要意义是通过打造一流生产基地，大幅提升产能，引进国际先进水平的新产品，为贺利氏的业绩增长带来动力；满足半导体客户对于高纯石英产品的需求，推动行业的发展；扎根当地，广揽贤才，为沈阳经济繁荣和东北振

兴做出更大贡献。

石英材料具有高纯度高稳定性的特点，这能有效保证半导体生产环境的无污染。这里是贺利氏在中国唯一的石英生产基地，也是中国半导体客户最重要的石英制品供应商之一。

贺利氏科纳米业务单元聚焦半导体和光电子行业，在创新石英和熔融石英玻璃解决方案上拥有超过 100 年的专业经验，为全球半导体和光电子行业最具有挑战性的应用提供先进解决方案。新建基地将拥有从原材料筛选、生产到测试一整套的尖端生产流程，为客户提供从技术支持到后端测量的一整套定制化服务。◆

**ELEXCON**

深圳国际电子展暨嵌入式系统展



第六届中国系统级封装大会暨展览

SiP China 2022

**芯趋势！新高机！**

11月深圳见

**芯片+封测+嵌入式系统大展**

**国产化元器件选型**

5G新技术与应用 车规级芯片与元件 嵌入式与AIoT SiP与先进封测

**2022年11月5-7日**

深圳会展中心（福田）**1/9**号馆



码上领取免费门票

0755-88311535

[www.elexcon.com](http://www.elexcon.com)

# 高速有线收发器中的光电集成电路的设计与集成

当前和未来数字应用对数据速率的需求呈现出爆炸式增长，因此，对于承载数据中心间流量和数据中心内部流量的有线收发器就有了更高的要求。本文关注的重点是增加这些光收发器的通量，同时提高每代新产品的集成密度和能量效率。

IMEC 的研究人员正在通过开发用于 100~130G 波特收发器的高速光电集成电路来应对集成密度和能量效率的双重挑战，以便既适用于强度调制直接探测 (IMDD) 收发器，也适用于相干光收发器。相干收发器对于光学和电学器件的规格和功能要求更高，接收器 DSP 与 IMDD 相比也明显更复杂。

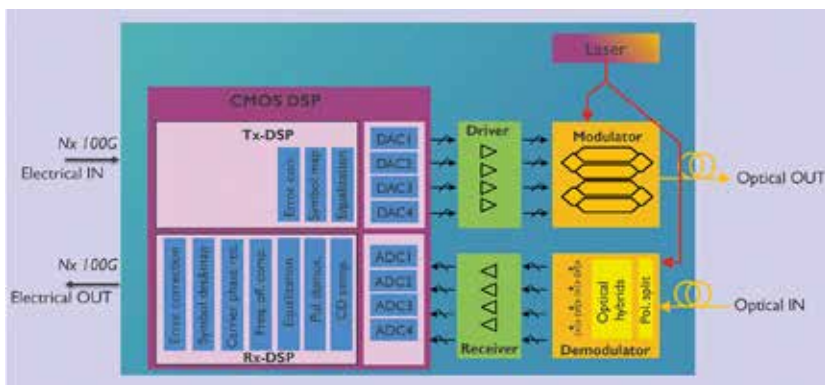


图1：光电收发器方案。

## 光电收发器方案

对于光学器件，工作在 100~130G 波特需要至少 50~60GHz 的光电前端带宽，无论是在发射器（调制器）还是接收器（光电探测器）端。这种带宽已通过基于磷化铟 (InP) 的集成光学器件以及硅光子学得到演示。IMEC 开发了几个硅光子平台，其中包括调制和检测光信号所需的所有器件。同样的平台还可用于实现硅波分复用滤波器和复杂的波导电路等无源器件。迄今为止，缺少的一个组件是用于 O 波段的电吸收调制器。这种电吸收调制器是非常紧凑的调制器，不需要任何额外的加热器功率，与环

形谐振器不同。依靠量子限制的斯塔克效应，IMEC 展示出这样的组件可以一直调制到 60Gb/s。目前正在进行下一步工作以将这些器件集成到整个平台中。

为了进一步扩展带宽，例如面向 200G 波特工作，可以将诸如磷化铟之类的化合物半导体集成到硅光子或氮化硅晶圆上。另一种选择是钛酸钡 (BTO)。这是一种非常有前途的电光材料，可以进一步推动调制器的性能。IMEC 正在考虑将基于 BTO 的调制器集成到其 200mm 平台中。目前一个重要的工作是使 BTO 沉积技术可以适合规模扩

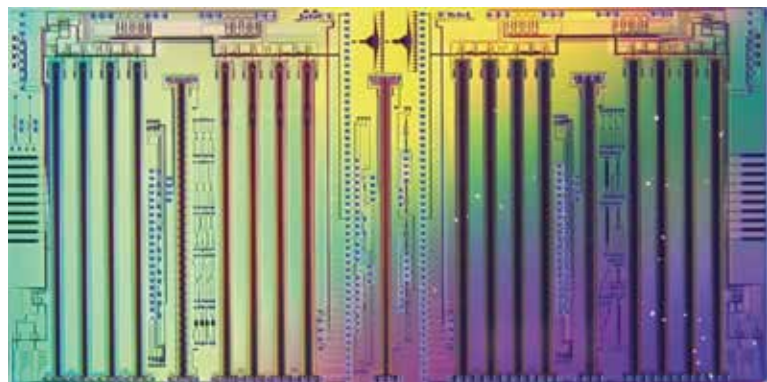


图2：在iSiPP200上进行硅光子发射器和接收器测试结构工艺。

大。与 LiNbO<sub>3</sub> 等其他材料系统不同，BTO 可以引入到 CMOS 代工厂中，这是其大规模制造的关键优势。

在驱动器和接收器等模拟组件中，能够产生 100G 波特以上信号的电子器件曾经是 InP 等化合物半导体的专属领域。IMEC 专注于使用主流的 SiGe BiCMOS 方法来实现这类高速电路的各种技术，这在可集成的功能复杂性和制造能力方面极具优势。

作者：Peter Ossieur, IDLab 高速收发器项目经理, IMEC

### 在iSiPP200上进行硅光子发射器和接收器测试结构工艺

举个例子，IMEC 研究人员制作了一个 4 通道线性 Mach-Zehnder 调制器驱动器阵列，他们在其中使用行波放大器电路来实现非常高的带宽（约 90GHz）。这里实现了与硅光子双偏振、IQ 调制器的共同设计。另一个例子是一个 4 通道线性跨阻放大器阵列，同样使用行波放大器技术并实现高达 60GHz 的带宽。该放大器与平衡 Ge 光电探测器共同设计，集成在硅光子平台上。

就像光电前端一样，对于在 100~130G 波特工作，DAC 和 ADC 也需要至少 60GHz 的带宽。这种超高速 ADC 和 DAC 可以使用 5nm 和 3nm 等节点的 CMOS 来实现。除了带宽，低功耗和面积也是关键。IMEC 目前专注于开发此类高速有线 ADC 和 DAC 的新方法，以克服当前最先进技术的限制。使用 5nm CMOS 的原型设计正在进行中，以便能够在实验室中验证新概念。

在接收器方面，与新 ADC 方法兼容的节能 100G 波特 PAM-4 时钟和数据恢复电路的研究正在进行中。分数过采样用于降低 ADC 采样率的要求。前馈和决策反馈均衡可以包含在内，从而克服通道对光学元件造成的损伤或带宽限制。

为了实现下一代高速收发器的挑战性规格，集成显然是关键。这涉及来自不同材料系统的芯片和晶圆的集成，每种材料系统的选择都是为了实现所需功能的最佳性能，而集成则可以实现超过 100G 波特工作所需的极高带宽。异构集成是扩展 IMEC 硅平台的功能，从而集成例如光放大器和激光器的关键推动力。与 Sivers Photonics 和 ASM AMICRA 合作，IMEC 演示了使用超高精度对准倒装芯片工艺，将 InP 光学放大器和激光器集成到其硅光子晶圆上。对准精度优于 500nm，波导耦合基本功率超过 10mW。

### 微转移印刷技术

微转移印刷是实现异构集成的另一种方法。它几乎允许将任何源材料的小组件集成到任何目标基板上。它使用 MEMS 蚀刻技术将小芯片与供体基板几乎完全分离。然后，使用带有小柱的弹性印章将小芯片从供体基板上取下来，接下来用印章将小芯片放置到目标基板上。这两种操作都需要很小心地选择印章的移动速度。使用这种技术可以通过单次动作将数千个器件一次放置到位。在 H2020 Caladan 项目中，该技术得到进一步发展，并用于实现 GaAs 量子点激光器和高速 SiGe BiCMOS 电子器件。

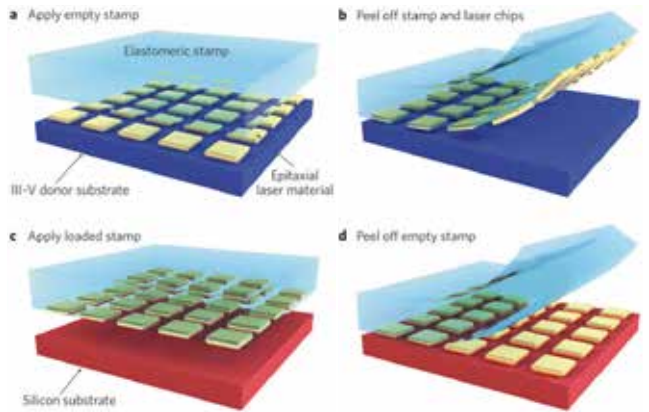


图3：微转移印刷技术。

远超 100G 波特收发器的发展，例如 200G 波特，可能需要超越传统收发器的创新方法来实现，其中电子器件的功能进一步转向于采用光学元件。IMEC 最近展示了这种器件的一个例子就是光学均衡器。该器件可以理解为将 Mach-Zehnder 调制器视为电输入、光相位输出域中的 FIR（有限脉冲响应）滤波器或抽头延迟线滤波器。每个抽头的权重与 Mach-Zehnder 调制器特定部分的长度（和驱动电压）有关，而 FIR 滤波器的延迟则对应于光波导的延迟。

这两者都可以很容易地操作：例如，使用一块光波导可以很容易地实现引入宽带时间延迟。甚至可能使用波导交叉来实现符号反转（以实现更复杂的滤波器响应）。这种方法可用于折中调制器的驱动电压以提高带宽，或可定制以在电光频率响应中引入特定的峰值。◆



#### 作者介绍

Peter Ossieur 于 2000 年和 2005 年在比利时根特大学分别获得了应用电子专业的理学硕士学位和电气工程博士学位。2005 年至 2008 年，他是根特大学科学研究基金的博士后研究员。在此期间，他的研究兴趣是 10Gbit/s 突发模式接收器和面向汽车应用的光电子学。2008 年，他成为根特大学工程学院高频电子学兼职教授。

2009 年，他加入了爱尔兰科克大学物理系廷德尔国家研究所光子系统组，并于 2013 年 4 月成为高级研究员。在此职位上，他建立了一个 IC 设计组，专注于光子-电子器件应用。2017 年 10 月，他加入了根特大学的 IMEC 研究小组 IDLab，担任高级研究员，目前是高速收发器项目经理。他领导的研究活动专注于开发面向光子应用的高速模拟和混合信号集成电路。他撰写和合作撰写了 120 篇同行评审论文，并在上述研究领域拥有多项专利。

# 3D打印颠覆性技术背后的真空“奥秘”

**3D**打印技术又称增材制造(Additive manufacturing),是一种以数字模型文件为基础,将可粘合材料逐层叠加以构建现实三维物体的技术。我们可以将这个�过程比喻成“糖人制作”:师傅用热熔的糖浆绘制出各类图案,糖浆便是可粘合材料,通过冷却和不断堆叠形成具有立体感的糖人。

作为“决定未来经济的12大颠覆技术”之一和第三次工业革命的引擎,3D打印标志着从传统制造迈向智能制造的巨大产业变革,现被广泛应用于建筑、医疗、航空航天、汽车制造等多种制造业领域。从最初的液态树脂到如今的金属粉末,3D打印通过不断的技术更迭,引发了新的技术革命浪潮。在这一颠覆性制造技术发展的背后,需要真空技术的加持。

## 电子束熔融与真空技术应用

提到金属的3D打印,我们就要谈谈电子束熔融(EBM)了。这是一种特殊的增材制造技术,产品由金属粉末制成,可生产出传统金属加工工艺因为技术或经济原因无法生产的高度复杂的部件,且生产效率极高。这种工艺虽然与选择性激光熔融(SLM)类似,但是相比于SLM所使用的激光束,EBM的能量源是电子束。因此,该工艺必须在真空环境中实现。

真空技术在EBM工艺中扮演着多种角色,以保证整个过程的稳定性和可靠性。具体如下:

- 防止电子束与气体粒子碰撞发生偏转,实现精准熔融工艺。

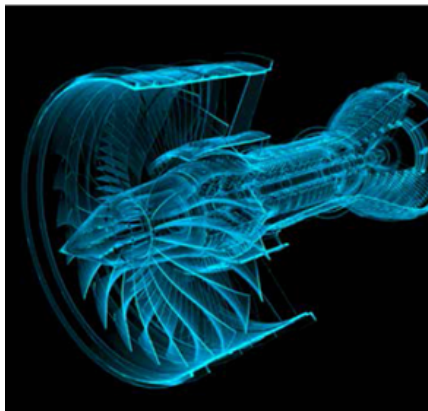


图1: (左)用金属粉末制造的3D打印飞行器涡轮发动机,(右)用EBM打印的植入物示例。

- 防止在热金属中形成气泡,在真空下打印部件可达到理想的脱气效果,形成均匀平滑的金属层。
  - 防止熔融金属粉末的氧化,打印结束后可以直接回收大量非熔化粉末,避免粉末在加热时出现锈蚀。
  - 在真空环境下,通过分裂电子束同时在多个位置熔化粉末,从而加速打印过程。
  - 进行精准的气体泄漏检测,保证过程的密封和安全性。
- 为了满足以上EBM生产技术的要求,需要多种真空设备的支持。

## 普发真空助力电子束熔融

作为全球领先的真空设备供应商之一,普发真空针对电子束熔融技术

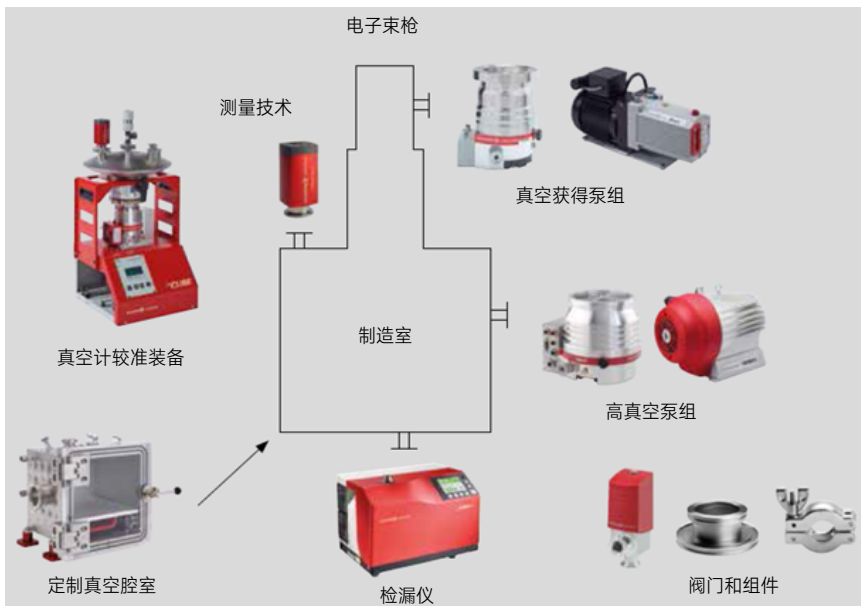


图2: 普发真空针对电子束熔融提供全系列的产品组合。



提供了全面的产品组合，在抽真空、真空测量、真空计校准以及泄漏检测四个环节支持整个 EBM 生产过程的正常运行。

抽真空对于 EBM 的制造室以及电子束枪来说都非常重要。抽真空过程需要非常迅速以缩短准备时间，这对于真空设备的极限真空及解吸率的要求非常高。普发真空可以为 EBM 抽真空提供优秀的真空泵组，包括前级泵和高真空泵，其中普发 HiPace 涡轮分子泵系列产品在制造室抽真空领域的应用已经非常成熟。

通过抽真空获得真空之后，还需要专业的设备测量压力以确保达到压

力要求，即进行真空测量。普发真空 RPT 200 型和 HPT 200 型真空计组合能够同时达到对精准度和对电子束无磁场干扰的要求，可用于测量高真空泵的前级真空压力。另外，对真空计定期进行校准，对于 EBM 长期的工艺稳定性来说是必不可少的。普发真空研发的校准泵组，有基本和专业型号，符合 ISO 3567 标准，可满足不同的真空计校准需求。

当然，真空获得后需要有良好的密封性，才能够真正保证 EBM 工艺过程中的真空度。为了能够达到 EBM 系统对于累计泄漏率的要求，需要进行泄漏检测，氦气检漏仪在这

里就要登场了。普发真空可针对不同的应用需求，提供普遍适用的 ASM 340 检漏仪或紧凑便携的 ASM 310 检漏仪。

除了以上的四个环节之外，普发真空还可为 EBM 提供其他真空设备和组件的定制服务。

目前在 3D 打印中，金属材料的使用率越来越高，这带动了 3D 打印向高端制造市场的拓展。普发真空将全力支持这一全球性的技术革命，以领先的真空解决方案助力 3D 打印制造商突破传统制造业的局限，从“制造”向“智造”过渡，实现新一代高科技创新。◆（普发真空供稿）

## TCL 华星大尺寸显示屏进入汽车领域

TCL 华星自 2019 年开始进入汽车显示器市场，在不断技术创新加持下，呈现出蒸蒸日上地发展态势。

梅赛德斯-奔驰 Vision EQXX，搭载全球第一款横贯整个 A 柱曲面车载显示屏，激发人类探索新的用户体验。这款超大尺寸显示屏由梅赛德斯-奔驰研发团队、大陆汽车集团研发中心和 TCL 华星光电合作研发，将消费电子产品的最新显示技术带到汽车领域。

这款 47.5 英寸完全无缝超薄一体式高度集仪仪表盘、多媒体导航、中控以及副驾驶娱乐显示屏的曲面屏幕，采用 incell 触摸感应，更与 3D 实时导航系统相辅相成，带来更震撼的驾乘体验。

另外，此款屏幕带有车载行业最高的 8K 分辨率，所采用的是如今被苹果等品牌所追捧的 Mini LED 技术，



由 3000 多个局部调光区域组成，在智能感光芯片的加持下，当不需要显示信息的时候，屏幕将会调暗部分区域，进而起到节能的效果，搭配更省电的 Mini LED 背光技术，也打消了众多消费者“大屏是否更耗电？会不

会减少行驶里程”的焦虑，可以称得上是专门为车载而生的屏幕。

未来，TCL 华星将坚持以产品技术创新为核心驱动，支撑全场景应用，构建更多元、更成熟、更智慧的显示产业生态。

Advertiser	广告商名称	网址	页码
CHIPMORE	硕中科技	www.chipmore.com.cn	29
ELEXCON 深圳国际电子展暨嵌入式系统展		www.elexcon.com	35
Goodix	汇顶科技	www.goodix.com/zh/	16-17
HSC	日立	www.hitachi.com.cn	27
ITW EAE		www.itweae.com	15
Motic	麦克奥迪	www.motic.com	9
Park		www.parksystems.cn/hybrid-wli	1
Pfeiffer Vacuum		www.pfeiffer-vacuum.cn	7
2022 厦门国际光电博览会		www.xmipe.com	IBC

## 欢迎投稿

《半导体芯科技》(Silicon Semiconductor China, SiSC)是面向中国半导体行业的专业媒体,已获得全球知名权威杂志《Silicon Semiconductor》的独家授权。本刊针对中国半导体市场特点遴选相关优秀文章翻译,并汇集编辑征稿、采编国内外半导体行业新闻、深度分析和权威评论等多方面内容。本刊由香港雅时国际商讯(ACT International)以简体中文出版发行。

本刊内容覆盖半导体制造工艺技术、封装、设备、材料、测试、MEMS、mini/Micro-LED等。文章重点关注以下内容:

### FAB (Foundry, IDM, OSAT, R&D)

四个环节:晶圆制造(wafer后道)、芯片制造、先进封装、洁净室;深入报道与之相关的制造工艺、材料分析、工艺材料、工艺设备、测试设备、辅助设备、系统工程、关键零备件,以及与particle(颗粒度)及contamination(沾污)控制等厂务知识。

### FABLESS

芯片设计方案、设计工具,以及掩膜版内容和导入相关的资讯。

### 半导体基础材料及其应用

III-V族、II-VI族等先进半导体材料的科学研究成果,以及未来热门应用。

《半导体芯科技》欢迎读者、供应商以及相关科研单位投稿,已甄选中文稿件将在印刷版杂志以及网上杂志刊登;IC设计及应用等半导体相关内容将酌情予以网络发表(微信推送、杂志网站)。本刊优先刊登中文来稿(翻译稿请附上英文原稿)。

## 技术文章要求

- 论点突出、论据充分;围绕主题展开话题,如工艺提升、技术改造、系统导入、新品应用,等等。
- 结构严谨、短小精悍:从发现问题到解决问题、经验总结,一目了然,字数以3000字左右为宜。
- 文章最好配有2-4幅与内容有关的插图或图表。插图、图表按图1、图2、表1、表2等依次排序,编号与文中的图表编号一致。
- 请注明作者姓名、职务及所在公司或机构名称。作者人数以四人为限。
- 文章版权归著作者,请勿一稿多投。稿件一经发表如需转载需经本刊同意。
- 请随稿件注明联系方式(电话、电子邮件)。

## 新产品要求

- 新产品必须是在中国市场新上市、可在中国销售的。
- 新产品稿件的内容应包含产品的名称、型号、功能、主要性能和特点、用途等。
- 新产品投稿要求短小精悍,中文字数300~400字左右。
- 来稿请附产品照片,照片分辨率不低于300dpi,最好是以单色作为背景。
- 来稿请注明能提供进一步信息的人员姓名、电话、电子邮件。

电子邮箱: sunniez@actintl.com.hk  
viviz@actintl.com.hk

## 行政人员 Administration

### HK Head Office (香港总部)

#### ACT International (雅时国际商讯)

Unit B, 13/F, Por Yen Buiding, No. 478 Castle Peak Road, Cheung Sha Wan, Kowloon, Hong Kong  
Tel: 852 28386298

#### Publishing Director (出版总监)

Adonis Mak (麦协林), adonism@actintl.com.hk

#### Editor-in-Chief (编辑)

Sunniez Zhao (赵雪芹), sunniez@actintl.com.hk

Vivi Zhang (张雨薇), viviz@actintl.com.hk

#### Sales Director (销售总监)

Lisa Cheng (程丽娜), lisac@actintl.com.hk

#### General Manager-China (中国区总经理)

Floyd Chun (秦泽峰), floyd@actintl.com.hk

### London Office

Hannay House, 39 Clarendon Road

Watford, Herts, WD17 1JA, UK.

T: +44 (0)1923 690200

### Coventry Office

Unit 6, Bow Court, Fletchworth Gate

Burnsall Road, Coventry, CV5 6SP, UK.

T: +44 (0)2476 718 970

#### Publisher & Editor-SiS English

Jackie Cannon, jackie.cannon@angelbc.com

+44 (0)1923 690205

## 销售人员 Sales Offices

### China (中国)

#### Wuhan (武汉)

Lisa Cheng (程丽娜), lisac@actintl.com.hk

Tel: 86 185 7156 2977

Mini Xu (徐若男), minix@actintl.com.hk

Tel: 86 187 7196 7314

Phoebe Yin (尹菲菲), phoebey@actintl.com.hk

Tel: 86 159 0270 7275

Mandy Wu (吴漫), mandyw@actintl.com.hk

Tel: 86 187 7196 7324

#### Shenzhen (深圳)

Yoyo Deng (邓丹), yoyod@actintl.com.hk

Tel: 86 135 3806 1660

Jenny Li (李文娟), jennyl@actintl.com.hk

Tel: 86 137 2881 3915

#### Shanghai (上海)

Hatter Yao (姚丽莹), hattery@actintl.com.hk

Tel: 86 139 1771 3422

Helena Xu (许海燕), helenax@actintl.com.hk

Tel: 86 130 6168 5321

Amber Li (李歆), amberL@actintl.com.hk

Tel: 86 182 0179 0167

#### Beijing (北京)

Cecily Bian (边团芳), cecilyB@actintl.com.hk

Tel: 86 135 5262 1310

### Hong Kong (香港特别行政区)

Floyd Chun (秦泽峰), floyd@actintl.com.hk

Tel: 852 2838 6298

### Asia (亚洲)

#### Japan (日本)

Masaki Mori, masaki.mori@ex-press.jp

Tel: 81 3 6721 9890

#### Korea (韩国)

Lucky Kim, semieri@semieri.co.kr

Tel: 82 2 574 2466

### Taiwan, Singapore, Malaysia

#### (台湾, 新加坡, 马来西亚)

Regional Sales Director

Floyd Chun (秦泽峰), floyd@actintl.com.hk

Tel: 852 2838 6298

### US (美国)

Janice Jenkins, jjenkins@brunmedia.com

Tel: 724 929 3550

Tom Brun, tbrun@brunmedia.com

Tel: 724 539 2404

### Europe (欧洲)

Shehzad Munshi, Shehzad.Munshi@angelbc.com

Tel: +44 (0)1923 690215

Jackie Cannon, Jackie.cannon@angelbc.com

Tel: +44 (0) 1923 690205



# 2022厦门国际光电博览会

2022 Xiamen International Photoelectric Expo

时间：2022年12月15-17日 地点：厦门国际会展中心



指导单位:工业和信息化部

中国光学光电协会

合作单位:福建光电行业协会

福建省数字经济企业商会

厦门科技服务行业协会

厦门市光电半导体协会

承办单位:北京拓威国际展览有限公司

联系人:赵伟

联系电话:18600031828

邮箱:584554604@qq.com

网址:<http://www.xmipe.com>

邀请函



# 化合物半导体



《化合物半导体》中国版(CSC)于2005年创刊，是全球最重要和最权威的杂志Compound Semiconductor 的“姐妹”杂志。

《化合物半导体》中国版旨在通过对于全球化合物半导体工业的深度分析、实时信息报道和评论，扩展中国地区读者的专业焦点和全球视野。《化合物半导体》中国版以简体中文按双月刊出版。编辑内容由CompoundSemiconductor的专业记者提供，他们具有研究背景，其技术文章和专栏文章得到来自化合物半导体协会主要成员公司的认可。全球电子业领先的独立市场研究咨询机构 IHS IMS Research 也在杂志开设定期栏目。

除了22,183名经过审查认证的合格读者(2022年1月)，我们亦会在各个地区重要业界活动中免费派发杂志，对于希望在中国市场加强影响的化合物半导体公司，《化合物半导体》中国版是最有效的平台和目标媒体。

## 免费索阅

