

半导体芯科技



SILICON
SEMICONDUCTOR

CHINA

ISSN 2523-1294

www.siscmag.com

2023年6/7月

未来之路：系统技术协同优化 P.12

多维功率器件 P.16

晶圆厂调度智能软件 P.18

虚拟实验设计加速半导体工艺发展 P.26

新型低温生长工艺 P.29

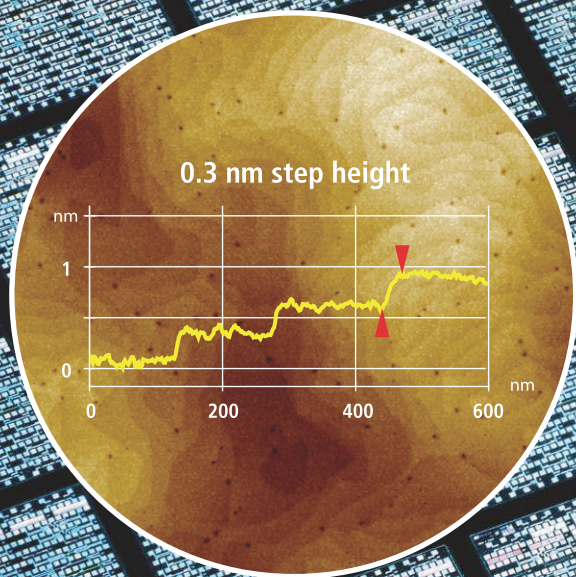
ACT 25
INTERNATIONAL
years

Angel
BUSINESS COMMUNICATIONS

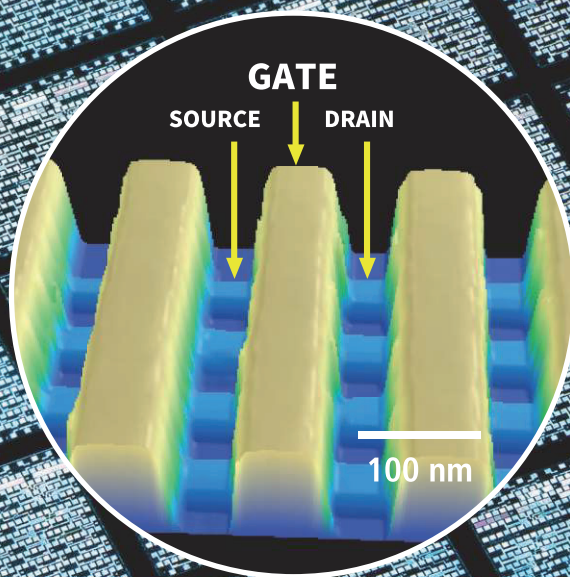


微信公众号

5G器件设计的最佳原子力显微镜



AFM Image of GaN Flat Substrate



AFM Image of 3D FinFET Structure

Park NX-Wafer

- 快速可靠的纳米级EPI质量控制
- 用于窄沟槽轮廓的精确测量
- GaN衬底测量可为后体积平面晶体管技术提供优质RF结果
- 全自动AFM解决方案, 用于非均匀间隔的VCSEL阵列
- 配有缺陷检测仪和轮廓仪的低噪声, 高通量原子力显微镜
- 2, 4, 6, 8, 12寸全自动化测量

Park原子力显微镜
电话:400-878-6829
www.parksystems.cn



2023 SEMICON China
展位号: E5135

Park
SYSTEMS

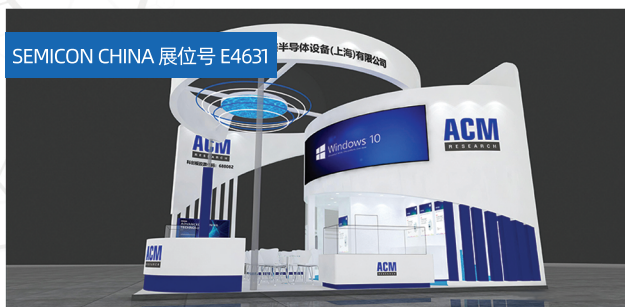
帕克
原子力显微镜





盛美半导体设备(上海)股份有限公司

盛美上海从事对先进集成电路制造与先进晶圆级封装制造行业至关重要的单晶圆及槽式湿法清洗设备、电镀设备、无应力抛光设备、立式炉管设备、前道涂胶显影设备和PECVD设备的开发、制造和销售，并致力于为半导体制造商提供定制化、高性能、低消耗的工艺解决方案，来提升他们多个步骤的生产效率和产品良率。



SAPS单片清洗设备

可用于芯片制造的薄膜沉积后清洗，干法刻蚀后清洗，离子注入灰化后清洗，化学机械研磨后清洗，抛光和外延工艺后的清洗等工艺。



立式炉管设备

可用于逻辑电路和存储电路中前道工艺中的多晶硅，氮化硅氧化硅薄膜沉积。



后道先进封装电镀设备

可用于先进封装PILLAR BUM P、RDL、HD FAN-OUT和TSV中，铜、镍、锡、银、金等电镀工艺。



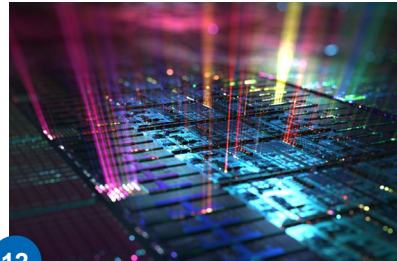
目录 CONTENTS

封面故事 Cover Story

12 未来之路：系统技术协同优化

The way forward: system technology co-optimization

在 Imec 主办的 ITF World 2023 大会上，研究人员认为，保持摩尔定律的运行变得越来越复杂，现在克服半导体发展面临的挑战，支持计算速度呈指数级增长的唯一方法是系统技术协同优化 (system technology co-optimization, STCO)。STCO 能够将芯片分解成它们的功能组件，为每个功能使用最佳的晶体管和互连技术，然后使用先进的 3D 堆叠技术将它们重新结合在一起，以创建一个功耗更低、功能更好的整体。



12

编者寄语 Editor's Note

5 通过 STCO 实现最佳解决方案？

Getting best solution with system technology co-optimization ?

- 赵雪芹



7

行业聚焦 Industry Focus

6 Cadence 成功流片基于台积电 N3E 工艺的 16G UCIe 先进封装 IP

6 联电推出 40 纳米 RFSOI 平台加速 5G 毫米波应用

7 Brewer Science 和 PulseForge 将光子解键合引入先进封装

7 是德科技使用数字孪生信令实现先进的半导体流片原型设计

8 希荻微与普林斯顿大学合作研究下一代芯粒技术供电架构

9 中微公司推出 12 英寸薄膜沉积设备 Preforma UniflexTMCW

10 突破性导热底部填充胶 - UF 158A2

10 新思科技、台积电和 Ansys 合作共促多裸晶芯片系统发展

11 ERS 推出晶圆翘曲测量设备 Wave3000



9

关于雅时国际商讯 (ACT International)



雅时国际商讯 (ACT International) 成立于1998年，为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品——包括杂志和网上出版物、培训、会议和活动——为跨国公司和中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站，以及各种技术会议，服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港，在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photronics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

关于《半导体芯科技》

《半导体芯科技》(原半导体科技)中国版 (SiSC) 是全球最重要和最权威的杂志Silicon Semiconductor的“姐妹”杂志，由香港雅时国际商讯出版，报道最新半导体产业新闻、深度分析和权威评论。为中国半导体专业人士，提供他们需要的商业、技术和产品信息，帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国半导体产业，包括IC设计、制造、封装及应用等。

About Silicon Semiconductor China

Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology & product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMS, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

高效、先进的成像

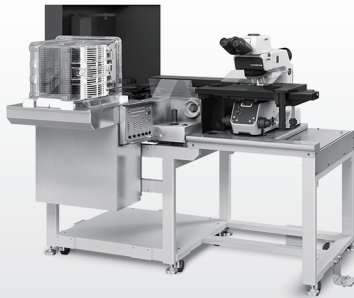
奥林巴斯半导体行业解决方案



DSX1000

数码显微镜

多角度观察 / 宽放大倍率范围 23X-8220X



MX63+AL120

半导体 / FPD / 工业检测显微镜

12 英寸晶圆搬送机



OLS5100

3D 测量激光显微镜

更智能的工作流程 / 更快速的实验设计



用于整合的显微镜部件

方便集成

- 特点 1: 组件采用模块化设计非常便于与其他光学机械系统集成。
- 特点 2: 结像透镜, 暗场模块, LED 远程控制。
- 特点 3: 独立模块, 便于设计您的系统。

节省观察时间

- 特点 1: 高分辨率、长工作距离物镜
- 特点 2: 超宽视场镜筒透镜, 不断提升的显微镜相机传感器尺寸和分辨率造就了对超宽视场光学器件的需求。

参数公开

专家将帮助您选择合适的组件, 并为您提供诸如尺寸和透光率值等技术数据。



仪景通光学科技(上海)有限公司

EVIDENT(Shanghai)Co.,LTD.

更多详情请咨询: 400-969-0456

marketing.cn@evidentscientific.com

www.evidentscientific.com.cn
industrial.evidentscientific.com.cn

OLYMPUS

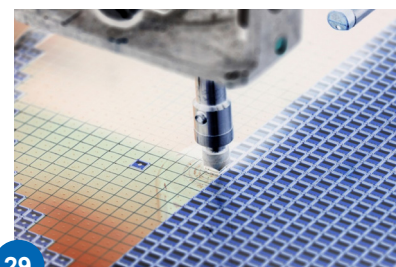
目录 CONTENTS

技术 Technology

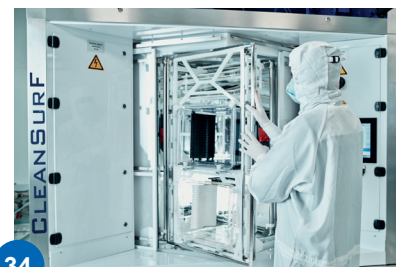
- 16 多维功率器件
Multi-dimensional power devices
- 18 晶圆厂调度如今非常复杂，迫切需要下一代智能软件
Fab scheduling is now so complex that it needs next-generation intelligent software
- 22 用复合晶体管开辟新天地
Breaking new ground with the hybrid transistor
- 26 使用虚拟实验设计加速半导体工艺发展
Accelerating semiconductor process development using virtual design of experiments



22



29



34

专栏 Conlunm

- 29 新型低温生长工艺改变半导体芯片技术
A novel low-temperature growth process revolutionizes semiconductor chip technology
- 32 真空技术赋能微观材料科技，推动纳米材料制造设备
Vacuum technology enables microscopic material technology and promotes nanomaterials manufacturing equipment

采访报道 Interview

- 34 湿法工艺设备的完美合作伙伴
The perfect partner for wet process equipment

40 广告索引 Ad Index

《半导体芯科技》编委会（排名不分先后）

刘胜 教授
武汉大学 工业科学研究院执行院长

姚大平 博士
江苏中科智芯集成科技有限公司总经理

汤晖 教授
广东工业大学、精密电子制造技术与装备国家重点实验室

于大全 教授
厦门云天半导体创始人

须颖 教授
中国仪器仪表学会显微仪器分会副理事长

罗仕洲 教授
磐龙科技总经理

林挺宇 博士
广东芯华微电子技术有限公司总经理

杨利华 院长
两江半导体研究院

王文利 教授
西安电子科技大学电子可靠性(深圳)研究中心主任
雅时国际资讯顾问

张昭宇 教授
香港中文大学(深圳)理工学院
深圳半导体激光器重点实验室主任

刘功桂 教授级高工
中国电器科学研究院股份有限公司威凯技术中心主任

云星 总经理
深圳安博电子有限公司

张弛 总裁
深圳贝特莱电子科技股份有限公司

乔旭东 博士
深创投集团投资发展研究中心总经理

徐开凯 教授
电子科技大学、电子薄膜与集成器件国家重点实验室

何进 教授
北京大学教授、深圳系统芯片设计重点实验室主任

社长 Publisher

麦协林 Adonis Mak

adonism@actintl.com.hk

主编 Editor in Chief

赵雪芹 Sunnie Zhao

sunniez@actintl.com.hk

出版社 Publishing House

雅时国际商讯 ACT International

香港九龙 B,13/F, Por Yen Bldg,

长沙湾青山道478号 478 Castle Peak Road,

百欣大厦 Cheung Sha Wan,

13楼B室 Kowloon, Hong Kong

Tel: (852) 2838 6298

Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988573 /25988567

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 59233884

UK Office

Angel Business

Communications Ltd.

6 Bow Court,

Fletchworth Gate,

Burnsall Road, Coventry,

CV56SP, UK

Tel: +44 (0)1923 690200

Chief Operating Officer

Stephen Whitehurst

stephen.whitehurst@angelbc.com

Tel: +44 (0)2476 718970



ISSN 2523-1294

© 2023版权所有 翻印必究

通过STCO实现最佳解决方案?

半导体行业保持摩尔定律的运行正变得越来越复杂，节点的进步伴随着巨大的成本飙升。

近年来，在半导体设计、制造和封装技术持续进步同时，随着先进封装、异构集成及 Chiplet 技术的不断发展，系统技术协同优化（STCO）正在成为行业新的发展途径。通过 STCO 是否可以获得最终产品的最佳答案，未来 STCO 发展的关键是什么？成为行业关注的热点。

在 Imec 主办的 ITF World 2023 大会上，研究人员认为，现在克服半导体发展面临的挑战，保持计算速度呈指数级增长的唯一方法是 STCO。STCO 能够将芯片分解成其功能组件，为每个功能使用最佳的晶体管和互连技术，然后使用先进的 3D 堆叠技术将它们重新结合在一起，以创建一个功耗更低、功能更好的整体。

Imec 研发副总裁 Julien Ryckaert 说：从某种意义上说，在 2005 年之前的几十年里半导体行业被宠坏了。在那段时间里，化学家和器件物理学家能够定期生产更小、功耗更低、速度更快的晶体管，可用于芯片上的每项功能，这使得芯片计算能力稳步提升。但此后不久，芯片发展开始脱离该路线。器件专家可以设计出优秀的新型晶体管，但这些晶体管并没有制造出更好、更小的电路。针对这个问题，芯片制造商开始打破标准单元设计和晶体管开发之间的障碍。这种新方案被称为设计技术协同优化（DTCO），它专门设计了器件，用于制造更好的标准单元和存储器。

但 DTCO 不足以让计算速度继续提升。物理和经济现实的局限性共同为通用型晶体管的发展设置了障碍。物理限制阻止了 CMOS 工作电压降低到 0.7 伏以下，从而减缓了功耗的进展。转向多核处理器在一段时间内帮助改善了这个问题。同时，输入输出限制意味着将多个芯片的功能集成到处理器上变得越来越有必要。这些内核和功能不仅具有不同的功率和其他需求，而且它们也无法以相同的速度变得更小。有鉴于此，STCO 应运而生。

根据 Ryckaert 的说法，STCO 意味着将 SoC 视为功能（例如电源、I/O 和缓存存储器等）的集合。STCO 需要通过对系统和目标应用的需求建模来重新思考设计过程，然后使用这些知识来为创建芯片的设计决策提供信息。通过 STCO 实现更紧密的 3D 芯片集成系统，不仅需要技术开发，还需要工具和培训。本期杂志的封面故事“未来之路：系统技术协同优化”报道 Imec 关于 STCO 的设想和技术探讨，与感兴趣的读者分享。

本期更多精彩内容：

多维功率器件

晶圆厂调度如今非常复杂，迫切需要下一代智能软件

用复合晶体管开辟新天地

使用虚拟实验设计加速半导体工艺发展

.....

赵雪芹

Cadence成功流片基于台积电N3E工艺的16G UCIe先进封装 IP

楷登电子 (Cadence) 近日宣布基于台积电 3nm (N3E) 工艺技术的 Cadence® 16G UCIe™ 2.5D 先进封装 IP 成功流片。该 IP 采用台积电 3DFabric™ CoWoS-S 硅中介层技术实现，可提供超高的带宽密度、高效的低功耗性能和卓越的低延迟，非常适合需要极高算力的应用。Cadence UCIe IP 为 Chiplet 裸片到裸片通信提供了开放标准，随着人工智能 / 机器学习 (AI/ML)、移动、汽车、存储和网络应用推动从单片集成向系统级封装 (SiP) Chiplet 的转变，Chiplet 裸片到裸片通信变得越来越重要。

Cadence 目前正与许多客户合作，来自 N3E 测试芯片流片的 UCIe 先进封装 IP 已开始发货并可供使用。这个预先验证的解决方案可以实现快速集成，为客户节省时间和精力。

Cadence UCIe PHY 和控制器的异构集成简化了 Chiplet 解决方案，具有裸片可重复使用性。完整的解决方案包括以下方面，可带 Cadence 验证 IP (VIP) 和 TLM 模型交付：

UCIe 先进封装 PHY

UCIe 先进封装 PHY 专为支持 5Tbps/mm 以上 Die 边缘带宽密度而设计，能在显著提高能效的同时实现更高的吞吐量性能，可灵活集成到多种类型的 2.5D 先进封装中，例如硅中介层、硅桥、RDL 和扇出型封装。

UCIe 标准封装 PHY

助力客户降低成本，同时保持高带宽和高能效。Cadence 的电路设计使客户可以在该标准的 Bump pitch 范围下限内进行设计，从而最大程度提高每毫米带宽，同时还能实现更长的覆盖范围。

UCIe 控制器

UCIe 控制器是一种软 IP 核，可以在多个技术节点进行综合，针对不同的目标应用提供多种选项，支持流、PCI Express® (PCIe®) 和 CXL 协议。

Cadence 公司全球副总裁兼 IP 事业部总经理 Sanjive Agarwala 说：Cadence 一直是 Chiplet 系统解决方案产品领域的先驱，并将继续突破先进节点和封装架构中各种多 Chiplet 应用的性能和能效极限。我们认为，协调整个行业的互连标准十分重要，而 UCIe IP 可作为桥梁，为大型系统级芯片提供开放式 Chiplet 解决方案，达到或超过制造的最大光罩极限。基于台积电 N3E 工艺的 UCIe 先进封装流片是为客户提供开放式 Chiplet 连接标准的关键里程碑和承诺。

Cadence 16G UCIe™ 2.5D 先进封装 IP 支持 Cadence 的智能系统设计 (Intelligent System Design™) 战略，该战略可实现 SoC 的卓越设计。

联电推出 40 纳米 RFSOI 平台加速 5G 毫米波应用

全球领先的半导体代工厂联华电子 (UMC) 宣布其 40 纳米 RFSOI 技术平台现已准备好用于生产毫米波 (mmWave) 射频前端产品，支持 5G 无线网络和应用的激增，包括智能手机、固定无线接入 (FWA) 系统和小型蜂窝基站。

虽然当今大多数 5G 网络都在 8GHz 以下频段运行，但毫米波技术采用 24GHz 至 60GHz 之间的新频谱，从而可以提供极快的传输速度、极低的延迟和更可靠的连接。UMC 的新平台 40RFSOI 针对制造能够处理更宽毫米波频率带宽的射频开关、低噪声放大器和功率放大器进行了优化。40RFSOI 平衡了毫米波模块中对更多 RF 组件的需求，同时保持紧凑的尺寸，是设计将波束形成器、无源器件以及前端组件组合在单个 IC 上的集成 RF 芯片的客户的理想解决方案。

UMC 技术开发助理副总裁 Raj Verma 表示：5G 的全部潜力取决于毫米波的主流部署，以提供虚拟和增强现实、智慧城市、工业自动化和医疗保健应用所需的速度和容量。通过推出 40RFSOI 平台，UMC 扩展了射频产品组合，使我们的客户能够将他们先进的 5G 设备推向市场，并在不断增长的毫米波市场中抓住机遇。目前有几家客户正在与我们接洽，为其射频前端产品定制 40RFSOI 工艺，预计 2024 年开始量产。

UMC 提供的射频前端模块解决方案，服务于广泛的应用，包括移动、Wi-Fi、汽车、物联网和卫星通信。该公司的 RFSOI 解决方案系列涵盖从 8 英寸到 12 英寸的晶圆制造。自 2014 年以来，联华电子已经有超过 400 个产品流片和超过 350 亿颗 RFSOI 芯片出货，用于各种应用。其 55nm RFSOI 技术已投产多年，服务于 5G sub-8GHz 市场。

Brewer Science 和 PulseForge 将光子解键合引入先进封装

Brewer Science, Inc. 和 PulseForge, Inc. 通过对半导体先进封装进行光子解键合 (Photonic debonding), 带来了显著的成本节约、更高的产量和其他优势。此次合作将制造下一代材料和工艺的全球领导者与独特的技术提供商结合在一起。

光子解键合是一项革命性的技术, 它使用高强度光脉冲结合专有的无机光吸收层来分离临时键合的晶圆对。使用 Brewer Science BrewerBOND 系列材料的光子解键合可实现超薄晶圆的后道工序处理。PulseForge 和 Brewer

Science 双方共同提供了适用于先进封装应用的独特光子解键合晶圆支撑系统。

与现有的行业替代方案相比, 光子解键合显著降低了拥有成本。光子解键合可以处理翘曲的晶圆, 而不需要昂贵且耗时的翘曲调整硬件设备。光子解键合是第一个引入可重复使用的无机释放层, 从而实现清洁、无灰的剥离过程。Brewer Science 和 PulseForge 在 CS MANTECH 上共同展示了这种用于晶圆级封装的光子解键合技术。

是德科技使用数字孪生信令实现先进的半导体流片原型设计

是德科技 (Keysight Technologies, Inc.) 发布一个全新的通用信号处理构架 (USPA) 建模平台, 助力半导体公司能够在实时开发环境中, 利用完全兼容的、基于标准的数字孪生信号进行完整的芯片原型设计、验证和预流片。

流片是芯片设计过程的最后一步, 也是一个成本越来越昂贵的过程, 几乎没有给设计失败留下任何空间。如果初始设计在流片后被证明是失败的, 则芯片制造商必须重新开始新的“重新设计”, 这可能需要 12 个月或更长时间才能完成。除了占用宝贵的研发资源外, 这些芯片重新设计还可能导致芯片制造商错过一个狭窄的上市时间窗口。

为降低设计失败和代价高昂的重新设计的风险, 是德科技 USPA 平台为芯片设计人员和工程师提供了完整的数字孪生信令, 以便在他们投入流片之前验证设计。USPA 平台通过将超快信号转换器与高性能、完全模块化的现场可编程门阵列 (FPGA) 原型系统集成, 为设计人员提供了一种针对原来专有定制原型建模系统的替代方案。

独特的 USPA 原型设计平台具有以下优势:

- 通过速率高达 68GS/s 的 ADC 模数接口和 72GS/s 的 DAC 数模接口进行高速数字仿真, 可支持最高性能的光电开发项目。

- 提供范围广泛的输入/输出接口, 适用于包括 6G 无线开发、数字射频存储器、高级物理研究和高速数据采

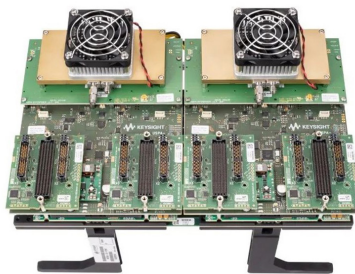


图: 是德科技 M8135A—预配置的 USPA 系统, 适用于单通道收发信机相关应用

集应用在内的应用, 例如雷达和射电天文。

- 提供两种灵活的配置, 一种是适用于单通道收发信机应用的预配置系统和另外一种完全可配置的模块化组件, 这些组件可以灵活组合以支持广泛的单通道和多通道应用。此外, 预配置的系统可以使用额外的组件进行

扩展, 这些组件利用了平台架构的模块化、可扩展性和经济高效的可重用性。

Avance Semi, Inc. 首席执行官 Hong Jiang 表示: “当我们开始为相干光纤通信市场开发我们的第一个 ASIC 时, 我们明白我们可能只有一次机会把它做对, 而且第二次流片将非常昂贵并且耗时, 以至于我们可能会错过狭窄的上市时间窗口。借助是德科技的 USPA 平台和我们的系统集成工作, 我们可以在设计过程中实时优化和验证我们的设计。这就像一个‘免费的预流片’, 我们可以根据需要多次运行。这种方法节省了开发时间和成本, 同时显著提高了我们对设计和产品发布时间表的信心。”

是德科技副总裁及网络和数据中心解决方案总经理 Joachim Peerlings 博士说: “通过加速芯片开发和降低相关风险, 是德科技 USPA 提供了一种新的端到端解决方案, 可以在高成本的设计环境中应对开发前沿技术的挑战。这个强大的平台为芯片开发人员的未来芯片产品提供了一个数字孪生, 使他们能够在承担流片费用和风险之前充分验证他们的设计和算法。”

希荻微与普林斯顿大学合作研究下一代芯粒技术供电架构

今年2月，一项题为《功率转换电路与电子设备》的专利(CN202211387831X)获得授权，其共同专利权人为广东希荻微电子股份有限公司和普林斯顿大学。

随着人工智能和云计算等应用的普及，对数据中心服务器算力的要求随之显著提高，而随着摩尔定律的放缓，基于芯粒(chiplet)架构的处理器逐渐成为主流。芯粒技术是将一个处理器拆分成多个独立的芯粒，每个芯粒都有自己的功能单元和通信接口，并可以采用不同的半导体制程，这些芯粒可以组合在一起形成一个更强大的系统。芯粒技术可以提高处理器的集成度、降低制造成本、加速设计周期，并且有助于提高性能和降低功耗。然而由于不同的芯粒有不同的电压需求，因此需要提供多个电源域，以确保由芯粒系统工作的稳定和可靠性。但是为了实现多个电源域，需要在处理器附近布置多个供电系统，这样的架构无论是从成本和面积的角度都不具备扩展性，以至于芯粒架构的供电逐渐成为高性能处理器发展的瓶颈。

合作方向与成果

希荻微与普林斯顿的合作项目致力于研究下一代芯粒架构处理器的多输出混合型供电架构。两方的研究人员共同发明了一种基于混合型电荷泵电路的两级多输出供电架构。

其中，电荷泵输入级以很高的效率将高压(如48V)输入转换为多个错相的脉冲，并通过多个电压轨和电感元件同时耦接到多个电荷泵输出级以为芯粒架构处理器的多个电压域分别供电。这样的架构显著地简化了供电电路，并为供电电路与处理器封装的进一步集成提供了一条新的路径。

该项目的阶段性成果在今年二月初在美国奥兰多举行的国际电气电子工程师协会电子封装学会(IEEE-EPS)的3D-PEIM会议上发表并获得会议最佳论文奖^[1]。至此，希荻微校企合作已初见成效，在未来我们将持续深耕技术领域，为新产品研发增添源源不断的“芯”动力!

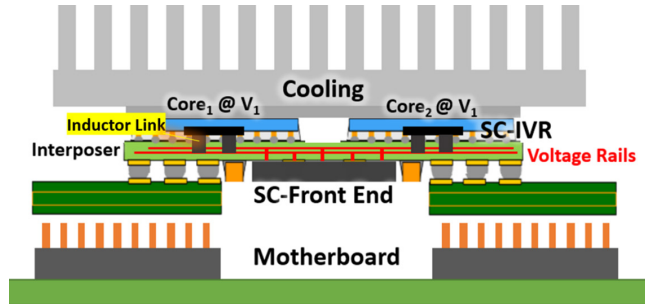


图2：采用该专利技术的三维封装示意图*

参考文献：

[1] * M. Liao, et al., "Power Systems on Chiplet: Inductor-Linked Multi-Output Switched-Capacitor Multi-Rail Power Delivery on Chiplets," 2023 Fourth International Symposium on 3D Power Electronics Integration and Manufacturing (3D-PEIM), Miami, FL, USA, 2023, pp. 1-7, doi: 10.1109/3D-PEIM55914.2023.10052630.

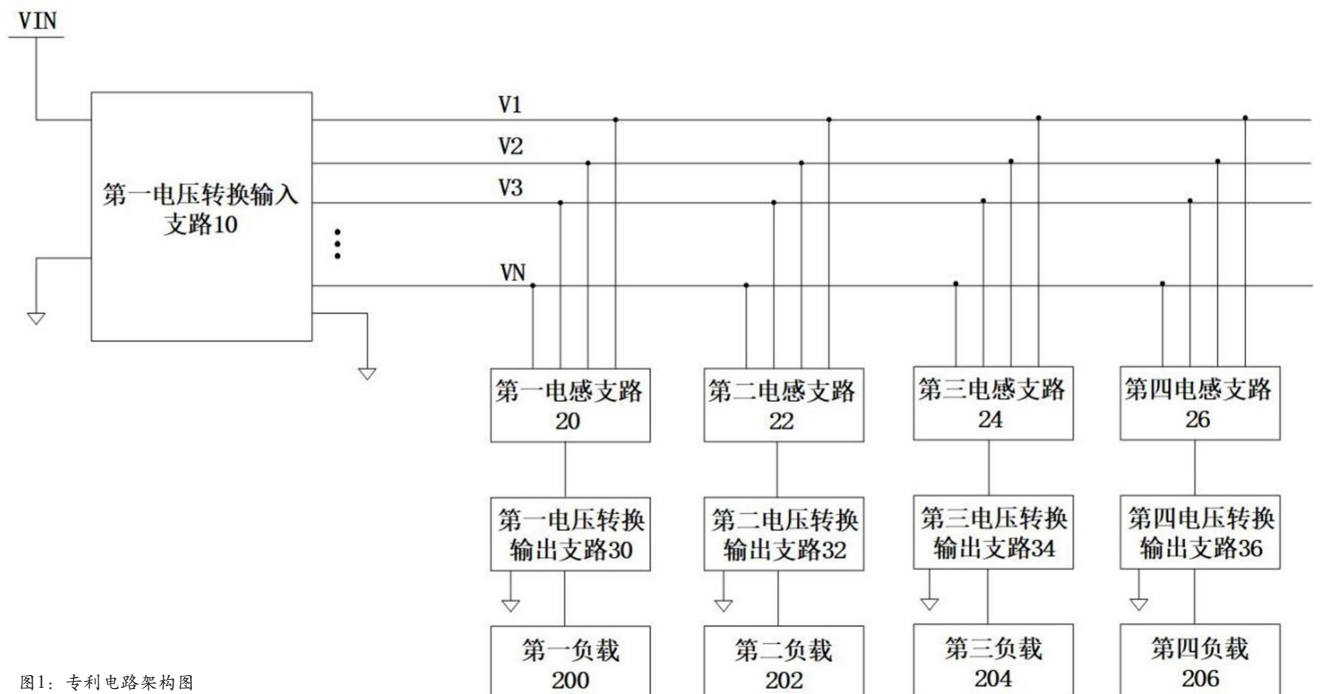


图1：专利电路架构图

Meet the Challenge



中微公司推出12英寸薄膜沉积设备、 Preforma Uniflex™ CW

中微半导体设备(上海)股份有限公司推出自主研发的12英寸低压化学气相沉积(LPCVD)设备Preforma Uniflex™ CW。这是中微公司深耕高端微观加工设备多年、在半导体薄膜沉积领域取得的新突破,也是实现公司业务多元化增长的新动能。

作为中微公司自主研发的产出效率高且性能卓越的12英寸LPCVD设备,Preforma Uniflex™ CW可灵活配置多达五个双反应台反应腔(十个反应台),每个反应腔可以同时加工两片晶圆,在保证较低的生产成本和化学品消耗的同时,实现更高的生产效率。

Preforma Uniflex™ CW,作为中微公司自主研发的LPCVD设备,配备了完全拥有自主知识产权的优化混气方案及加热台,具有优秀的薄膜均匀性、填充能力和工艺调节灵活性,对于弯曲度较大的晶圆,它也具备良好的工艺处理能力。并且其优异的阶梯覆盖率和填充能力,可以满足先进逻辑器件、DRAM和3D NAND中接触孔以及金属钨线的填充应用需求。

“这款LPCVD设备不仅拥有完整、自主的知识产权,还创造了中微公司新设备研发速度的新纪录。”中微公司集团副总裁、LPCVD产品部和公共平台工程部总经理陶珩说:“自该款LPCVD设备研发立项以来,仅用不到半年时间,我们就完成了产品设计、生产样机开发和实验室评价,目前已顺利导入客户端进行生产线核准。”

中微公司董事长兼总经理尹志尧博士表示:半导体微观加工设备是发展集成电路产业的关键。工欲善其事,必先利其器,加工微米及纳米级微观器件的设备对发展集成电路与微器件工业、促进数码产业发展至关重要。此次我们推出LPCVD新产品,在等离子体刻蚀设备和MOCVD设备的基础上,进一步拓展了公司的产品线布局,也增强了半导体设备的自主可控性。未来公司也将继续瞄准世界科技前沿,坚持三维发展战略,推出更多自主设计的半导体设备,为促进产业发展贡献力量。

自2004年成立以来,中微公司致力于开发和提供具有国际竞争力的

微观加工的高端设备,现已发展成为国内高端微观加工设备的领军企业之一。未来,公司将继续打造更多具有国际竞争力的技术创新与差异化产品,为客户和市场提供性能优越、生产效率高和性价比高的设备解决方案。

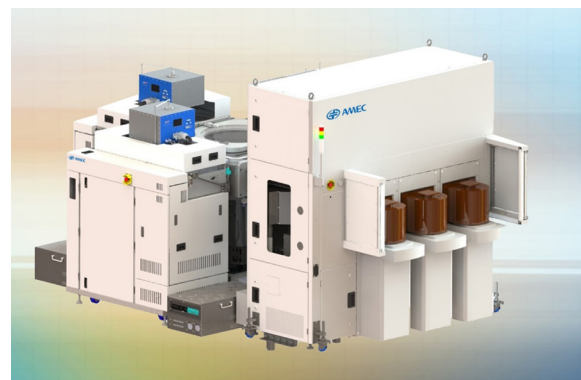


图:中微公司12英寸低压化学气相沉积产品Preforma Uniflex™ CW

搭载污染管理系统的 连续过程分析

您能获得的附加价值

- 用于各种FOUP(开放式晶圆传送盒)在线分析的大型工具组合
- APA是用于先进芯片制造的独特解决方案,可在有晶圆或无晶圆的生产环境中监测和跟踪FOUP中的AMC(空气分子污染物)
- APR系统是一个在等待时间内从晶圆和FOUP上去除AMC的解决方案
- 专门为半导体行业提供以客户为导向的协作解决方案

PFEIFFER  **VACUUM**

Your Success. Our Passion.

Pfeiffer Vacuum
(Shanghai) Co., Ltd.
普发真空技术(上海)有限公司
T +86 21 3393 3940
www.pfeiffer-vacuum.cn



关注我们

突破性导热底部填充胶 – UF 158A2

领先的高性能电子材料制造商英凯 (YINCAE) 高级材料责任有限公司发布其突破性产品：导热底部填充胶 - UF 158A2。

UF 158A2 专为用于各种电子设备而设计，不仅可以在 CoWoS 封装中一步取代底部填充胶、银环氧树脂和散热片，还可以为关键组件提供卓越的保护和改进的热管理。通过填充设备和 PCB (印刷电路板) 之间的空间，导热底部填充胶增强了组件的结构完整性，同时减少了焊点上的应力。

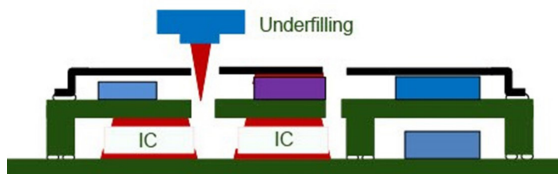
UF 158A2 非常适合用于温度循环、冲击和振动会损坏电子元件的高可靠性应用。该产品具有出色的导热性和高温稳定性，即使在最苛刻的环

境中也能确保最佳性能。

YINCAE 首席执行官 Wusheng Yin 博士说：“我们很高兴将 UF 158A2 引入我们的产品组合。我

们相信 UF 158A2 将为我们的客户提供可靠且具有成本效益的解决方案：1) 快速流动且易于使用底部填充 100×100 mm 芯片 (20 间隙)；2) 缩短制造过程；3) 高导热率 3-4W/mk；4) 快速固化和可返工；5) 巨大的成本节约，满足他们的热管理需求。”

UF 158A2 有多种配方可供选择，以满足不同的应用要求。该产品易于使用，可在低温下固化，适用于各种电子设备。凭借其卓越的性能、可靠



性和易用性，UF 158A2 将成为电子行业的重要参与者。

英凯高级材料责任有限公司成立于 2005 年，总部位于纽约奥尔巴尼，是微芯片和光电设备中使用的高性能涂料、粘合剂和电子材料的领先制造商和供应商。YINCAE 产品提供新技术来支持从晶圆级到封装级、板级和最终设备的制造过程，同时促进更智能、更快速的生产并支持绿色倡议。更多信息请访问：www.yincae.com。

新思科技、台积电和Ansys 合作共促多裸晶芯片系统发展

新思科技 (Synopsys, Inc.) 近日宣布，携手台积电和 Ansys 持续加强多裸晶芯片系统设计与制造方面的合作，助力加速异构芯片集成以实现下一阶段的系统可扩展性和功能。得益于与台积电在 3DFabric™ 技术和 3Dblox™ 标准中的合作，新思科技能够为台积电先进的 7 纳米、5 纳米和 3 纳米工艺技术上的多裸晶芯片系统设计，提供业界领先的全方位 EDA 和 IP 解决方案。台积电先进工艺技术集成了新思科技实现和签核解决方案以及 Ansys 多物理场分析技术，助力开发者从容应对多裸晶芯片系统中从早期探索到架构设计中签核功耗、信号和热完整性分析等严苛挑战。

台积电设计基础架构管理事业部负责人 Dan Kochpatcharin 表示：“多裸晶芯片系统提供了一种实现更低功

耗、更小面积及更高性能的方法，打开了面向系统级创新时代的大门。我们与新思科技、Ansys 等开放创新平台 (OIP, Open Innovation Platform®) 生态系统合作伙伴长期密切合作，通过专为台积电先进技术优化的全方位 EDA 和 IP 解决方案，助力共同客户加速实现多裸晶芯片系统的成功。”

Ansys 副总裁兼总经理 John Lee 表示：“芯片设计向多裸晶芯片系统的发展拐点，在于解决功耗、热完整性和可靠性签核等方面的全新挑战。通过集成的方式和强大的生态系统，我们能够提供全方位解决方案来应对日益复杂的挑战。基于我们与新思科技、台积电的合作，开发者可以采用业界领先的多裸晶芯片解决方案，并充分利用我们数十年专业技术加速实现芯片成功。”

新思科技 EDA 事业部营销和战略副总裁 Sanjay Bali 表示：“向多裸晶芯片系统的演进对半导体产业产生了深远的变革，产业亟需一个整体的解决方案来处理 die-to-die 连接、多物理场效应和芯片 / 封装协同设计问题。新思科技与台积电、Ansys 紧密协作，提供了引领行业的全方位、可扩展且值得信赖的解决方案，助力加速异构集成并降低设计风险。”

全方位解决方案助力多裸晶芯片系统成功

与单片片上系统 (SoC) 不同，多裸晶芯片系统具有高度的相互依赖性，必须从系统级角度来开发。新思科技多裸晶系统解决方案能够实现早期架构探索、快速软件开发和系统验证、高效的芯片 / 封装协同设计、强

大且安全的 die-to-die 连接，并具有更卓越的制造和可靠性。新思科技与台积电公司、Ansys 合作的主要亮点包括：

• 新思科技 3DIC Compiler 是一个统一的多裸晶芯片封装协同设计与分析平台，与台积电公司 3Dblox™ 标准和 3DFabric™ 技术无缝集成，用于 3D 系统集成、先进封装以及完整的“探索到签核”实施。

• 新思科技设计签核解决方案经台积电公司技术认证，并与 Ansys RedHawk-SC™ 电热多物理场技术集成，可解决多裸晶芯片系统中关键的功耗和热签核问题。

• 新思科技 UC1e PHY IP 核已在台积电公司 N3E 工艺中成功流片。UC1e 有望成为低延迟和安全的 die-to-die 连接的事实标准。

ERS推出晶圆翘曲测量设备Wave3000

半导体制造业提供温度管理解决方案的领导者——ERS electronic 开发了一种史无前例的晶圆翘曲测量和分析设备。由于其先进的光学扫描测量方法，使得 Wave3000 在可以准确地测量晶圆在特定处理位置的变形，并提供全面精准的翘曲分析，这对于确保先进封装设备的质量至关重要。

“随着先进封装技术的广泛应用，我们看到翘曲正逐渐成为半导体制造业日趋复杂的难题，” ERS electronic CEO Laurent Giai-Miniet 说。“翘曲可以由多种因素造成的，其中包括材料性质差异、温度波动以及处理和加工过程中的压力。翘曲的晶圆不仅会引起工艺问题，还会导致生产出残次品，降低良率。”

为了应对这个问题，ERS 开发了 Wave3000，一台可以在一分钟以内精准测量 200 到 300 毫米晶圆翘曲并加以分析的机器。机器内置的扫描仪允许系统测量不同的晶圆表面和由不同材料制成的晶圆，比如硅晶圆，化合物晶圆等。其独特的测量方式提供了



较大的灵活性，用户可在不同平台上测量，如在顶 Pin 或是末端执行器上。

测量之后，Wave3000 生成的交互式晶圆 3D 视图，用来更好的了解翘曲情况。用户可以旋转、放大、随意操控该 3D 图像，从任何角度观察翘曲并评估其对晶圆制造过程的影响。

“该设备具有高度的灵活性和精确性，可以测量翘曲、弓形以及晶圆厚度，这些都是避免降低良率、减少破损的关键特征，” ERS electronic 扇出设备业务部经理 Debbie-Claire Sanchez 说。“Wave3000 搭载的软件可以生成精确的晶圆表面 3D 图，用户可以据此分析翘曲对晶圆性能的影响，并就如何优化工艺步骤以获得更好的结果做出明智的决定。”

这项创新扩大了公司用于扇出式晶圆级封装的自动、半自动和手动热拆键合和翘曲矫正设备的产品组合。Wave3000 定位在致力于先进封装技术方面庞大且不断增长的市场的半导体制造商、OSAT 和研究机构。



广东鸿浩半导体设备有限公司
集研发、生产、销售于一体的专业先进半导体设备制造商

Dry Pump (干式真空泵)



九大独家

- | | |
|--------------|-----------|
| 自主生产 | 独家远端监控 |
| 人机触控界面 | 内建UPS系统 |
| 双变频电控系统 | 视觉灯效管理 |
| 内建HOT N2功能模式 | 内建关键数据趋势图 |
| 多国语系模式切换 | |

四大模式

- | | |
|--------|---------|
| 自主生产 | 独家远端监控 |
| 人机触控界面 | 内建UPS系统 |

Laser Debonder



核心技术

- | | |
|------------|--------|
| 自主特殊光路设计能力 | 特定波长激光 |
| 独家高良率拨片设计 | |

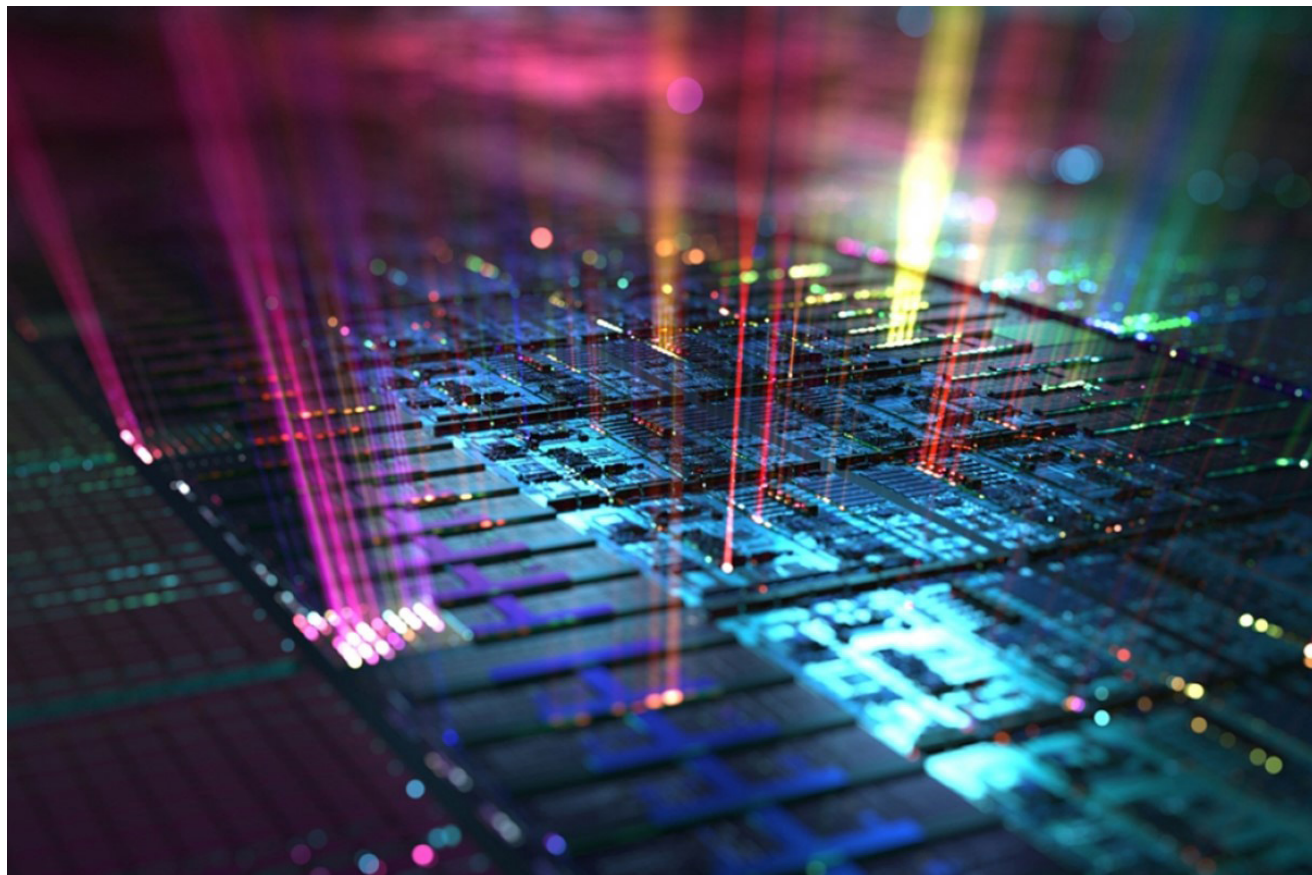
先进性

- 特殊的加大光斑以实现高产出
- 大焦深光路设计以解决业界芯片翘曲问题
- 特殊波长与波形的激光形成高良率
- 特殊拨片设计以配合客户各种型态与不同种类与材质并厚度的device

联系我们

广东省佛山市南海区里水镇和顺花园大道中科万钧电子信息港东区4栋2单元2楼
电话：0757-88362795

商务咨询
张鹏飞 副总 王宝金 销售经理
TEL: 18688897932 TEL: 13600361142



未来之路： 系统技术协同优化

曾经有一段时间，实际上是几十年，制造更好的计算机芯片所需要的只是更小的晶体管和更窄的互连。那个时代已经一去不复返了，虽然晶体管会继续变得更小，但简单地制造它们已不再是重点。

随着节点的进步，半导体行业面临着看似无法克服的挑战，但对更多计算能力的需求，尤其是对机器学习和人工智能的需求正呈指数级增长。这种需求并不容易满足。成本飙升，

而高端芯片的功耗稳步增加——功率缩放仍然是一个挑战，因为 CMOS 工作电压顽固地拒绝低于 0.7 伏，并且持续需要扩展到更大的芯片，这些带来了电源和冷却挑战，这将需要全新的规避解决方案。

由 IMEC 主办的 ITF World 2023 大会 5 月 16 日在比利时安特卫普举行，IMEC 研究人员认为，现在保持计算速度呈指数级增长的唯一方法是系统技术协同优化 (system technology

co-optimization, STCO)。STCO 能够将芯片分解成它们的功能组件，为每个功能使用最佳的晶体管和互连技术，然后将它们重新拼接在一起以创建一个功耗更低、功能更好的整体。

从 DTCO 到 STCO

IMEC 研发副总裁 Julien Ryckaert 说：从某种意义上说，在 2005 年之前的几十年里半导体行业被宠坏了。在那段时间里，化学家和器件物理学

家能够定期生产更小、功耗更低、速度更快的晶体管，可用于芯片上的每项功能，这使得芯片计算能力的稳步提升。但此后不久，芯片发展开始脱离该路线。器件专家可以设计出优秀的新型晶体管，但这些晶体管并没有制造出更好、更小的电路，例如构成 CPU 主体的 SRAM 存储器 and 标准逻辑单元。针对这个问题，芯片制造商开始打破标准单元设计和晶体管开发之间的障碍。这种新方案被称为设计技术协同优化 (DTCO)，它专门设计了器件，用于制造更好的标准单元和存储器。

但 DTCO 不足以让计算速度继续提升。物理和经济现实的局限性共同为通用型晶体管的发展设置了障碍。例如，IMEC 的首席工程师 Anabela Veloso 解释说，物理限制阻止了 CMOS 工作电压降低到 0.7 伏以下，从而减缓了功耗的进展。转向多核处理器在一段时间内帮助改善了这个问题。同时，输入输出限制意味着将多个芯片的功能集成到处理器上变得越来越有必要。因此，除了具有多个处理器内核实例的片上系统 (SoC) 之外，它们还集成了网络、内存和通常专用的信号处理内核。这些内核和功能不仅具有不同的功率和其他需求，而且它们也无法以相同的速度变得更小。即使是 CPU 的高速缓存 SRAM，也不会像处理器的逻辑那样快速缩小。有鉴于此，STCO 应运而生。

让事情摆脱困境既是一种哲学转变，也是一种技术的集合。根据 Ryckaert 的说法，STCO 意味着将 SoC 视为功能（例如电源、I/O 和缓存存储器等）的集合。“当你开始对功能进行推理时，你会意识到 SoC 不是一个同质系统，它只是晶体管和互

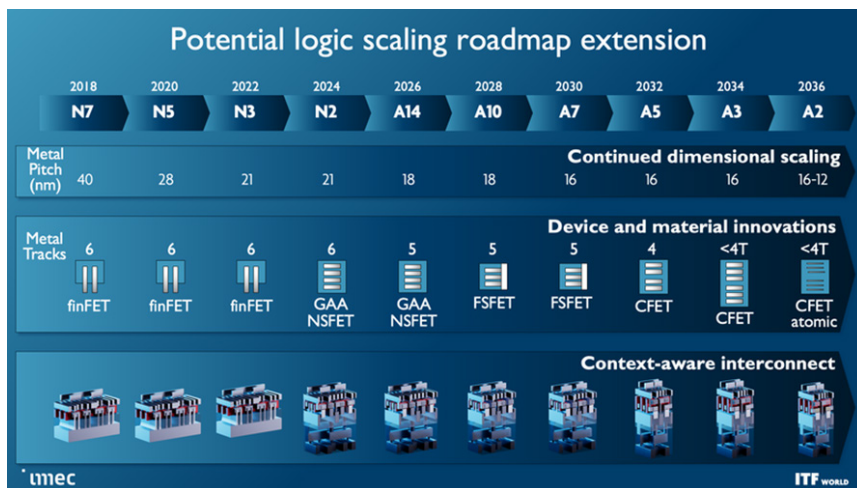


图1：半导体芯片发展路线图。晶体管将在未来十年内改变形式，但连接它们的金属也会改变。最终，晶体管可能是由二维半导体而不是硅制成的堆叠器件。电力输送和其他基础设施可以分层放在晶体管下面。（来源：IMEC）

连。它是针对不同的目的进行优化的功能集合。”

STCO 需要通过对系统和目标应用的需求建模来重新思考设计过程，然后使用这些知识来为创建芯片的设计决策提供信息。这种设计方法通常会导致“分解”通常作为单片处理器的一部分的功能单元，例如供电、I/O 和高速缓存，并将它们拆分为单独的单元，以通过使用不同的方法针对所需的性能特性优化每个单元类型的晶体管。

理想情况下，您可以使用最适合它的工艺技术来构建每个功能。实际上，这主要意味着在各自独立的硅片上构建不同的功能，即小芯片 (chiplet)。然后，您可以使用先进的 3D 堆叠等技术将它们结合在一起，这样所有功能就好像在同一块硅片上一样。

继续缩小晶体管

主要芯片制造商已经从过去十年为计算机和智能手机提供动力的 FinFET 晶体管向一种新的架构——纳米片晶体管过渡。最终，两个纳米

片晶体管将互相叠加，形成互补的场效应晶体管 (CFET)。

这些器件按比例缩小和改变形状，主要目标之一是缩小标准逻辑单元的尺寸。这通常以“轨道高度”来衡量——基本上就是可以安装在单元内的金属互连线的数量。先进的 FinFET 和早期的纳米片器件是六轨单元。发展到五个轨道可能需要一种称为 forksheet 的间隙设计，它可以将器件更紧密地挤压在一起，而不必使它们更小。然后，CFET 会将单元减少到四个轨道，甚至可能更少。

IMEC 预计 forksheet 晶体管将从 1nm (A10) 开始，一直到 A7 (0.7nm) 节点。该设计分别堆叠 NMOS 和 PMOS，但使用电介质势垒将它们分开，从而实现更高的性能和 / 或更好的密度。

CFET 晶体管在 2028 年首次以 1nm (A10) 节点出现时将进一步缩小占位面积，从而允许更密集的标准单元库。最终，我们将看到带有原子通道的 CFET 版本，进一步提高性能和可扩展性。CFET 晶体管将 NMOS 和 PMOS 器件堆叠在一起以实现更高的

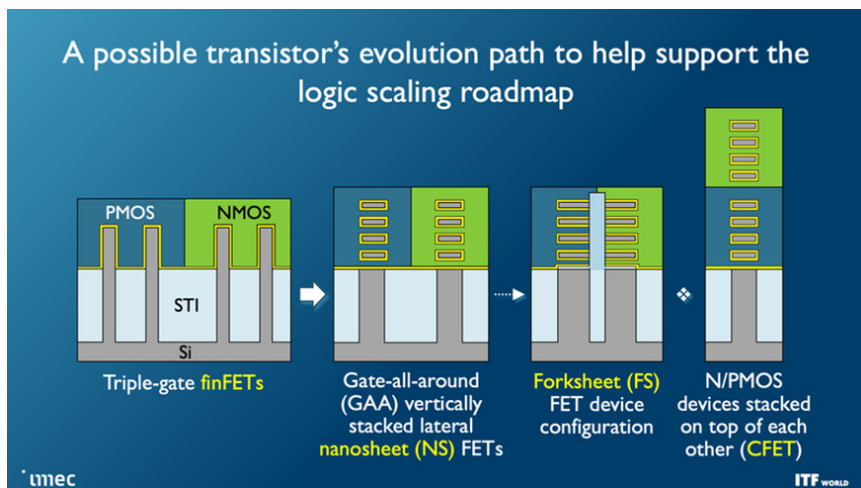


图2：前沿晶体管已经从FinFET架构过渡到纳米片FET。最终目标是在CFET中将两个器件互相堆叠在一起。叉片（forksheet）架构可能是这个过程的一个中间步骤。（来源：IMEC）

传输时钟和其他信号的连接 - 也可以放在硅背面。或者工程师可以添加有源功率传输器件，例如静电放电安全二极管。

3D集成与CMOS 2.0

有几种方法可以进行3D集成，但目前最先进的是晶圆到晶圆（wafer-to-wafer）和晶粒到晶圆（die-to-wafer）的混合键合。这两种方式在两个裸硅芯片之间提供了最高密度的互连。但是这种混合键合方法要求将两个芯片一起设计，以便它们的功能和互连点对齐，使它们在整体集成中像单个芯片。IMEC有望在不久的将来实现每平方毫米生产数百万个3D连接。

对于CMOS未来来说，3D集成只是至关重要的众多技术之一，IMEC称之为CMOS 2.0。向CMOS 2.0的转变涉及将芯片的功能单元（如L1和L2缓存）分解为比当今基于小芯片的方法更先进的3D设计。包括将芯片分解成更小的部分，将缓存和存储器分成具有不同晶体管的独立单元，然后以3D排列堆叠在其他芯片功能之上。这种方法将严重依赖前面提到的背面供电网络。

IMEC设想的CMOS 2.0是一个

密度。CFET应该标志着纳米片器件缩放的结束，以及可见路线图的结束。然而，未来将需要其他重要技术来打破性能、功率和密度缩放障碍，IMEC设想这将需要新的CMOS 2.0范例和系统技术协同优化（SCTO）。

根据IMEC的说法，芯片制造商将能够使用ASML的下一代极紫外（EUV）光刻技术生产出这一进展所需的更精细的特征。这种技术被称为高数值孔径（High-NA）EUV，目前ASML公司正在建造中，IMEC将是下一个交付的订户。增大数值孔径可以获得更精确的图像。（NA是一个光学术语，代表系统可以收集光线的角度范围）。

与当今从芯片顶部向下向晶体管传输功率的设计不同，背面供电网络使用TSV将所有功率直接路由到晶体管的背面，从而将功率传输与保留在其内部的数据传输互连分开。将电源电路和数据传输互连分开可改善压降特性，从而实现更快的晶体管开关，同时在芯片顶部实现更密集的信号路由。对信号完整性也有好处，因为简化的布线可以更快地连接电阻和电容。

在未来，甚至有更多的东西可以移到硅的背面。例如，所谓的全球互连 - 那些跨越（相对）很远距离

From high integration to “disintegration”

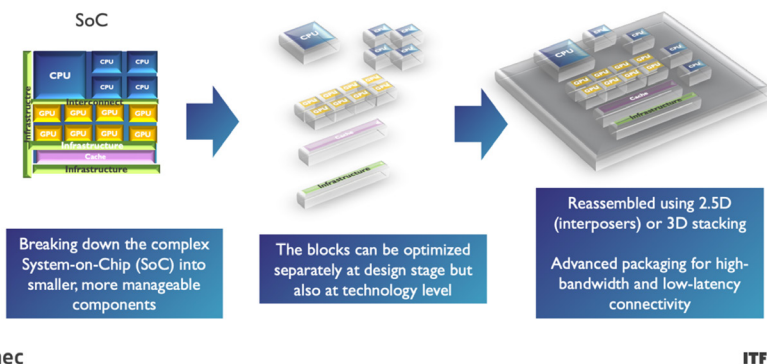


图3：STCO设计方法通常会将SoC“分解”然后再重新集成

背面供电网络

背面供电网络的基本思想是将所有传输电力（而不是数据信号）的互连从硅表面上方（正面）移除，并将它们放置在硅表面下方（背面）。这应该允许更少的功率损耗，因为电力传输互连可以更大且电阻更小。它还为信号传输互连释放了上方晶体管层的空间，可能进行更紧凑的设计。

复杂的愿景。但它可能是最实用的前进方式，需要非凡的创造力来重新布线，以及更紧密的3D芯片集成。Ryckaert说：“我们可以使用这些技术来识别不同的功能，分解SoC，并将其重新集成，以提高效率。”

英特尔的高性能计算加速器 Ponte Vecchio（现在称为英特尔数据中心 GPU Max）由47个小芯片组成，这些小芯片使用两种不同的工艺构建，分别来自英特尔和台积电。AMD已经在I/O小芯片上，以及其CPU中的计算小芯片上使用了不同的技术，并且它最近开始将SRAM从计算小芯片的高级高速缓存中分离出来。

IMEC的CMOS 2.0路线图更进了一步，涵盖了全3D芯片设计。该计划要求继续缩小晶体管，将功率传

输和可能的时钟信号移动到CPU的硅背面，以及更紧密的3D芯片集成。Ryckaert说：“我们可以使用这些技术来识别不同的功能，分解SoC，并将其重新集成，以提高效率。”

CMOS 2.0将把分解和异构集成发挥到极致。根据不同特定应用所采用的技术，3D系统可能会由许多层组成，包含嵌入式存储器、I/O和电源基础设施、高密度逻辑、高驱动电流逻辑和大量高速缓存存储器等。

要实现CMOS 2.0的3D系统，不仅需要技术开发，还需要工具和培训，以辨别哪些技术可以真正改善系统。正如对于智能手机、服务器、机器学习加速器以及增强现实和虚

拟现实系统来说，每一个都有非常不同的要求和限制。对一个人来说有意义的事情对另一个人来说可能是死胡同。◆

参考文献

- Keeping Moore's Law Going Is Getting Complicated - IEEE Spectrum
<https://spectrum.ieee.org/stco-system-technology-cooptimization>
- Imec Reveals Sub-1nm Transistor Roadmap, 3D-Stacked CMOS 2.0 Plans | Tom's Hardware
<https://www.tomshardware.com/news/imec-reveals-sub-1nm-transistor-roadmap-3d-stacked-cmos-20-plans>
- 未来十年的芯片路线图 - 知乎
<https://zhuanlan.zhihu.com/p/632592725>

苏州智程半导体科技股份有限公司

苏州智程半导体科技股份有限公司成立于2009年，是一家从事半导体领域湿制程设备等研发、生产与销售的国家高新技术企业。公司产品广泛应用于集成电路制造、先进封装、化合物半导体、半导体衬底等领域。公司秉承“满足客户的需求只是及格，超越客户的期望才是优秀”的理念，砥砺前行，荟萃业界精英，致力于不断优化产品结构。依托自身优势，公司不断突破与进取，为公司未来战略发展奠定坚实基础。

槽式湿法刻蚀清洗设备

设备概述：

应用领域：RCA清洗，湿法去胶，介质层湿法刻蚀，金属层湿法刻蚀，炉管前清洗等。

设备类型：Cassette-type & Cassetless-type

晶圆尺寸：100mm~300mm

设备配置：支持化学液C.C.S.S.、L.C.S.S.

Marangoni dry 或 spin dry

自动换酸，自动补液、配液

加热控制，浓度控制，流量控制，压力控制等

槽体过温保护，各单元配置漏液传感器

支持化学液回收

全面支持SECS/GEM通讯协议

工艺指标：蚀刻非均匀性：片内：≤4%；片间：≤4%；

批次间：≤4%；

颗粒控制：增加值<30颗@0.09微米（带氧化硅膜测试，

来料颗粒<50颗）

金属离子：<5E9 atoms/cm2



单片湿法刻蚀清洗设备

设备概述：

应用领域：RCA清洗，沉积前清洗，蚀刻后清洗，CMP后清洗，湿法刻蚀，EPI前清洗等。

晶圆尺寸：100mm~300mm

设备配置：4~16腔体（可定制）

2~4 SMIF/FOUP

支持化学液C.C.S.S.、L.C.S.S.

加热控制，浓度控制，流量控制，压力控制等

酸、碱、有机液排风分离

支持化学液回收

高清摄像头，E-flow（可选）

全面支持SECS/GEM通讯协议

工艺指标：蚀刻非均匀性：片内：≤3%；片间：≤3%；

批次间：≤3%；

颗粒控制：增加值<20颗@0.09微米（带氧化硅膜测试，

来料颗粒<50颗）

金属离子：<5E9 atoms/cm2



多维功率器件

推动功率电子器件发展的并不都是新材料技术。器件架构其实很重要，诸如超结、多沟道和多栅极等技术也为功率器件的变革提供了机会。

功率电子器件是在各种不同应用中实现高效能源转换的关键，这些应用包括数据中心、电动汽车、电网和可再生能源处理。功率半导体器件和集成电路（IC）的全球市场规模已经达到每年 400 亿美元，而且还在快速增长。

在这一领域工作的许多人都认为，为了推动功率器件的发展，有必要引入新的材料。由硅制成的晶体管应该被那些用宽禁带半导体（如 SiC 和 GaN）制作的晶体管所取代，而且

总有一天会转向超宽禁带半导体材料的变体，比如 Ga₂O₃、AlN 和金刚石。

但我的观点是，器件概念和架构方面的创新同样重要（包括剑桥大学的 Florin Udrea 和南加州大学的 Han Wang 在内的不少同事对此都表示同意）— 这种创新是不受材料限制的。这促使我们在去年年底发布了器件架构创新的路线图（有关该论文的详情，请参见“扩展阅读”的参考文献）。

历史支持我们的立场。只要跟踪一下宽禁带材料出现之前硅功率器件

的演变过程就一目了然了。在那个时代，器件架构的创新推动了功率电子器件的发展，从 20 世纪 50 年代晶闸管的商业化，到 20 世纪 70 年代的功率 MOSFET，再到 20 世纪 80 年代的绝缘栅双极型晶体管（IGBT）。我们认为，未来新一波功率器件的发展取决于多维架构（multi-dimensional architectures）的引入。

功率器件的作用是在其导通状态下传导高电流，在其关断状态下阻断高电压，并且能够以高频率在这两种

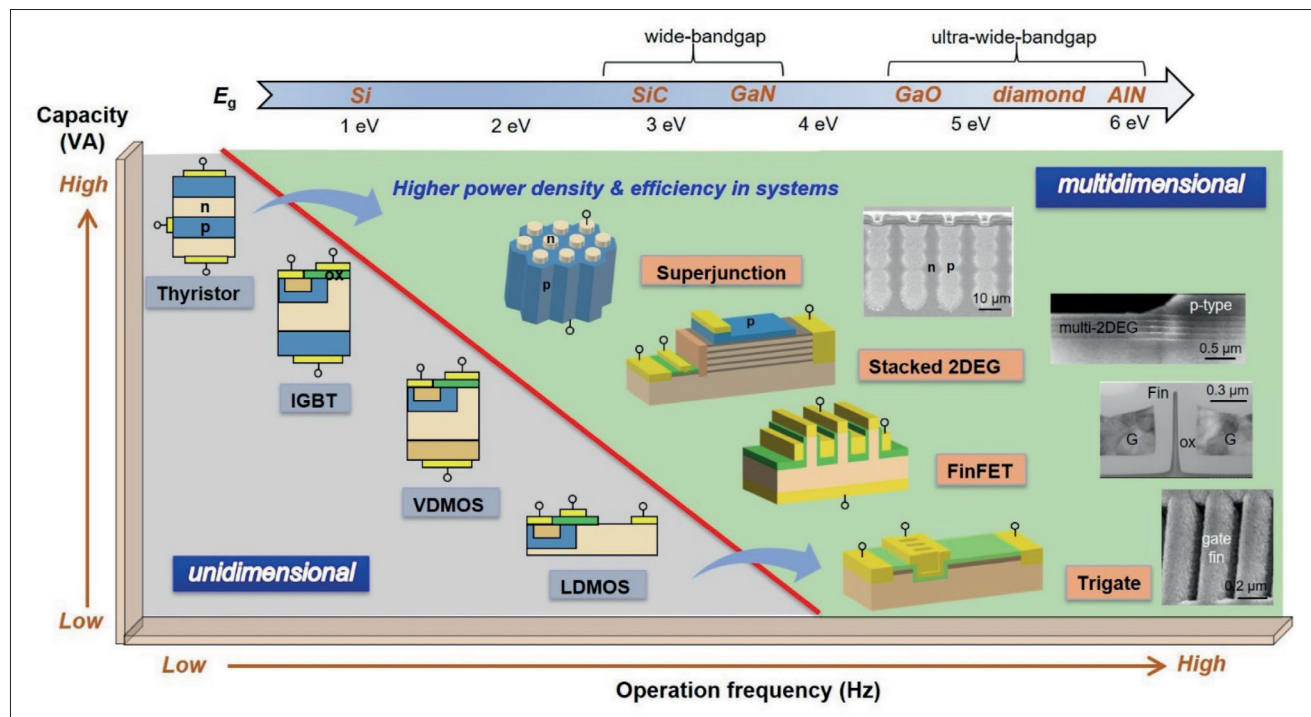


图1: 单维 (1D) 和多维功率器件的“功率容量-频率”折衷。

作者: 张宇昊, 弗吉尼亚理工大学

状态之间连续切换。对于传统的功率器件，比如 MOSFET 和 IGBT，主电流和阻断电场对准相同的方向，从而使它们成为有效的单维器件。

最近，人们开发出了多种创新型架构，这些架构至少在一个额外的几何维度上引入了静电工程。此类架构包括超结、多沟道和多栅极。如图 1 所示，这些多维器件克服了阻碍其传统同类产品性能提升的“容量 - 频率折衷”问题，从而使其能够实现较低的功率损耗和较高的频率。有了这些器件属性的支持，设计人员可以提高其电力电子系统的效率，同时缩减外形尺寸。

单极功率器件还受到另一种权衡折衷（即：击穿电压和特征导通电阻之间的关系）的影响，这从根本上限制了它们的性能。如图 2 所示，当用硅、SiC 和 GaN 制造多维器件时，它们可以超越各自的单维（1D）材料极限。特别令人鼓舞的是，通过调整某些结构参数，它们的性能可以不断地改善。这产生了一个新的器件限制带，超越了每种材料的 1D 极限线。与此形成鲜明对比的是，大多数 1D 单极功率器件随着几何尺寸微缩所获得的改进微乎其微。因此，多维功率器件令人向往的是它们将会改写功率器件

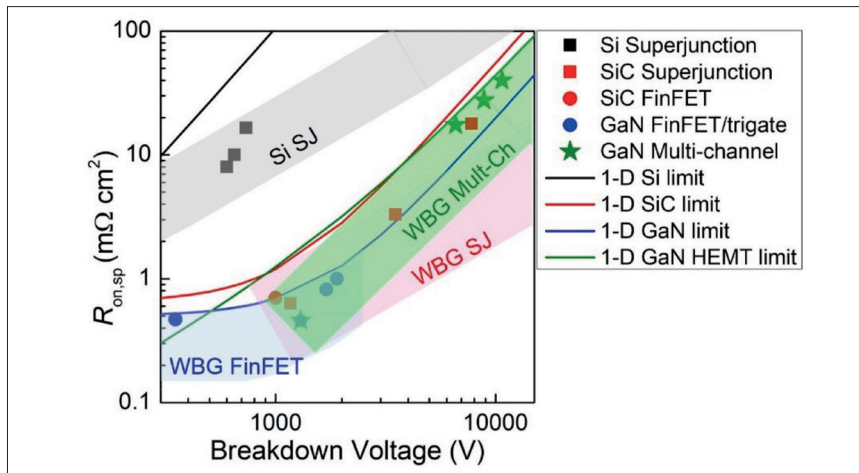


图2: 在硅和宽禁带半导体 SiC 和 GaN 中演示的 1D 材料极限和 multidimensional 功率器件的“特征导通电阻-击穿电压”权衡折衷。

的性能极限和品质因数。

对于超结器件，电场是在垂直于电流传导方向的平面上调制的。这类功率器件是通过创建交替的 n 型和 p 型区域形成的。电荷平衡可以产生均匀的电场和更好的阻断电压，这与每个区域的掺杂情况无关。凭借这种结构，掺杂度可以提高几个数量级，并减小导通电阻。

自西门子集团半导体部门（现在的英飞凌）于 20 世纪 90 年代末推出 CoolMOS 以来，硅超结在商业上取得了巨大的成功。2016 年，超结产品家族迎来了采用 SiC 材料的新成员，该器件性能超过了其 1D 结构器件的性能极限。

对于 GaN 来说，通过引入新架构所取得的突破包括，开发出了具有多个垂直于电流传导平面排列的二维载流子沟道的器件。在这样的器件中，极化电荷以及可能的额外 p 型覆盖层，可以在器件关断状态下进行自我平衡，从而实现类似于超结的功能。通过运用这种方法，我们在弗吉尼亚理工大学、南加州大学和剑桥大学的团队，已经展示了阻断电压达 10 kV 的多通道 AlGaIn/GaN 器件，这一性能超过了 1D 横向 GaN 器件的极限。

对于工作在 1 kV 以下的晶体管，沟道电阻可以支配器件的导通电阻。为了减小导通电阻，器件设计人员可以转向多栅极架构和亚微米级的鳍状沟道。鳍片是一种特别有吸引力的选择，因为它使载流子运输远离低迁移率的表面沟道，从而提高了整体沟道迁移率。

这种方法具有广泛的适用性，在各种功率晶体管（包括 MOSFET 和 HEMT）中，已经展示了使用多种材料的三栅极晶体管和鳍式场效应管 (FinFET)。

去年年底，在与其他协作者的合作下，我们的团队取得了新的突破，

下转第 21 页

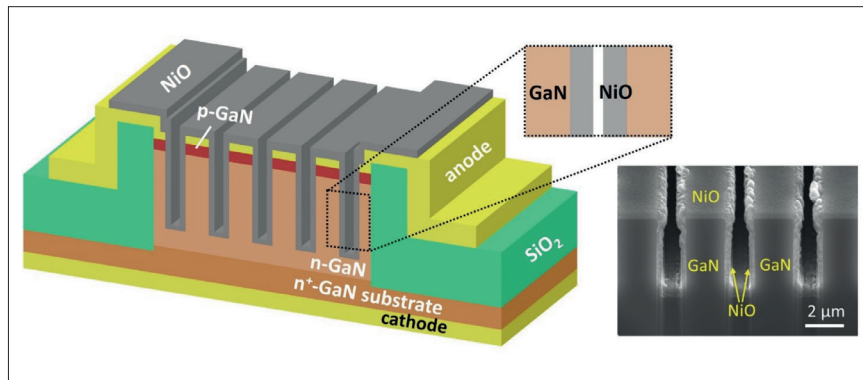


图3: 垂直 GaN 超结二极管的三维示意图和 NiO/GaN 单元晶格的放大图示 (左)。超结区的横断面扫描电子显微镜图像 (右)。



晶圆厂调度如今非常复杂，迫切需要下一代智能软件

对于整个晶圆厂所有工作的安排和调度而言，可以使用的方法确实是数不胜数，因此，从中找到最佳的方法是一项巨大的挑战。这是一个多维问题，目前的启发式调度软件完全无法处理。Flexciton公司开发的一种解决调度复杂性的新方法，已经在半导体行业产生了重大影响。

全球性的大趋势，如自动驾驶汽车、人工智能（AI）和高性能计算等，正在推动技术进步，以及对更复杂芯片和更小工艺节点的需求。因此，晶圆制备过程变得更加精细复杂，某些类型的产品要求晶圆经历数千个工艺步骤，制造周期长达数月之久。除了复杂性的挑战之外，人们还期望晶圆制备变得更加可持续和节能，同时提高生产率，并保持低的每片晶圆成本。

生产过程的复杂程度预计只会增加，除非晶圆厂采用新的方法来简化和精简管理，否则面临的挑战将变

得势不可挡。芯片公司必须通过解决其产品的复杂性问题来提高业绩和产出。目前，晶圆厂应对复杂性的常见方法是将一个大问题分解成多个较小的、更易于管理的问题，并指派特定的团队来解决每项挑战。原则上说，这种方法似乎是正确的，然而，在实践中它有着明显的缺点。晶圆厂内的不同团队往往具有不同的优先事项和关键绩效指标（KPI），这导致他们的工作缺少关联，相互孤立。当各个团队努力使自己的 KPI 最大化时，就会出现冲突，因为某个方面工作的 KPI 与另一个方面工作的 KPI 可能是对立



作者：Jamie Potter, FLEXCITON公司联合创始人兼首席执行官

的，这样就会对晶圆厂的总体目标产生负面影响。

例如，工艺工程师优先考虑的是良率，工业工程师专注的是减少周期时间和提高产量，而制造操作人员寻求的则是每天移动次数的最大化。举个例子，良率最大化的目标可能会阻碍产量的增加。相反，如果通过更改配方来提高良率，则会影响产量和周期时间，特别是当这些变更需要随着时间的推移进行优化时。

运用调度来克服复杂性

我们来更深入地探讨一下复杂性的问题，尤其它是怎样影响晶圆生产的调度的。这个过程包括不同的阶段，比如：计量、光刻、扩散炉、外延等等，每个阶段都有自己独特的一套准则和工具。最常见的调度方法是利用基于规则的软件，此类软件规定了晶圆加工的顺序。

然而，每个区域的规则数量太多，可能会让人不知所措，工业工程师常常依靠简化和走捷径的办法来管理和控制每个阶段的参数。此外，这些“捷径”可能会导致计划调度人员做出次优决定，因而对性能产生负面影响。这种方法的另一个问题是，它需要熟练的工业工程师提供大量的手工输入来编写和维护规则，以试图与晶圆厂的动态特性保持同步。在全面运转的晶圆厂中，情况是不断变化的，这就需要持续的人为干预，以确保主动监控和更新调度规则。这是很有必要的，旨在适应可能发生的任何变化，并在增添新工具、配方或产品组合的情况下创建新的规则。随着芯片复杂性的增加，其生产的复杂性也是水涨船高，因此有必要对规则集进行频繁的更新和补充。

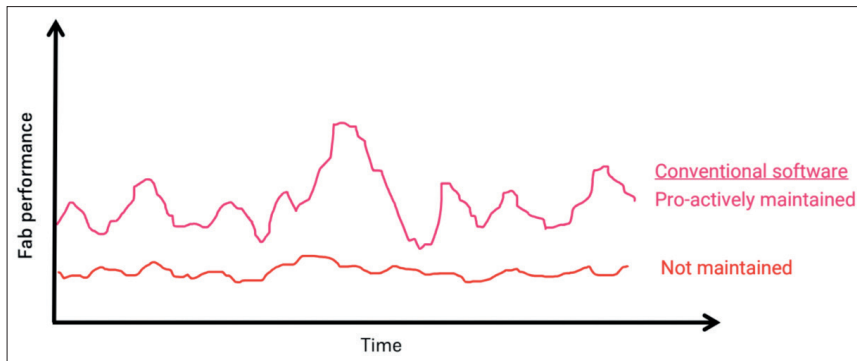


图1：基于规则的调度要求采取主动且耗时的规则维护，以保持性能。

如图1所示，这些不断的变化对基于规则的调度的执行造成影响。虽然有些时候它能做出正确的决定，但是，由于缺乏智能算法，所以它在另一些场合则可能做出并非最优的决定。为了保持规则的执行效能，它确实需要主动的规则维护，以及专职工业工程资源来负责此项工作。目前这本身就是一个问题。该行业正在遭受熟练劳动力短缺的困扰，而且工业工程师的需求量尤其大。晶圆厂通常建在偏远地区，事实证明，要想吸引新一代的工业工程师（IE）到那里工作，显然是一大难题。如果对基于规则的调度系统进行微调的工作占用了这些工业工程师大量的能力，我们只会让这一挑战变得更加棘手。

更聪明（而不是更费力）地工作

我们如何才能有效地管理生产复

杂性而不损害其蕴藏的潜力？试图简化数据并不是解决方案，因为正是其复杂性使之成为一种强大的工具。相反，通过全面采用智能制造技术，使我们能够充分利用丰富的数据，从而可以更完整、更准确地了解晶圆厂的运作情况。工作重点应该是精简工艺流程，而不是简化数据。

Flexicton 软件是怎样工作的？

对于整个晶圆厂所有工作的安排调度而言，可以使用的方法确实是数不胜数，因此，从中找到最佳的方法是一项巨大的挑战。这是一个多维问题，目前的启发式调度软件完全无法处理。

Flexicton 的下一代调度软件是目前市场上唯一能够化解这个问题的解决方案。它将强大的数学优化技术与智能分解技术相结合，以找出具有完

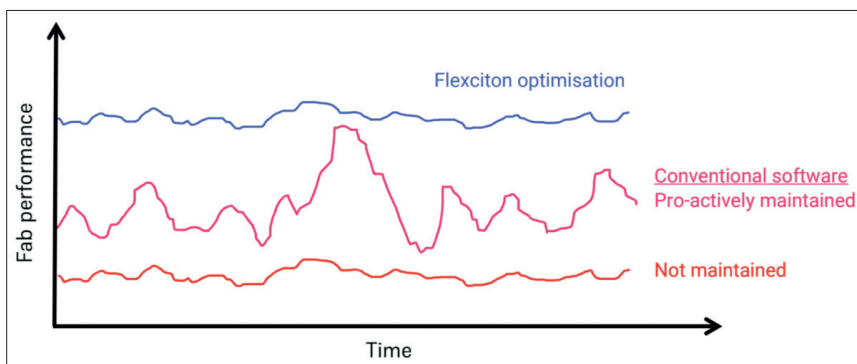


图2：与传统的基于规则的软件相比，Flexicton 的软件能够以更大的自主性保持最佳性能。

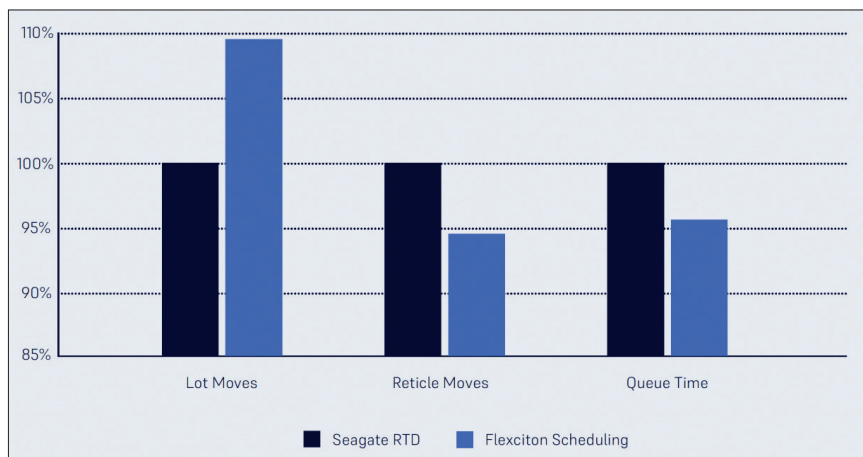


图3: 在 Seagate 光刻工具集上进行现场部署时收集的结果, 尽管减少了5.3%的光罩移动和 4.3%的排队时间, 但产量却增加了9.4%。

全自主性的解决方案。这种先进的智能软件能够在短短几分钟内生成优化的生产计划, 运用的方法是将数十亿种方案仔细搜寻一遍, 专注于研究可以实现整体关键绩效指标的最佳可行方案。这种重复、迭代的过程确保它不断地更新计划时间表, 以顾及到晶圆厂环境条件或商业目标的任何变化(图2)。

重要的是, 该软件不需要熟练的工业工程师来创建一套初始规则, 也不需要总是在修改或创建新的规则。这种智能软件一直在学习如何优化晶圆厂的运行, 以满足既定的关键绩效指标。如果目标发生改变, 那么它就在无数可能的方案中寻找符合新目标的方案, 这就是为什么它不需要任何规则来给予指导的原因。这使得它成为第一个、也是唯一一个以目标为中心的自适应调度解决方案。

Flexciton 是如何消除瓶颈的?

该调度软件查看每个工具集的队列如何随着时间的推移而变化。Flexciton 调度应用程序有一幅热图, 当某个工具集的前面排有大量队列时, 它显示红色, 而对于那些排队极

少或没有排队的工具集, 则它的显示转为绿色。然后, 此软件关注每个红色部分, 并尝试对调度进行许多不同的合理调整, 以平衡所有工具集的负载, 并减少瓶颈。因为该软件对未来的活动具有至关重要的洞察力, 因此它可以发现, 单个变更如何不仅会对有关工具集的时间线、而且还会对所有其他工具集的时间线产生连锁反应。

希捷 (Seagate) 公司案例研究

光刻区有一个很长且高度可重入的工艺流程, 包含 1600 个步骤, 是晶圆厂的核心, 所以拥有优化的时间表是至关重要的。下面的结果来自于实时生产环境中的一个工具集, 它具有一个内部光罩库 (reticle library), 光罩可以在半导体制造工艺设备 (工具) 和光罩盒 (cabinet) 之间单独移动。

瑞萨 (Renesas) 公司案例研究

在晶圆厂调度需要处理的事情中, 时钟链约束 (timelink constraints) 是最复杂的问题之一。它们规定了晶圆生产工艺步骤之间的最大允许时间。时钟链的正确安排对于帮助实现氧化或污染风险的最小化至关重要。如果晶圆在工具外等待加工的排队时间过长, 就会发生这种氧化或污染的情况, 导致报废或返工, 因而损害利润率。瑞萨电子 (Renesas Electronics) 请 Flexciton 看看它的智能调度软件是否能改善其晶圆厂扩散区中这方面的调度。

造成时钟链约束非常难以安排的原因是其相互依存性。例如, 通过从步骤 1 移至步骤 2, 晶圆进入了第一个时钟链。当离开步骤 2 时, 晶圆进入第二个时钟链, 该时钟链一直持续到步骤 4。然而, 在步骤 3 和步骤 4 之间也可以有第三个时钟链约束 (称为嵌套时钟链), 它与第二个时钟链约束重叠 (见图 4)。因此, 步骤 3 的安排必须允许步骤 2 和步骤 3 的时钟链约束均得到遵守。讨论的这个例子只是针对几个步骤, 但实际上, 可能有数百个步骤和许多重叠的时间约束, 需要持续不断地予以考虑。这就制造了晶圆厂中最复杂的调度问题之一, 任何违反时钟链的行为都会对财务产生负面影响。

该软件在一种模拟环境中运行, 复制 Flexciton 的调度器在瑞萨晶圆厂现场运行的方式。结果显示, 在减

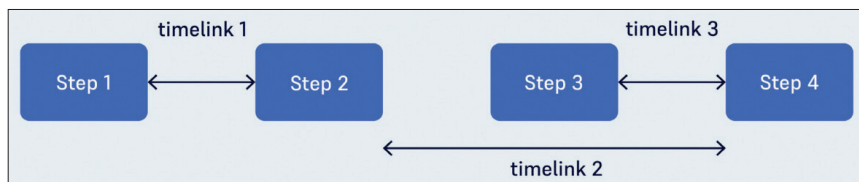


图4: 本图给出了 4 个连续步骤之间的时钟链系统示例。重叠的时钟链意味着在完成步骤 3 之后, 该批次开始一个新的时钟链 (timelink 3), 同时仍然过渡到现有的时钟链 (timelink 2)。

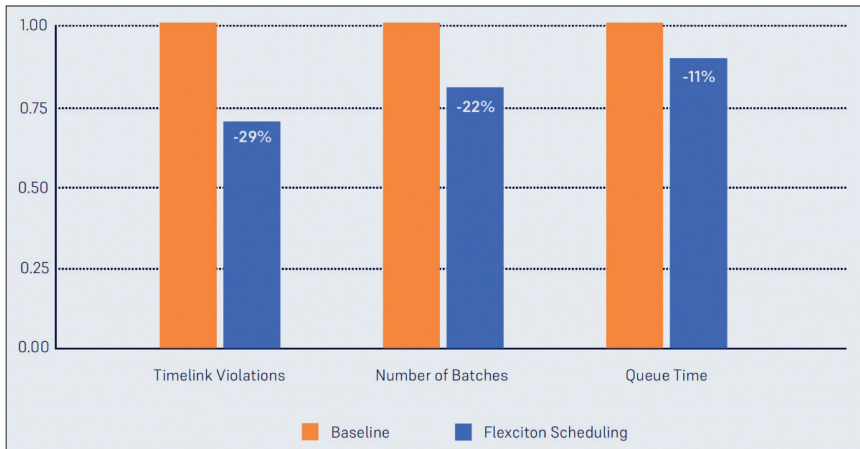


图5: 对照 Renesas Electronics 的基线结果, 在时钟链违规、批次数量和排队时间方面取得的 KPI 改进。

少时钟链违例方面取得了显著的改善, 可以实现 29% 的降幅。额外的改进将可能是批次数量减少 22%, 排队时间缩短 11%, 尽管这两项关键绩效指标是存在冲突的 (见图 5)。这是

因为减少批次的数量自然意味着增加每批次中的晶圆数量, 但这就导致每个批次的排队时间增多, 因为操作人员需要等待新的晶圆到达加工工具, 然后才能一起处理它们。目前, 大多

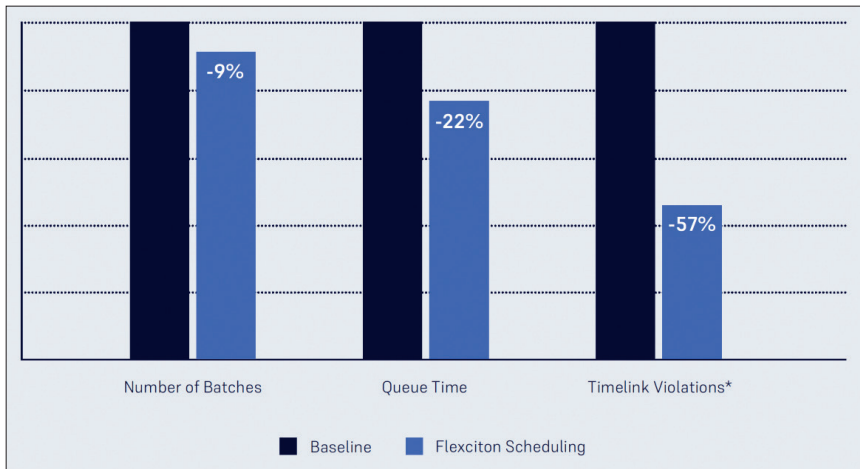


图6: 在欧洲一家晶圆厂的整个洁净区和炉区收集的结果。

上接第17页

公布了首个 GaN 垂直超结。在 2022 年国际电子器件会议上公布的该项成功案例, 是建立在 p 型 NiO 的异质结上的, 该异质结被保形地溅射在 GaN 柱的侧壁上 (见图 3)。由于 NiO 和 GaN 之间的电荷平衡, 我们的超结提供了 1100 V 的阻断电压和 0.15 mΩ cm² 的特征导通电阻。这一性能水平超过了 GaN 的 1D 结构器件的极限。

虽然我们介绍说明的是多维架构对功率器件的好处, 但是它们所能提供的益处亦可惠及其他领域。对于射频器件, 它们能够在功率、频率和动态范围方面提供改善。

需要注意的是, 我们并不是在质疑引进新的半导体材料所能带来的好处。不过, 当您下一次需要设计性能更好的器件时, 不要只是想着更换材

料, 也可以考虑利用某种更完善的架构可能会产生什么改良效果。◆

数晶圆厂在生产过程中对未来批次的到达时间都无法提前知晓, 因此操作人员有时会为了实现批量规模的最大化而没有必要地等待, 从而导致排队的晶圆数量增多, 并损害生产率。独特的是, Flexciton 调度器能够看到批次是如何及时移动的, 因此可以优化批次数量与排队时间之间的平衡, 从而在这些相互冲突的关键绩效指标上获得可观的改善。

案例研究: 欧盟 (EU) 的一家晶圆厂

由于面对复杂的时钟链约束, 因此这家晶圆厂竭力提高洁净区和熔炉的效率。采用一种类似的模拟环境离线方法来运行 Flexciton 的调度软件。客户对这款软件的印象非常深刻, 目前已经在该晶圆厂进行了实地部署。

Flexciton 公司联合创始人兼首席执行官 Jamie Potter 解释说: “我们的方法有一个关键的与众不同之处, 就是我们的软件能够根据晶圆厂 (或晶圆厂中的在制品) 的当前状态来预测未来可能发生的事情。它在许许多多可能的解决方案中寻找最佳的解决方案, 不断寻找满足 KPI 的最佳时间表, 以最大限度地提高晶圆厂的生产率和利润率。人类和启发式算法完全做不到这一点。” ◆

料, 也可以考虑利用某种更完善的架构可能会产生什么改良效果。◆

参考文献

- Y. Zhang et al. “Multidimensional device architectures for efficient power electronics,” Nat. Electronic. 5 723 (2022)
- M. Xiao et al. “First demonstration of vertical superjunction diode in GaN,” 2022 International Electron Devices Meeting (IEDM), 35.6, Dec. 2022.



用复合晶体管开辟新天地

独特的集成制造工艺创造了复合晶体管，将氮化镓 HEMT 的低导通电阻与 SiC 二极管的非破坏性击穿结合起来。

我们这个星球的温度正在上升，这将给人类带来可怕的后果。正因为如此，全球碳排放量迅速下降至关重要。为此目标，我们必须在许多方面采取行动，包括采用新的方法来创造、分配和使用能源。

如果我们要迈向一个更环保的社会，我们将需要改变我们生产和

使用大部分电力的方式。这样的努力将不得不考虑电力转换器，它可以升压和降压，并将电压从直流转换为交流，反之亦然 -- 这是广泛应用于许多电子应用中的“电力砖”，包括个人电脑、电信、电动汽车和航空航天应用中的电源。削减这些转换器中的功率损耗并提高效率，

作者：Akira Nakjima, THE NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY

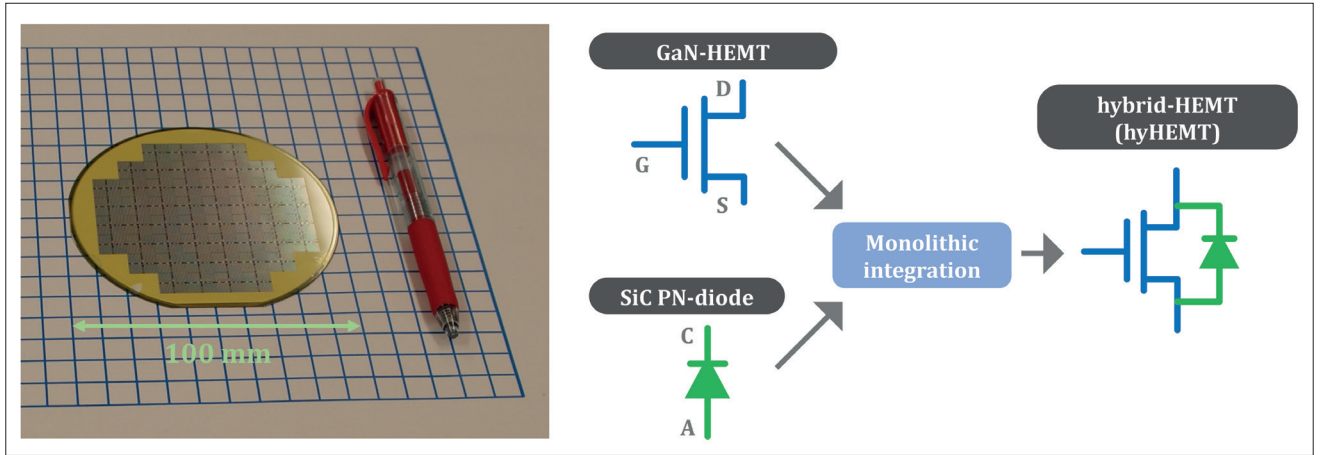


图1: 100毫米SiC衬底上制造的复合HEMT照片(左)和等效电路图(右)。

这将在系统层面上实现节能。

转向低碳社会还需要增加电动汽车的使用量,同时安装更多的风力涡轮机和太阳能发电场。对于所有这些绿色技术,我们需要比现有技术更小、更高效、更可靠的电力转换器。要实现这一点,必须在变流器中使用的功率晶体管方面进行进一步的技术创新。

电源转换电路的核心是功率晶体管,发挥开关的作用。理想情况下,这些器件应结合低导通电阻,以确保在导通状态下的低传导损耗,并具有快速开关性能,以减少开关损耗。

硅功率晶体管被广泛部署在转换器应用中。由于自20世纪60年代以来的广泛研究和开发,它们的性能得到了改善,但现在正逼近材料的极限。因此,为了实现更高的效率,有必要转向其它半导体材料。

这促使人们对宽带隙半导体制备的器件产生了浓厚的兴趣。其中已经获得商业成功的是GaN HEMT,它具有高密度、高迁移率的二维电子气体(2DEG)作为沟道,其由AlGaIn/GaN异质界面的独特极化性质所产生(见图2(a))。

由于在没有杂质掺杂的情况下产生自由电子,该沟道的迁移率可以超过 $1500 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 。这种晶体管的另一个优点是,由于材料的高电场强度,可以在高达 10^{13} cm^{-2} 的浓度下实现对2DEG的控制,这比砷化镓和硅器件的浓度高一个数量级。有了这些特性,GaN HEMT在低电阻和快速开关方面超过了硅器件的极限。

自从研究人员在20世纪90年代报告了第一个GaN HEMT以来,现在已经过去了许多年。随后的开发和商业化使它们被应用在小于约3千瓦的电源转换器中,如智能手机的紧凑型交流适配器,它们将高效率和小型化结合起来。

不幸的是,GaN HEMT存在与可靠性有关的问题,阻碍了它们在大功率场景中的应用,如电动汽车。可靠性受损的原因是其特性与现有的硅基双扩散MOSFET不同(见图2(b))。在这种双扩散MOSFET中,在p型基区和n型漂移层之间有一个p-n结,以及一个p-n二极管称为“体二极管”以反平行配置连接(等效电路见图3(a))。在这种配置下,在异常电路操作下对DMOSFET施加过电压会导致体二极管发生非破坏性的雪崩击穿,

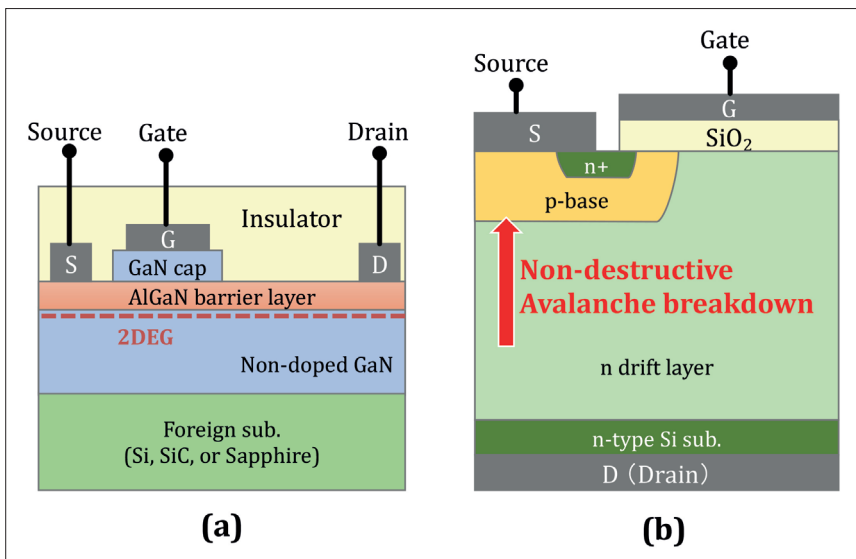


图2: (a) 传统的GaN基HEMT和(b) 硅基的DMOSFET的示意图截面。

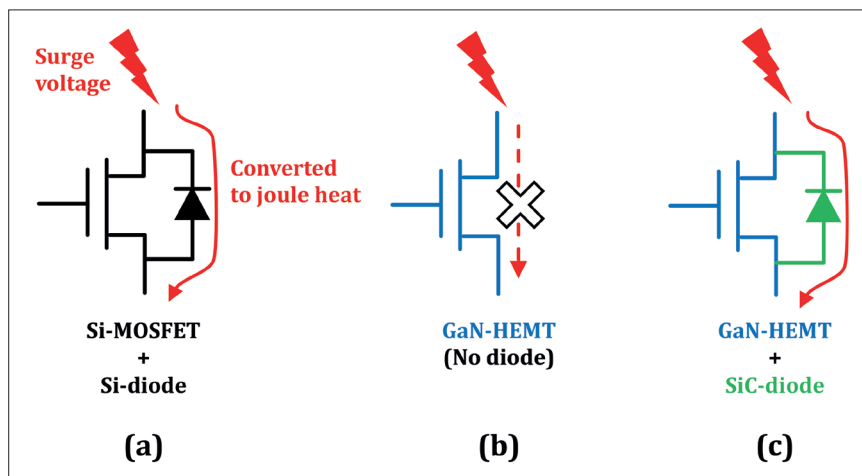


图3: 本研究中 (a) 硅DMOSFET, (b) GaN HEMT和 (c) 复合HEMT的等效电路。

噪声能量在硅芯片中被吸收为焦耳热。由于这个原因,当硅功率晶体管被用于转换器电路拓扑结构时,它们倾向于防止在异常操作期间出现过电压,从而确保系统的可靠性。

对于 GaN HEMT,这是一个非常不同的状态。氮化镓 HEMT 没有体二极管,所以没有通道让噪声能量流出,导致这种形式的晶体管易被过压破坏。这一弱点使 GaN HEMT 所提供的节能效果只限于低功率转换器。

氮化镓和碳化硅的结合

在国家先进工业科学与技术研究所,我们的团队开发了一种解决这一弱点的方法,该方法基于引入结合了 GaN 和 SiC 的复合 HEMT。这种新颖的晶体管解决了破坏性击穿的问题,其特点是一个基于碳化硅的反并行

p-n 二极管,单片集成到 GaN HEMT (见图 5 (a)),查看该器件的示意图,图 3 (c) 为器件的等效电路。这种复合器件有五个电极:GaN HEMT 结构的源极、栅极和漏极;以及碳化硅二极管结构的阳极和阴极。

在关断状态下工作,这种复合器件可以在 SiC 体二极管中发生非破坏性的雪崩击穿,确保器件的可靠和稳

定性。而该器件在导通状态下,电流流经 AlGaIn/GaN 异质界面的 2DEG 沟道,实现了低的导通电阻。因此,得益于这些运行模式,我们的复合 HEMT 将两种材料真正重要的优点充分结合在了一起。

为了生产我们的新器件,我们扩大了一条 100 mm 的基于碳化硅的原型生产线,该生产线位于日本筑波的一家开放创新平台。我们的这种改进为制造碳化硅、氮化镓和复合器件创造了一条原型生产线。通过这些改进,我们已经能够制造出尺寸较小、栅宽为 50 nm 的混合 HEMT 器件。

我们制造器件所采取的步骤(如图 5 (b) 所示)始于通过 CVD 生长的 p 型碳化硅。之后,我们通过离子注入和激活形成 p 型和 n 型碳化硅区域,然后用 MOCVD 生长 HEMT 层,并用干法刻蚀确定台面结构。然后加入电极,接着沉积 3 毫米厚的铝层,提供焊盘金属。我们的最后一步是用

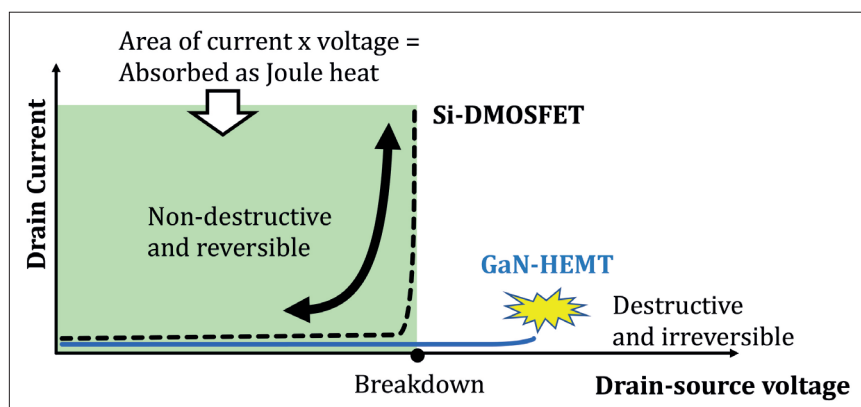


图4: 硅DMOSFET与GaN-HEMT关态击穿特性示意图。

在关断状态下工作,这种复合器件可以在SiC体二极管中发生非破坏性的雪崩击穿,确保器件的可靠和稳定性。而该器件在导通状态下,电流流经AlGaIn/GaN异质界面的2DEG沟道,实现了低的导通电阻。

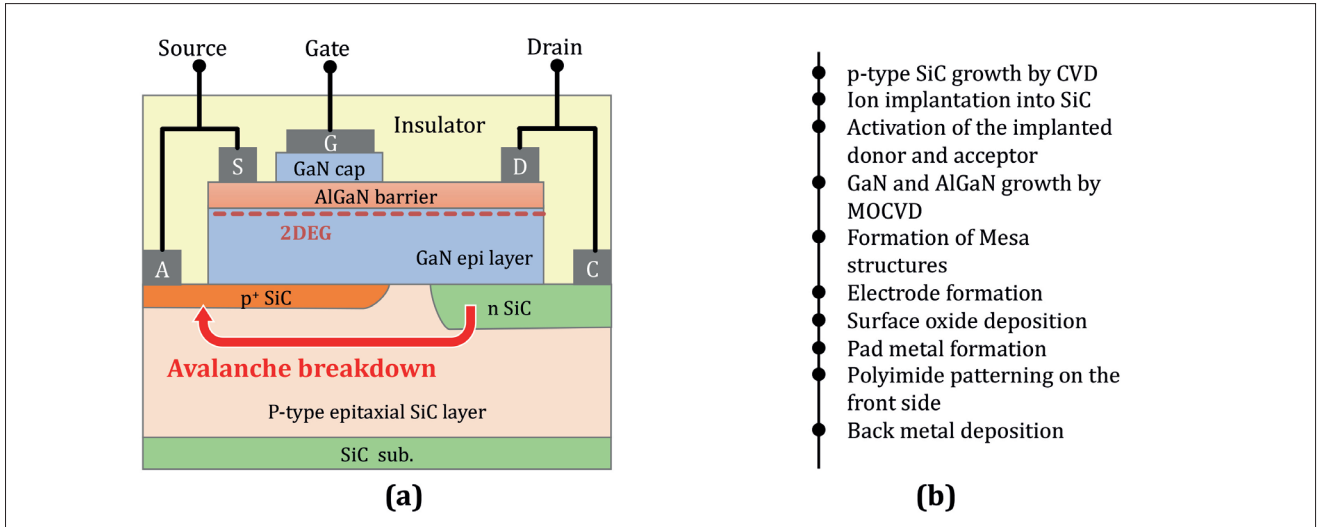


图5: (a) GaN/SiC复合HEMT示意图。HEMT中的五个电极: HEMT中的源极(S)、栅极(G)和漏极(D); 以及碳化硅二极管中的阳极(A)和阴极(C)。 (b) GaN/SiC复合HEMT的制备工艺流程。

聚酰亚胺覆盖表面,并在器件的背面沉积一种镍基合金。

对我们的复合HEMT进行的电学测量产生了令人振奋的结果。与典型的GaN HEMT不同,它们不会在击穿后立即破坏,而是在碳化硅二极管中经历非破坏性的雪崩击穿,这是通过将碳化硅侧的击穿电压设计为略低于GaN侧的击穿电压来实现的。图6(a)显示了与约1.2kV的击穿电压相关的击穿行为。由于雪崩击穿是非破坏性的,我们的器件在多次扫描测试中提供了一个稳定的可逆击穿。在正向偏压下工作,我们的复

合HEMT产生了高达300 mA/mm的漏极电流和仅 $47 \Omega \cdot \text{mm}$ 的导电电阻,这要归功于高迁移率的2DEG(见图6(b))。

除了低导电电阻和无损伤击穿外,我们的复合晶体管还具有出色的热耗散特性。这一特殊属性来自于SiC的优良导热性,它是硅基器件的三倍。

其它的结合

我们的复合HEMT具有很大的潜力,在正向和反向偏压下都有很好的特性,并且有很好的热管理特性。对于一个仍处于起步阶段的器件来

说,这些都是非常令人鼓舞的迹象,在优化器件结构和制造工艺方面还有很多机会。我们下一步的目标是展示大面积的器件,额定电流为10A或更大,可用于实际的功率转换器中。我们还将通过与在功率器件方面有技术专长的公司合作,努力使这项技术商业化。

我们的工作是利用比硅的带隙宽得多的宽带隙材料开发功率器件,属于全球努力的一部分。SiC和GaN器件现在已经商业化,而那些具有更大带隙的材料,如很有前景的 Ga_2O_3 、AlN和金刚石,正在吸引人们的注意。在这三者中,金刚石由于其极高的击穿场强和超强的热导率,有可能成为终极半导体。然而,不同半导体的异质集成可能提供新的、非常规的机会。

我们的复合HEMT突出了复合器件如何能够提供单一材料所无法提供的优良性能。相信仍有许多组合可供探索,为新的器件概念打开了大门。我们的目标是研究这种方法带来的可能性,以及它如何释放新一代功率器件极限。◆

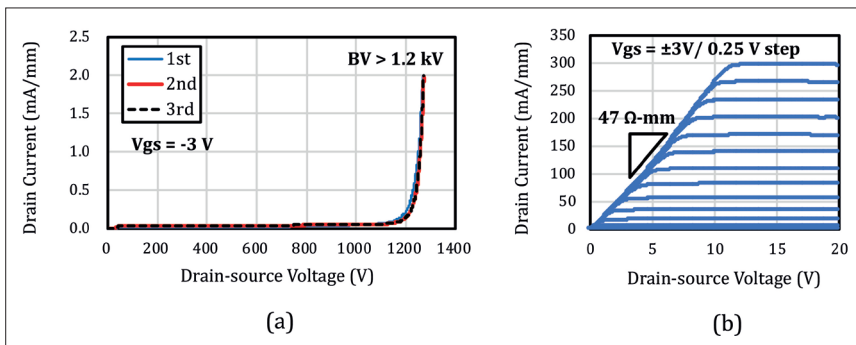


图6: (a)所制造的复合HEMT的实测关断状态下的击穿特性。重复的电流电压(I-V)扫描曲线高达2 mA/mm,显示出对雪崩电流压力具有很高的稳定性。(b) 通态特性。由于电流流经低电阻的2DEG,测得了 $47 \Omega \cdot \text{mm}$ 的低导电电阻和300mA/mm的高饱和电流。

使用虚拟实验设计加速半导体工艺发展

虚拟DOE能够降低硅晶圆测试成本，并成功降低DED钨填充工艺中的空隙体积。

实验设计 (DOE) 是半导体工程研发中一个强大的概念，它是研究实验变量敏感性及其对器件性能影响的利器。如果 DOE 经过精心设计，工程师就可以使用有限的实验晶圆及试验成本实现半导体器件的目标性能。然而，在半导体设计和制造领域，DOE（或实验）空间通常并未得到充分探索。相反，人们经常使用非常传统的试错方案来挖掘有限的实验空间。这是因为在半导体制造工艺中存在着太多变量，如果要充分探索所有变量的可能情况，需要极大的晶圆数量和试验成本。在这种情况下，虚拟工艺模型和虚拟 DOE 可谓是探索巨大潜在解空间、加速工艺发展的同时减少硅实验成本的重要工具。本文将说明我们在高深宽比通孔钨填充工艺中，利用虚拟 DOE 实现了对空隙的有效控制和消除。示例中，我们使用原位沉积 - 刻蚀 - 沉积 (DED) 法进行钨填充工艺。

基于硅的扫描电镜图像和每个填充步骤的基本行为，

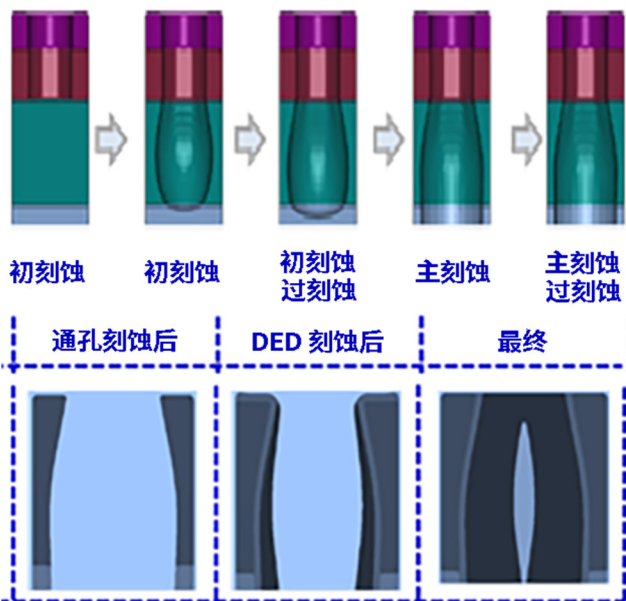


图1: DED工艺校准。

使用 SEMulator3D® 虚拟工艺建模，重建了通孔钨填充工艺。

建模工艺包括：

1. 前置沟槽刻蚀（初刻蚀、初刻蚀过刻蚀、主刻蚀、过刻蚀）
2. DED 工艺（第一次沉积、第一次深度相关刻蚀、第二次沉积工艺）
3. 空隙定位和空隙体积的虚拟测量

为了匹配实际的硅剖面，工艺模型中的每个步骤都经过校准。

使用 SEMulator3D 生成的模拟 3D 输出结构与硅的图像进行对比，它们具有相似的空隙位置和空隙体积（见图 1）。图 1 显示了 SEMulator3D 和实际硅晶圆中的相应工艺步骤。使用新校准的模型，完成了 3 次虚拟 DOE 和 500 多次模拟运行，以了解不同工艺变量对空隙体积和弯曲关键尺寸的影响。

• 第一次 DOE

在第一次 DOE 中，我们使用 DED 工艺步骤进行了沉积和刻蚀量的实验。在我们的测试条件下，空隙体积可以减小但永远不能化零，并且沉积层不应超过顶部关键尺寸的 45%（见图 2）。

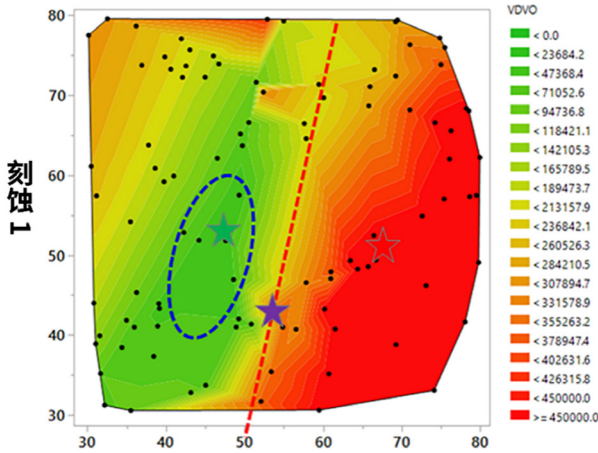
• 第二次 DOE

在第二次 DOE 中，我们给校准模型（DEDED 工艺流程的顺序）加入了新的沉积 / 刻蚀工艺步骤。这些新的沉积和刻蚀步骤被设置了与第一次 DOE 相同的沉积和刻蚀范围（沉积 1 和刻蚀 1）。沉积 1 (D1) / 刻蚀 1 (E1) 实验表明，在 D1 和 E1 值分别为 47nm 和 52nm 时可以获得无空隙结构（见图 3）。需要注意，与第一次 DOE 相比，DEDED 工艺流程中加入了新的沉积和刻蚀步骤。与之前使用的简单 DED 工艺相比，这意味着工艺时间的增加和生产量的降低。

► DOE 变量：

- 沉积1 (30~80nm)，刻蚀1 (30~80nm)

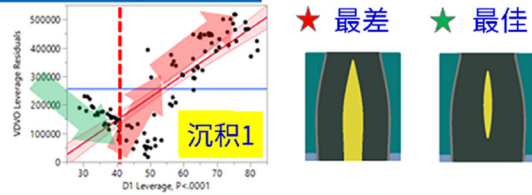
1. 空隙体积等高线图



► DOE 结果：

1. 沉积1应小于50nm，且不超过顶部关键尺寸的45%
2. 空隙体积可以减小但不能完全消除

2. 杠杆图



★ 顶部合并检查

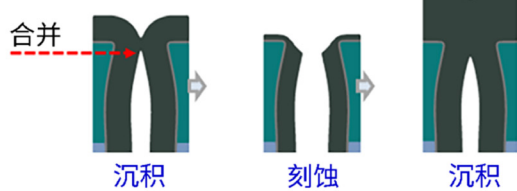


图2：DED等高线图、杠杆图、DOE1的输出结构。

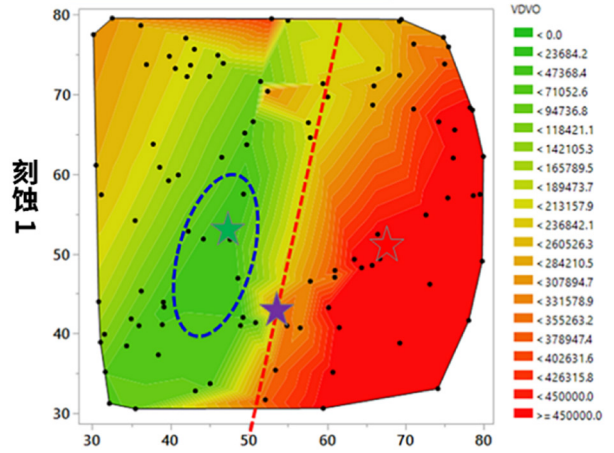
• 第三次 DOE

在第三次 DOE 中，我们通过调整 BT（初刻蚀）刻蚀行为参数进行了一项前置通孔剖面的实验。在 BT 刻蚀实验中，使用 SEMulator3D 的可视性刻蚀功能进行了工艺建模。我们在虚拟实验中修改的是等离子体入射角度分布 (BTA) 和过刻蚀因子 (Fact) 这两个输入参数。完成虚拟通孔刻蚀后，使用虚拟测量来估测每次模拟运行的最大弯曲

► DOE 变量：

- 沉积1 (30~80nm)，刻蚀1 (30~80nm)

1. 空隙体积等高线图



► DOE 结果：

1. 沉积1应小于50nm
2. 获得无空隙结构

2. 杠杆图

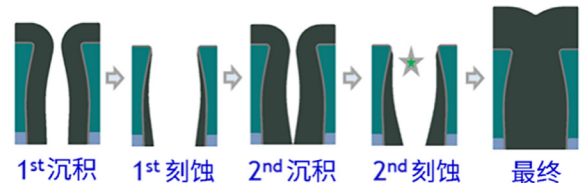
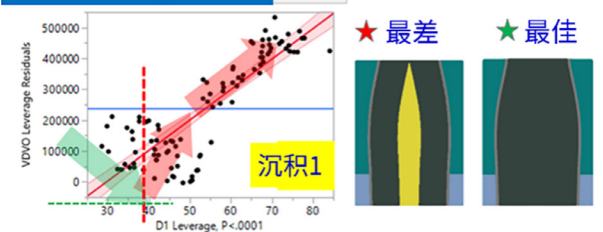


图3：DEDED等高线图、杠杆图、DOE2的输出结构

关键尺寸和位置。这个方法使用 BTA（初刻蚀等离子体入射角度分布）和 Fact（过刻蚀量）实验实验生成了虚拟结构，同时测量和绘制了弯曲关键尺寸和位置。第三次 DOE 的结果表明，当弯曲关键尺寸足够小时，可以获得无空隙的结构；当弯曲关键尺寸大于 150nm 时，空隙体积将急剧增加（见图 4）。因此，可以利用最佳的第三次 DOE 结果来选择我们的制造参数并进行验证。

► DOE 变量：

BTA (初刻蚀等离子体入射角度分布:0.05-0.5)

Fact (每一环的过刻蚀量 0.8-1.2)

通过BTA和Fact实验,可以得到不同的前置剖面
(看到不同的弯曲关键尺寸和弯曲位置)

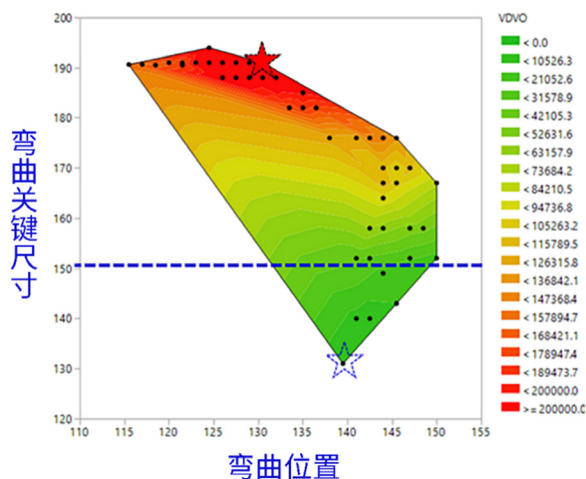
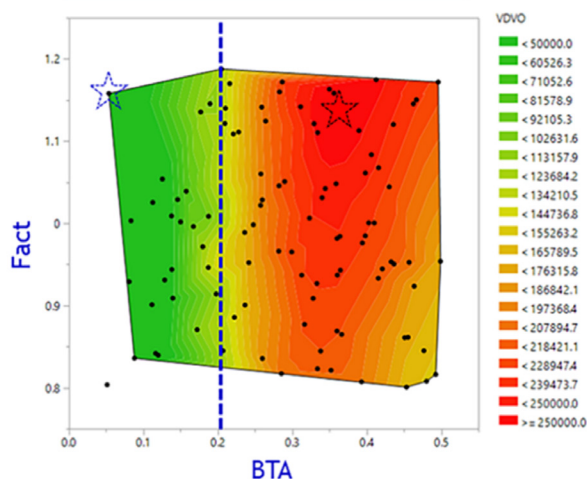
► DOE 结果：

当等离子体入射角度分布超过0.1时,空隙体积增加

当最大弯曲关键尺寸超过150nm时,空隙体积增加

建议将前置弯曲关键尺寸规格设定在150nm及
150nm以下 (现在的位线为160nm)

1. 空隙体积等高线图



2. 杠杆图

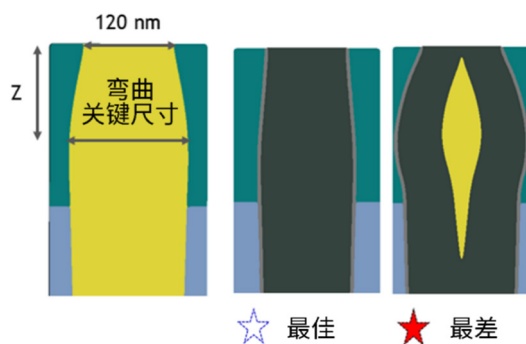
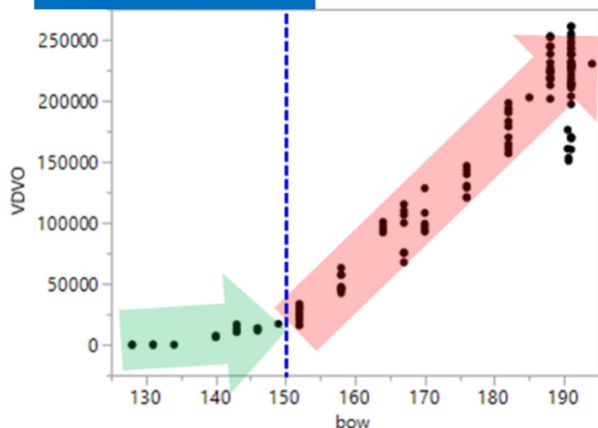


图4: 前置通孔剖面实验等高线图、杠杆图、DOE3的输出结构。

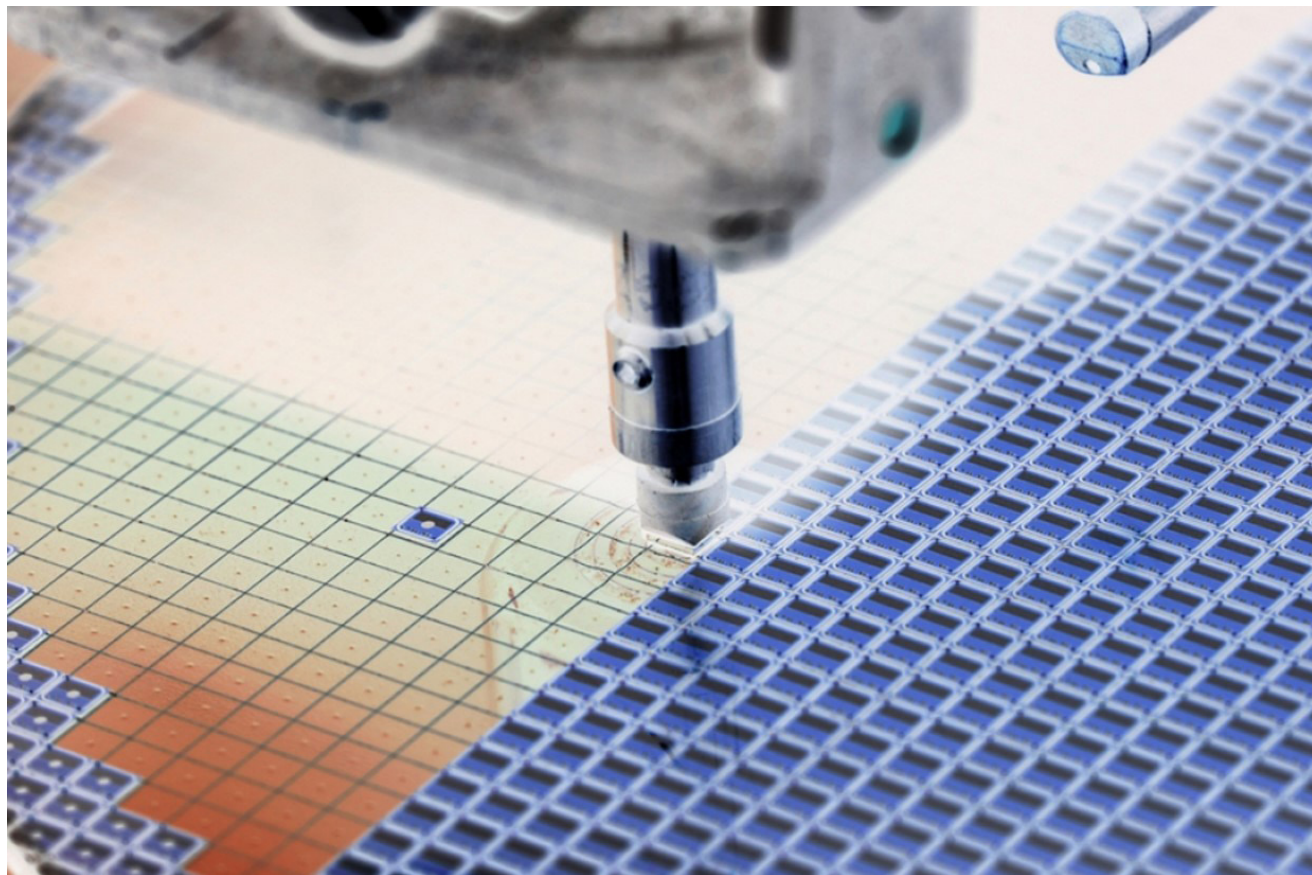
通过将前置通孔弯曲规格设置在 150nm 以下 (图 5 中的 145nm), 我们在最终的硅工艺中获得了无空隙结构。此次, 硅结果与模型预测相符, 空隙问题得到解决。

此次演示中, 我们进行了 SEMulator3D 建模和虚拟 DOE 来优化 DED 钨填充, 并生成无空隙结构, 3 次 DOE 都得到了空隙减小或无空隙的结构。我们用 DOE3 的结果进行了硅验证, 并证明我们解决了空隙问题。硅结果与模型预测相匹配, 且所用时间比试错验证可能会花费的短很



图5: 当弯曲关键尺寸小于150nm时, SEMulator3D预测的结果与实际的硅结果。

多。该实验表明, 虚拟 DOE 在加速工艺发展并降低硅晶圆测试成本的同时, 也能成功降低 DED 钨填充工艺中的空隙体积。◆



新型低温生长工艺改变半导体芯片技术

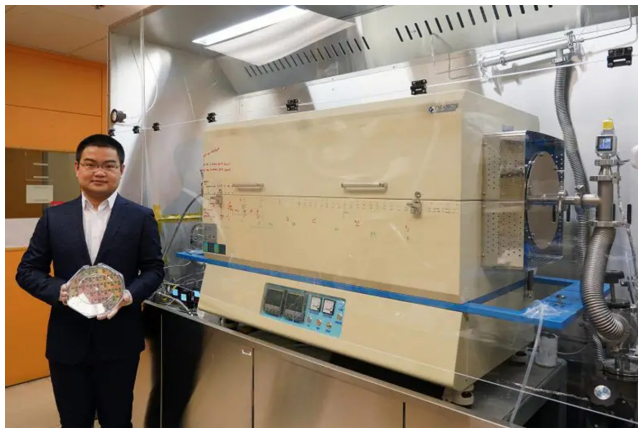
美国麻省理工学院的研究人员对一种低温生长技术进行革新，将二维材料集成到硅电路上，为制造出更密集、更强大的芯片铺平了道路。新方法涉及直接在硅芯片顶部生长二维过渡金属二硫化物材料层，而在传统方法上这通常需要可能会损坏硅的高温。

据国外媒体报道，麻省理工学院（MIT）工程师使用一种新的低温生长和制造技术将二维（2D）材料直接集成到硅电路上，通过这种技术有望实现更密集和更强大的芯片。

新兴的人工智能应用，比如生成自然人类语言的聊天机器人，需要更密集、更强大的计算机芯片。但半导体芯片传统上是用块状材料制成的，这些材料是方形的三维（3D）结构，因此通过堆叠多层晶体管来实现更密集的集成非常困难。

MIT 的研究人员开发了一种低温生长工艺，可将二维材料直接集成到硅芯片上，从而实现密度更高、功能更强大的半导体。该技术绕过了之前与高温和材料转移缺陷相关的挑战。它还缩短了生长时间，并允许在更大的 8 英寸晶圆上形成均匀的层，使其成为商业应用的理想选择。

由超薄二维材料制成的半导体晶体管，每个只有大约三个原子的厚度，可以堆叠起来制造更强大的芯片。MIT 研究人员开发的新技术，可以直接在完全制造的



图：研究生 Jiadi Zhu 拿着一块带有二硫化钼薄膜的 8 英寸 CMOS 晶圆。右边是研究人员专门开发的外延生长炉，使他们能够使用不损坏晶圆的低温工艺在晶圆上“生长”一层二硫化钼。（图片由 MIT 研究人员提供）

硅芯片上有效且高效地“生长”二维过渡金属二硫化物 (transition metal dichalcogenide, TMD) 材料层，进而实现更密集的集成。

将二维材料直接生长到硅 CMOS 晶圆上是一项重大挑战，因为该过程通常需要大约 600 摄氏度的温度，而硅晶体管和电路在加热到 400 摄氏度以上时可能会损坏。现在，MIT 研究人员的跨学科团队已经开发出一种不会损坏芯片的低温生长工艺。该技术允许将二维半导体晶体管直接集成在标准硅电路之上。

过去，研究人员是先在其他地方生长二维材料，然后将它们转移到芯片或晶圆上。这通常会导致缺陷，从而影响最终器件和电路的性能。此外，在晶圆级顺利转移材料变得极其困难。相比之下，这种新工艺在整个 8 英寸晶圆上生长出了平滑、高度均匀的薄层。

新技术还能够显著减少生长这些材料所需的时间。以前的方法生长单层二维材料需要超过一天的时间，而新方法可以在不到一个小时的时间内在整个 8 英寸晶圆上生长出均匀的 TMD 材料层。

由于其速度快和均匀性高，这项新技术使研究人员能够成功地将二维材料层集成到比之前展示的更大的表面上。这使得他们的方法更适合用于商业应用，其中 8 英寸或更大的晶圆是关键。

“使用二维材料是提高集成电路密度的有效方法。我们正在做的就像建造一座多层建筑。如果你只有一层，这是传统的情况，它不会容纳很多人。但是随着楼层的增加，大楼将容纳更多的人，从而可以实现令人惊叹的新事物。由于我们正在研究异质集成，我们将硅作为第一层，然后

我们可以将多层二维材料直接集成在上面，”电气工程和计算机科学研究生，关于这项新技术的论文的共同主要作者 Jiadi Zhu 说。该论文于 2023 年 4 月 27 日发表在《Nature Nanotechnology》杂志上。Zhu 与共同主要作者、麻省理工学院博士后 Ji-Hoon Park 共同撰写了这篇论文；论文通讯作者 Jing Kong，电气工程与计算机科学 (EECS) 教授，电子研究实验室成员；论文作者还有 EECS 教授兼微系统技术实验室 (MTL) 主任 Tomás Palacios；以及麻省理工学院、麻省理工学院林肯实验室、橡树岭国家实验室和爱立信研究中心的其他人。

具有巨大潜力的超薄材料

研究人员关注的二维材料二硫化钼具有柔韧性、透明性，并具有强大的电子和光子特性，使其成为半导体晶体管的理想选择。它由夹在两个硫（化物）原子（层）之间的单原子钼层组成。

在表面上以良好的均匀性生长二硫化钼薄膜通常是通过称为金属有机化学气相沉积 (MOCVD) 的工艺完成的。六烷基钼和二亚乙基硫是含有钼原子和硫原子的两种有机化合物，它们在反应室内蒸发并被加热，在那里它们“分解”成更小的分子。然后它们通过化学反应连接起来，在表面形成二硫化钼链。

但是分解这些被称为前体的钼化合物和硫化合物需要 550 摄氏度以上的温度，而当温度超过 400 摄氏度时，硅电路就会开始受到损害。

因此，研究人员开始跳出框框思考——他们为金属有机化学气相沉积 (MOCVD) 工艺设计并建造了一个全新的外延生长炉。

炉子的烘箱由两个腔室组成，前部是低温区，放置硅片，后部是高温区。汽化的钼和硫前体被泵入生长炉。钼停留在低温区域，温度保持在 400 摄氏度以下——热到足以分解钼前体，但又不会热到损坏硅芯片。

硫前体流入高温区域，并在那里分解。然后它流回低温区，在那里发生在晶圆表面生长二硫化钼的化学反应。

“你可以把分解想象成制作黑胡椒——你有一整粒胡椒，然后把它磨成粉末。所以，我们在高温区粉碎和研磨辣椒，然后粉末流回低温区，”Zhu 解释道。

更快的生长和更好的均匀性

该工艺有一个问题：硅电路通常将铝或铜作为顶层，

因此芯片可以在安装到印刷电路板上之前连接到封装或载体。但是硫会导致这些金属硫化，就像一些金属暴露在氧气中会生锈一样，这会破坏它们的导电性。研究人员通过首先在芯片顶部沉积一层非常薄的钝化材料来防止硫化。然后他们可以打开钝化层再进行连接。

他们还将硅片垂直放置到炉子的低温区域，而不是水平放置。通过垂直放置，两端都不会太靠近高温区域，因此晶圆的任何部分都不会被热量损坏。此外，钼和硫气体分子在撞击垂直芯片时会旋转，而不是流过水平表面。这种旋转循环效应促进了二硫化钼的生长，并提高了材料的均匀性。

除了产生更均匀的沉积层外，他们的方法也比其他 MOCVD 工艺快得多。他们可以在不到一个小时的时间内生长一层，而通常 MOCVD 生长过程至少需要一整天。

MIT 使用最先进的 MIT.Nano 设施，他们能够在 8 英寸硅晶圆上生长高度均匀的优质材料，这对于需要更大晶圆的工业应用尤为重要。

“通过缩短生长时间，该工艺效率更高，并且可以更容易地集成到工业制造中。此外，这是一种与硅兼容的低温工艺，有助于将二维材料进一步推进到半导体行业中。” Zhu 说。

未来，研究人员希望微调他们的技术，并用它来生

长多层堆叠的二维晶体管。此外，他们还想探索这种低温生长工艺在柔性表面（如聚合物、纺织品甚至纸张）的应用。这可能会实现将半导体集成到衣服或笔记本等日常用品上。

这项工作 在单层二硫化钼材料的合成技术方面取得了重要进展，在 8 英寸规模的低温生长能力使这种材料与硅 CMOS 技术的后端集成成为可能，为其未来的更多电子应用铺平了道路。◆

参考文献

“Low-thermal-budget synthesis of monolayer molybdenum disulfide for silicon back-end-of-line integration on a 200 mm platform” by Jiadi Zhu, Ji-Hoon Park, Steven A. Vitale, Wenjun Ge, Gang Seob Jung, Jiangtao Wang, Mohamed Mohamed, Tianyi Zhang, Maitreyi Ashok, Mantian Xue, Xudong Zheng, Zhien Wang, Jonas Hansryd, Anantha P. Chandrakasan, Jing Kong and Tomás Palacios, 27 April 2023, Nature Nanotechnology.

DOI: 10.1038/s41565-023-01375-6

- ◆ 这项工作部分由 MIT 士兵纳米技术研究所、国家自然科学基金会综合量子材料中心、爱立信、MITRE、美国陆军研究办公室和美国能源部资助。该项目也得到 TSMC University Shuttle 的支持。

Rambus加入英特尔代工服务加速器IP联盟，助力先进SoC开发

业界领先的芯片和半导体 IP 供应商 Rambus Inc. 宣布加入英特尔代工服务 (IFS) 加速器 IP 联盟。此举将使 Rambus 能够接触到英特尔的工艺路线图，以便为英特尔工艺和封装技术提供性能、功耗、面积和安全性经过优化的先进安全和接口 IP 解决方案。借助 IFS 联盟中的 Rambus IP，客户可以为数据中心、边缘、5G、汽车和军事航空应用设计极为先进的 SoC。

IFS 生态系统发展业务副总裁 Suk Lee 表示：“作为我们 IDM 2.0 战略的一部分，IFS 正在与 Rambus 等领先的 IP 公司合作，一起创建一个强大的芯片设计生态系统，帮助我们的共同客户为要求最苛刻的应用提供领先的半导体性能。作为首家开放系统代工厂，我们将依靠先进的工

艺和封装技术、有弹性的供应链，与 Rambus IP 相结合，引领我们推动数字世界发展的解决方案。”

Rambus 致力于提供一些具有世界领先性能的内核和互连接口 IP，以及业内最广泛的安全 IP 解决方案组合，使数据传输更快更安全。Rambus 的安全 IP 和配置解决方案每年为数十亿台设备提供安全保障。

Rambus 首席运营官范贤志表示：“作为一家领先的著名 IP 方案商，Rambus 为快速增长的数据中心、人工智能 / 机器学习应用等广大市场的客户提供服务。我们十分荣幸能够加入英特尔代工服务加速器 IP 联盟，并期待着为我们的共同客户提供打造最先进的 SoC 所需要的 IP。”◆

真空技术赋能微观材料科技， 推动纳米材料制造设备

随着新材料的应用和科技的进步，我们的生活正在发生翻天覆地的变化。从居家办公到日常出行，随着技术的不断突破和创新，也给我们生活质量带来了很大的提升。燃油车被越来越多的电动汽车所取代，推动着交通出行以更加可持续的方式发展；随处可见的显示器，也一次次突破极限，展示更清晰、精准和高质量的画面。还有很多新材料的应用正在从实验室级别的研发走向产业化和规模化。这些技术的应用都离不开真空技术。

现如今真空镀膜技术在新材料应用领域的使用非常广泛，通过对现有材料表面的真空镀膜而改变其材料的极限，从而在不增加太多成本的情况下大大提高了材料原有的极限能力，让生产出来的产品在体积、质量和成本没有发生太多变化的同时，性能得到了质的飞跃。原子层沉积技术（Atomic Layer Deposition, ALD），就是这一技术最常见的应用之一，是先进的纳米表面处理技术。通过 ALD 工艺，可以在单原子范围内沉积涂层，因此可以在纳米尺度上进行控制。原子层沉积设备已在新能源动力电池正极材料的包覆，半导体集成电路产业，微机电系统和其他纳米技术应用领域获得了广泛的应用。

Micro-LED提升了显示技术

从显像管到 LED，显示的精度和由此带来的视觉感官享受不断提升。进入 LED 时代后，产品技术也在不断更新迭代。而在已知的技术当中，Micro-LED 被誉为是“终极的显示技术”，其所占体积更小、混光距离更短、亮度和对比度更高、功耗更低、寿命更长。Micro-LED 是将 LED 结构设计进行薄膜化、微小化、阵列化，常需要用到溅射工艺来生成薄膜结构，而后在此基础上进行后续加工。



图1：GM克级粉末ALD系统。

在更多的高精尖领域，是超高真空设备的用武之地，涡轮分子泵则在其中起到了关键作用。例如科研超导应用当中，常需要纳米级的覆膜来辅助构成科研项目所需的各种模型结构。

厦门轹茂就是这样一家创新型高端纳米装备制造技术企业。专注于研发及生产 UHV 超高真空镀膜装备，ALD 原子层成膜系统、PVD、IBE 离子束刻蚀系统等一系列微纳加工设备。轹茂专注于新材料的包覆和量产，满足客户定制化的要求，同时不断探索先进工艺和自有知识产权，成为了这一领域的小巨人企业。

在 ALD 设备、Micro-LED 连续线和超高真空镀膜设备的生产中，普发真空作为轹茂的合作伙伴，凭借着丰富的真空专业知识的积累和广阔的产品组合，助力厦门轹茂实现高质量稳定的真空环境。



图2：超高真空设备，应用产品：QBT-J（四腔电子束蒸发系统）\QBT-P（两腔溅射系统）\QBT-4（两腔热蒸发系统）\QBT-A（等离子体增强ALD系统）。



图3: QBT-J全自动四腔超高真空双倾角镀膜系统。

粉末ALD设备

原子层沉积 (ALD) 可实现粉末的高品质完整包覆。ALD 包覆的薄膜更均匀, 覆盖率更高。ALD 耗材少, 包覆材料品质优异, 材料成分可实现原子级别单相或多相设计。另外, 前后道工艺简洁、干净、安全使 ALD 粉末包覆演变为一项重要的粉末技术, 可广泛应用于锂电池、催化剂、光电、金属、陶瓷、药物、光学装饰等领域。

韞茂提供从研发到生产级别的粉末包覆 ALD 设备及方案, 应用领域: 锂电池粉末或极片, 金属粉末, 荧光粉末等粉体包覆。

目前已有设备: GM 系列百克级粉末 ALD 系统、KG 系列公斤级粉末 ALD 系统, 即将推出吨级粉末 ALD 系统。

超高真空设备

当器件对污染物高度敏感, 一般选择在超高真空中进行。真空度越低, 器件质量越高。通常会使用多腔体互联及传输, 并且选择离子束清洗, 磁控溅射、电子束蒸发镀膜, 或者氧化退火等工艺处理模块组合。

普发真空提供一站式真空解决方案, 助力厦门韞茂实现产品功能。通过我们的产品组合和 know-how 帮助这样的企业一同进步, 实现成长是我们最大的优势。

普发真空产品包括:

HiScroll 涡旋泵 - 静音、高效、无油

A4 系列整体式干泵 - 高效, 温度控制范围广, 耐腐蚀材料工艺泵, 智能监控系统

HiPace 系列涡轮分子泵 - 高压比, 抽速高, 安全稳定, 体积小巧

PKR 361 全量程真空计 - 测量范围广, 极低的外部磁场, 试用范围广

韞茂科技总经理赵茂生先生表示道:“材料科技的进步推动着科研、创新和生产。面对日益提升的性能需求, 微观层面的技术显得愈发重要, 甚至有可能帮助突破传统技术的瓶颈。真空技术所保障的纯净环境对微观精密做业是不可或缺的。我们很高兴能与普发真空保持合作, 以其先进丰富的真空设备来帮助我们的产品实现更加优异的性能, 进而为更多科研机构 and 院校, 以及下游产业等单位服务, 助其攻克更多高精尖技术, 提升产品性能, 惠及更多用户。我们更期待藉此实现革命性的突破, 最终造福全人类。希望普发真空能为我们带来更多优秀的产品和技术, 与我们携手前行。”

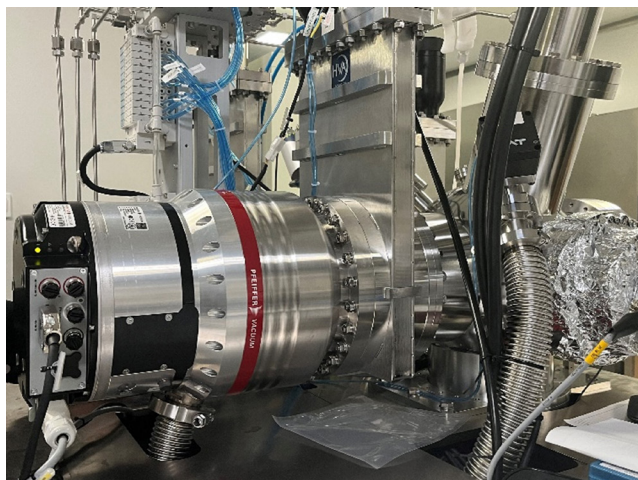


图4: 普发真空HiPace 2300涡轮分子泵用于超高真空系统。



湿法工艺设备的完美合作伙伴

AP&S INTERNATIONAL 首席营销官兼首席技术官 Tobias Bausch 与《Silicon Semiconductor》杂志编辑 Philip Alsup 对话，讨论了 AP&S 公司的批量工艺设备、单晶圆工艺设备和支持设备技术，其中的重点无疑是持续创新，以提供节约成本、优化运营和可持续的客户解决方案。此外对话还涵盖了当前行业的一些挑战，包括持续的供应链问题和技能短缺，以及新兴市场提供的机会。

PA: 如果你能给我一点关于公司的背景、历史和一些关键里程碑的信息，那就好开场了。

TB: 关于公司本身，AP&S 成立于 2003 年，但其历史可追溯到 1995 年。目前的股东霍斯特·霍尔 (Horst Hall) 于 1995 年创办了这家公司。然后，从 2001 年到 2003 年，我们是 SEZ 集团的一部分，我们被称为 SEZ 德国。这段时间的批量工艺设备部分是，奥地利 SEZ 有一个单晶圆产品组合，2003 年，该公司的现任股东 Alexandra (Laufer-Müller) 和 Horst 进行了管理层收购，创立了 AP&S 公

司。这意味着今年我们有 20 周年纪念日。七月份，我们将与公司员工和合作伙伴一起庆祝这一时刻。

在过去的 20 年里，我们开发了几个工具平台，主要是在湿法加工领域。因此，我们所有的机器都用于我们客户的湿法部门。当然，在这段时间里，我们有几个里程碑——我们投资了一个内部实验室，在那里我们可以为客户进行演示，这个演示实验室从 2012 年开始。正如我所说，在这段时间里，我们对机器进行了大量的重新设计或重新开发，对现有机器进行了新开发或者说是新的机器。



PA:那么,接下来谈谈你们提供的实际技术解决方案。你是否能为我们介绍一下批量工艺解决方案——这是你们的主要优势之一吧?

TB:我们现有三个平台,一个是批量,一个是单晶圆,另一个是生产支持设备或我们所说的设施物流。批量设备就是我们赖以成长的方向。自2003年,我们就开始制备批量工艺设备了。我们有几个平台,半自动化和全自动化平台。最小的平台是双槽解决方案,客户可以在一台设备中进行刻蚀和清洗应用。大多数情况下,这种工具都是由手动操作的客户使用,即操作人员原来是手动取放晶圆的,但他们也希望能进行一些自动化生产。

接下来一个平台是一个被称为 multi step 或 giga step 的工具。这是一种桥梁工具。它是在2009-2010年开发的,我们可以非常容易地在这些平台上运行6英寸和8英寸的桥梁组合,而无需因为切换晶圆尺寸进行任何修改。因此,目前这将是与碳化硅问题和氮化镓需求有关的最直接解决方案。并且这个工具平台本身是模块化的,非常灵活。因此,客户也可以在今天决定使用清洗应用的工具配置,而在未来,当他们的需求发生变化、产品发生变化或其他情况时,我们可以通过调整模块或插入或拆卸模块或插入新型号来轻松地重新配置工具。这是这个平台的主要优势之一。

然后,我们有一个高吞吐量的平台,是新开发的产品——它被称为 Nexus Step。它每天产能高达12,000晶圆,主要用于清洗应用。我们在这个设备里可以每次批量装载100片晶圆。我们在今年年底前,将正式推出 Nexus Step,这是一个新的发展里程碑。我们稍后再详细地讨论这个平台。

最后,但同样重要的是一个非常特殊的工具。这是一种无碱金属化 (eless metalization) 设备,用于凸点下的金属化,我们称之为 Volcano。我们从2009年开始这个工具的开发。我认为到今天为止,我们在欧洲赢得了的大多数客户。这种无碱金属化工艺的纪录,我们可以在铜或铝垫上进行镍、钯、金的金属化,是的,这个工具平台是 AP&S 历史上最大的成功案例之一。我们的目标是明显延长镀液槽的使用寿命,因为与半导体行业的标准化学品相比,无碱化学品相当昂贵,我们希望确保客户能够在更好的总拥有成本基础上,拥有更高的运行吞吐量。

PA:接下来,我们也许要继续讨论单晶圆工艺技术了,能概述一下你们在这一领域的工作吗?

TB:我们在2010-2011年初开发的单晶圆设备。正

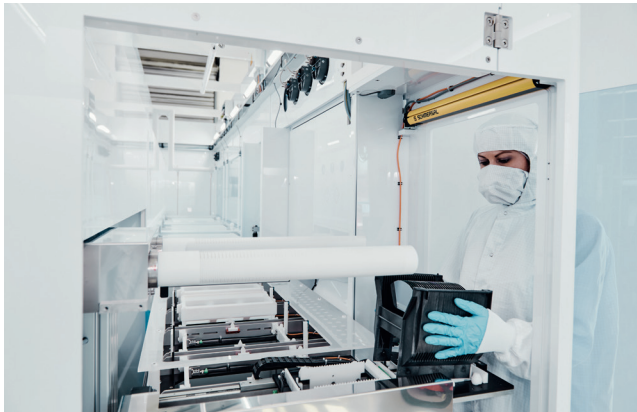


如我所说,我们当时很快决定在演示应用中使用单个晶圆,并向客户展示运行演示的可能性。与此同时,我们不仅进行演示,还在实验室进行了研发活动。

这个工具本身是一个非常小的设备。我们可以从一个腔室开始。它被称为单腔室。我们可以用机器人模块对其进行改造,使其能够自动装载晶圆或掩模,并升级到双腔室。因此,最大的工具配置放大是两个腔室,这是一个双腔室解决方案。但在腔室本身,我们并没有受到限制。因此,我们可以在晶圆尺寸上运行12英寸,在掩模尺寸上运行9英寸。而且,在机器的开发过程中,我们决定将机器用工艺来命名。因此,例如,我们有一个 spin mask (旋转掩模),顾名思义,这是用于在旋转中剥离掩模的清洗设备。它是为金属剥离应用而设计的, spin RCA (旋转 RCA) 或 spin scrubber (旋转洗涤器) 是用于典型清洗应用进行旋转 RCA 旋转洗涤器的, spin metal (旋转金属) 或 spin edge (旋转边缘) 是用于蚀刻应用旋涂金属或旋涂边缘的。

它们每个都有各自的特点和与工艺相关的不同特征。例如,我们为金属蚀刻应用开发的 spin metal, 工艺腔室内包含一种端点检测系统。因此,在这种情况下,我们与一位客户开发的一个案例实现了三层金属层,因此他们有一层银、一层镍和一层钛的金属层。通过这种端点检测,我们可以实现非常快速的步骤,非常快速的工艺步骤。我们可以明显减少底切和过度蚀刻,尤其是我们可以补偿任何种类的化学浓度、化学物质的温度变化、化学物质使用、稀释或降解的时间。所以,即使我们只要检测蚀刻端点,所有这些东西就都可以得到了补偿。这是举例说明我们可以在这些单晶圆腔室中加入的优势之一。正如我所说,每个专用的工艺步骤都有独特的功能。

PA:听起来你们与客户合作非常密切。所以,我



想了解你们在生产一系列标准设备解决方案之外，会与单个客户合作，根据他们的特定需求进行定制吗？

TB：我们会按照特定需求提供定制，尤其是单晶圆设备，甚至是批量生产设备。我之前忘了提到，四年前我们还在这个演示中心提供了批量生产演示设备。正如我所说，我们和客户一起做了很多研发活动。所以他们来找我们。他们有一些特定的问题。有时，他们无法在自己的设施中解决与污染有关的问题，因为他们不允许在生产设备上进行不同的测试；或者目前，为了确保所有设备都满载，所以他们没有时间在自己的生产线上进行大量的研发活动。然后他们带着晶圆和问题来找我们，我们一起在实验室里进行研发活动，找到最好的装置，甚至找到一个具有新功能的新装置，比如臭氧，比如兆声波，或者其他装置，支持客户的需求。然后在下一步，我们尝试在客户的现有机器上实现它。或者，如果确实需要，我们将为客户专门开发一台新机器并进行制造。在制造阶段，我们尝试并提前在实验室进行验证，以使工艺尽可能接近生产运行的参数设置。

PA：你在一开始也提到了你们制造一系列的支持设备 (support equipment)。那么，我想了解一下支持设备到底是什么设备？

TB：支持设备，可能我们在不久的将来会将其更改为新的定义。代工厂物流设备是我们产品组合的第三大支柱。在这种情况下，它还包括清洗设备，但这里专门指用于载盒——SMIF(标准机械接口装置)和FOUP(前开式晶圆盒)，或者用于石英制成的零件和化学品输送系统的零件或管道清洗设备。所以，我认为这是最基本的认知。生产所需的每一项制造，尤其是在承载箱或 SMIF 或 FOUP 清洗方面，我们看到在过去几年中，需求都在不断增加。当然，每个

客户的需求都在增加。如果你的工厂里有更多的晶圆，或者你正在生产更多晶圆，你需要更多的盒子。这些盒子必须清洗。因此，很明显，客户需要更多的清洗设备。此外，如果客户重新回到在他们设施内部进行清洗，我们可以为他们带来明显的好处。在过去的 10 到 15 年里，该行业的一些客户不想或没有在内部设施里这样做。因此，他们将盒子、FOUP 和 SMIF 外包给了外部清洗中心。

但是，目前，我们看到了将其带回内部设施的好处。当必须立即清洁盒子或 FOUP 时，您的反应时间更快，灵活性更高。您可以降低物流成本，不必将其发送给外部供应商，也不需要将其取回等等。您可以减少清洁循环中必须有的环节，最后当然是清洗成本的降低，这是可以计算和可视的。我认为未来几年更重要的是，碳足迹可能会更好，因为你不必通过更长的物流方式将零件发送给外部合作伙伴。正如我所说，你可以降低物流成本，但也可以改善你的碳足迹。

PA：在应用方面，你们专注于许多应用领域，清洗和蚀刻应该是主要的应用领域。还有其他的方向吗？重点到底是什么呢？

TB：是的，我认为这两个是我们典型的应用，我们就来自于这两个领域，公司历史也是基于这两个领域——通常是前端生产中用于扩散前清洗或 CMP 后清洗的清洗机，无论如何，在蚀刻设备上，则是用于氧化物边缘、氮化物边缘、硅边缘等典型的前端步骤。所以，这是大家找到我们工具库，发现我们的工艺诀窍等等的基础，在过去的几年里，我们又有所增加。因为，特别是溶剂应用在过去几年中非常重要，我认为 AP&S 是世界上少数几个将溶剂应用于机器的公司之一，在这些机器中，我们有一个与酸步骤或清洗步骤并行的工具配置。我们所增加的是这些工具配置、溶剂等等。与安全有关时，你必须知道你必须做些什么等等。但这只是我们所做的额外重点和应用之一。我之前讲了在单晶圆上的金属蚀刻，我们开发了带有检测端点的单晶圆金属蚀刻，与此同时，我们也开始在批量平台上进行着开发。

它在我们的 multistep 和 gigastep 工具平台升级或扩大批量工艺工具的吞吐量。每个人都清楚批量工艺工具。与单个晶圆相比，您将有更高的吞吐量应用可能性。这两种类型的设备都有各自的优点和缺点。但金属蚀刻尤其在过去一年中不断增长。是的，正如我之前所说，无碱金属化，

这是我们目前关注的最受欢迎的应用之一。这也肯定来自于我们目前在减碳、绿色能源、电动汽车、装卸站等方面的巨大趋势。最终，每个人都需要功率器件。在功率器件中，您需要一个良好的金属堆叠用于 UBM (under bump metalization)，也就是用于凸点下金属化。我们在这里也看到，我们可以通过无碱工艺步骤实现金属层，对于这些新技术来说，这些金属层在质量、温度等方面都非常好。

PA：你提到了很多技术解决方案，当然也提到了一些创新，你能否总结一些最近的创新，或者强调一些最重要的创新，你们最近在开发什么呢？

TB：我想我可以总结一下，比方说，我们目前或过去两年所做的三项主要创新。我们有一个非常庞大的内部软件部门。公司有 250 人，内部软件团队人数与这个数字接近，是一个庞大的团队。我们有一个明确的战略，让软件的开发掌握在自己手里。因为我们看到软件功能、与客户接口的接口、处理解决方案等将是未来的关键。所以，我们谈论人工智能，谈论预测性维护等等。所有这些东西最终都与软件功能有关，这样工具就可以控制自己，测量自己，自己进行诊断，看看零件，甚至是泵、加热器或其他什么东西是否会出故障等等。所有这一切都与软件和软件代码有关，因此我们在软件方面这样做，可以说有很多研究和创新。

在软件方面，我们还有一个明确的重点，但这在行业中并不是新鲜事，因为它已经发生了很长一段时间，那就是寻求增加和优化机器的吞吐量，这样你甚至可以降低生产成本——如果你能优化吞吐量，你就可以减少工艺时间，可以节省化学成本，或者在这种情况下，从公司的绿色足迹来看，这也是节省化学量和成本的一个很好的功能。所以，这是我们在软件中考虑的内容。

第二项创新是我们目前正处于实际制造新机器的开发阶段的后期。这将是专门为高吞吐量 8 英寸应用而设计的机器。我们将在机器内部配备一个单元，最多可储存 44 个运输载盘或盒子。它使我们能够在配方控制和吞吐量控制方面非常灵活地进行处理。它还允许客户在设备内储存载盒等，并可以在有时间的时候将其送到设备上，我们使用它，储存它，并在生产或配方完成时将其退还给晶圆厂。正如我所说，这是一个具有额外工艺功能的工具。我们正在减少一些工艺活动，例如，减少冲洗时间，以节省时间和金钱，并最终节省去离子水，这对客户的整个环境也有好处。

第三项创新是我们的新型清洗机 (cleanser)。这是我们在过去两年里开发的设备。这是一种用于晶圆厂物流的新型清洗设备，尤其是用于清洗 FOUP。该设备每次运行可清洗十二个 FOUP。我们看到，对于基准设备，该设备在时间或配方上大约可以减少十分钟。因此，我们也可以在这里增加工艺程序，并最终增加吞吐量。并且该设备是随着自动化装载系统的实现而开发的。因此，特别是在高度自动化的 12 英寸晶圆制造上，我们看到，在路径清洁领域，也出现了不由操作员装载机器，而是由高架运输系统装载机器的需求。这是我们正在关注的事情。这种全自动装载系统的开发正在进行中。我认为我们将在未来一年半内推出市场。

PA：你们的成功很大程度上显然是建立在公司人员和技能之上的。我知道你们为自己的招聘和技能发展感到自豪。这对公司来说非常重要。特别是，我想在所有行业都可能有点煎熬的时候，但在科技行业，我们又经常听到技能短缺的消息。那么，你们有什么样的举措来确定合适的人加入你们公司，以及一旦他们加入公司，你们又如何帮助他们发展？

TB：是的，你说的很对。在德国南部，靠近瑞士边境和康斯坦斯湖的地方，我们就有一个适合员工的好地方。我们有很多强大的公司，并且所有这些公司都在寻找高素质的人才。所以，正如你所说，对于公司本身来说，很难找到合适的人。我们可以说，在过去三年疫情期间，在研发部门，我们还是发现了非常优秀的人才。我认为当时的情况是，很多大学里完成学业的人都在寻找新工作，而当时并不是每个公司都想要雇佣新人。我们很早就决定利用这种情况，让很多学生加入公司。因此，与制造相比，在研发领域我们的情况更好。在制造领域，很难找到生产机器的人，因此我认为在未来几年里，找到合适的拥有良好技能和正确技能的人将是最大的挑战。

我们还试图雇佣来自接近半导体行业和接近机器制造行业的员工。我们周围有很多金属行业的机器制造商。

内部学习和培训是我们做的最重要的事情之一。因此，我们在几个部门都有受训人员，他们中的大多数，或者说所有人，都将在培训结束后和学习结束后成为 AP&S 团队的一部分。我们做这件事非常认真，我认为如果我们最终做到了，如果他们完成了学习，我们可以有几个选择。他们可以从研发部门或销售或市场营销开始，如果他们的

技术技能很好，他们也可以从制造部门开始。

PA：你认为这个行业或多或少已经从疫情的影响中恢复了吗？如果是这样，或者无论目前的情况如何，我们现在有什么样的机会，背后还有什么挑战吗？大家都想知道我们现在在哪里？

TB：这是一个难回答的问题，因为我认为在过去的三年里，没有人能够说出接下来会发生什么。我想在2020年初，每个人都害怕，没有人知道很快会发生什么，然后，是半导体行业在2020年年中和年底，在某种程度上恢复非常快，从这个时候开始，每家都在成长并且都在加速。但是它能否恢复正常，我还不知道。

目前，我们看到我们所需的来自自己行业的零部件，plc控制器、电机控制器等，仍然有50周，大约一年的交付周期。在其他部件方面，我们看到交付周期在过去也接近52周，现在又回到了44、42周。因此，虽然我们看到了交付周期在缩短，但是在电子零件上，我们没有看到明显的改善。因此，我不知道我们行业是否回到了正常水平。

我们还看到，对半导体的需求也带动了对于相关制造设备的更高要求，这可以从过去两三年的订单情况来衡量的，当然这也与几个大趋势有关。我们有减碳趋势等。如果你看看各种市场研究，减碳似乎正在全面进行，尤其是在电力行业，功率半导体的增长将超过其他行业，但新常态是什么？我不知道。

在半导体行业，尤其是欧洲，像德国和其他欧洲国家，我们看到，在疫情之前的全球化非常好，非常棒，在世界各地建立供应链不是问题，供应链通常在世界各地，这对每个人来说都应该很明确。但是，我们遇到了这种流行病和危机，然后每个人都看到了供应链被切断了。目前，在欧洲来说，我们看到很多新项目是有趣和宏大的。许多新



的、不断发展的晶圆厂，甚至是内部晶圆厂，都来到了德国。英飞凌决定要扩张，台积电正在讨论在德国或欧洲建立新的晶圆厂。

我认为这很好，但我不知道这是否是去中心化的第一步——让每个大陆的外部生产回到内部生产。我们是否回到一个新的常态。我不知道。我认为我们的市场也会有很大的波动，我们要看看未来三年会发生什么。经过了三年的疫情时间，我认为我们至少需要同样的时间才能看到什么是新常态。

PA：你能分析可持续性对行业，尤其是供应链的意义吗？另外，你对于地缘政治方面的怎样评论？

TB：我不是政治家，所以评论地缘政治形势相当困难，两年前没有人相信欧洲会发生战争，现在我们已经是在战争中了，那么未来三年会发生什么？我认为我很难评价这个方面。

在半导体工业中，重要的是要有一个强大的供应链网络，还要了解相关背景，了解当情况发生时会发生什么。

从可持续发展的角度来看，我们拥有的资源并不是无穷无尽的。因此，如果我们关心材料，如果我们关注原材料，关注员工和技术，我们必须找到改进我们所做工作的方法，从而节约我们所拥有的资源。比如说水，水是世界上最重要的资源之一，我认为未来几年世界各地都很难拥有合适的水容量和水质量。而我们的行业就是需要很多水的行业之一。我认为节省资源——原材料、水等，应该是我们专注的目标。这也将会决定未来的成功。那些找到了方法——以良好方式处理这些资源，并正在实施可持续发展战略的公司将取得成功。

PA：你是否注意到你的客户对可持续发展更感兴趣了？当他们与你交谈时，他们会询问你的可持续发展计划和供应链吗？

TB：是的，我们越来越多地收到这些询问。我们参与了好几个可持续发展项目。现在我们有的客户拥有20-25年历史的制造厂，而他们肯定还会在未来20或25年内继续运营这些制造厂。他们有明确的可持续发展战略。对我们来说，作为这个行业的供应商，很明显要继续实施这些战略，找到想法和方法来接近客户的目标，并找到我们自己的方式，我们自己的想法来满足客户方的可持续发展要求。◆



国际知名媒体授权
 引领全球高新科技信息
 8本专业杂志(双月刊)
 欢迎免费索阅
 全年行业资讯



免费
 订阅

扫一扫添加

ACT读者服务号免费订阅

雅时国际传媒集团成立于1998年，在高增长的中国市场上为众多高科技领域提供服务。通过其产品系列，包括印刷和数字媒体以及会议和活动，雅时国际为国际营销公司和本地企业提供了进入中国市场的机会。雅时国际的媒体品牌为电子制造、机器视觉系统、激光/光子学、射频/微波系统设计、洁净室/污染控制和半导体制造，化合物半导体，工业AI等领域的20多万名专业读者和受众提供服务，雅时国际也是一些世界领先的技术出版社和活动组织者的销售代表。雅时国际的总部设在香港，在北京、上海、深圳和武汉设有分公司。

Advertiser	广告商名称	网址	页码
ACM	盛美上海	www.acmrcsh.com.cn	1
ELEXCON 2023	2023 深圳国际电子展	www.elexcon.com	BC
Honhor	广东鸿浩半导体设备有限公司	www.honhor.com	11
EVIDENT		www.evidentscientific.com.cn	3
Park		www.parksystems.cn	IFC
Pfeiffer Vacuum	普发真空技术(上海)有限公司	www.pfeiffer-vacuum.cn	9
ZHICHENG	智程半导体	www.kszcauto.cn	15
2023 慕尼黑上海光博会		www.world-of-photonics-china.com.cn/zh-cn/	IBC

欢迎投稿

《半导体芯科技》(Silicon Semiconductor China, SiSC)是面向中国半导体行业的专业媒体,已获得全球知名权威杂志《Silicon Semiconductor》的独家授权。本刊针对中国半导体市场特点遴选相关优秀文章翻译,并汇集编辑征稿、采编国内外半导体行业新闻、深度分析和权威评论等多方面内容。本刊由香港雅时国际通讯(ACT International)以简体中文出版发行。

本刊内容覆盖半导体制造工艺技术、封装、设备、材料、测试、MEMS、mini/Micro-LED等。文章重点关注以下内容:

FAB (Foundry, IDM, OSAT, R&D)

四个环节:晶圆制造(wafer后道)、芯片制造、先进封装、洁净室;深入报道与之相关的制造工艺、材料分析,工艺材料、工艺设备、测试设备、辅助设备、系统工程、关键零备件,以及与particle(颗粒度)及contamination(沾污)控制等产务知识。

FABLESS

芯片设计方案、设计工具,以及与掩膜版内容和导入相关的资讯。

半导体基础材料及其应用

III-V族、II-VI族等先进半导体材料的科学研究成果,以及未来热门应用。

《半导体芯科技》欢迎读者、供应商以及相关科研单位投稿,已甄选中文稿件将在印刷版杂志以及网上杂志刊登;IC设计及应用等半导体相关内容将酌情予以网络发表(微信推送、杂志网站)。本刊优先刊登中文来稿(翻译稿请附上英文原稿)。

技术文章要求

- 论点突出、论据充分:围绕主题展开话题,如工艺提升、技术改造、系统导入、新品应用,等等。
- 结构严谨、短小精悍:从发现问题到解决问题、经验总结,一目了然,字数以3000字左右为宜。
- 文章最好配有2-4幅与内容有关的插图或图表。插图、图表按图1、图2、表1、表2等依次排序,编号与文中的图表编号一致。
- 请注明作者姓名、职务及所在公司或机构名称。作者人数以四人为限。
- 文章版权归作者所有,请勿一稿多投。稿件一经发表如需转载需经本刊同意。
- 请随稿件注明联系方式(电话、电子邮件)。

新产品要求

- 新产品必须是在中国市场新上市、可在中国销售的。
- 新产品稿件的内容应包含产品的名称、型号、功能、主要性能和特点、用途等。
- 新产品投稿要求短小精悍,中文字数300~400字左右。
- 来稿请附产品照片,照片分辨率不低于300dpi,最好是以单色作为背景。
- 来稿请注明能提供进一步信息的人员姓名、电话、电子邮件。

电子邮箱: sunniez@actintl.com.hk
viviz@actintl.com.hk

行政及销售人员 Administration & Sales Offices

行政人员 Administration

HK Head Office (香港总部)

ACT International (雅时国际通讯)

Unit B, 13/F, Por Yen Buiding, No. 478 Castle Peak Road, Cheung Sha Wan, Kowloon, Hong Kong
Tel: 852 28386298

Publishing Director (出版总监)

Adonis Mak (麦协林), adonism@actintl.com.hk

Editor-in-Chief (编辑)

Sunnie Zhao (赵雪芹), sunniez@actintl.com.hk
Vivi Zhang (张雨薇), viviz@actintl.com.hk

Sales Director (销售总监)

Lisa Cheng (程丽娜), lisac@actintl.com.hk

General Manager-China (中国区总经理)

Floyd Chun (秦泽峰), floydc@actintl.com.hk

London Office

Hannay House, 39 Clarendon Road
Watford, Herts, WD17 1JA, UK.
T: +44 (0)1923 690200

Coventry Office

Unit 6, Bow Court, Fletchworth Gate
Burnsall Road, Coventry, CV5 6SP, UK.
T: +44 (0)2476 718 970

Publisher & Editor-SiS English

Jackie Cannon, jackie.cannon@angelbc.com
+44 (0)1923 690205

销售人员 Sales Offices

China (中国)

Wuhan (武汉)

Lisa Cheng (程丽娜), lisac@actintl.com.hk

Tel: 86 185 7156 2977

Mini Xu (徐若男), minix@actintl.com.hk

Tel: 86 187 7196 7314

Phoebe Yin (尹菲菲), phoebey@actintl.com.hk

Tel: 86 159 0270 7275

Mandy Wu (吴漫), mandyw@actintl.com.hk

Tel: 86 187 7196 7324

Shenzhen (深圳)

Yoyo Deng (邓丹), yoyod@actintl.com.hk

Tel: 86 135 3806 1660

Jenny Li (李文娟), jennyl@actintl.com.hk

Tel: 86 137 2881 3915

Shanghai (上海)

Hatter Yao (姚丽莹), hattery@actintl.com.hk

Tel: 86 139 1771 3422

Helena Xu (许海燕), helenax@actintl.com.hk

Tel: 86 130 6168 5321

Amber Li (李歆), amberL@actintl.com.hk

Tel: 86 182 0179 0167

Beijing (北京)

Cecily Bian (边团芳), cecilyB@actintl.com.hk

Tel: 86 135 5262 1310

Hong Kong (香港特别行政区)

Floyd Chun (秦泽峰), floydc@actintl.com.hk

Tel: 852 2838 6298

Asia (亚洲)

Japan (日本)

Masaki Mori, masaki.mori@ex-press.jp

Tel: 81 3 6721 9890

Korea (韩国)

Lucky Kim, semieri@semieri.co.kr

Tel: 82 2 574 2466

Taiwan, Singapore, Malaysia (台湾, 新加坡, 马来西亚)

Regional Sales Director

Floyd Chun (秦泽峰), floydc@actintl.com.hk

Tel: 852 2838 6298

US (美国)

Janice Jenkins, jjenkins@brunmedia.com

Tel: 724 929 3550

Tom Brun, tbrun@brunmedia.com

Tel: 724 539 2404

Europe (欧洲)

Shehzad Munshi, Shehzad.Munshi@angelbc.com

Tel: +44 (0)1923 690215

Jackie Cannon, Jackie.cannon@angelbc.com

Tel: +44 (0) 1923 690205

凝心聚力 奋楫扬帆

五大主题

激光器与光电子
光学与光学制造

激光智能制造
(含红外技术与应用)

成像、
机器视觉
检测和质量控制

观众预登记
火热进行中



扫码注册参观

world-of-photonics-china.com.cn

2023年7月11-13日, 国家会展中心(上海)

慕尼黑上海光博会

LASER World of PHOTONICS CHINA



elexcon深圳国际电子展

嵌入式与AIoT展 | 电源与储能展 | SiP与先进封装展



高算力、低功耗

见证PPA影响力为社会智能化赋能!

2023年8月23-25日

深圳会展中心（福田）1/2/9号馆

参展请联系

电话：0755-88311535

邮箱：elexcon.sales@informa.com



informa markets



扫码关注 了解更多