

半导体芯科技



SILICON
SEMICONDUCTOR

CHINA

ISSN 2523-1294

www.siscmag.com

2023年10/11月

混合键合推动异构集成发展 P.14

质谱分析支持半导体发展 P.18

激光器件与硅集成 P.23

晶圆背面供电 P.32

智能声学传感器 P.36

ACT 25
INTERNATIONAL

Angel
BUSINESS COMMUNICATIONS



微信公众号



国际知名媒体授权
 引领全球高新科技信息
 8本专业杂志(双月刊)
 欢迎免费索阅
 全年行业资讯



免费
 订阅

扫一扫添加
 ACT读者服务号免费订阅

雅时国际商讯成立于1998年，为高速增长的中国市场中众多的高技术行业服务。ACT通过它的一系列产品——包括杂志和网站、社交媒体、培训、会议和活动等为跨国公司及中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站，以及各种技术会议，服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT也是若干世界领先技术出版社及展会的销售代表。ACT总部在香港，在上海、深圳和武汉设有办事处。



CHTF  | 

新型显示展
NEW DISPLAY

第二十五届中国国际高新技术成果交易会
CHINA HI-TECH FAIR 2023
2023.11.15-19 (5天) 深圳会展中心 (福田) 3展馆

显示技术专区



- 新型显示专区
- 商用显示专区
- 材料区
- 设备检测仪器区

- 材料专区
- 设计专区
- 设备专区
- 传感器专区



半导体专区

WELCOME



扫码登记

领免费门票

目录 CONTENTS

封面故事 Cover Story

14 混合键合推动异构集成发展

Hybrid bonding promotes the development of heterogeneous integration
晶圆到晶圆 (W2W) 混合键合涉及不同生产线的晶圆堆叠和电连接处理, 是异构集成的核心工艺, 在 CMOS 图像传感器以及各类内存以及逻辑技术应用中表现出色。然而, 在组件或晶片尺寸不相同的情况下, 晶片到晶圆 (D2W) 混合键合更适用于异构集成。凭借新型 D2W 键合解决方案和市场领先的 W2W 混合键合解决方案, 加之异构集成能力中心 (Heterogeneous Integration Competence Center™) 带来的丰富行业合作经验, EV 集团 (EVG) 为 D2W 键合应用提供有力支持。



14

编者寄语 Editor's Note

4 地缘政治转变重塑半导体格局

行业聚焦 Industry Focus

5 X-FAB 推出新的 XIPD 工艺, 实现全集成紧凑射频系统设计

5 智原推出 2.5D/3D 先进封装服务, 无缝整合小芯片

6 基于 Speedcore eFPGA IP 构建 Chiplet

6 新型有机半导体光电极实现高效稳定的水分解

7 可应用于植入式生物装置的液态金属微电极

8 台积电携手英伟达、博通共同开发硅光子技术

8 用于汽车照明的新型粘合剂

9 格芯升级技术平台, 满足汽车行业需求

10 玻璃基板对于下一代多芯片封装至关重要

11 普发真空亚洲检漏应用实验室开幕

11 西门子 EDA 和台积电携手优化芯片设计过程



7



10

市场分析 Market Analysis

12 面向先进半导体封装的材料和工艺

Materials and Processing for Advanced Semiconductor Packaging

关于雅时国际商讯 (ACT International)



雅时国际商讯 (ACT International) 成立于1998年, 为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品 - 包括杂志和网上出版物、培训、会议和活动 - 为跨国公司和中国企业架起了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站, 以及各种技术会议, 服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港, 在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photronics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

关于《半导体芯科技》

《半导体芯科技》(原半导体科技) 中国版 (SiSC) 是全球最重要和最权威的杂志Silicon Semiconductor的“姐妹”杂志, 由香港雅时国际商讯出版, 报道最新半导体产业新闻、深度分析和权威评论。为中国半导体专业人士, 提供他们需要的商业、技术和产品信息, 帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国半导体产业, 包括IC设计、制造、封装及应用等。

About Silicon Semiconductor China

Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology & product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMS, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

目录 CONTENTS

技术 Technology

- 18 质谱分析如何支持半导体发展需求?
How does mass spectrometry support the demand for semiconductors?
- 20 智能产品的视觉关键组件——VCSEL
The visual key components of smart products -- VCSEL
- 23 将激光器件与硅集成的方法探讨
Discussion of ways to integrate laser devices with silicon
- 27 使用 UCle IP 确保多 Die 系统可靠性
Ensuring Multi-Die System Reliability with UCle IP
- 30 半导体企业如何解决制造软件系统的意外停机困境?
Are you ready to reduce or even avoid unplanned downtime for your manufacturing software systems?
- 32 晶圆背面供电领域的最新发展
The latest developments in wafer backside power delivery

专栏 Conlunm

- 33 光子技术解决下一代计算产品扩展问题
Photonics technology for the next generation computing product expansion
- 36 智能声学传感器系统支持听力汽车
Intelligent acoustic sensor systems support The Hearing Car
- 38 产品特写 Product Features
- 40 广告索引 Ad Index

《半导体芯科技》编委会 (排名不分先后)

刘胜 教授
武汉大学 工业科学研究院执行院长

姚太平 博士
江苏中科智芯集成科技有限公司总经理

汤晖 教授
广东工业大学、精密电子制造技术与装备国家重点实验室

于大全 教授
厦门云天半导体创始人

须颖 教授
中国仪器仪表学会显微仪器分会副理事长

罗仕洲 教授
馨允科技总经理

林挺宇 博士
广东芯华微电子技术有限公司总经理

杨利华 院长
两江半导体研究院

王文利 教授
西安电子科技大学电子可靠性(深圳)研究中心主任
雅时国际商讯顾问

张昭宇 教授
香港中文大学(深圳)理工学院
深圳半导体激光国家重点实验室主任

刘功桂 教授级高工
中国电器科学研究院股份有限公司威凯技术中心主任

云星 总经理
深圳安博电子有限公司

张弛 总裁
深圳贝特莱电子科技股份有限公司

乔旭东 博士
深创投集团投资发展研究中心总经理

徐开凯 教授
电子科技大学、电子薄膜与集成器件国家重点实验室

何进 教授
北京大学教授、深圳系统芯片设计重点实验室主任

PLASMA等离子去胶



ICP PLASMA 去胶机 RIE PLASMA 去胶机

PLASMA等离子活化



微波PLASMA清洗机 真空PLASMA清洗机

润湿性检测 USC除尘



全自动晶圆型接触角



在线式干式超声波

扫一扫获取更多解决方案



400 9600 662 / 0769 8238 5510
www.sindin.com / www.dynechina.com

东莞市晟鼎精密仪器有限公司
广东省东莞市虎门镇怀雅路235号

苏州晟鼎半导体设备有限公司
苏州市吴江区兴瑞路新时亿科技产业园17栋5层南

地缘政治转变重塑半导体格局

中美双方的对抗和冲突正在加剧。针对中国半导体行业，美国已经实施了多轮出口限制规定。在美国商务部出台限制对华出口先进人工智能芯片和芯片生产设备的一系列管制措施一周年之际，种种迹象显示，拜登政府即将对这些管制规则进行更新。同时，欧盟也在考虑采取措施限制包括半导体在内的先进技术出口，这些措施似乎也是针对中国的。

随着各国芯片法案和半导体政策的实施，半导体厂商需要专门制定面向“中国”的生产计划。这些转变正带来半导体代工和封测行业的全球新布局，带动了半导体产业链的区域化发展。

IDC 公司最新报告《地缘政治对亚洲半导体供应链的影响：趋势与策略》(The Impact of Geopolitics on Asia's Semiconductor Supply Chain: Trends and Strategies) 揭示了全球半导体格局的重大变化。IDC 亚太区半导体研究主管兼台湾地区经理 Helen Jiang 表示：地缘政治的转变正在从根本上改变半导体游戏规则。虽然直接影响可能很微妙，但各方长期战略将更多地关注供应链的自身依靠、安全和控制。行业运营将从全球合作转向多区域竞争。

主要行业参与者正在采取战略举措。在晶圆代工方面，台积电、三星、英特尔等正在美国建设先进工艺，将逐渐在晶圆代工领域发挥影响力。与此同时，中国在大力发展先进工艺的同时，在国内需求和国家政策的推动下，成熟工艺也得到了快速发展。

IDC 预计：按生产地域划分，中国大陆占半导体行业整体的比重将持续增加，2027 年将达到 29%，较 2023 年增加 2 个百分点，而中国台湾所占的市场份额将从 2023 年的 46% 下降至 2027 年的 43%。美国在先进制程部分将取得一定斩获，预计 2027 年 7nm 及以下制程的份额将达到 11%。

在半导体封装测试方面，受地缘政治、技术发展、人才等因素的影响，美国和欧洲领先的 IDM 开始加大对东南亚市场的投资，OSAT 企业也开始将注意力从中国转向东南亚。因此，预计东南亚在半导体封装测试市场中将发挥越来越重要的作用，尤其是马来西亚和越南，将是该领域未来发展值得特别关注的重点地区。预计东南亚在全球半导体封装测试中的份额将在 2027 年达到 10%，而中国台湾的份额将从 2022 年的 51% 下降至 2027 年的 47%。

前不久，华为 Mate60 上市，采用了国产制造的麒麟 9000s 芯片，并表示将在 2024 年停止采购高通芯片，这表明国内厂商已经在很多方面有所突破。当然，两国博弈，并不能因一个产品而改变局面。面对未来中美之间的竞争，在复杂的地缘政治情况下，中国半导体行业的发展会继续遇到来自海外的诸多压力，发展自主可控的半导体产业链势在必行。中国半导体行业必须适应竞争和变化的环境，学会在新形势下生存和发展。

赵雪芹

社长 Publisher

麦协林 Adonis Mak

adonism@actintl.com.hk

主编 Editor in Chief

赵雪芹 Sunnie Zhao

sunniez@actintl.com.hk

出版社 Publishing House

雅时国际商讯 ACT International

香港九龙 B,13/F, Por Yen Bldg,

长沙湾青山道478号 478 Castle Peak Road,

百欣大厦 Cheung Sha Wan,

13楼B室 Kowloon, Hong Kong

Tel: (852) 2838 6298

Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988573 /25988567

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 59233884

UK Office

Angel Business

Communications Ltd.

6 Bow Court,

Fletchworth Gate,

Burnsall Road, Coventry,

CV56SP, UK

Tel: +44 (0)1923 690200

Chief Operating Officer

Stephen Whitehurst

stephen.whitehurst@angelbc.com

Tel: +44 (0)2476 718970



ISSN 2523-1294

© 2023 版权所有 翻印必究

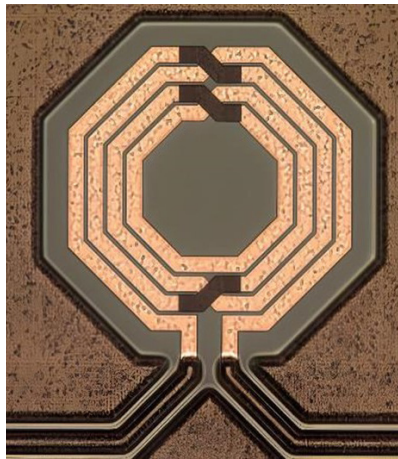
X-FAB推出新的XIPD工艺, 实现全集成紧凑射频系统设计

模拟 / 混合信号晶圆代工厂 X-FAB Silicon Foundries 公司宣布, 新增集成无源器件 (IPD) 制造能力, 最新推出 XIPD 工艺, 进一步增强其在射频领域的广泛实力。

XIPD 源自广受欢迎的 X-FAB XR013 130nm RF SOI 工艺——该技术利用工程基底和厚铜金属化层, 让客户能够在其器件设计中直接集成无源元件 (电感器、电容器和电阻器), 从而显著节省空间及成本。借助公司在铜金属化技术领域的丰富经验, 相关生产制造将在 X-FAB 位于法国科尔贝—埃索讷 (Corbeil-Essonnes) 的工厂进行。

5G 蜂窝基础设施的不断推出、6G 通信的发展, 以及最新一代雷达和卫星通信技术的涌现, 均需要能够支持更宽频率的器件。基于 XIPD 平台, 可制造出具有更高性能特征的全集成高质量无源元件, 从而满足对更紧凑 RF/EMI 滤波器、匹配网络、平衡器和耦合器的需求。

由于使用表面贴装或分立无源元件可能会因元件在高频率下的偏差或元件采购复杂性的增加而带来不便, XIPD 提供了一种更为有效的途径, 可简化整体系统设计、加快开发周期、简化制造过程, 并降低相关工程费用, 还可以适应从 sub-6GHz 频段一直到毫米波高频段的广泛频



X-FAB XIPD 晶圆上的电感器测试结构

率范围。

X-FAB 技术的独特之处在于可为任何批量的集成无源器件制造提供代工服务。公司推出全面的工艺设计套件 (PDK), 同时支持 Cadence 和 Keysight ADS 设计环境, 使客户能够进行完整 RF 子系统的精确仿真, 并获得首次成功 (first-time-right) 设计。目前, 与几家主要客户的初步原型设计现已启动。

“虽然 RF 半导体器件不断缩小, 但与之配套的无源元件仍相对较大。两者间的这种不匹配占用了过多的电路板面积, 不符合对更时尚电子设备的需求。” X-FAB 首席执行官 Rudi De Winter 指出, “通过采用我们的 XIPD 技术, 不仅可以节省多个数量级的空间, 还可以降低相关成本。这对于我们的客户群而言, 有可能真正改变行业的游戏规则, 允许有源和无源芯片共同封装, 同时实现高产量。”

X-FAB 射频技术总监 Greg U'Ren 补充说: “目前基于声学技术的滤波解决方案无法实现毫米波频率工作, 难以满足下一代通信标准的要求。我们的 XIPD 解决方案使客户能够实现紧凑的 RF 系统设计, 并通过完全集成的硬件最大限度地减少损耗, 从而为市场创造价值。我们已经在开展 70-80GHz 频段的工作项目, 而使用分立式无源方案是无法想象的。”

智原推出2.5D/3D先进封装服务, 无缝整合小芯片

ASIC 设计服务暨 IP 研发销售厂商智原科技 (Faraday Technology Corporation) 宣布推出其 2.5D/3D 先进封装服务。通过独家的芯片中介层 (Interposer) 制造服务以连接小芯片 (Chiplets), 并与一流的晶圆代工厂和测试封装供货商紧密合作, 确保产能、良率、质量、可靠性和生产进度, 从而实现多源小芯片的无缝整合, 进而保证项目的成功。

智原不仅专注于技术, 更为每位客户量身打造 2.5D/3D 先进封装服务。作为一个中立的服务厂商, 智原在包含了多源芯片、封装和制造的高阶封装服务上提供更大的灵活性和效率。通过与联华电子 (UMC) 及台湾知名封装厂商的长期合作, 智原能够支持包括硅通孔 (TSV)

在内的客制化被动 / 主动芯片中介层制造, 并能够有效地管理 2.5D/3D 封装流程。

此外, 智原对于中介层的需求会进行芯片大小、TSV、微凸块间距和数量、电路布局规划、基板、功率分析和热仿真等信息研究, 深入了解 Chiplets 信息并评估中介层制造及封装的可执行性。从而全面提高了先进封装方案的成功率, 并在项目的早期阶段确保最佳的封装结构。

智原科技营运长林世钦表示: “智原站在前线支持, 为客户重新定义芯片整合的可能性。凭借我们在 SoC 设计方面的专业知识, 以及 30 年的永续供应链管理经验和, 我们承诺提供满足先进封装市场严格需求的生产质量。”

基于Speedcore eFPGA IP构建Chiplet

为帮助用户利用先进的 Speedcore eFPGA IP 来构建先进的 chiplet 解决方案，Achronix 半导体公司开通专用网页 (<https://www.achronix.com/chiplets>) 介绍相关技术，以帮助用户快速构建新一代高灵活性、高性价比的 chiplet 产品，chiplet 设计和开发人员可以透过该公司网站获得有关 Speedcore eFPGA IP 的全面支持。中国客户亦可以通过 Achronix 在中国的服务团队得到同样的支持。

Speedcore™ eFPGA IP 可以通过各种形式进行部署，包括集成到一个由客户定义的 chiplet 中，该 chiplet 可以通过 2.5D 互连技术部署到系统级封装 (SiP) 方案中。SiP 集成通常采用三种模式：第一种，基于成本最低的有机基板，但这种模式不会提供晶粒 (die) 之间的最高互连密度；第二种，基于具有重布线层 (RDL) 的中介层可以提高互连密度，但其更加昂贵；最后一种，硅内中介层可提供最高的互连密度，并且与高带宽存储器 (HBM) 相兼容，但其成本最高。

与仅仅集成 FPGA 裸 die 相比较，基于 Speedcore eFPGA IP 的 chiplet 具有更多优势。chiplet 解决方案可以

使设计人员减少所需电路板空间，且对比独立 FPGA 来说可以实现新的集成可能性。使用基于 Speedcore eFPGA IP 的定制 chiplet 解决方案，设计人员需要指定 chiplet 与其 ASIC 晶粒之间所使用的互连技术。Speedcore eFPGA IP 与 chiplet 互连技术无关，具有的互连密度和性能，可使之与所有各种 2.5D 互连技术协同工作。设计人员可以完全自定义 Speedcore eFPGA 中的逻辑、DSP 模块和内存数量，以满足其应用需求。

基于 Speedcore eFPGA IP 的 chiplet 比单片集成 eFPGA 和 ASIC 具有更多的优势。例如：企业可以构建不带 FPGA chiplet 的独特产品解决方案，以防止出现不需要 FPGA 灵活性的情况，从而降低成本和功耗。eFPGA 还可以支持不同的工艺技术，以防止某种 eFPGA 工艺技术不匹配 ASIC 的最佳工艺技术。

开发 Speedcore eFPGA IP chiplet 的设计流程与开发集成 Speedcore eFPGA IP 的 ASIC 的设计流程相同。这种经过验证的设计流程，使设计人员可以利用既有工具和流程去轻松地开发一个基于 Speedcore eFPGA IP 的 chiplet。

新型有机半导体光电极实现高效稳定的水分解

由韩国蔚山科技大学 (UNIST) 能源与化学工程学院 Ji-Hyun Jang 教授领导的研究小组在光电极开发方面取得了重大突破。通过与东西大学 (Dongseo University) 的 Junghoon Lee 教授和德国 LSTME 釜山工程研究与开发中心的 Hyo-Jin Ahn 博士的合作研究，该团队通过将有机半导体作为中间层纳入现有的无机半导体光电极材料中，成功地创造了高性能且稳定的光电极。

利用太阳能生产绿色氢，需要通过吸收阳光的半导体中产生的电荷将水分解成其组成元素。以前的研究主要集中在利用无机半导体来构建光电极。虽然有机半导体具有成本较低、工艺方法多样、更容易大规模生产等优点，并且它们的高太阳能转换效率可提高氢气生产效率，然而，有机半导体对水损害的敏感性限制了它们在光电极中的应用。

为了克服这一挑战，研究小组在传统的氧化铁光电极的表面应用了有机半导体涂层，以确保暴露在水中时的稳定性。此外，他们还在涂覆的有机半导体上添加了催化

剂 (镍 / 铁双层氢氧化物) 作为额外的保护层，以防止与水直接接触。这种创新方法允许吸收太阳能产生的电荷促进高效的制氢反应。

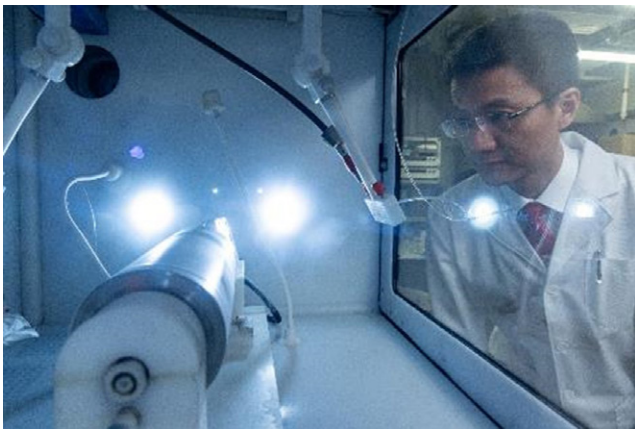
Jang 教授表达了团队对研究成果的兴奋，他说：“通过克服传统无机半导体光电极的局限性，我们展示了通过光电极更广泛地利用有机半导体生产氢气的潜力。”

这一突破不仅为提高效率和稳定性开辟了新的可能性，而且有助于推进可持续能源解决方案，实现碳中和的未来。

该研究结果已于 2023 年 3 月 12 日发表在《ACS Energy Letters》在线版上。随后于 2023 年 6 月 9 日在该杂志上发表 (Hyo-Jin Ahn, Ki-Yong Yoon, Mingi Sung, et al., “Utilizing a Siloxane-Modified Organic Semiconductor for Photoelectrochemical Water Splitting,” ACS Energy Lett., (2023))。韩国国家研究基金会 (NRF) 和科学与信息通信技术部 (MSIT) 对此项研究提供了资金支持。

可应用于植入式生物装置的液态金属微电极

植入式生物电子装置可以紧贴皮肤,甚至是放入人体,相信将在未来被广泛应用于不同领域,例如医疗科技,甚至是新兴的增强现实技术。香港理工大学(理大)的研究团队成功研发出一种独特的微电极,能适用于上述用途。此研究成果已于国际科学期刊《Science Advances》发表。



不同于传统电子产品,可穿戴或植入式电子装置的用料需要整合一系列特定性能,例如必须能拉伸自如和柔软透气,放置于人体后不会令使用者感到不适或受伤。与此同时,生物电子装置就如日常家居设备一样,仍然需要依赖具备高导电性且可以印上微细电路图案的电极。

由理大应用生物及化学科技学系软材料及器件讲座教授郑子剑教授领导的跨学科研究团队,成员来自理大时装及纺织学院、生物医学工程学系、应用生物及化学科技学系、智能可穿戴系统研究院和潘乐陶慈善基金智能能源研究院,以及香港城市大学和香港心脑血管健康工程研究中心。团队克服多项技术限制,研发出一种能应用于植入式生物电子装置的电极,其特点是前所未有的柔软度、可拉伸性和可渗透性,在可穿戴科技领域是创新材料突破。

此技术的关键步骤,是将一种纤维聚合物以静电纺丝的方法,放到银质微型电路图案上,从而产生液态金属微电极(简称 μ LME),可以以超高密度进行电路图案化,达至每平方米多达75,500个电极,比过往的技术多出数千倍。这些 μ LME具有长期生物兼容性,人体皮肤能舒适地穿戴,更已证明可用作监测动物大脑的特定应用。

过去,生物兼容的电子装置均在多孔弹性体上制造,但其多孔而粗糙的基质限制了电路图案的分辨率,因而难以提高电极密度。研究团队成功突破此瓶颈,透过光刻技

术把电子线路放在纤维聚合物基质上,实现了像薄纸般柔软,能在大应变下高度导电,以及具备长期生物兼容性的 μ LME。

用作 μ LME的导电组成部分的共晶镓铟(EGaIn)是一种具有低熔点温度、能在极端应变下保持导电性,同时柔软且高度生物兼容的液态金属合金。制造过程中,以EGaIn制成的电路图案会放在一片经静电纺丝而成的可渗透「纤维垫」上,该垫为苯乙烯-丁二烯-苯乙烯嵌段共聚物(SBS)。此制法形成了柔软而可拉伸的电子装置,可供舒适地穿戴和植入。相对采用不渗透基质时仅能转移部份电极微电路图案,郑教授的团队于2021年首次开发这种超弹性纤维垫概念,用于新开发的 μ LME中,保证了来自银模板的电极微电路图案能以光刻完全转移。

μ LME柔软、可渗透液体和气体,并且拉伸自如,在高应变下反复拉放后,其电阻只轻微上升。以 μ LME制成的电子贴在紧贴人体皮肤时,经按压后只会留下微量甚或完全没有残留物。可穿戴电子装置本身具有庞大市场潜力,应用范围涵盖生理监测、医疗诊断和互动技术,而此技术突破将进一步加强其发展可能性。

为了验证 μ LME的柔软度和可拉伸性能使其成为植入神经接口以进行大脑监测的理想选择,团队亦合成了具有小电极直径和高信道密度的 μ LME数组,用作充当老鼠大脑中的皮层电图信号接收器。 μ LME具有与脑组织相似的机械性能,能紧贴皮质表面,准确记录神经信号。当沉睡中的老鼠发出非快速眼动睡眠时的典型可识别脑电波时, μ LME数组即能精确检测到老鼠回应施加在身体不同部位电刺激而产生的体感诱发电位。

郑教授同时是理大智能可穿戴系统研究院副院长及潘乐陶慈善基金智慧能源研究院首席研究员。他表示:“透过结合光刻技术和柔软、可渗透的SBS纤维垫,成就了解像度和生物兼容性均前所未见的 μ LME微电极,克服了旧有生物电子装置生产方法的技术限制,相信可推动医疗和扩增实境等领域的发展。”

本研究项目获研资局“高级研究学者计划”、理大、香港城市大学、国家自然科学基金委员会和InnoHK创新香港研发平台资助,团队期望透过提高刻印 μ LME图案的解像度,在未来进一步推广此项发明。

台积电携手英伟达、博通共同开发硅光子技术

台积电将携手博通、英伟达等客户共同开发硅光子技术、光学共封装（CPO）等新产品。这一合作的制程技术从 45nm 延伸到 7nm，为相关工艺提供更加先进的支持。预计明年下半年开始迎来大宗订单，2025 年有望进入大规模量产阶段。

随着技术的快速发展和计算机处理速度的提高，芯片之间的通信已经成为影响计算性能的关键因素。当前的计算机组件采用的是铜布线，这种信号传输方式在长距离传输中存在信号损失和热量问题，限制了数据传输速度和效率。硅光子技术有望提高光电传输的速度，有效解决这一问题。

硅光芯片是一种基于硅晶圆开发出的光子集成芯片，它利用硅光材料和器件通过特殊工艺制造集成电路，具有集成度高、成本低、传输带宽高等特点。在尺寸、速率、功耗等方面具有独特优势，其工艺与硅基微电子芯片基础工艺兼容，可以与硅基微电子实现光电子 3D 集成芯片。硅光电子技术已经在数据中心、通信、激光雷达、传感、

高性能计算和人工智能等领域彰显出广阔的应用前景和产业化趋势。

英特尔也致力于发展硅光芯片技术。例如，英特尔提出的光电共封装解决方案使用了密集波分复用（DWDM）技术，能够在增加光子芯片带宽的同时缩小尺寸。英特尔还提出可插拔式光电共封装方案，该方案是利用光互连技术，让芯片间的带宽达到更高水平。同时，英特尔还在研发八波长分布式反馈激光器阵列，以提升大型 CMOS 晶圆厂激光器制造能力，实现光互连芯粒技术。

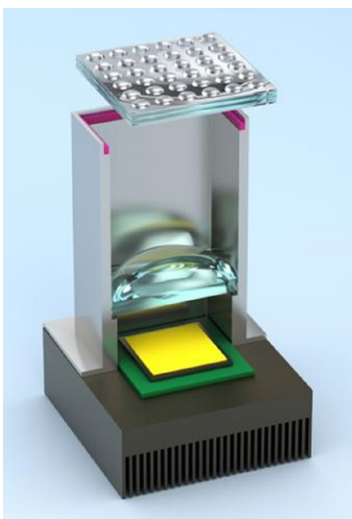
台积电此前在硅光芯片领域主推名为 COUPE（紧凑型通用光子引擎）的封装技术，其最大的特点是可以降低功耗、提升带宽。有消息称，台积电计划将该技术用于与英伟达的合作项目中，尝试用该技术将多个英伟达 GPU 进行组合。业界认为，此次台积电与博通、英伟达等大客户共同开发硅光芯片技术，将会集合各方的技术优势和资源，推动硅光芯片的大规模量产。

用于汽车照明的新型粘合剂

DELO 新开发出一款用于汽车照明的粘合剂，DELO PHOTOBOND OB4189，它耐黄变，而且具有极佳的高宽比，特别适用于粘合例如在车头灯和投影系统中的微透镜阵列。

如今，灯光已被视为汽车设计和差异化的最重要元素之一。微透镜阵列在这些发展中起着关键作用。LED 光线进行短焦投射，可展示清晰的图像和独特的几何形状。由于安装深度要求低，这些系统正越来越多地被用作车头灯和投影系统的光学元件。

为了提高效率，这种微透镜通常用光学聚合物制成，也就是粘合剂，然后微透镜阵列会被预固定在外壳上。DELO PHOTOBOND OB4189 的粘度高达 75000 mPa·s，在粘合过程中可提供足够高的高宽比。因此，粘合剂在点胶后形状保持不变，不会流动，这对于粘合微透镜阵列来说非常重要。此外，



汽车投影系统示意图，为便于说明，粘合剂显示为品红色（插图：DELO）

在 140℃ 温度条件下进行 500 小时使用周期的模拟，结果表明它还具有极强的耐黄变能力。对于光学要求如此严苛的应用来说，这一点至关重要。

这一改良的丙烯酸酯不含溶剂，适用温度范围为 -40℃ 至 +120℃。它在 PC 上的压缩剪切强度为 30 MPa，在 PMMA 上的压缩剪切强度为 25 MPa。它可以在紫外线（365 纳米）或可见光（400 纳米）的作用下固化。在波长为 400 纳米、胶层厚度为 100 微米的条件下，一般照射 5 秒钟，便可实现高精度光学元件主动校准工艺，并缩短自动化生产的周期时间。

"有了 DELO PHOTOBOND OB4189，我们在耐高温和耐湿气的主动对准粘合剂产品组合中，又多了一款高粘度、极其耐黄变的产品，该产品是根据微透镜阵列的要求精确定制的。" DELO 的 LED(汽车) 产品经理 Christoph Appel 解释说。

Optimize Your Process



为半导体工厂提供 理想真空解决方案

针对半导体生产的各种要求，采用高效、理想的真空技术，提高工艺可靠性和产品质量。使用高效节能的干式多级罗茨工艺泵，为所有半导体和镀膜应用中的严苛型工艺提供理想解决方案。A4 系列提供多种干泵解决方案，抽速范围从 100 到 3,000 m³/h。

PFEIFFER VACUUM

Your Success. Our Passion.

Pfeiffer Vacuum
(Shanghai) Co., Ltd.
普发真空技术(上海)有限公司
T +86 21 3393 3940
www.pfeiffer-vacuum.cn



关注我们

格芯升级技术平台，满足汽车行业需求

格芯 (GlobalFoundries) 宣布其两个技术平台的新进展，以满足自动驾驶、联网和电动汽车不断增长的技术需求。

40ESF3 AutoPro175 技术将成为格芯现有 AutoPro™ 平台的一部分，该平台为格芯的汽车客户提供广泛的技术解决方案和制造服务，最大限度地减少认证工作并加快上市时间。该技术的结温为 175℃，适合在极端温度下管理车辆的关键功能。

博世公司汽车电子执行副总裁 Jens Fabrowsky 表示：“通过在格芯 AutoPro 平台上利用这种 40 纳米技术，博世将继续构建尖端解决方案，满足汽车行业对可控且可靠的复杂电子系统软件定义车辆日益增长的需求。”

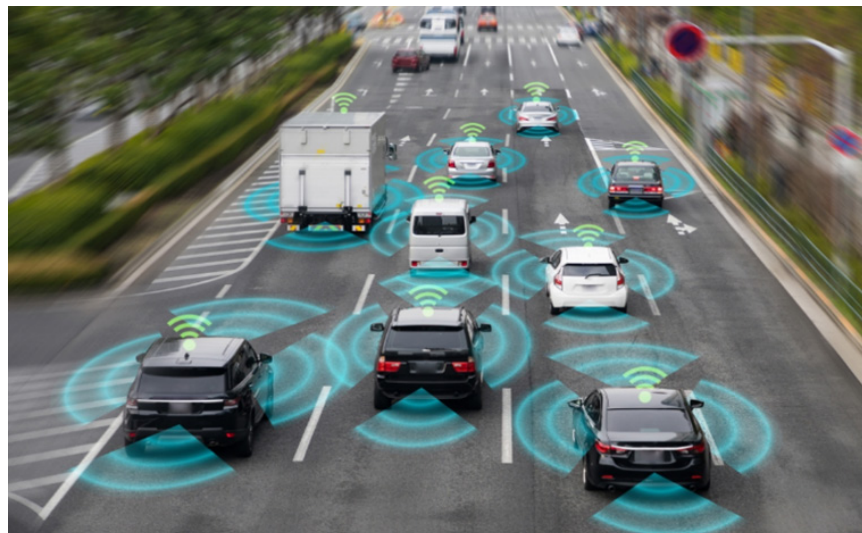
此外，格芯还推进其电源管理解决方案组合，包括 130BCDLite Gen2 ATV125 (格芯 BCD/BCDLite® 平台的一部分)。该技术将支持多种汽车应用，为需要高达 40V 的产品提供小型芯片和更高转换效率，同时满足严格的汽车 1 级标准——该标准表明组件在极端汽车温度下的可靠性。目前有超过

30 家客户在使用 130BCD/BCDLite 平台，该平台可促进产品的高效开发，以经济高效的方式将各种功能及各种电压范围的功率器件进行集成。

Inova Semiconductors 首席执行官 Robert Kraus 表示：“作为一家高度创新的公司，Inova Semiconductors 对供应商抱有同样的期望，因为我们将继续为全球汽车客户提供可靠、高质量的芯片，从而实现更轻松、更快、更可靠的车内通信。很高兴与格芯合作开发满足并超越行业需求的新技术。”

随着车辆从机械系统过渡到电子系统，所采用的半导体芯片的数量猛增。一辆典型的汽车使用大约 1000 个芯片，一些电动汽车甚至超过 3000 个芯片。随着消费者需求的增长，这个数字预计还会增加。

格芯首席业务部官 Mike Hogan 表示：“从内燃机到自动驾驶、互联和电气化的转变需要重新设计车辆架构。格芯为这一转变做好了准备，我们最近的技术进展支持通过车辆电气化提高安全性、增强用户体验和可持续性。”



玻璃基板对于下一代多芯片封装至关重要

英特尔为支持摩尔定律延续的最新举措，涉及放弃有机基板（在计算芯片中数据和电力进出的媒介）而采用玻璃基板。英特尔官网近日发表的一篇博文透露了其在商用玻璃基板方面的工作，它认为这是支持人工智能和机器学习等应用实现更高密度、更高性能芯片的关键。

英特尔表示，与现在的有机基板相比，玻璃具有独特的性能，如超级平整度以及更好的热性能和机械稳定性，从而在基板中实现更高的互连密度。这些优势将允许芯片架构师创建用于人工智能等数据密集型工作负载的高密度、高性能芯片封装。为人工智能和数据中心应用开发更大、更复杂的加速器的压力可能会刺激对玻璃等更高效基材的需求。

“当今的计算机越来越多地在一个基板上使用多个芯片。随着这些基板上承载的硅不断增加，我们当前的有机基板（主要是塑料）可能会变形。玻璃更坚硬，可以在一个封装上处理更多的芯片，在相同的封装尺寸上，玻璃基板能够承载的芯片含量比有机基板多 50%。”英特尔的 Rob Kelton 说。

英特尔正在大力宣传其先进封装技术，包括嵌入式多芯片互连桥 (EMIB) 和 Foveros，这些技术用于 chiplet 小芯片的 2D 和 3D 封装。虽然这些技术涉及各种小芯片的接口和供电方式，但英特尔这次的最新发展是基于集成这些芯片的介质。

Gartner 分析师 Gaurav Gupta 表示，这个想法相当简单，只需将有机基板中的 PCB Core（芯板）替换为玻璃

基板。这带来了许多好处，包括卓越的光学和机械性能。例如，玻璃的热膨胀率接近硅，这应该有助于减轻翘曲或收缩的可能性。

耐高温的能力是值得注意的，因为英特尔看到玻璃基板的第一个应用是大型数据中心、人工智能和图形应用，其中高密度封装的小芯片，通常可能在截然不同的温度范围内运行。与此类多芯片封装相关的热应力是英特尔试图通过新的测试和验证机制解决的问题之一。

英特尔认为，玻璃的特性可以实现更大的互连密度。据估计，玻璃基板可以使互连密度增加十倍。换句话说，玻璃基板应该允许更多数据更快地流入和流出处理器。英特尔期望实现这一目标的方法之一是将光学互连直接集成到基板中。

英特尔多年来一直在研究硅光子学的使用。最近，这家芯片制造商展示了一款具有 8 个核心、528 个线程和 1TB/s 光学互连的原型处理器，旨在应对 DARPA 最大的图形分析工作负载。

英特尔的目标是在“本十年的后期”将使用玻璃基板的下一代封装技术推向市场。因为工程玻璃要表现出特定的性能，同时又可以以可靠且经济可行的方式大规模生产，这是非常困难的，需要花费很多的时间。

英特尔预计，到 2030 年左右，该行业将面临有机基板的极限。但是，至少目前而言，有机基板与英特尔的 EMIB 或台积电的 CoWoS 等技术相结合是足够好的，会成为未来的发展趋势。



英特尔展示使用玻璃基板制成的未完成封装

值得注意的是，英特尔并不是唯一一家认真研究玻璃作为半导体材料的公司。例如，德国晶圆制造商 Plan Optik AG 为各种微机电系统 (MEMS) 应用开发了多种玻璃晶圆。康宁公司专门生产从智能手机屏幕到光纤等各种产品的精品玻璃，也在开发用于液晶面板的玻璃基板。

英特尔没有宣布正在与谁合作开发这些玻璃基板，但表示，在不久的将来将会与主要行业参与者以及基材供应商合作。

普发真空亚洲检漏应用实验室开幕

2023年9月15日，普发真空的亚洲检漏应用实验室在无锡高新区盛大开幕，此次开幕庆典的主题为“创新，可持续，预见未来”。该检漏应用实验室靠近普发真空的亚洲区域配送中心和生产车间，占地130平方米，旨在更贴近本地市场需求，更好地支持中国和亚洲市场的客户。

普发真空作为全球领先的真空技术及气体泄漏检测解决方案供应商之一，此前已在全球设有四家创新检漏应用实验室，分别位于德国、法国和美国。凭借真空行业首创的商业模式和超过60年的泄漏检测行业经验，普发真空通过亚洲检漏应用实验室的运营，可以更好地根据本地客户的使用场景推荐最佳应用解决方案和应用可行性报告，从而为中国和亚洲客户提供更好的服务支持，推动本地创新链产业链融合发展。

亚洲检漏应用实验室拥有先进的测试系统（30L小腔体和420L大腔体测试系统），可以用于一般工业80%以上零件的验证。实验室通过与总部应用团队的合作，支持本地客户深入地挖掘需求来创造新的实验方法，实现客户新产品的验证和检漏方法的验证，且具有可推广和量产的实

践意义。实验室将通过检漏方法的验证提高客户产品的品质，让产品更加可靠耐用，节约客户售后和维护成本，提高终端用户的使用体验，从而推动全产业链的可持续发展。



普发真空亚洲检漏应用实验室

普发真空中国区总经理 Julien Valentin 表示：“我们对中国市场充满信心，未来会寻找更多的机会促进中国业务的增长。泄漏检测市场的潜力很大，我们的使命是成为业内最具可持续性的市场参与者，推动创新技术的可持续发展，为中国乃至亚洲客户带来更多价值，创建一个更美好的未来。”

西门子 EDA 和台积电携手优化芯片设计过程

西门子数字化工业软件日前宣布与台积电深化合作，开展一系列新的认证与协作，多款西门子 EDA 工具与解决方案通过台积电新工艺技术认证。

台积电设计基础架构管理事业部主管 Dan Kochpatcharin 表示：“台积电与包括西门子在内的设计生态系统合作伙伴携手合作，为客户提供经过验证的设计解决方案，充分发挥台积电先进工艺的强大性能和能效优势，帮助客户持续实现技术创新。”

西门子 Calibre 通过台积电 N2 工艺认证

用于集成电路验证 sign-off 的 Calibre® nmPlatform 工具现已获得台积电的 N2 工艺认证，可为早期采用台积电 N2 工艺技术的厂商提供全面支持。获得认证的 Calibre 工具包括 Calibre® nmDRC 软件、Calibre® YieldEnhancer™ 软件、Calibre® PERC™ 软件和 Calibre® nmLVIS 软件。

Aprisa 布局布线解决方案获 N3 技术认证

西门子的 Aprisa™ 布局布线解决方案通过台积电的

N3E 工艺认证，进一步加强西门子在数字实施领域的投资承诺，Aprisa 易于使用，能够帮助客户快速向 N3E 节点迁移。

台积电认证西门子 3D IC 解决方案

多个西门子的 3D IC 解决方案也在台积电 3DFabric™ 技术认证方面取得了实质性进展。台积电已对西门子的 Calibre® 3DSTACK 软件进行了 3Dblox 2.0 标准认证，包括物理分析和电路验证。此项认证包括对小芯片间 DRC 和 LVS 检查的支持，满足台积电 3DFabric 技术要求。

此外，台积电还认证了一系列 Tessent™ 3D IC 解决方案，包括 Tessent 阶层架构式 DFT、带有增强型 TAP 的 Tessent Multi-die（测试访问端口 - 符合 IEEE 1838 标准）、使用流扫描网络 (SSN) 和 IEEE 1687 IJTAG 网络技术的原生 FPP (Flexible parallel port) 支持。双方还按照台积电 3Dblox 标准投资构建 3D IC 测试生态系统，包括已知良好裸片 (KGD) 环回测试和利用 BMAP 和 PMAP 标准进行物理感知的芯片间故障检测及诊断。

面向先进半导体封装的材料和工艺

IDTechEx 最新推出研究报告《2024-2034 先进半导体封装材料和工艺》(Materials and Processing for Advanced Semiconductor Packaging 2024-2034)，内容包括 2.5D、3D、先进半导体封装、RDL、介电材料、Cu-Cu 混合键合、EMC (环氧模塑料)、MUF (底部填充料) 等内容。

为什么我们需要先进半导体封装?

我们生活在一个以数据为中心的世界。各行业产生的数据量不断增长，日益推动对高带宽计算的需求。机器学习和人工智能等应用需要强大的处理能力，因此需要在芯片上密集放置晶体管，并在封装中采用紧凑的互连凸点间距。后者强调了半导体技术在满足这些要求方面的重要性。

半导体封装已从板级 (board-level) 集成发展到晶圆级 (wafer-level) 集成，带来了显著的进步。晶圆级集成具有优于传统方法的优势，例如增加连接密度，缩小尺寸敏感应用的占地面积，以及增强性能。

“先进”半导体封装具体包括高密度扇出、2.5D 和 3D 封装，其特点是凸块间距尺寸低于 100 微米，可实现至少 10 倍的互连密度。

带宽是关键

为了从封装的角度增强带宽，两个关键因素发挥作

用：I/O (输入 / 输出) 总数和每个 I/O 的比特率。增加 I/O 总数需要在每个布线层 / 再分配层 (RDL) 中启用更精细的线宽 / 间隔 (L/S) 图案，并具有更多数量的布线层。另一方面，提高每个 I/O 的比特率受到小芯片 (chiplet) 之间的互连距离和电介质材料选择的影响。这些因素直接影响封装系统的整体性能和效率。

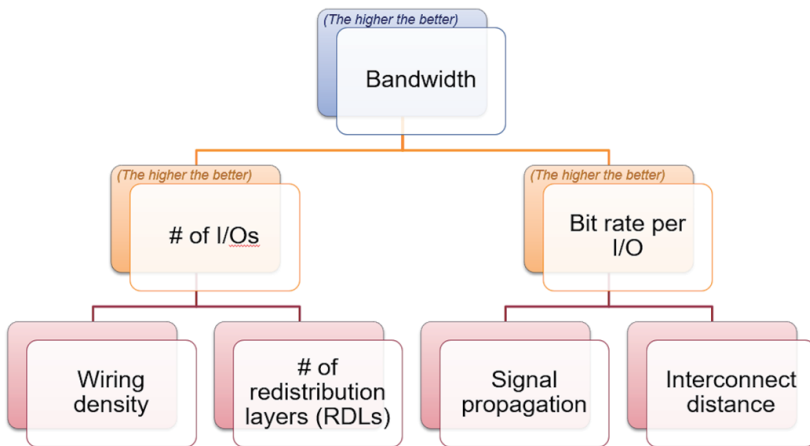
释放高带宽：探索先进半导体封装的材料和工艺

从材料和工艺的角度深入研究实现更高的布线密度和更高的每个 I/O 比特率，揭示了介电材料的选择和适当的工艺技术的利用所发挥的关键作用。这些因素对封装系统的整体性能和功能具有重大影响。

选择合适的介电材料至关重要，要考虑低介电常数、最佳 CTE (尽可能接近铜的 CTE) 等特性，以及确保模块可靠性的有利机械特性 (例如杨氏模量和伸长率)。这些选择可实现更高的数据速率，同时保持信号完整性并促进 L/S 特征以增加布线密度。

在 GPU 等高性能加速器中，SiO₂ 等无机电介质已被广泛用于实现超精细 L/S 特性。然而，由于其高 RC 延迟，它们在需要高速连接的应用中的使用受到限制。作为替代方案，有机电介质因其成本效益和通过其低介电常数减轻 RC 延迟的能力而被提出。然而，有机电介质面临着一些挑战，包括高 CTE (这对器件可靠性产生负面影响) 以及难以缩放到精细 L/S 特征。

除了选择合适的材料外，封装制造过程中采用的工艺技术对于实现更多 I/O 数量和提高每个 I/O 的比特率也起着至关重要的作用。2.5D 封装工艺涉及的步骤，包括光刻、CMP (化学机械平坦化)、蚀刻工艺以及 3D Cu-Cu 混合键合中的 CMP 和键合工艺，对实现更紧密的布线和增加布线密度提出了挑战。IDTechEx 提供了有关材料选择如何影响制造工艺的详细见解，从而全面了解它们对先进半导体封装的影响。



影响封装模块带宽的关键因素。来源：IDTechEx

Process	BEOL	Semi-additive process (SAP)
Dielectric material	SiO ₂ (D _k :3.9)	Organic dielectric (D _k : ideally <3)
L/S feature	Sub-micrometre	HVM: 5-6 um Research state of the art: 1-2um
Package level	Wafer level	Panel or Wafer level
Challenges	Higher cost, High resistance and capacitance → higher RC time constant/time delay between the input and output, challenge in meeting bandwidth requirement	<ul style="list-style-type: none"> Low dielectric constant polymers often have high coefficient of thermal expansion (CTE), which can negatively impact device reliability and packaging architectures. Scaling to fine features becomes challenging due to thick dielectric materials and poor dimensional stability of the core. Copper adhesion to low-k dielectric becomes difficult, particularly when the pitch between features is finer. Thin dielectric films increase the aspect ratio of <u>microvias</u>, leading to higher strains in the <u>microvia</u>/pad interface, which can result in copper cracking.

电子互连: SiO₂与有机电介质。来源: IDTechEx

IDTechEx 的报告分为四个主要部分, 提供了理解先进半导体封装的结构化方法。第一部分全面介绍先进半导体封装的技术、发展趋势、关键应用和生态系统, 为读者提供扎实的概述知识。第二部分重点介绍 2.5D 封装工艺, 深入研究关键方面, 包括 RDL 和微孔的介电材料、RDL 制造技术以及 EMC (环氧模塑料) 和 MUF (底部填充料) 的材料选择。本部分的每个小节都对流程、技术基准、玩家评估和未来趋势进行了详细分析, 为读者提供全面的见解。

该报告第三部分除了讨论 2.5D 封装, 还重点关注用于 3D 芯片堆叠的创新 Cu-Cu 混合键合技术。本节提供了对制造过程的宝贵见解, 并为获得最佳结果的材料选择提供

了指导。它还展示了案例研究, 重点介绍了使用有机和无机电介质成功实施 Cu-Cu 混合键合。此外, 该报告最后一章还介绍了有机电介质先进半导体封装模块的 10 年市场预测, 为行业提供了关于未来十年市场增长和趋势的见解。

该报告还有一章强调了先进半导体封装中性能评估的重要性。它探讨了制造工艺和材料如何直接影响封装的整体有效性。本章专门研究了 2.5D 封装工艺流程, 重点关注基本材料和技术, 包括再分布层 (RDL) 和微孔的介电材料、RDL 制造技术以及环氧模塑料 (EMC) 和模具的材料选择底部填充 (MUF)。其中的每个小节都包含对制造工艺流程、技术基准、参与者评估和未来技术趋势识别的全面分析。◆

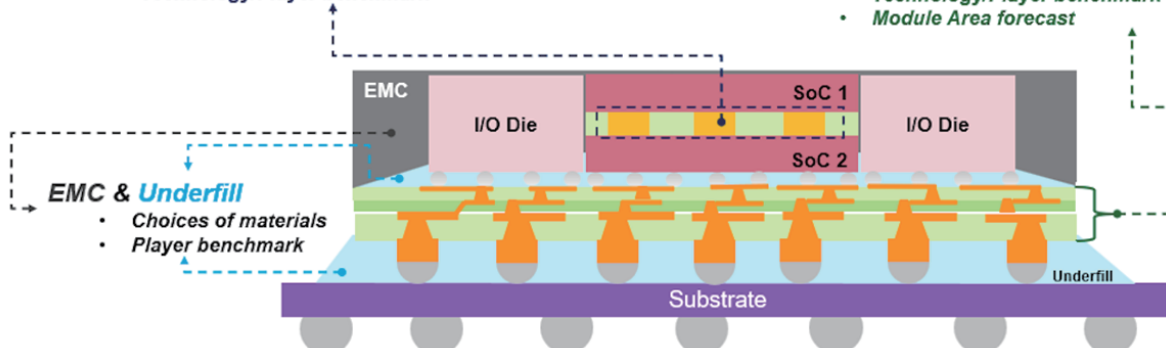
This report provides a comprehensive overview of advanced semiconductor packaging materials and processes. It focuses on dielectric material selection, fine L/S RDL fabrication techniques, and Cu-Cu bonding methods in 2.5D and 3D packaging. The report covers three key materials/processes in-depth, as shown below, offering detailed analysis and insights.

Cu-Cu hybrid bonding:

- Manufacturing processes deep dive: state-of-the-art vs future trend
- Choices of dielectric materials: Inorganic vs Organic
- Technology/Player benchmark

Redistribution layer (RDL) and Microvia:

- Manufacturing processes deep dive: how to achieve ultra fine L/S and via diameter
- Dielectric Materials: Inorganic vs Organic
- Technology/Player benchmark
- Module Area forecast



IDTechEx 报告 “2024-2034 年先进半导体封装材料和工艺” 的内容范围。来源: IDTechEx

经过集成式晶片到晶圆键合后附在晶圆上的独立晶片

Source: EV Group (EVG)

混合键合推动异构集成发展

随着人工智能（AI）、无人驾驶、增强现实/虚拟现实（AR/VR）和 5G 等前沿应用的快速发展，半导体制造商需要在不增加生产成本的前提下开发出高带宽、高性能、低功耗设备。随着传统的二维硅片微缩技术达到其成本极限，半导体行业正转向异构集成技术。异构集成是指不同特征尺寸和材质的多种组件或晶片的制造、组装和封装，使其集成于单个器件或封装之中，以提高新一代半导体器件的性能。

晶圆到晶圆（W2W）混合键合涉及不同生产线的晶圆堆叠和电连接处理，是异构集成的核心工艺，在 CMOS 图像传感器以及各类内存以及逻辑技术应用中表现出色。然而，在组件或晶片尺寸不相同的情况下，晶片到晶圆（D2W）混合键合更适用于异构集成。凭借新型 D2W 键

合解决方案和市场领先的 W2W 混合键合解决方案，加之异构集成能力中心（Heterogeneous Integration Competence Center™）带来的丰富行业合作经验，EV 集团（EVG）为 D2W 键合应用提供有力支持。

融熔和混合键合技术

融熔或直接晶圆键合可以通过每个晶圆表面上的介电层实现永久连接，用于工程基板或层转移，例如背照式 CMOS 图像传感器。

混合键合扩展了融熔键合，在键合界面中嵌入金属焊盘，允许晶圆的面对面（face-to-face）连接。混合键合的主要应用是先进的三维（3D）器件堆叠。

融熔或直接晶圆键合允许介电层和更精确活化的官

表1: Co-D2W和DP-D2W两种键合方法对比

	Co-D2W	DP-D2W
转移方法	先将单个Die放置到集成式晶片载体上，再一起转移至目标晶圆	使用倒装芯片键合机直接放置活化的Die
优点	<ul style="list-style-type: none"> - 成熟技术 - Die活化和清洁与W2W混合键合相当 - 能够进行氧化管理 - 可以在晶片载体上返修 	<ul style="list-style-type: none"> - 通用方法 - Die厚度不变
缺点	<ul style="list-style-type: none"> - D2W + W2W 对准有误差传播 - 增加了载体准备、使用和清洁的成本 - Die 厚度需要在很窄的范围内 	<ul style="list-style-type: none"> - 需要接触键合界面 - Die处理方法只适用于SRAM, DRAM等多晶片堆叠 - Die放置过程中需要颗粒管理

能团悬垂，在氢桥键（hydrogen bridge bond）的帮助下在晶圆之间桥接。该预粘合步骤在室温和大气条件下进行。只有在随后的退火步骤中，低能氢桥键才会变成共价键。

熔融键合传统上用于工程基板，最近用于使用全面积电介质的堆叠晶圆。由于在环境条件下进行预键合，小于100 nm的高精度对准允许3D集成场景使用晶圆到晶圆熔融键合。此外，铜焊盘可以与介电层并行加工，允许在环境温度下预粘合介电层，而电接触可以在退火期间通过金属扩散键合实现。这种特殊情况称为混合键合。混合键合的主要应用包括CMOS图像传感器、存储器以及3D片上系统（SoC）。

D2W熔融和混合键合

作为异构集成的核心工艺，W2W混合键合，已经在CMOS图像传感器和各种存储器、逻辑技术方面获得良好的成功记录。然而，由于许多小芯片（chiplet）的尺

寸不一定相同，因此D2W混合键合方法可能更实用。异构集成有几种不同的D2W键合方法，包括集成式D2W（Collective D2W, Co-D2W）和直接放置D2W（Direct-Placement, DP-D2W）键合，每种方法都有各自的优点和缺点，如表1所示。

Co-D2W键合

在过去几年中，Co-D2W键合已经在硅光子学等应用中有限批量生产中实施。在Co-D2W键合中，是在单个工艺步骤中将多个晶片一次转移到最终晶圆上。Co-D2W键合工艺的制造流程如图1所示，包括四个主要部分：晶片载体（晶圆）制备、载体填充（在载体上放置晶片）、晶圆键合（临时和永久）和载体分离。

DP-D2W键合

用于异构集成的另一种混合D2W键合方法是DP-

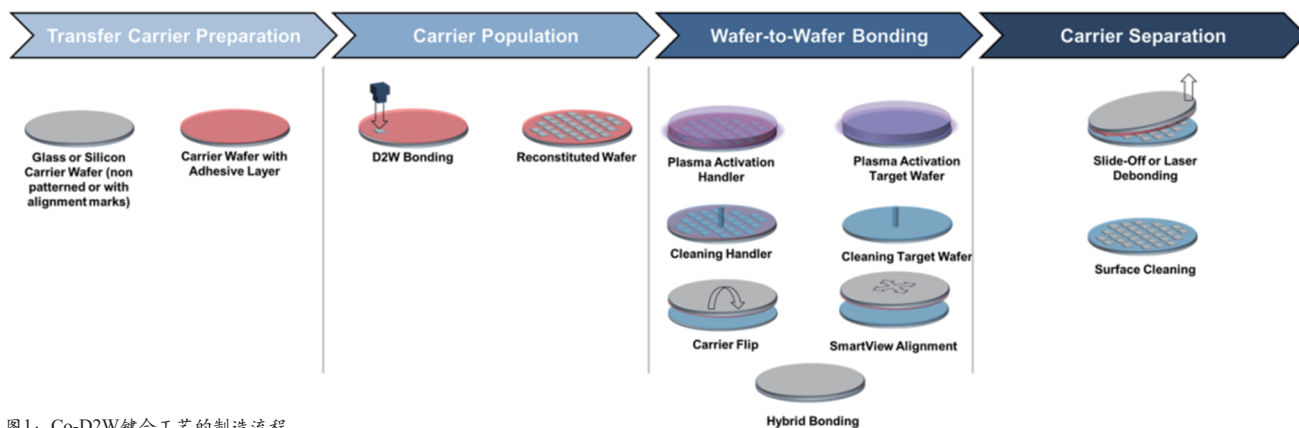


图1: Co-D2W键合工艺的制造流程。

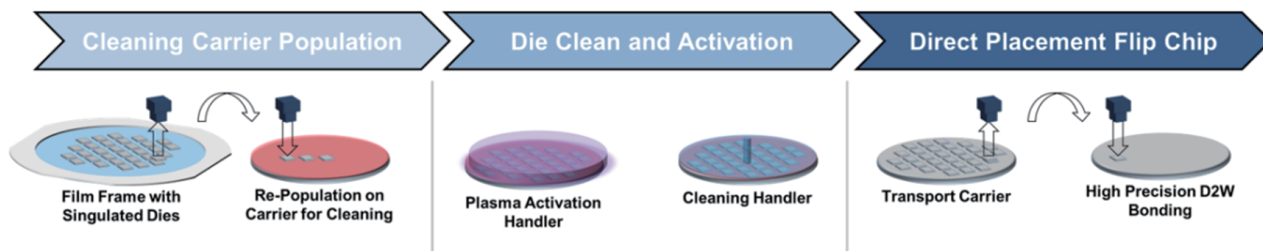


图2: DP-D2W键合工艺的制造流程。

D2W 键合，其中使用拾放式倒装芯片键合机将晶片逐一单独键合到目标晶圆上。图 2 显示了 DP-D2W 键合工艺的制造流程，其成本包括三个主要部分：载体填充（在载体上放置晶片，为清洁做准备）、晶片清洁和活化、直接贴装倒装芯片。

目前有多种 D2W 键合技术和设备可供使用，可以根据应用和客户要求进行选择。在 Co-D2W 键合中，单个晶片放置于集成式晶片载体之上，再送至目标晶圆进行晶片转移，此时可使用 W2W 混合键合系统（如 GEMINI[®]FB）完成晶片与目标晶圆的键合。在 DP-D2W 键合中，则使用拾放式倒装晶片键合机将单个晶片逐一键合至目标晶圆上。等离子体活化和处理器芯片上的晶片表面清洁是在晶片和目标晶圆之间建立高产量键合和电界面的关键步骤。而这一步正是 EVG[®]320D2W 活化系统发挥作用的重要舞台。

利用EVG的异构集成能力中心™加速技术开发

为了应对异构集成技术挑战，EVG 建立了异构集成能力中心™ (HICC)。该中心致力于帮助客户充分利用 EVG 工艺解决方案和专业知识，通过系统集成和封装技术的进步，加速开发创新产品 and 应用。

2022 年 7 月，EVG 宣布在 D2W 熔融与混合键合领域取得重大技术突破。EVG 在单次转移过程中使用 GEMINI[®]FB 自动混合键合系统，在完整 3D SoC 中对不同尺寸芯片实施无空洞键合，良率达到 100%。直至今日，此类键合仍是 D2W 键合领域面临的关键挑战，也是降低异构集成成本的主要障碍。EVG 的异构集成技术中心 (HICC™) 取得了这一重大技术突破。

混合键合的接口呈固态，采用嵌入式金属焊盘，以实现晶圆和芯片的直接电气连接，因此 D2W 混合键合需

GEMINI[®]FB 自动化Co-D2W键合系统

要达到与前端半导体制造工艺类似的清洁度标准和制造公差。在这一趋势的推动下，高精度计量在控制混合键合对准和工艺良率方面开始发挥更为重要的核心作用，反过来又推动了 D2W 键合和计量工艺集成为统一生产线。

此外，目前数种不同的 D2W 混合键合工艺流程正在接受评估，每种工艺流程都有其独特优势和要求。自两年前成立以来，HICC 发挥了重要作用，帮助客户和合作伙伴开发及优化 D2W 混合键合工艺，满足给定器件设计和应用的独特需求，并在开发中综合考虑多种因素，如芯片尺寸、芯片厚度、总堆叠高度，以及触点设计和密度等接口考虑因素。HICC 还配备了先进的洁净室，其洁净度标准与多家领先半导体工厂相当，使 EVG 有能力满足 D2W 和 W2W 混合键合工艺开发的严格要求。

EVG 业务发展总监托马斯·乌尔曼 (Thomas Uhrmann) 博士表示：“混合键合需要完全不同于标准封装工艺的制造技术，它更接近前端制造——特别是在清洁度、颗粒控制、对准和计量精度方面。我们在 W2W 混合键合领域处于市场领先地位。在此基础上，我们将继

续扩展 D2W 混合键合解决方案，优化设备，为重要的上下游工艺提供支持，包括等离子活化和清洁技术，以加快部署和完善 D2W 混合键合技术。数年之前，EVG 的 GEMINI FB 技术已配置用于 D2W 集成流程，满足 D2W 键合需求。EVG[®]320 D2W 晶片准备和活化系统则用于 D2W 键合的直接贴装，提供与 D2W 键合机的直接接口。EVG[®]40 NT2 套刻计量系统使用 AI、前馈和反馈回路进一步提高混合键合良率。在这些技术之外，EVG 又推出完整的端到端混合键合解决方案，以加速部署 3D/ 异构集成。” ◆

参考文献

1. EV集团实现芯片到晶圆熔融和混合键合技术突破 多芯片3D片上系统的芯片转移良率达到100%。 www.evgroup.com
2. EVG's die-to-wafer fusion and hybrid bonding technologies - supporting collective die-to-wafer as well as direct die-to-wafer process flows. www.evgroup.com
3. EV集团(EVG)在中国国际半导体展上展示新型晶片到晶圆混合键合活化解决方案，旨在加快3D-IC/异构集成技术的发展 www.evgroup.com



EVG[®]320 D2W晶片准备与活化系统



质谱分析如何支持半导体发展需求？

各种气体的受控使用是半导体芯片制造的一个重要方面，有助于确保高质量的最终产品。工作流程中任何阶段（包括气体输送过程）的污染，都可能产生重大且令人费解的影响，这意味着即使是最小浓度的杂质，也需要在气体进入制造过程之前进行检测和去除。幸运的是，现在监测和控制超高纯（UHP, ultra-high purity）气体供应的技术已经取得了进步，包括大气压电离质谱（API-MS, atmospheric pressure ionization mass spectrometry）技术，它可以检测低至万亿分之10（ppt）的杂质。

模式变化加速市场增长。近年来，全球半导体市场经历了创纪录的增长，预计到2028年其规模将扩大到近8030亿美元。这一进步主要归功于全球对电子器件的需求不断增长，以及COVID-19大流行导致的生活方式变化，这揭示了远程工作和远程学习所需的网络和通信解决方案的重要性。半导体是越来越多的产品清单的核心，人们认为这些产品对于丰富客户的生活和帮助企业更智能、更高效地运营至关重要。这种持续创新，加上物联网、人工智能、机器学习和云计算等新技术的出现，是市场最重要的驱动力。

通过 UHP 气体供应满足需求

制造商不得不大幅提高芯片产量，以应对对高质量半导体的需求增加。由于硅晶圆制造需要各种电子特种气体（ESG, electronic specialty gas），包括氮气、氩气、氢气和氦气，因此，对UHP气体和化学品的需求也有所增加。ESG由专业的气体和化学公司生产，供应给半导体制造商，在整个工厂内通过管道大量输送。在制造过程的各个阶段都需要这些气体，以帮助在晶圆上形成所需的表面特征。例如，3D NAND制造需要80,000至100,000 Nm³/h且纯度为99.999%的氮气。

作者：赛默飞世尔科技公司（Thermo Fisher Scientific）

晶圆化学污染的后果

在最近的疫情大流行期间，半导体生产突然停止，并导致汽车和高科技行业的芯片供应出现明显短缺。这破坏了企业的顺利运行，并促使加快生产能力提升的速度。然而，生产率的提高也增加了晶圆在制造过程中发生化学污染的机会，这可能导致器件加工能力和性能的下降。这个问题的根源可能是生产过程中使用的气体供应，其中可能存在未检测到的痕量污染物。这些污染物可能会通过微孔穿透晶圆表面，并被吸收到各层材料的表面进而影响其性能，从而导致缺陷和可靠性问题。例如，碳氢化合物等有机污染物会破坏栅极氧化物的可靠性，并对薄氮化硅层的厚度重复性产生负面影响。

制造过程的事故或技术难题通常只是随之而来的众多后续后果的开始。晶圆缺陷有时在进入市场之前会被忽视，从而给半导体公司带来意想不到的成本。这也可能导致这些公司的声誉受损、赔偿索赔和未来收入损失。即使有缺陷的产品被发现并且没有进入市场，生产过程中的气体污染仍然会导致生产浪费增加、生产线停工和供应延迟。两家市场领先的半导体公司在 2019 年经历了这样的事件，由于制造污染，不得不报废大量晶圆，导致数百万至数十亿美元的收入损失。这使得人们呼吁采取更严格的程序和质量控制措施，以确保将合规的 UHP 气体输送到生产线。

分析气体以确定纯度

UHP 气体通常被输送到半导体制造现场的地下室或底层存储位置，在那里分析它们的痕量杂质，然后通过管道输送到整个工厂。在半导体生产质量保证和质量控制方面，连续质量控制系统确保这些气体符合所需的纯度规格。传统上，这是通过在线气相色谱、热解吸或电感耦合等离子体分析完成的，这些方法检测限在 100 到 500 ppt 之间，取决于所用的仪器精度。然而，在半导体这样一个气体纯度至关重要的激烈竞争行业中，人们意识到这些方法不再够用，因此这些方法最近被 API-MS（大气压电离质谱）所取代，API-MS 允许检测低至 10ppt 的痕量杂质。

API-MS 已成为一种有吸引

力的可用技术，因为单个或多个 UHP 气体管线与 API-MS 耦合，可进行即时和连续的分析。API-MS 涉及在保持大气压的反应室中对气体进行电离，然后通过质量分析仪检测正离子或负离子。进行测量时，将样品气体泵入仪器的反应室，从而最大限度地提高电离体积并减少背景干扰以提高性能。这种设置允许识别低至 10 - 50 ppt 的杂质——远低于规定的极限值，从而确保气体适用于高质量半导体制造的各种工作流程。与色谱不同，API-MS 还具有很好的灵活性，允许测量更广泛的杂质，包括水分、氧气、二氧化碳、一氧化碳和甲烷。

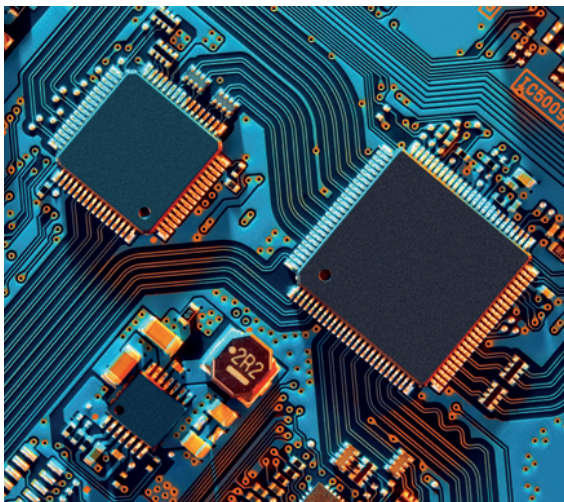
用于超净气体的增强型分析仪

最近，先进的电子设备和软件已与 API-MS 方法集成，进一步改进了对大宗气体中污染物的常规连续测量。这些 UHP 电子气体分析仪经过专门设计，可确保监测每种大宗气体的各种潜在杂质，并实现比单独使用 API-MS 更低的检测限。然而，半导体行业的国际技术路线图（ITR，International Technology Roadmap）已经确定了每种杂质 100 ppt 的气相污染极限值。因此，拥有具有更低污染极限值的 UHP 电子气体分析仪是有益的，目前达到这一检测水平的现有仪器之一是赛默飞世尔科技公司的 APIX δQ & APIX Quattro 过程质谱仪。

满足未来需求的愿景

使用超高灵敏度、多组分、多通道气体分析仪，具有维护成本低、快速、易于使用且具有自校准功能，有望帮助满足半导体芯片制造商今天和未来的要求。随着自动化工作流程也变得越来越普遍，将这些功能集成到质量控制系统中可确保 24/7 全天候警戒，为 UHP 气体供应提供持续保护，并验证纯化系统的性能。

API-MS 与有效的气体纯化器相结合，现在在工业中通常用于检测、监测和净化使用氮气、氩气、氦气和氢气等气体的应用。总体而言，UHP 气体生产支持半导体芯片制造中这些微小但绝对关键的部分，帮助企业不仅跟上不断增长的需求，而且继续生产可靠，高质量的产品。◆



汽车自驾系统组件新选择!

智能产品的视觉关键组件——VCSEL



图1: 人脸识别功能 (图片来源: 科技新报)

自从苹果公司 (Apple Inc.) 于 2017 年首次在 iPhone X 中推出 Face ID 人脸识别功能, 取代了行之有年的 Touch ID 指纹辨识之后, 各家手机厂商才开始注意到这个「以往只出现在电影场景里的黑科技」。而这个能让电子产品仿佛拥有视觉般, 得以辨别使用者立体轮廓的 3D 感测模块, 其中最关键的组件就属近期红透半边天的面射型激光——VCSEL。

VCSEL 是 Vertical Cavity Surface Emitting Laser 的缩写, 意即「垂直共振腔面射型激光」。自从 1962 年的第一个半导体激光二极管展示之后, 陆续便有类似结构的组件发表。而现代公认的 VCSEL 发明者则是日本东京工业大学的伊贺健一 (Kenichi Iga) 教授, 1977 年他在实验室笔记本上画出了第一个 VCSEL 图形 (图 2), 并于 1979 年以液相磊晶 (Liquid Phase Epitaxy, LPE) 技术制备出 InGaAs/InP 材料的 VCSEL, 开启后续一连串

的学术研究及商业应用。

人类视觉vs.机器视觉

说起人类视觉与机器视觉最大的差异, 在于人类能将看到的画面直接解读成具有深远的三维空间讯息; 机器视觉则是针对获取画面的每一个像素进行编码, 只能得到二维平面影像, 而没有物体远近的讯息。因此, 3D 感测技术是提升机器视觉能力、甚至进一步赋予机器与环境互动及行动化能力的关键。

3D 感测模块包含「发射源」及「侦测器」两个部分, 侦测器大致区

分为 Si 基 CMOS 以及 III-V 类型, 如 InGaAs 类的材料或是量子点等技术, 根据不同的接收波段选择适用的侦测器。发射源目前的主流是使用红外光源 (Infra-Red, IR), 因为相较于可见光, 红外光源有更好的信噪比 (Signal-to-Noise Ratio, SNR)。而由于红外光波段有好几个适合的波长, 像是近红外光 (Near-IR, NIR) 的 850nm、905nm、940nm 波段, 短波红外光 (Short-Wave IR, SWIR) 的 1,350nm、1,550nm 波段, 因此, 目前各厂商会各自选择波段及发展相对应的模块。

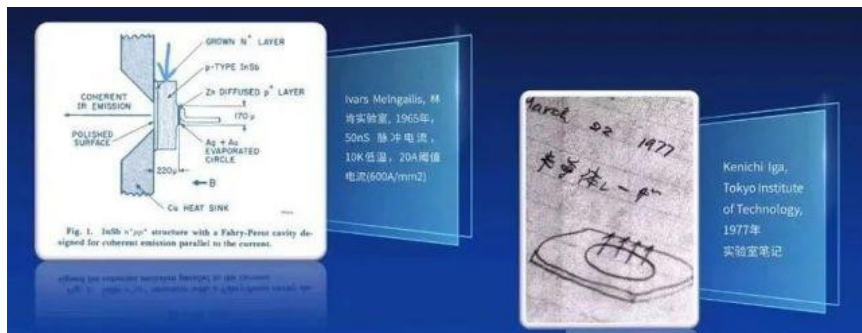


图2: 手绘 VCSEL 图形 (图片来源: 银月光科技)

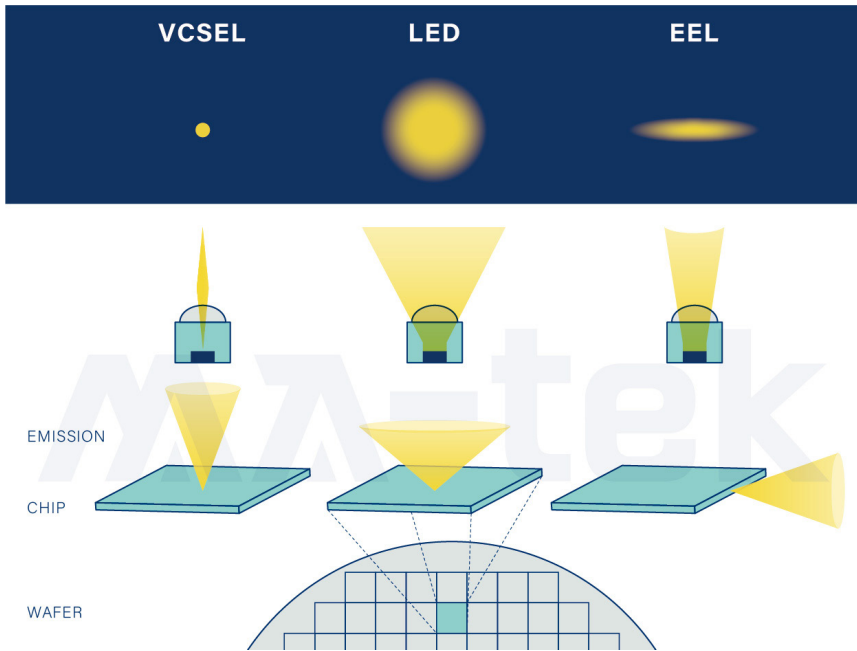


图3: 3D 成像模块的红外光源种类。

3D 感测模块-红外光发射源三大组件结构大比拼

若以组件结构来区分红外光的发射源，则可以分成三大类，如图 3 所

示，包括：

- (1) 垂直共振腔面射型激光 (VCSEL)
- (2) 发光二极管 (Light-Emitting diodes, LED)
- (3) 边发射激光器 (Edge Emitting Laser, EEL)

diodes, LED)

(3) 边发射激光器 (Edge Emitting Laser, EEL)

虽然 LED 及 EEL 仍有价格上的优势，但考虑组件稳定性及量产性，VCSEL 在更大的温度范围内能维持波长的稳定性，也更容易进行数组封装。综合比较，VCSEL 在高输出功率、高转换效率 and 高质量光束各方面都胜出，因此被广泛应用在 3D 感测的应用领域。

VCSEL 新发展：汽车自动驾驶系统

VCSEL 除了在光通讯及智能手机的感测光源应用之外，汽车自动驾驶系统的关键感测组件——光学雷达 (又称光达、LiDAR)，则是下一个带动 VCSEL 发展的重大应用。LiDAR 全文为「Light Detection and Ranging」，是利用激光感知探测距离的方法，藉由发射激光脉冲并收集前方物体反射回来讯号的时间差，来进行距离推算、达到测量距离之目的。车用光达系统藉由同时发射、处理多点激光脉冲的数据，就能构筑成一个具有深度信息的 3D 环境模型，再透过识别道路标志、汽机车、行人等静态及动态物体的位置动作，达到自主感知的目的，帮助车辆检测路径中的障碍物，进而实现避障、煞停、路径

Automotive Electronics Council Component Technical Committee

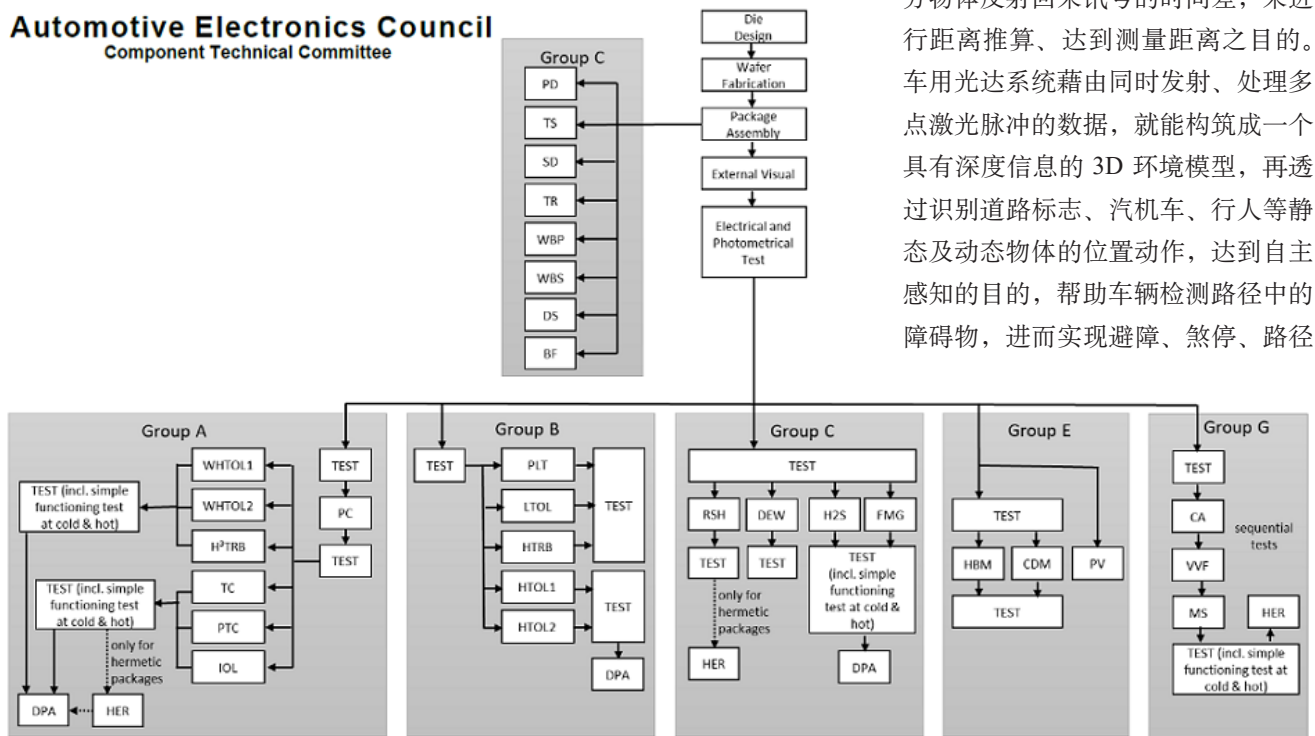
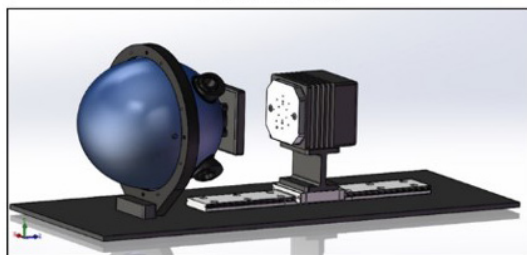


图4: AEC-Q102 验证流程图 (图片来源: AEC-Q102)

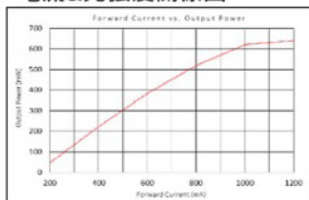
光學量測



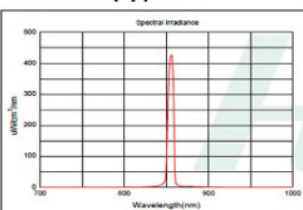
電性量測



電流&光強度關係圖



量測波長(λp)



電流&電壓關係圖

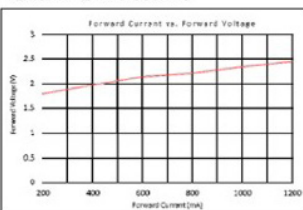


图5: VCSEL 光学特性量测设备。

规划等自动驾驶的应用。此外，深度感测系统亦可安装于车内，进行座舱内监测和乘客手势感测，达成驾驶辅助或是提升乘客舒适体验。

汽车产业一直朝着搭载高级驾驶辅助系统 (Advanced Driver Assistance System, ADAS) 的智能自动驾驶方向发展，汽车搭载光学雷达和深度感测系统已是必然的趋势。而 VCSEL 组件和模块要应用在车载领域，就必须通过车规 AEC-Q102 的高标准验证，范围涵盖晶圆制造、组件封装、电性与光学功能及可靠度验证等。在车用组件验证的范畴里，着重在如何有效降低失效率，其终极目标则是 AEC-Q004 所要求的零失效。整体车用光学离散组件验证流程如图 4，藉由应用 6σ、统计制程控制 SPC (Statistical Process Control) 等品管手法来有效控制

失效率，并且藉由提高验证样品数量来保证更低的失效率。

严格的车规验证耗时漫长？ 闾康科技建立一站式服务

VCSEL 组件的车用可靠度验证，包含了环境应力试验、加速寿命模拟试验、封装强度试验、结构强度可靠

度及光学电性验证等五大项试验，为了缩短验证时间，闾康科技建立了 One-Site Service 的一站式服务，特别引进 VCSEL 光学特性量测设备 (图 5)，在 AEC-Q102 验证过程无须再送回客户端执行功能验证，直接在闾康内部即可完成，减少组件来回运送的时间，进而缩短整体验证时间。

闾康科技在 AEC-Q 车用电子验证有非常丰富的经验，并已协助多家客户成功通过严格的车规验证。对于希望进入车用市场的客户，闾康科技能够提供全方位车用验证服务，协助客户顺利取得进入车用市场的门票，让产品能安心安装在汽车上，成为车厂供应链的一员。

车用组件可靠度服务

车用验证流程包含 Die Design、Wafer 制造、组件封装、电性测试到可靠度试验等，每个阶段都有严谨的验证项目。闾康亦可协助客户进行整体规划方案，包括 AEC-Q100、Q101、Q102、Q104、Q200 等，若有需求或想了解更多车用验证服务，欢迎寄信至：marketing@ma-tek.com

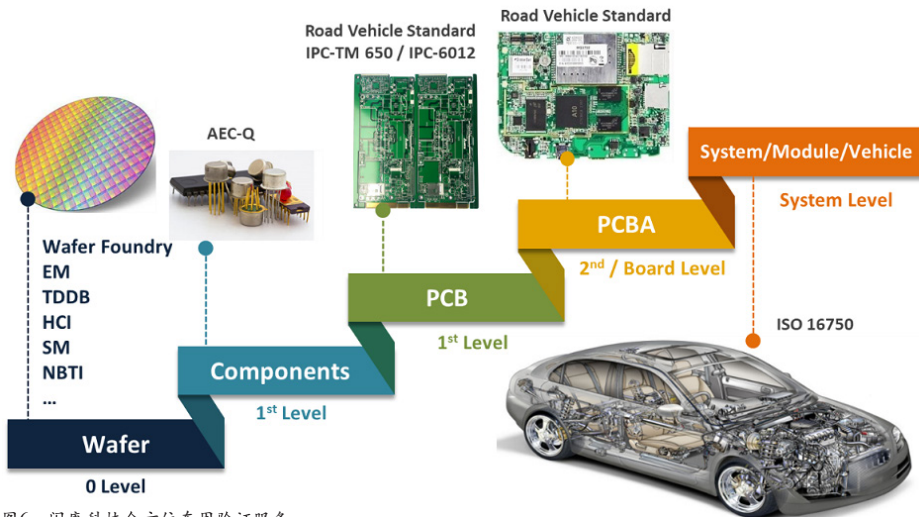


图6: 闾康科技全方位车用验证服务。

将激光器件与硅集成的方法探讨

比利时根特大学的两位教授 Roel Baets 和 Gunther Roelkens，以及 imec 的两位科学家 Joris Van Campenhout 和 Bernardette Kunert，四人共同撰写的一篇文章“4 Ways to Put Lasers on Silicon”发表在 IEEE Spectrum (<https://spectrum.ieee.org/lasers-on-silicon>) 上。文章介绍了关于实现激光器与硅紧密集成的四种方法：倒装芯片集成、微转印、晶圆键合和单片集成，就这些方法的工作原理、可扩展性和成熟度级别等方面进行了比较探讨。以下是我们根据该文章编译整理的部分内容，供读者参考。

引言

光子集成电路 (PIC) 是在单个芯片上结合了一系列光电功能。PIC 在日常生活中正在成为越来越普遍的一部分。它们用于连接数据中心服务器机架的高速光收发器，包括用于提供网站的收发器，用于保持自动驾驶汽车在轨道上的激光雷达，用于发现大气中化学物质的光谱仪，以及许多其他应用。所有这些系统都已经变得比较便宜，并且在某些情况下，通过使用硅制造技术制造了大部分 IC，在经济上变得可行。

工程师们已经能够在硅光子芯片上集成几乎所有重

要的光学功能，包括调制和检测的基本功能，但是还不能将光发射功能集成到硅光子芯片上。因为硅本身并不能有效地做到这一点，因此通常采用由 III-V 族材料组成的半导体来制造单独的组件以产生光。

如果您可以在设计中使用外部激光二极管，那就没有问题了。但最近有几个因素促使工程师将激光器与硅光子产品集成在一起。比如，可能没有空间放置单独的光源。例如旨在植入体内以监测血糖水平的微型设备可能会面临这个问题。或者，出于对应用成本的考虑，可能需要更紧密的集成：当您可以在单个硅晶圆上装进数百或数千个激光器时，与需要连接这些单独的芯片相比，将激光器与硅晶圆集成会使您最终获得更低的成本和更高的可靠性。

有很多方法可以实现激光器与硅的更紧密集成。比利时纳米电子研发中心 imec 开展了相关的研究工作，他们目前正在采用四种基本策略：倒装芯片集成、微转印、晶圆键合和单片集成。下面就这些方法的工作原理、它们的可扩展性和成熟度级别，以及它们的优缺点等方面进行讨论。

倒装芯片集成

在硅晶圆上直接集成激光器，这种直接方法是一种芯

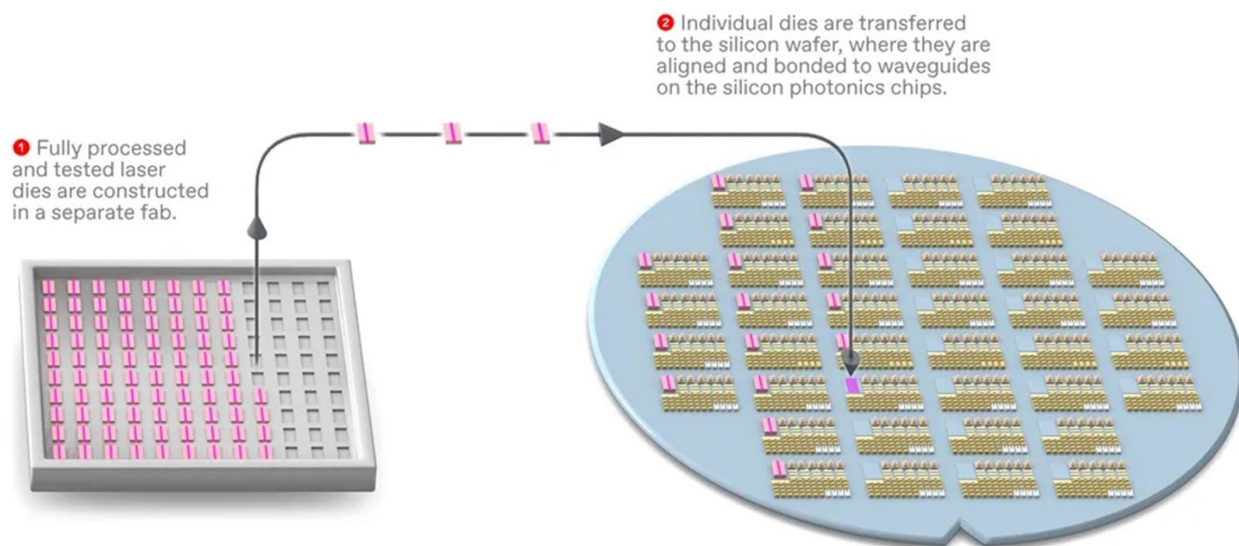


图1：在倒装芯片键合中，激光芯片（左）被一个一个地转移并键合到硅光子晶圆上。（By Emily Cooper）

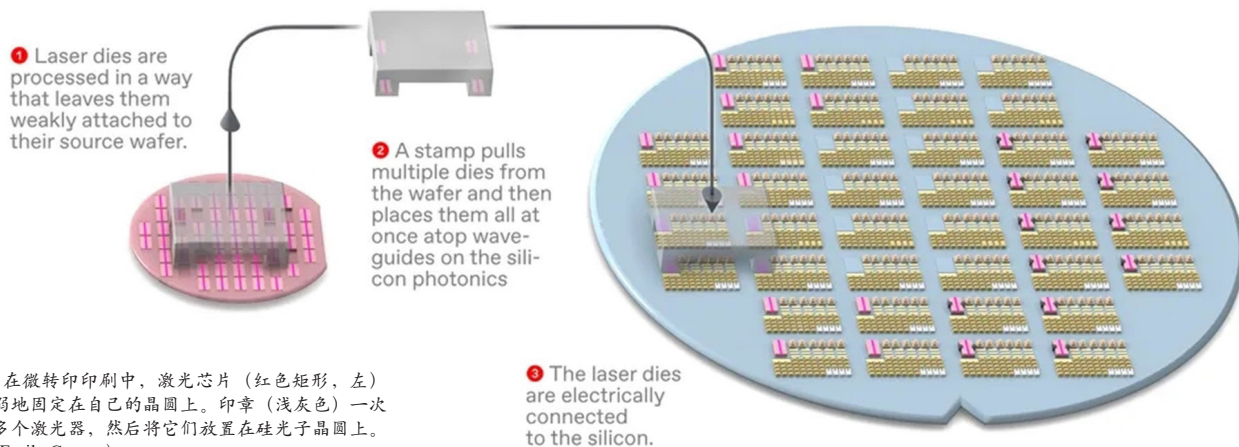


图2: 在微转印印刷中, 激光芯片 (红色矩形, 左) 被很弱地固定在自己的晶圆上。印章 (浅灰色) 一次拾取多个激光器, 然后将它们放置在硅光子晶圆上。
(By Emily Cooper)

片封装技术, 被称为倒装芯片工艺。

芯片的电气连接在顶部, 互连的最上层终止在金属衬垫 (焊盘) 上。倒装芯片技术依靠焊球附着在这些焊盘上。将芯片翻转过来, 使焊料与芯片封装上 (或者在我们的情况下在另一个芯片上) 的相应焊盘对齐。然后将焊料熔化, 将芯片键合到封装上。

当试图将激光芯片键合到硅光子芯片时, 这个概念与倒装芯片技术是相似的, 但更加严格。边缘发射激光器在晶圆上已经加工完成, 被切割成单独的芯片, 并由供应商进行测试。然后, 使用高精度的倒装工艺, 将单个激光芯片与目标硅光子晶圆键合, 一次键合一个激光芯片。困难的部分是确保从边缘发射的激光输出与硅光子芯片的输入对齐。我们使用一种称为对接耦合 (butt-coupling) 的工艺, 将激光芯片放置在硅的凹槽处, 以使它横向靠近硅光子波导的蚀刻面。

为此, 倒装芯片工艺要求在空间三个维度上全部实现亚微米级对准精度。在过去的几年里, imec 已经开发了专门的倒装芯片键合工具来完成这项工作, 他们与合作者, 以及开发合作伙伴已经使用它们来优化组装流程。利用先进的拾取和放置工具, 使用机器视觉来保持精确对准, 可以在短短几十秒内放置和键合激光器, 精度优于 500 纳米。

2021 年, imec 还建立了晶圆级硅光子工艺, 以改善这一性能。它为硅芯片增加了机械对准基座和更精确的蚀刻对接耦合接口, 以实现优于几百纳米的垂直对准。使用这些技术, 他们在 300 毫米硅光子晶圆上组装了一些激光器件。并且很高兴地看到, 来自每个激光器的 50 毫瓦激光有多达 80% 耦合到它所连接的硅光子芯片中。最坏的情况下整个晶圆的耦合率仍在 60% 左右。这样的

结果可以与主动对准实现的耦合效率相媲美, 而主动对准是一种更耗时的过程, 其中来自激光器本身的光用于引导对准过程。

倒装芯片方法的一个显著优势是配接芯片类型的简单性和灵活性。因为芯片可以在现有的制造生产线中生产, 额外增加的工程有限, 所以它们都可以从多个制造商处采购。而且, 随着市场需求的增加, 越来越多的供应商正在提供倒装芯片组装服务。另一方面, 这个工艺的顺序性 (每个激光芯片都需要单独拾取和放置) 是一个明显的缺点。从长远来看, 它限制了制造吞吐量 and 大幅降低成本的潜力。这对于成本敏感型应用尤其重要, 比如消费类产品, 以及每个芯片需要多个激光装置的系统。

微转印

微转印 (microtransfer printing) 消除了对接耦合的一些对准困难, 同时也使组装过程更快。就像在倒装芯片集成中一样, 发光器件先在 III-V 族半导体衬底上生长。但有一个很大的区别: III-V 族晶圆没有被切成单独的芯片。而是将晶圆上的激光器底切, 因此它们仅通过很小的束缚弱连接固定在源晶圆上。然后用一种类似墨水印章的工具把这些激光器一起拾取起来, 打破它们与源晶圆的小束缚。然后, 印章再将这些激光器与硅光子晶圆上的波导结构对准, 并在那里键合它们。

倒装芯片技术使用的是金属焊料凸点, 而微转印使用粘合剂, 甚至可以仅使用分子键合, 依靠两个平面之间的范德华力来将激光器固定。此外, 在硅光子芯片中, 光源和波导之间的光耦合也是通过不同的过程发生的。该过程称为倏逝波耦合, 它是将激光器放置在硅波导结构的顶部,

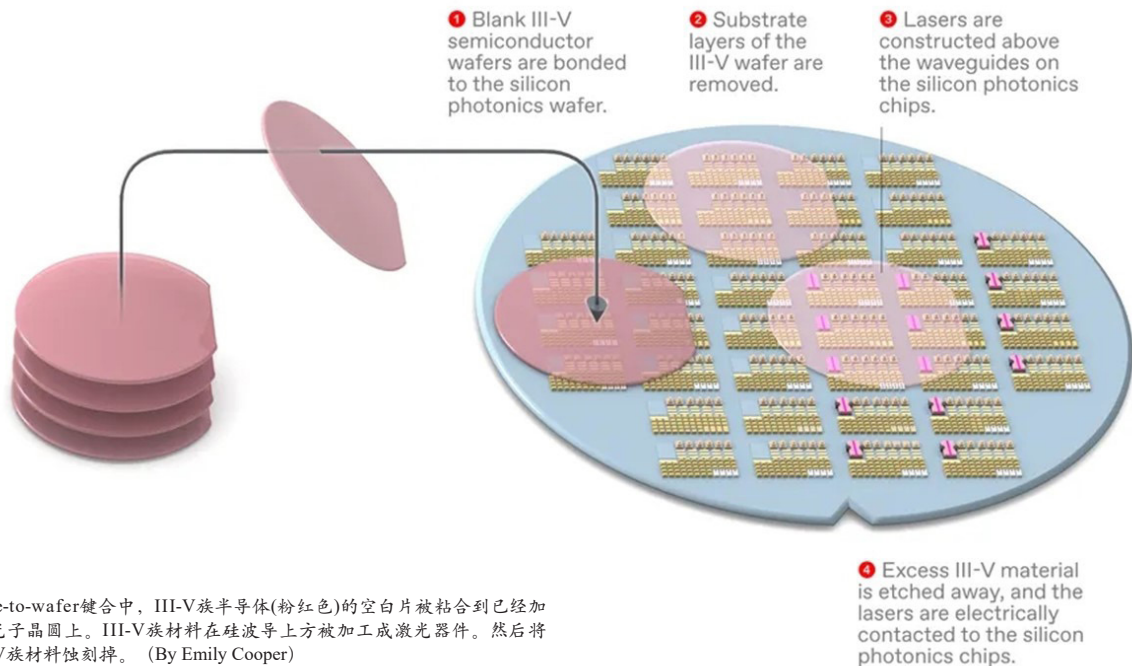


图3: 在die-to-wafer键合中, III-V族半导体(粉红色)的空白片被粘合到已经加工过的硅光子晶圆上。III-V族材料在硅波导上方被加工成激光器件。然后将多余的III-V族材料蚀刻掉。(By Emily Cooper)

让光线“流入”其中。虽然以这种方式传输的功率较少,但与对接耦合相比,倏逝波耦合对于对准精度的要求较低。

因为允许具有较大的对准偏差,使该技术能够一次转移数千个组件。因此,原则上,它应该允许比倒装芯片工艺更高的吞吐量,非常适合每单位面积需要集成大量III-V族组件的应用。

尽管转移印刷是制造 microLED 显示器的既定工艺,例如许多增强现实和虚拟现实产品的显示器制造需要转移印刷工艺,但该工艺尚未准备好用于打印激光器或光放大器。但 imec 正在努力实现它。

去年, imec 使用转移印刷成功地将这种光源连接到包含硅光子波导、高速光调制器和光电探测器的晶圆上。他们还打印了波长可调超过 45 nm 的红外激光器和适用于基于芯片的光谱系统的高脉冲能量器件。这些只是为了演示目的而制作,但看不出这种方法不能获得高产量的好结果的根本原因。因此,他们预计这项技术将在几年内准备好部署在生产线上。

Die-to-Wafer键合

在上面讨论的两种技术中,将发光元件与其搭配的硅光子部件精确对准是关键的一步。但有一种技术,被称为 III-V-to-silicon-wafer 键合的形式,找到了解决这个问题方法。该方案不是将已经构建的激光器(或其他发光元

件)转移到加工过的硅晶圆上,而是将 III-V 半导体的空白 die(甚至小晶圆)粘合到硅晶圆上。然后在相应的硅波导上构建所需的激光装置。

在转移的材料中,我们只对其中称为外延层的结晶 III-V 族材料薄层感兴趣。因此,在与硅晶圆结合后,其余的材料会被去除。然后,在与底层硅波导对准的外延层中使用标准光刻和晶圆级工艺制造激光二极管。最后将所有不需要的 III-V 族材料蚀刻掉。

英特尔公司的工程师在过去十年中开发了这种方法,并于 2016 年推出了第一批使用该方法构建的商业产品,即光收发器。该方法允许高吞吐量集成,因为它可以同时并行处理多个组件。与转移印刷一样,它在 III-V 族和硅材料之间使用倏逝波耦合,从而可以产生一个高效光接口。

III-V-to-silicon-wafer 键合有一个缺点:您需要大量投资来建立一条生产线,该生产线可以使用用于制造直径为 200 毫米或 300 毫米的硅晶圆的工具来处理 III-V 族工艺步骤。这些工具与激光二极管代工厂中使用的工具非常不同,后者典型的晶圆直径要小得多。

单片集成

结合这两种不同材料的理想方法是直接在硅上生长 III-V 族半导体,这种方法被称为单片集成。这将消除任何粘合或对准的需要,并将减少 III-V 族材料的浪费量。

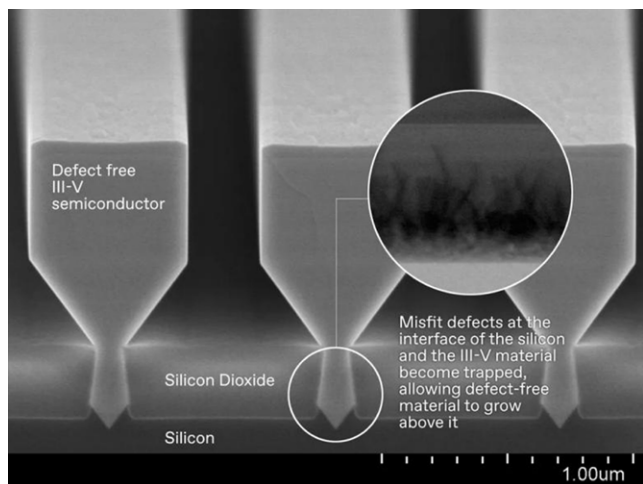


图4：纳米脊工程在硅中特殊形状的沟槽中生长适合激光器件的半导体。沟槽的形状将缺陷（嵌入）捕获到远低于构建激光器件的区域。（Source: imec）

但是，要使这种方法切实可行，还需要克服许多技术障碍。因此，imec 和其他机构仍然在对这种方法继续进行研究。

该研究的主要目的是制造具有低缺陷密度的结晶 III-V 族材料。根本问题是，硅中原子的晶格间距与感兴趣的 III-V 族半导体中原子的晶格间距之间存在相当大的不匹配 - 超过 4%。

由于这种晶格不匹配，在硅上生长的每个 III-V 层都会产生应变。在添加几纳米的 III-V 族薄膜后，晶体中就会出现缺陷，以释放积聚的应变。这些“不匹配”的缺陷沿着穿透整个 III-V 族层的线条形成。这些缺陷包括开放的晶体键线和局部晶体畸变，这两者都会严重降低光电器件的性能。

为了防止这些缺陷扼杀激光器，必须把缺陷限制在远离激光装置的地方。因此，通常需要铺设一层几微米厚的 III-V 族材料，在下面的不匹配缺陷和上方的无应变区域之间形成一个巨大的缓冲区，然后在那里可以制造激光装置。加州大学圣巴巴拉分校的研究人员曾报告了使用这种方法取得的出色进展，展示了高效率基于砷化镓的量子点激光器，具有良好的可靠性寿命。

然而，这些实验只在小规模上进行。将该技术扩展到工业中使用的 200 毫米或 300 毫米晶圆上是困难的。添加厚缓冲层可能会导致各种机械问题，例如 III-V 族薄膜内部出现裂纹或晶圆弯曲。此外，由于有源器件位于如此厚的缓冲层之上，因此将光耦合到硅衬底中的底层波导具有挑战性。

为了规避这些挑战，imec 引入了一种新的单片集成方

法，称为纳米脊工程（nanoridge engineering, NRE）。该技术旨在迫使缺陷形成在非常狭窄的空间内，从而可以在与底层硅的界面上方略高于 100 纳米的位置构建发光器件。

NRE 使用一种称为纵横比捕获的现象将缺陷限制在小区域。它首先在一层二氧化硅绝缘体内创建窄而深的沟槽。在沟槽的底部，绝缘体与硅相接触的地方，会有一个凹槽切入硅中，使空隙具有箭头形的横截面。然后在沟槽内生长一层薄薄的 III-V 族晶体，应变引起的失配缺陷被有效地捕获在沟槽侧壁上，防止这些缺陷线进一步渗透。沟槽被填满后，生长物继续在沟槽上方形成更大的 III-V 族材料纳米脊。纳米级脊中的材料足够好，没有缺陷，因此可用于制作激光器件。

大多数关于单片集成的研究都是在改进单个器件并确定其失败原因的层面上进行的。但 imec 在采用该技术的晶圆级集成方面已经取得了实质性进展，在 300 毫米硅试验生产线中生产了高质量的基于 GaAs 的光电二极管。下一个里程碑将是演示基于与光电二极管类似设计的水泵浦激光器。纳米脊工程仍在实验室开发中，但如果它有效，无疑将对这个行业产生重大影响。

硅上激光器的前景

未来几年，这里讨论的每种方法肯定会进一步发展，预计它们最终将共存以满足不同的应用需求和用例。

倒装芯片激光器组装，因为相对适中的生产成本和成熟性，将使其近期产品化成为可能，对于每个 PIC 只需要一个或两三个激光器的应用（例如数据中心中使用的光收发器）特别有吸引力。此外，这种方法固有的灵活性使其对需要非标准激光波长或不常见光子技术的应用具有吸引力。

对于每个 PIC 需要多个激光器或放大器的大批量应用，转移印刷和 die-to-wafer 键合可提供更高的制造吞吐量，更小的耦合损耗，并有可能进一步降低成本。由于生产投入成本很高，因此这些技术适合的应用必须具有很大的市场。

最后，在硅上直接进行 III-V 外延，如 NRE 纳米脊技术，代表了激光器件集成的最终水平，但还需要在材料质量和晶圆级集成方面取得进一步进展才能释放其潜力。◆

参考文献

4 Ways to Put Lasers on Silicon - IEEE Spectrum

<https://spectrum.ieee.org/lasers-on-silicon>

使用 UCle IP 确保多 Die 系统可靠性

多 Die (晶粒) 系统由多个专用功能晶粒 (或小芯片) 组成, 这些晶粒组装在同一封装中, 以创建完整的系统。多晶粒系统最近已经成为克服摩尔定律放缓的解决方案, 生产保证较高良率, 提供一种扩展封装后芯片功能的方法。

此外, 多晶粒系统实现功能扩展满足不同细分市场的需求, 意味着使产品 SKU (Stock Keeping Unit 库存单位) 更为灵活, 在同一产品中混合和匹配各种工艺节点来实现工艺的优化, 从而缩短上市时间和降低风险。

为了实现更高的晶粒间走线密度并支持晶粒间更高的带宽流量, 封装技术已发展为基于硅中介层 (带 TSV 过孔) 或硅桥, 以及近期出现的再分配层 (RDL) 扇出和 HD 基板来创建新的先进封装。

多晶粒系统成功的关键在于能够确保系统在不同制造和组装阶段的可测试性, 并确保在现场可靠运行。通过使用额外的组装步骤和更复杂的 bump (金属凹点) 和封装技术, 多晶粒系统需要测试和可靠性程序, 这些程序相比于单片测试更为复杂。

裸晶粒和封装本身应进行预测试, 以确保在封装之前检测到所有缺陷的晶粒或封装。如果在封装后才检测到有缺陷的晶粒, 则必须报废整个多晶粒系统, 从而会付出高昂的成本代价。裸晶粒的测试过程称为已知良好晶粒 (KGD) 测试。

组装流程本身因所选的封装技术而异。例如, chip first 技术 (晶粒优先放置, 并且互连构建在这些晶粒之上) 不允许 KGD (已知良好封装) 测试, 这可能导致如果互连有故障, 则会报废良好晶粒。而 chip last 技术, 互连是单独构建的, 晶粒组装在其顶部, 这可以在组装之前对封装进行预测试, 从而降低良好晶粒被报废的可能性。

多晶粒系统可测试性解决方案分为几个方面:

1. 测试晶粒内各个块的覆盖率
2. 测试单个晶粒 (裸晶粒) 的覆盖率
3. 测试组装后的系统 (晶粒间覆盖率)
4. 访问裸晶粒的测试网络
5. 组装后对测试网络的分层访问

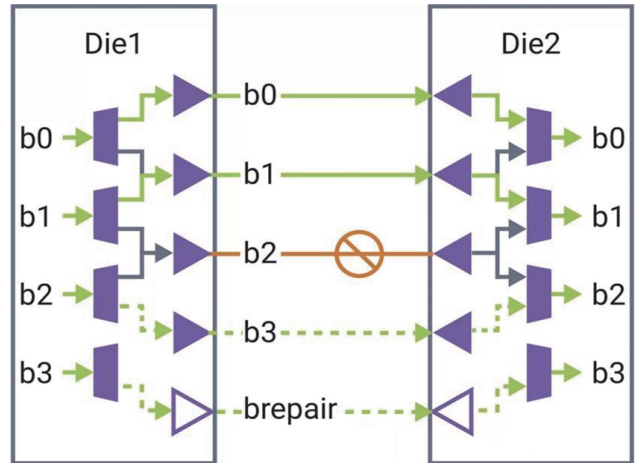


图1: 使用内置备用链路进行链路修复。

本文描述了一种利用 UCle IP 来确保多晶粒系统可靠性的全面可测试性方案, 并介绍其优势。

用于 UCle 接口的 DFT

通过在 UCle IP 中实施全面的可测试性功能, 在裸晶粒测试阶段将有缺陷的晶粒排除在外, 从而实现 UCle 接口的高测试覆盖率的解决方案。部分功能包括:

1. 扫描链路覆盖所有综合后的数字电路
2. 专用模块特定自测试 (BIST) 功能
3. 环回内置自测试 (BIST) 功能, 覆盖到 IO 引脚的完整信号链路
4. 可编程伪随机二元序列 (PRBS) 和用户定义的测试序列生成器和检查器
5. 错误注入以消除错误通过风险

此外在封装后, 将覆盖范围扩展到晶粒间链路的功能, 可以帮助实现高水平的测试覆盖范围, 包括:

6. 远侧 (晶粒间) BIST 环回功能
7. 晶粒间链路 BIST
8. 分析边缘的 2D 眼图边界
9. 各个通道的测试和维修功能

UCle 测试和维修

先进封装可实现高密度布线, 在硅或 RDL interposer

(中介层)上进行细间距,微凸焊点和高密度布线。在组装过程期间,一些微凸焊点的链路可能未良好建立且可能断开。UCIe能够在组装后测试和修复这些连接,从而挽回潜在的良率损失。

在生产测试和链路初始化期间执行UCIe测试和修复。在测试阶段,以低速检查每个链路是否存在缺陷。通过将数据重新路由到UCIe标准预定义的备用链路,来修复有缺陷的链路。

针对先进封装的UCIe配置包括每个方向最多8个备用引脚(TX和RX),以便修复所有功能链路,这其中包括:

- 1- 4个备用引脚,用于数据引脚修复,每组32个数据引脚中有2个备用引脚
- 2- 1个备用引脚,用于时钟和跟踪引脚修复
- 3- 3个备用引脚,分别用于有效引脚、边带数据引脚和时钟数据引脚修复

当晶粒间链路上没有有效的流量时,就会执行测试和修复。修复完成并且链路初始化后,就会被认定链路质量良好,数据流可以正常通过。生成的PHY配置称为PHY修复签名,存储在链路两端的内部寄存器中。

由于老化或其他原因,在运行过程中微凸焊点特性的退化可能会影响链路性能。在协议级别上可以通过比特误码率(BER)的增加检测到,或者最坏的情况是通过数据丢失检测到。在这种情况下,该链路预计将中断,并执行新的测试和维修步骤。

然而,一些应用对晶粒间链路上的流量连续性有严格的要求-它们不能容忍在运行期间中断流量。对于这些情况,可测试性解决方案将信号完整性监控器(SIM)添加到

每个UCIe接收器引脚。

信号完整性监控器

SIM监控器是嵌入在接收端的小模块。在正常运行期间,它们不断感测接收端引脚处的信号,以识别可能会影响链路性能或表明链路不健康且可能会在不久断开的信号特性的变化。

将各个传感器收集的数据收集在接口外部的监控、测试和维修(MTR)控制器中,以供进一步处理。聚合来自多个UCIe链路的数据可以即时洞察多晶粒系统的运行状况,并实现链路的预测性维护。

如果通过此程序预测特定链路存在故障风险,则可以禁用该链路,并利用UCIePHY修复机制将数据重新路由到其中一个备用链路,这样可以实现没有流量中断。

加快唤醒时间

虽然大多数晶粒间接口用例的流量模式(例如在服务器拆分或扩展中)在运行期间被认为是稳定的,但在某些用例中却可能会表现出突发行为。在这种情况下,期望将接口带入低功耗模式以在没有流量的情况下节省电力。链路重新初始化可以通过避免测试和修复过程,并依赖在上一次PHY初始化期间创建的UCIePHY修复签名来加速。

这一概念可以进一步扩展到晶粒完全断电的情况。在这种情况下,从PHY检索到修复签名并存储在片上永久存储器(eFuse of flash)上。该存储器可存储多个签名,涵盖不同的用例或条件,从而实现额外的用户灵活性。

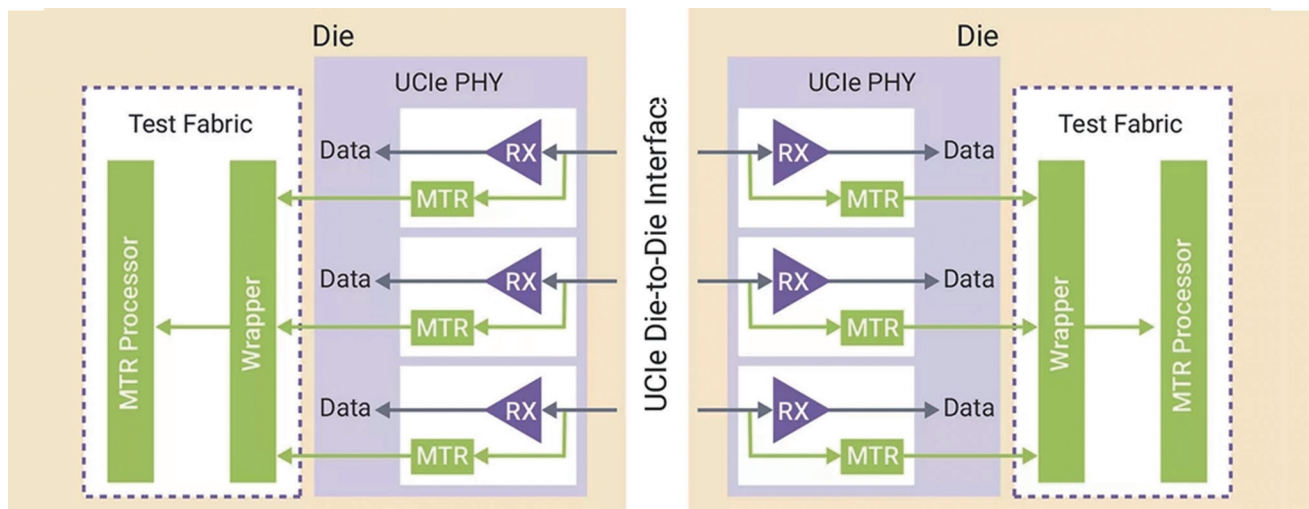


图2: UCIe链路的运行状况监控解决方案。

使用 UCIe 加速晶粒测试

测试时间非常宝贵。通过分层划分测试策略以并行运行不同晶粒的测试，可以缩短测试时间。通过分层连接两个晶粒的测试基础设施，可以在多晶粒系统中跨多个晶粒扩展层次结构。这种方法允许从主晶粒中的单个 JTAG (或类似) 测试接口访问多晶粒系统中的所有晶粒。

通常，测试时间的限制是将测试向量加载或读取到晶粒中的时间。JTAG 接口可能成为速度瓶颈。为了克服这一限制，设计人员可以使用现有的高速接口 [如 PCI Express (PCIe) 或 USB 等] 作为测试设备的接口。测试向量和命令针对该接口进行打包，并在生产测试阶段在晶粒上进行解包。

许多晶粒没有高速接口，但是在测试期间，UCIe 晶粒间接口可用于以很快的速度在晶粒间传输大型测试向量和命令。UCI 晶粒间接口可在整个多晶粒系统中扩展高速 DFT 访问，而不会增加引脚数量，这对 IO 和面积都有限制的晶粒非常重要。

总结

除了 UCIe 晶粒间接口外，支持所有这些测试和可靠性增强功能的共同点是可以连接所有内部模块的测试、修复和监控结构。测试、维修和监控结构跨越多晶粒系统中

的各种晶粒，提供结构化的分层基础设施，实现以下重要功能：

1. 管理多晶粒系统中各个晶粒的测试
2. 优化测试计划以缩短测试时间
3. 通过 UCIe 接口支持跨晶粒的高速测试访问
4. 从 UCIe 接口中嵌入的运行状况监控接口收集信息，并实现进一步的系统级处理
5. 管理非易失性存储器中 PHY 修复签名的存储
6. 以及其它功能

Synopsys 提供全面且可扩展的多晶粒系统解决方案 (包括 EDA 和 IP)，以实现快速异构集成。为了实现安全可靠的晶粒间连接，Synopsys 提供完整的 UCIe 控制器、PHY 和验证 IP 解决方案。作为 Synopsys SLM 和测试系列的一部分，可提供完整的 UCIe 监控、测试和修复 (MTR) 解决方案以及 STAR 层阶系统 (SHS) 解决方案。MTR 解决方案包括用于测量 UCIe 通道信号质量的信号完整性监控器、用于自测试的 BIST 以及用于冗余通道分配的修复逻辑，而 SHS 解决方案则作为支持行业标准 IEEE 1687、IEEE 1149.1、IEEE 1838 接口的连接结构。该完整解决方案可在硅生命周期的所有阶段对 UCIe 进行高效且高性价比的运行状况监测，这对多晶粒系统的可靠运行至关重要。◆

(本文章选自新思科技 IP 技术公告)

合见工软多维演进国产EDA工具

上海合见工业软件集团有限公司发布“EDA 新国产多维演进战略”，并同时重磅发布了多款全新国产自主研发的 EDA 与 IP 产品。产品覆盖全场景数字验证硬件、虚拟原型平台、可测性设计 DFT、电子系统研发管理和高速接口 IP 多个领域，跨越数字验证、数字实现、系统级工具、IP 方案多个维度，多产品线并行研发，构筑了“芯片 - 软件 - 系统 - 应用”的芯片与整机系统联动设计与产业生态，有力支撑中国芯片行业发展。

在发布战略与创新成果的同时，合见工软还与上海集成电路技术与产业促进中心正式签署了战略合作协议，通过优势互补，打造长期、友好、多赢的战略合作伙伴关系，共同搭建以国产 EDA 软件为基础的中国集成电路设计自主研发生态服务平台，建立集人才、技术、数据、产品、应用、行业于一体的可持续产业生态，助力中国集成电路产业的可持续发展。

本次发布的创新产品为：

- 商用级、高性能、全场景验证硬件系统 UniVista Unified Verification Hardware System (简称“UVHS”)
- 商用级虚拟原型设计与仿真工具套件 UniVista V-Builder/vSpace
- 商用级、高效测试向量自动生成工具 UniVista Tespert ATPG
- 全新一代 UniVista EDMPro 电子系统研发管理平台
- 首款自主知识产权的全国产 PCIe Gen5 完整解决方案 UniVista PCIe Gen5 IP

合见工软作为数字芯片 EDA 技术的创新领导公司，在技术更为领先、挑战更复杂的数字芯片设计和验证领域已有多项创新成果。本次发布的五款新产品，提升了目前国产 EDA 工具关键点的技术水平，展现了合见工软强大的研发能力和对客户的支持能力。

半导体企业如何解决制造软件系统的意外停机困境？

制造商面临从工艺问题到设备故障在内的诸多挑战。然而，一个通常被忽视的挑战是，当支持工厂运行的关键软件和服务器出现问题时，人们往往不会注意到，直到出现无法挽回的后果。当一个工艺设备发生故障时，会造成不便，但如果制造执行系统（MES 系统）出现故障，整个工厂将陷入瘫痪。

鉴于工厂的正常运行时间至关重要，您很可能已经制定了监控指标来监测工厂运行情况，并且有质量计划来进行改进。确保产品在工厂的各个工序之间连续流动，并得到正确处理，是保证您公司盈利的关键。制造软件系统在提高生产效率和质量方面也发挥着重要作用，无论它们是否正常运行。然而，虽然我们不愿意去面对这一点，但有时服务器会宕机，网络也时而会出现问题。有时，由于附

近正在进行设备安装，整个服务器机房的电源会意外关闭，这将导致计划外的停机，甚至可能导致整个工厂停工。这对业务的影响是巨大的。

对于一个规模适中的产量较低的晶圆厂来说，一小时的意外停机就会给公司造成 1 万美元的损失。对于一个中等产量的晶圆厂来说，损失可能是 10 万美元。而对于一个先进的、产量较高的晶圆厂来说，损失可能高达 100 万美元。因此，找到减少甚至避免制造软件系统意外停机的方法至关重要。SmartFactory Monitor 可以帮助您实现这一目标。

应用材料公司的智能工厂解决方案

SmartFactory Monitor 是一个实时监控软件解决方案，



作者：Dan Meier, 应用材料公司

让您能够及时发现生产系统中的问题，并立即采取纠正措施，以确保生产系统不受影响。在其最基本的形式中，它提供了一个可定制、易于理解的仪表盘，显示您生产系统的当前状态。这样，当出现问题时，几乎可以无缝地查看和发送通知。

SmartFactory Monitor 可以通过性能趋势分析和预测分析，防止出现影响工厂运行的问题。其关键特征之一是可定制性，您可以创建自定义视图，以显示随时间变化的性能趋势。其预测分析能力可在性能异常影响生产之前检测出这些异常。

SmartFactory Monitor 可在普通硬件设备上运行，进程占用内存空间小，操作系统可任意选择。另外，它与 SmartFactory 智能工厂解决方案软件产品组合中的其他产品预集成，能够追踪您的所有制造系统——应用程序、数据库以及 Windows 和 Linux 服务器。该系统可实时监控系统性能日志、错误日志、事件日志、应用程序日志、系统日志、服务器日志等一切可以反映系统性能和健康状态的信息。

各种来源的数据都被汇总到 Splunk 软件中，该软件能够捕获、索引和关联实时数据。然后这些数据可以生成自动通知并实现可视化效果，以突出数据的趋势并发现问题。此外，汇总到 Splunk 的数据还可用作机器学习算法的训练数据，从而实现预测分析，以避免问题在上升为工厂级别的问题之前被识别和解决。

预构建的仪表盘可以让您快速启动和运行，监测所有系统日志。使用 Splunk 软件，您可以轻松地实现系统性能可视化，并利用应用材料公司工程师开发的复杂预测算法检测出趋势、异常和异常值。

SmartFactory Monitor 提供一套全面的生产监控功能，可应对制造商面临的众多关键支持系统挑战。其主要目标是通过缩短发现和解决系统问题的时间，减少工厂意外停

SmartFactory Monitor 性能优势

检测和预测系统故障

- 减少计划外停机
- 减少系统故障和缩短响应时间
- 缩短平均修复时间 (MTTR)

更好的洞察力

- 从数据库、服务器和生产应用程序中收集关键指标
- 设置优化的警报，获得可操作的洞察力
- 按严重程度对故障进行整理和优先级排序，以迅速识别根本原因

更好的预测

- 使用先进分析软件预测未来事件，以减少停机时间
- 使用机器学习获得的生产数据来预测故障，并在数字化面板上总结性能情况
- 根据警报采取预防措施，提前解决问题

更好的覆盖

- 经验丰富的全球团队为用户提供 7x24 小时支持服务，监控生产并保障设备性能、稳定性和高可用性
- 访问全球数据库、应用程序、操作系统和网络监控

机时间。最终，通过性能趋势分析和预测分析，帮助预防对工厂运行产生影响的问题。

应用材料公司 SmartFactory® 解决方案助力半导体制造商和制药制造商增长生产效率，优化质量，提高产出，降低成本，减少风险以及提高良率。◆

相关阅读

1. 半导体企业如何解决制造软件系统的意外停机困境?
<https://appliedsmartfactory.com/blog/manufacturing-software-systems/>
2. 了解应用材料公司 SmartFactory Monitor 软件解决方案：
<https://appliedsmartfactory.com/zh-hans/semiconductor/manufacturing-execution-solutions/monitor/>
3. SmartFactory Activity Manager™助力英飞凌达到 ROI 实时最大化：
<https://appliedsmartfactory.com/zh-hans/blog/maximize-roi-real-time/>

晶圆背面供电领域的最新发展

探讨晶圆背面的半导体新机遇

在从事半导体设备的职业生涯之初，晶圆背面是个麻烦问题。当时发生了一件令我记忆深刻的事：在晶圆传送的过程中，几片晶圆从机器人刀片上飞了出来。收拾完残局后，我们想到，可以在晶圆背面沉积各种薄膜，从而降低其摩擦系数。放慢晶圆传送速度帮助我们解决了这个问题，但我们的客户经理不太高兴，因为他们不得不向客户解释由此导致的产量减少的原因。

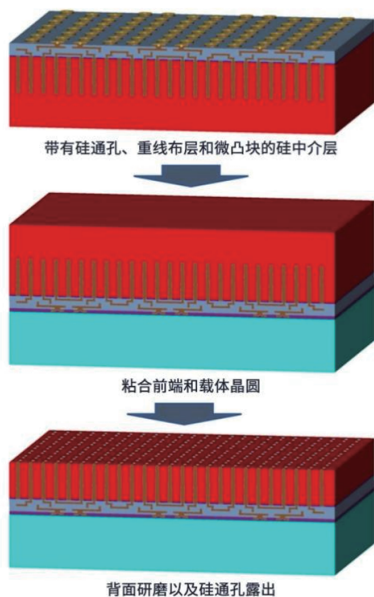


图1：硅中介层的工艺处理。通孔和初始金属化之后，研磨晶圆背面直至到达通孔。

尽管初识晶圆背面的过程不太顺利，但当2010年代早期Xilinx Virtex-7系列FPGA发布时，我开始更加关注这个领域。Xilinx的产品是首批采用“堆叠硅互连技术”的异

构集成的FPGA^[1]。该技术使用了在不同的FPGA组件之间传递电信号或电力的硅中介层，这一中介层通过创建部分通过硅晶圆的硅通孔(TSV)并在顶部创建信号重布线层而形成。

通过对晶圆背面进行工艺处理，连接硅通孔的两端：晶圆的正面暂时粘到一个载体晶圆上，然后倒置硅中介层进行工艺处理，随后使用背面研磨和刻蚀来暴露硅通孔。Xilinx产品推出时，我已经离开这个行业，回到了研究生院。在课堂上，硅通孔的金属化是个热门话题，而随着异构集成不断发展，晶圆背面也在工程师中成为了更有意思的话题。

虽然Xilinx FPGA使用了硅中介层来处理信号传输和带宽要求，但去除中介层、直接使用晶圆背面进行电气布线的做法会更有前瞻性。背面供电是“背面”架构的示例之一，它的供电不是来源于传统的晶圆正面的后道工序，而是背面。这种架构可能可以减少电源轨和有源器件之间的电压降。作为背面架构的示例，imec正在尝试在鳍片架构中使用埋入式电源轨^[2]。在imec的工艺流程中，导轨位于鳍片之间，类似DRAM（动态随机存取存储器）埋入式字线。用于信号传输的后道工序完成后，在器件晶圆的背面创建硅通孔，连通埋入式导

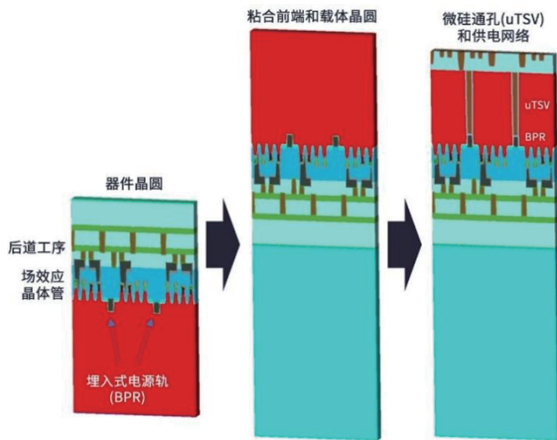


图2：参考资料^[2]，使用埋入式电源轨进行背面供电（不按比例）。

轨。为了供电也可以在背面进行进一步的互连。

至少出于性能原因，器件晶圆背面的空间看起来很有发展潜力。把电源轨从前端移到背面可以缓解晶圆正面的拥塞，实现单元微缩并减少电压降。领先的半导体逻辑企业深知背面供电的优势，正积极开发背面分布网络。2021年年中，英特尔宣布将使用公司的“PowerVia”技术进行晶背供电；台积电也计划在他们下一节点的技术中使用埋入式电源轨^[3]。我们期待看到晶圆背面的未来发展。◆

参考文献

1. K. Saban. “Xilinx Stacked Silicon Interconnect Technology Delivers Breakthrough FPGA Capacity, Bandwidth, and Power Efficiency”, Xilinx WP380, 2012.
2. J. Ryckaert et al., “Extending the roadmap beyond 3nm through system scaling boosters: A case study on Buried Power Rail and Backside Power Delivery,” 2019 Electron Devices Technology and Manufacturing Conference (EDTM), 2019, pp. 50-52, doi: 10.1109/EDTM.2019.8731234.
3. D. O’Laughlin, “Backside Power Delivery and Bold Bets at Intel”, <https://www.fabricatedknowledge.com/p/backside-power-delivery-and-bold>

光子技术解决下一代计算产品扩展问题

8月29日，在斯坦福大学举行的全球芯片行业年度盛会 Hot Chips 大会上，全球光电混合计算领军企业曦智科技进行了全新光电计算产品 Hummingbird 的首次公开演示。这是继美国西部时间8月8日发布 Photowave 之后，曦智科技一个月之内再次推出新产品。至此，曦智科技从光子矩阵计算（oMAC）、片上光网络（oNOC）、片间光网络（oNET）三大核心技术出发，打造的各系列产品均已推出首款硬件，完成了光子计算和光子网络两条产品线的最后一块“拼图”。

光电混合计算新范式

Hummingbird 是首个用于特定领域人工智能（AI）工作负载的片上光网络（oNOC）处理器，采用先进封装技术，将光芯片和电芯片进行垂直堆叠，集成为一个系统级封装（SiP）。



oNOC 技术旨在代替电芯片内部或者芯粒之间的电互连网络，把电信号转换成光信号，通过光芯片中的光波导网络进行数据通信，提高整体计算效率。通过这种方式可实现算力和内存扩展，提供更低的延时，更大的互连带宽，以及更多的拓扑结构。

曦智科技创始人、首席执行官沈亦晨博士表示：“光子技术是解决计算规模扩展问题的有效方法。随着 AI 热潮推动了算力需求的指数级增长，传统的解决方案已经很难跟上，业界可以通过将光子技术纳入下一代产品中来解决扩展问题，Hummingbird 验证了这一点。”

知名半导体行业评论人、SemiAnalysis 首席分析师 Dylan Patel 则评论说：“曦智科技正在利用其专有的光子技术打破内存壁垒，这有可能改变半导体行业。”

本次发布的 Hummingbird，是继 2021 年年底发布的 PACE（Photonic Arithmetic Computing Engine）之后，曦智科技光子计算产品线的第二款产品，也是该产品线首款应用 oNOC 技术的硬件。

在 Hot Chips 大会上，曦智科技工程副总裁 Maurice (Mo) Steinman 详细介绍了 Hummingbird 规格参数，以及曦智科技光电混合计算新范式在满足数据中心对更高算力、更低延时、更低功耗的需求上体现出的优势。

Hummingbird 通过硅光芯片上的 U 型光波导传播信号，可实现电芯片上 64 个核之间的 all-to-all 全通道广播。这种方式让 Hummingbird 相比于传统数字互连解决方案显著降低了延迟和功耗，充分体现了光子技术在提升计算表现上的优越性。

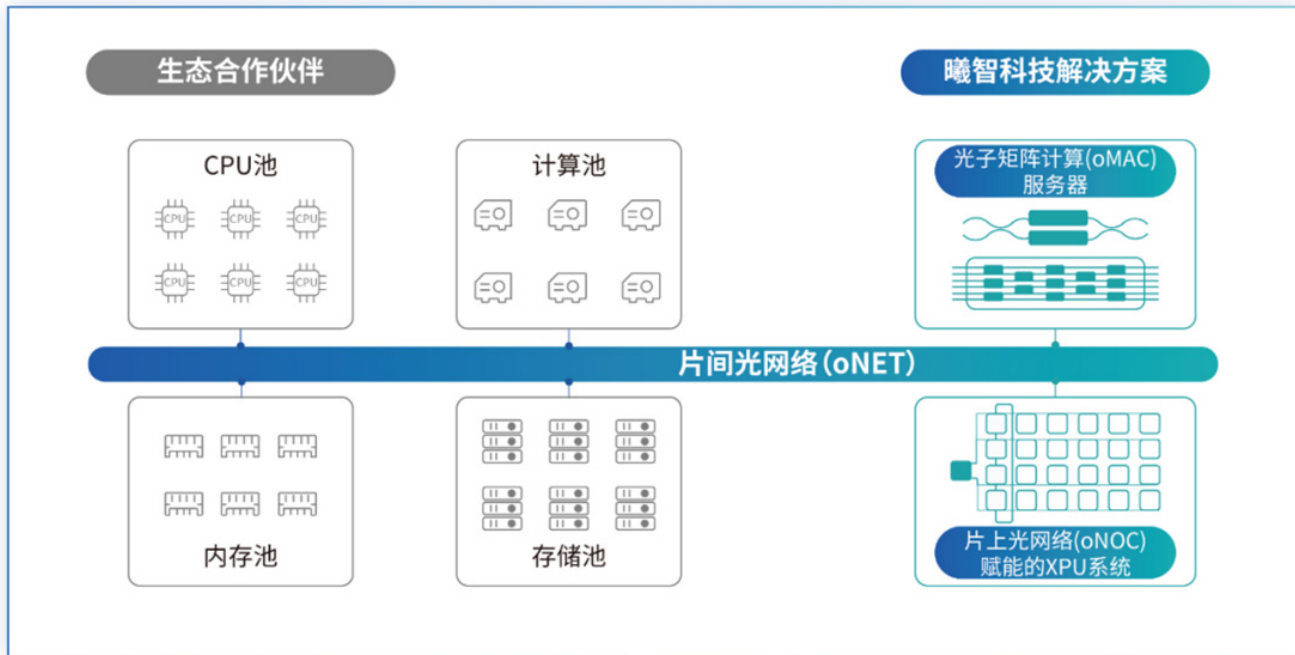
曦智科技一直致力于通过以光子计算与光子网络组成的光电混合计算新范式，持续为客户提供更具创造性的高效算力支撑。

将数以亿计的晶体管集成到指甲盖大小的芯片上，并不断提高其集成密度，是过去几十年提高芯片算力的主要方法，也是引领业界超过半个世纪之久的摩尔定律的核心内容。但由于人工智能、大数据、物联网等产业急速发展，数字经济浪潮席卷而来，作为核心生产力的算力需求激增，逐渐与芯片自身的物理极限产生矛盾，曾被视为“金科玉律”的摩尔定律正面临失效的窘境。

光或将成为解决这一问题的突破口？光子具有高通量、低延迟、低能耗的优势，且不易受到温度、电磁场和噪声变化的影响。此前，光子技术常被应用于长距离通信传输领域，光纤通信已成为各种通信网的主要传输方式。然而，光在人类社会进步中可发挥的作用可能远比我们想象中来得更大、更重要。

曦智科技率先将目光投向光领域，提出开创性的“光电混合计算新范式”概念，试图给集成电路产业提供一个区别于目前传统芯片计算范式的全新“解题思路”。

超大规模光电混合集成是实现以上一切的底层技



曦智科技光电混合计算新范式

术。对此，曦智科技也已完成了相关技术验证，成功将一块集成硅光芯片和一块电子芯片以3D封装形式垂直堆叠，使两块芯片之间的距离变得最小，实现了比现有的transceiver高1000倍以上的集成密度。

先进的oNOC架构突破芯片间传输局限

与片上电网络不同，曦智科技的oNOC技术通过计算节点间全互连拓扑结构，扩展了计算集群规模和配置灵活性。

在oNOC架构下，芯粒间距离几乎不会影响功耗和延迟。因此，该技术非常适合开发新的、更可靠的拓扑结构，并且不再局限于相邻两个芯片之间的传输。Hummingbird使得在单个电芯片或芯粒系统中更高效地利用算力成为可能。借助oNOC，将工作负载映射到不同硬件变得更加容易，为计算系统设计选择合适的拓扑结构也变得更加灵活。

数据在光芯片网络中传递：

1. oNOC可以实现单个电芯片(EIC)内部的数据传输
2. oNOC也可以实现封装内部多个电芯片(EIC)之间的数据通信
3. oNOC的能效比降低至<1pJ/bit

bit，是eNOC的1/6

光芯片上构建一个固定或可灵活调整的通讯网络拓扑，将不同的电芯片与其中单个或多个节点相连，实现基于oNOC的数据交互。

采用形式有基于光广播的网络拓扑和基于波分复用的网络拓扑。

利用oNOC的高带宽、低能耗、低延迟、距离不敏感、通用性强等优势，可将不同类型的电子芯片与之结合，为芯片间提供高速、低能耗的互连，有利于任何有高带宽需求的应用场景。

值得一提的是，Hummingbird还内置了曦智科技自主研发的小型化单/多波长激光光源Moonstone，可实现多至8个通道波长的高功率光输出，这是曦智科技在推动光



Hummingbird可集成在标准PCIe板上，具有良好的通用性

电混合计算产品化和商业化过程中的又一技术突破。

Hummingbird 的电芯片和光芯片被共同封装并集成到一个 PCIe 板卡上，适用于通用的服务器。结合曦智科技的软件开发工具包 (SDK)，机器学习和人工智能工作负载可以充分利用 oNOC 的优势实现性能优化。此外，oNOC 和 Hummingbird IP 还可以根据客户应用场景进行定制。

Hummingbird 的后续版本将采用光罩拼接技术 (reticle-stitching) 以支持芯粒架构，从而实现更好的可扩展性，在提高能效比的基础上进一步突破算力瓶颈的制约。

随着 Photowave 和 Hummingbird 两款光电混合产品的发布，曦智科技产品市场化进程取得了阶段性进展。曦智科技接下来将持续推动产品迭代进程，拓宽产品应用领域，为客户提供一系列算力跃迁解决方案。

关于曦智科技

曦智科技 (Lightelligence) 成立于 2017 年，是全球光电混合计算领军企业。公司凭借在集成光子领域的开创性技术和全球顶尖的集成电路技术研发团队，致力于在计算需求爆发的时代，为客户提供一系列算力跃迁解决方案，与客户共建更智能、更可持续的世界。曦智科技从光子矩阵计算 (oMAC)、片上光网络 (oNOC) 和片间光网络 (oNET) 三大核心技术出发，打造光子计算和光子网络两大产品线，与大数据、云计算、金融、自动驾驶、生物医药、材料研究等领域客户开展紧密合作，持续为客户提供更具创造性的高效算力支撑。◆

更多信息请访问 www.lightelligence.co。

SEMI 报告：2026 年全球 200mm 晶圆厂产能将创新高

2023 年 9 月 SEMI 发布的《2026 年 200mm 晶圆厂展望报告》(200mm Fab Outlook to 2026) 显示，预计在 2023 年到 2026 年，全球半导体制造商 200mm 晶圆厂产能将增加 14%，新增 12 个 200mm 晶圆厂 (不包括 EPI)，达到每月 770 多万片晶圆的历史新高。

功率化合物半导体对消费、汽车和工业领域至关重要，是 200mm 投资的最大驱动力。特别是电动汽车的动力总成逆变器和充电站的发展，预计随着电动汽车采用率的持续上升，将推动全球 200mm 晶圆产能的增长。

SEMI 总裁兼首席执行官 Ajit Manocha 表示：“全球半导体行业创纪录的 200mm 晶圆厂产能凸显了对汽车市场增长的乐观预期。虽然汽车芯片供应已经稳定，但电动汽车中芯片含量的增加以及减少充电时间的努力正在刺激

产能扩张。”

包括 Bosch、Fuji Electric、Infineon、Mitsubishi、Onsemi、Rohm、STMicroelectronics 和 Wolfspeed 在内的芯片供应商正在加快其 200mm 产能的项目，以满足未来的需求。

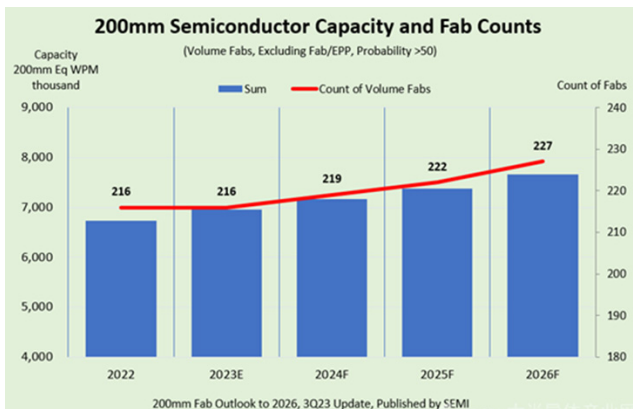
覆盖从 2023 年到 2026 年时段的 SEMI《2026 年 200mm 晶圆厂展望报告》显示，汽车和功率半导体的晶圆厂产能将增长 34%，微处理器单元/微控制器单元 (MPU/MCU) 排名第二，为 21%，其次是 MEMS、Analog 和 Foundry，分别为 16%、8% 和 8%。

占 200mm 晶圆厂产能比重大部分的是 80nm 到 350nm 的技术节点。80nm 至 130nm 节点产能预计将增长 10%，而 131nm 至 350nm 技术节点产能预计将在 2023 年至 2026 年增长 18%。

地区展望

东南亚预计将引领 200mm 产能的增长，将在报告期内增长 32%。预计中国将以 22% 的增长率位居第二。作为 200mm 产能扩张的最大贡献者，中国预计到 2026 年将达到每月 170 多万片晶圆。美洲、欧洲和中东以及中国台湾地区将分别以 14%、11% 和 7% 的增长率紧随其后。

2023 年，中国预计将占据 200 mm 晶圆厂产能的 22%，而日本预计将占据总产能的 16%，其次是中国台湾地区、欧洲和中东以及美国，分别占 15%、14% 和 14%。



智能声学传感器系统支持听力汽车

明天的车辆将配备听觉，这将使它们能够感知自行车铃声、玩耍的孩子或接近的紧急车辆的警报声。德国奥尔登堡弗劳恩霍夫 (Fraunhofer) 数字媒体技术研究所 IDMT 的专家们正在研究“听力汽车” (Hearing Car)，并开发基于人工智能的系统解决方案，用于车辆附近的声学事件识别。该系统还包括用于优化人机交互的车载脑电图 (EEG) 移动系统和用于个性化声音体验的 YourSound 助手。弗劳恩霍夫的研究人员在 2023 年 9 月 5 - 8 日于慕尼黑举行的 IAA MOBILITY 贸易展上深入介绍了“听力汽车”研究的最新进展。

现代车辆隔离外部噪音，以满足最终客户对驾驶舒适性的要求，特别是在较高速度下。因此，对于做出正确驾驶决策至关重要的噪音常常被太晚听到，或者根本听不到。虽然救护车警报器、潮湿的道路或轮胎中的螺丝等外部噪音可以为驾驶员提供关键信息，然而，传统的车辆传感器在检测这些噪音方面已达到极限。这就是为什么 Fraunhofer IDMT 在奥尔登堡的 HSA (听力、语音和音频



人类能否可靠地听到并检测到接近的紧急车辆的方向？Fraunhofer IDMT 的听力汽车采用外部声学感知技术来检测警报器发出的方向。© Fraunhofer IDMT / Anika Bödecker.

技术) 分部开发智能声学传感器系统将为汽车配备听觉的原因。与其他驾驶员辅助系统相结合，智能声学系统可为必要的驾驶操作或 (预测性) 维护提供相关信息。

“我们代表汽车制造商和供应商，正在开发和测试新的传感器技术和算法，用于测试轨道和道路上的声环境监测、声源定位、信号增强和语音交互，” Fraunhofer IDMT 听力汽车项目经理 Moritz Brandes 解释道。出于研究和开发的目的，专家们正在使用自己的车间来设置演示器和自己的测试车辆来测试组件和算法。奥尔登堡 HSA 分部的员工在完成试驾培训课程后将获得试驾国际资格。他们代表客户在不同的气候区进行试驾。

声学转向助手：就像把耳朵放在盲点一样

如今，卡车和汽车使用摄像头而不是后视镜来监控交通，包括转弯时出现的盲点。对此类摄像头系统的补充 - 声学事件分析或重要环境噪声的检测，可以极大地增强当前以及自动驾驶车辆的感官功能。Fraunhofer IDMT-HSA 分部正在对用于检测和定位交通



汽车的听觉提高道路安全，助力自动驾驶车辆和预测性维护。© Fraunhofer IDMT / Anika Bödecker

相关噪声的算法进行具体研究，以确保未来的车辆更安全地融入交通流。例如，卡车摄像臂和后视镜中的麦克风可以扩大驾驶员在转向车辆时对声音信息的感知，以帮助防止事故发生。

声学后视镜摄像头：就像在汽车后部有耳朵一样

无论驾驶员是倒车进入停车位、挂上拖车还是以其他方式操纵车辆，声音信号都可以极大地帮助提高驾驶员和路人的安全。安装在车辆上的麦克风和智能软件使驾驶员无需打开车窗即可与车外的人互动。Fraunhofer IDMT 正在研究根据位置以及相应的麦克风硬件准确记录和再现环境噪声。

开发人员希望，该功能将提高驾驶员在执行不同操作时的注意力，并积极防止事故发生。

用于优化人机交互的移动脑电图(EEG)系统

驾驶员需要时刻注意交通状况，以便及时对紧急情况做出反应。但是，当车辆自动驾驶时，人的注意力和反应能力会发生多大变化呢？Fraunhofer IDMT-HSA 的研究人员正在通过调查科学上称为警戒状态的变化来解决这个问题。为此，他们开发了一种移动脑电图传感器系统，通过放置在头部的电极记录大脑活动。警戒是指在单调的活动中保持持续注意力的状态。参观者在弗劳恩霍夫展位能够



通过移动脑电图测量，研究人员可以检测注意力发生变化：神经元大脑活动。脑电图数据不仅可以在实验室中记录，还可以在现实驾驶情况下记录。© Fraunhofer IDMT /Leona Hofmann

亲身体会脑电图数据的记录方式。

YourSound：个性化的声音体验

Fraunhofer IDMT-HSA 分部还在 IAA Mobility 展会上展示了其用于汽车内饰的创新系统。借助 YourSound 技术，用户可以快速直观地个性化音频设备的声音，例如耳机、智能音箱或车辆中的多媒体系统，从而在车内创造自己的个人声音体验。YourSound 技术可以集成到信息娱乐系统中，用于创建定制的声音配置，然后作为未来车辆中所有音频播放的基础。一旦用户设置了自己的偏好，无论音量或驾驶情况如何，他们都会获得更好的聆听体验。◆

英特尔携手台积电研发多芯片封装芯片

英特尔近日宣布，与台积电合作，共同打造全球首款符合 Chiplet 互连产业联盟(UCIe)标准的多芯片封装芯片，该芯片当中包含英特尔与台积电各自生产的 IC。

Chiplet 架构设计是一种新型的集成电路设计方法，它将芯片分解为多个较小的独立模块，每个模块称为芯片组件或芯片块。这些芯片块可以由不同的制造商生产，并可以在不同的芯片上进行组合，以构建定制化的芯片解决方案。Chiplet 架构设计有助降低 IC 设计与系统客户成本。在 Chiplet 架构设计中，集成电路封装起到关键

作用。通过先进封装技术，可以将不同制程的芯片集成在一起，形成多芯片封装芯片。这种封装方式实现了芯片间的互连，使得不同芯片可以共同工作，实现更多多样化的应用。

作为全球最大的半导体制造商之一，英特尔一直在寻求与其他企业的合作，以提高自身的竞争力。此次与台积电的合作，无疑是英特尔在全球半导体产业布局中的又一重要举措。而台积电则通过这次合作，进一步提升了自已的技术实力和市场地位。

全自动 ACS200 Gen3 TE涂胶显影机

SUSS ACS200 Gen3 TE 平台将 ACS200 Gen3 这款非常成功且市场熟知的产品提升到了一个新的高度。不仅在产能上有了显巨提高，在操作和维护上也更加舒适。SUSS ACS200 Gen3 TE 能够提供非常灵活的模块和技术配置，以满足先进封装、MEMS、LED 和其他市场的要求，并为研发和 HVM 提供服务。

ACS200 Gen3 TE 是最大化产能的全自动平台，基础框架经过重新设计，可配置多达 6 个旋转工艺模块，并可在这些模块上方配置冷热板组。此外，动态对中 (IMOC) 功能的引入，即晶圆传送时的“动态”定心，进一步提高了整体产能。

为了满足最新的 ESD 标准，并为操作员和技术人员提供更高的舒适度，该平台已经进行更新。第二屏幕可根据个人需要进行配置，可以用来显示摄像头以及设备/模块的状态，并且可以处理测量数据。外围配套设备也得到了显著改进，特别是新推出的 Flexi Media Cabinet，整洁、标准化程度高。



由于采用 PiXDRO 技术的 SUSS JETx 喷墨模块已完全集成到该平台中，使得该平台支持下一代材料沉积技术，且仍具有添加其他模块的能力。同时，引入了标准制造接口 (SMIF) 加载端口。此外，流量控制器系统为有机溶剂和显影工艺应用提供了非常出色的喷液精度。

ACS200 Gen3 TE 平台将继续提供最先进的敞开式腔体涂布和 SUSS 专有的 GYRSET® 闭盖式涂布技术。广为接受的腔体设计将保持不变，因此能够实现将工艺从之前的平台到现在的轻松转移。

www.suss.com

FRT MicroProf® PT 面板计量和检测系统

FormFactor 公司用于先进半导体封装的 FRT MicroProf® PT 面板计量和检测系统，是一种新型半导体计量和检测工具，适用于最大 600 毫米 × 600 毫米的面板。与 300mm 晶圆相比，该面板的芯片数量增加了 4-5 倍。凭借全自动化和混合计量功能，单个系统可以在大幅面板上执行多种类型的 3D 测量和缺陷检测，支持扇出面板级封装 (FoPLP) 等先进封装技术中使用的小芯片的异构集成。

FoPLP 和其他先进封装技术使用微凸块、硅通孔和中介层等连接方式将多个半导体芯片堆叠到单个异构封装中。采用 SurfaceSense™ 技术的新型 MicroProf PT 结合了各种高精度传感器选项，在器件开发中，可以测量这些晶片间连接的形状，以及构成每个器件的薄膜和金属层的厚度、粗糙度和其他特性。该工具通过 SECS/GEM 协议完全集成到工厂车间自动化中，还可以提供用于过程控制和提高良率的基本缺陷检测数据。

主要性能

- 将计量与缺陷检测集成于一身，是一个适用于开发和生产 (从工厂到实验室) 的全自动平台
- 全自动，带有两个用于面板 FOUP 的装载机，适用于最大 600mm × 600mm 的面板
- SurfaceSense™ 多传感器技术，包括形貌、视场和薄膜厚度传感器，通过混合软件评估高度复杂的结构
- 针对不同面板厚度的广泛处理能力 - 从几毫米到 200 微米
- 支持所有基板材料，包括玻璃
- 薄膜厚度测量范围从微米低至几十纳米

<https://www.formfactor.com/products/metrology>

硅片边缘曝光设备

上海微电子装备集团 (SMEE) 的 SWEE200 硅片边缘曝光设备是芯片级封装工艺中对硅片边缘进行曝光的专用设备，支持 notch 和 flat 切口形式的 200mm 和 300mm 等两种不同规格的硅片，可以实现外圈曝光、内环曝光、分段曝光、直线曝光等功能。该设备具有较高的硅片边缘曝光精度与产率，可满足生产厂商对硅片边缘曝光的各种工艺处理需求，并具备客户定制化能力。

产品特征

- 可兼容处理 200mm 和 300mm 的 notch 和 flat 切口的硅片
- 可实现硅片的全自动传输与曝光
- 可实现外圈曝光、内环曝光、分段曝光、直线曝光等功能
- 配置大功率汞灯与性能优异的曝光镜头，硅片面照度高、机台曝光产率高
- 具备高可靠性，采用模块化的设备便于维护维修
- 具备客户定制化能力以满足不同客户的需求

www.smee.com.cn



AIXTRON推出紧凑型批量生产G10-GaN平台

半导体行业领先的沉积设备专家爱思强 AIXTRON SE 推出了一种新的紧凑型集群解决方案，用于批量生产基于 GaN 的功率和射频器件。这种新的 G10-GaN 平台已经在 SEMICON Taiwan 上展出。

据悉，新的 G10-GaN 平台已经获得一家美国领先器件制造商选用来批量生产 GaN 功率器件。新平台的单位洁净室生产率是之前产品的两倍，同时实现了更高水平的材料均匀性，可以为客户带来新的竞争力。



该平台采用新的紧凑布局，以充分利用最小的洁净室空间，具有新颖的反应器入口，将材料均匀性提高了两倍，以实现最佳的器件良率。板载传感器补充了新的软件套件和指纹解决方案，以确保系统在所有工艺模块的维护之间始终如一地提供相同的性能，与上一代产品相比，设备正常运行时间延长了 5% 以上。

AIXTRON SE 称，该集群最多可配备三个工艺模块，由于采用了行星式批量反应器技术，可提供 15×200 毫米晶圆的产能，与以前的产品相比，每个晶圆的成本降低了 25%。

www.aixtron.com

TFG-3200 全自动减薄机

晶圆减薄作为半导体制造中的关键工艺之一，被广泛应用于集成电路和光电子器件的生产过程中，具有提升芯片性能和生产效能的关键作用。通过研磨和化学机械抛光等技术手段，可以将晶圆的厚度控制在目标范围内，满足不同应用的需求。

北京特思迪半导体设备有限公司专注于半导体领域超精密平面加工设备的研发、生产和销售，以更平、更薄、更可靠为技术导向，深耕半导体衬底材料、晶圆制造、半导体器件、先进封装、MEMS 等领域的超精密平面加工技术，可提供减薄、抛光、CMP 的系统解决方案和工艺设备。



TFG-3200 全自动减薄机是一款功能全面，兼容性好，配置丰富，全自动系统的高精度研磨设备，全自动上下片，干进干出的全自动研削系统；自动厚度测量、多段研削程序、超负载等待；可磨削各类半导体材料，兼容 6 英寸和 8 英寸晶圆减薄；双轴研削单元、三工作台加工，可同时实现粗磨和精磨，和上一代相比，在加工精度和加工效率上有很大提升。

特思迪以丰富的先进封装工艺经验配合先进的设备制程技术，可提供 FlipChip、Bumping、TSV、SIP 等先进封装制程晶圆减薄、CMP、CMP 后清洗、EMC 研磨、EMC 抛平、EMC 刻槽设备和工艺解决方案。

www.tsd-semicon.com

GS-A12X 晶圆外延层膜厚度测量设备

盖泽华矽半导体科技（上海）有限公司独立自主开发的 12 寸外延层膜厚度测量设备 GS-A12X，由光路系统、自动化晶圆检测机台以及半导体专业分析软件组成，可精确测量多种晶圆材料外延层膜厚，并可确保测量的精准性、安全性。

晶圆制备包含了衬底制备和外延工艺两大环节，外延是指在单晶衬底上生长一层新单晶的过程。外延工艺可能受到各种条件因素影响出现厚度不均的情况，如衬底温度、反应腔气压、反应生长物及晶圆片表面清洗过程等。如果外延厚度不均匀位于晶圆片表面制作晶体管器件的有源区域，将导致器件失效。所以晶圆在通过外延工艺制备后，使用膜厚测量设备对外延层的厚度均匀性进行测量尤为重要。



GS-A12X 设备占地面积小，采用多轴双臂机械手，通过复合运动实现取放料，同时测量单元使用全新设计的 Stage 平台，可选择吸附或者夹持方式，更大程度上兼容客户应用场景，双臂机械手和 Stage 的配合，使得 GS-A12X 测量效率大大提高；气浮平台的设计应用减少了震动对于测量的影响，使得测量数据更加稳定；GS-A12X 设备整体使用模块化设计，减少了开发周期，提高了装配效率，缩短了设备的维护时间，定制化设计让 GS-A12X 更懂客户。

www.gazersemi.com

Advertiser	广告商名称	网址	页码
东莞市晟鼎精密仪器有限公司		www.sindin.com	3
MA-tek	闵康技术检测 (上海)	www.matek.com/zh-CN/home	20-22
Pfeiffer Vacuum	普发真空技术 (上海) 有限公司	www.pfeiffer-vacuum.cn	9
第25届中国国际高新技术成果交易会		www.chtf.com	1

欢迎投稿

《半导体科技》(Silicon Semiconductor China, SiSC) 是面向中国半导体行业的专业媒体, 已获得全球知名权威杂志《Silicon Semiconductor》的独家授权。本刊针对中国半导体市场特点遴选相关优秀文章翻译, 并汇集编辑征稿、采编国内外半导体行业新闻、深度分析和权威评论等多方面内容。本刊由香港雅时国际通讯 (ACT International) 以简体中文出版发行。

本刊内容覆盖半导体制造工艺技术、封装、设备、材料、测试、MEMS、mini/Micro-LED 等。文章重点关注以下内容:

FAB (Foundry, IDM, OSAT, R&D)

四个环节: 晶圆制造 (wafer 后道)、芯片制造、先进封装、洁净室; 深入报道与之相关的制造工艺、材料分析, 工艺材料、工艺设备、测试设备、辅助设备、系统工程、关键零备件, 以及与 particle (颗粒度) 及 contamination (沾污) 控制等厂务知识。

FABLESS

芯片设计方案、设计工具, 以及与掩膜版内容和导入相关的资讯。

半导体基础材料及其应用

III-V 族、II-VI 族等先进半导体材料的科学研究成果、以及未来热门应用。

《半导体科技》欢迎读者、供应商以及相关科研单位投稿, 已甄选中文稿件将在印刷版杂志以及网上杂志刊登; IC 设计及应用等半导体相关内容将酌情予以网络发表 (微信推送、杂志网站)。本刊优先刊登中文来稿 (翻译稿请附上英文原稿)。

技术文章要求

- 论点突出、论据充分: 围绕主题展开话题, 如工艺提升、技术改造、系统导入、新品应用, 等等。
- 结构严谨、短小精悍: 从发现问题到解决问题、经验总结, 一目了然, 字数以 3000 字左右为宜。
- 文章最好配有 2-4 幅与内容有关的插图或图表。插图、图表按图 1、图 2、表 1、表 2 等依次排序, 编号与文中的图表编号一致。
- 请注明作者姓名、职务及所在公司或机构名称。作者人数以四人为限。
- 文章版权归著作者, 请勿一稿多投。稿件一经发表如需转载需经本刊同意。
- 请随稿件注明联系方式 (电话、电子邮件)。

新产品要求

- 新产品必须是在中国市场新上市、可在中国销售的。
- 新产品稿件的内容应包含产品的名称、型号、功能、主要性能和特点、用途等。
- 新产品投稿要求短小精悍, 中文字数 300-400 字左右。
- 来稿请附产品照片, 照片分辨率不低于 300dpi, 最好是以单色作为背景。
- 来稿请注明能提供进一步信息的人员姓名、电话、电子邮件。

电子邮箱: sunniez@actintl.com.hk
viviz@actintl.com.hk

行政及销售人员 Administration & Sales Offices

行政人员 Administration

HK Head Office (香港总部)

ACT International (雅时国际通讯)

Unit B, 13/F, Por Yen Buiding, No. 478 Castle Peak Road, Cheung Sha Wan, Kowloon, Hong Kong
Tel: 852 28386298

Publishing Director (出版总监)

Adonis Mak (麦协林), adonism@actintl.com.hk

Editor-in-Chief (编辑)

Sunnie Zhao (赵雪芹), sunniez@actintl.com.hk

Vivi Zhang (张雨薇), viviz@actintl.com.hk

Sales Director (销售总监)

Lisa Cheng (程丽娜), lisac@actintl.com.hk

General Manager-China (中国区总经理)

Floyd Chun (秦泽峰), floydc@actintl.com.hk

London Office

Hannay House, 39 Clarendon Road

Watford, Herts, WD17 1JA, UK.

T: +44 (0)1923 690200

Coventry Office

Unit 6, Bow Court, Fletchworth Gate

Burnsall Road, Coventry, CV5 6SP, UK.

T: +44 (0)2476 718 970

Publisher & Editor-SiS English

Jackie Cannon, jackie.cannon@angelbc.com

+44 (0)1923 690205

销售人员 Sales Offices

China (中国)

Wuhan (武汉)

Lisa Cheng (程丽娜), lisac@actintl.com.hk

Tel: 86 185 7156 2977

Mini Xu (徐若男), minix@actintl.com.hk

Tel: 86 187 7196 7314

Phoebe Yin (尹菲菲), phoebey@actintl.com.hk

Tel: 86 159 0270 7275

Mandy Wu (吴漫), mandyw@actintl.com.hk

Tel: 86 187 7196 7324

Shenzhen (深圳)

Yoyo Deng (邓丹), yoyod@actintl.com.hk

Tel: 86 135 3806 1660

Jenny Li (李文娟), jennyl@actintl.com.hk

Tel: 86 137 2881 3915

Shanghai (上海)

Hatter Yao (姚丽莹), hattery@actintl.com.hk

Tel: 86 139 1771 3422

Helena Xu (许海燕), helenax@actintl.com.hk

Tel: 86 130 6168 5321

Amber Li (李歆), amberL@actintl.com.hk

Tel: 86 182 0179 0167

Beijing (北京)

Cecily Bian (边团芳), cecilyB@actintl.com.hk

Tel: 86 135 5262 1310

Hong Kong (香港特别行政区)

Floyd Chun (秦泽峰), floydc@actintl.com.hk

Tel: 852 2838 6298

Asia (亚洲)

Japan (日本)

Masaki Mori, masaki.mori@ex-press.jp

Tel: 81 3 6721 9890

Korea (韩国)

Lucky Kim, semieri@semieri.co.kr

Tel: 82 2 574 2466

Taiwan, Singapore, Malaysia

(台湾, 新加坡, 马来西亚)

Regional Sales Director

Floyd Chun (秦泽峰), floydc@actintl.com.hk

Tel: 852 2838 6298

US (美国)

Janice Jenkins, jjenkins@brunmedia.com

Tel: 724 929 3550

Tom Brun, tbrun@brunmedia.com

Tel: 724 539 2404

Europe (欧洲)

Shehzad Munshi, Shehzad.Munshi@angelbc.com

Tel: +44 (0)1923 690215

Jackie Cannon, Jackie.cannon@angelbc.com

Tel: +44 (0) 1923 690205

◆ 线上 ◆

02月 先进封装与键合技术

- 键合设备
- 粘合材料
- 工艺技术
- 倒装/组装故障分析方案

03月 传感技术

- 特色工艺
- 智能融合
- 检测与质量控制

05月 检测测量

- 光学检测
- 工艺缺陷分析
- 故障分析
- 器件可靠性与良率

07月 先进薄膜沉积

- 薄膜沉积
- ALD技术
- PVD
- CVD
- MOCVD
- 光学镀膜
- 纳米涂层
- 配套设施

08月 IP/SoC/三维封装

- chiplet互连
- 异构集成
- IP
- SoC
- 多元化创新

10月 测试/可靠性验证

- 车规级芯片检测
- 先进封装芯片测试技术
- 发展与挑战

11月 刻蚀与清洗

- 清洗设备
- 工艺制程
- 清洗材料
- 周边耗材
- 配套设备
- 技术进展

◆ 线下 ◆

03月 深圳

拓展摩尔定律 - 半导体先进封装技术发展促进大会

05月 苏州

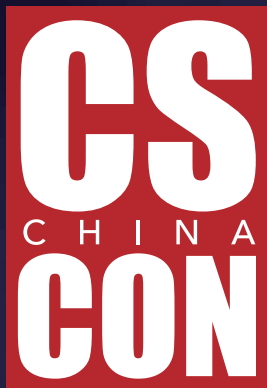
2023
半导体先进技术创新发展和机遇大会

09月 厦门

半导体先进封测产业技术创新大会

*以上主题暂定,请以会议举办实际议题为准





2023 化合物半导体 先进技术及应用大会

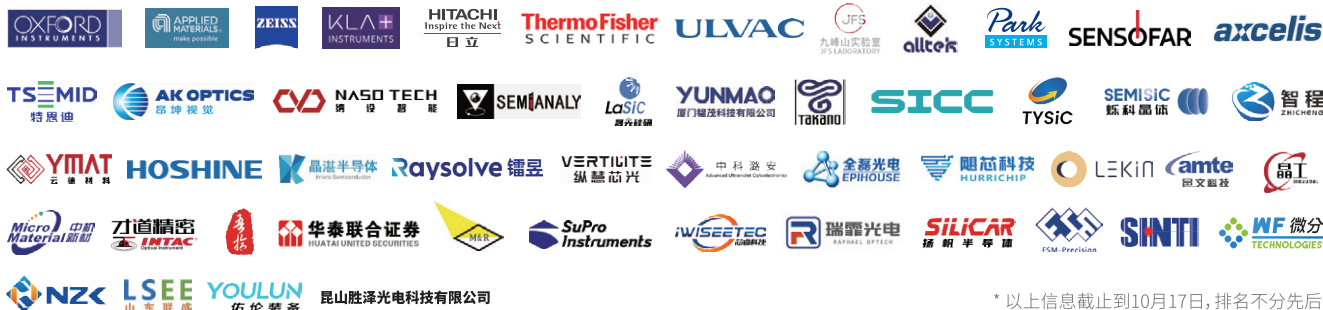
2023年11月1-2日 太仓·宝龙福朋喜来登酒店

大会主题

- ◎ 先进显示与照明取得的进展
- ◎ VCSEL的新应用
- ◎ 超快通信:6G和太比特收发器
- ◎ 超宽禁带器件:最终解决方案?
- ◎ 从硅中获取能量



扫码
预
报
名



* 以上信息截止到10月17日, 排名不分先后

商务咨询:

吴漫 Mandy Wu
mandyw@actintl.com.hk 187-7196-7324

会议咨询:

肖鑫鑫 Star Xiao
starx@actintl.com.hk 136-6718-8375



了解会议信息



关注公众号

指导单位: 中国光学学会信息光电子器件技术专委会

主办单位: 太仓市科学技术局

承办单位: 国家第三代半导体技术创新中心(苏州) 宽禁带半导体国家工程研究中心 雅时国际咨询(深圳)有限公司

官方媒体:《化合物半导体》

支持媒体:《半导体芯科技》《激光世界》《微波杂志》《视觉系统设计》《洁净室》