

半导体芯科技



SILICON
SEMICONDUCTOR

CHINA

ISSN 2523-1294

www.siscmag.com

2026年 4/5月

下一代工艺真空技术 P.11

面向 2 纳米及更先进制程的量测技术 P.16

imec创新成果助力解决行业挑战 P.18

eFuse助力汽车电气化 P.28

让测试测量的精度再提升 P.34

ACT
INTERNATIONAL

Angel
BUSINESS COMMUNICATIONS



微信公众号

国际知名媒体授权 报道全球高新科技信息



免费
索阅

服务于机器视觉设计、电子制造、激光 / 光电子、射频 / 微波、化合物半导体
半导体制造、洁净及污染控制、电磁兼容等领域的专业读者及与会者

品牌会议



国际代理

CQ Publishing (Japan) Chomdan (Korea) Pan Global (Europe)

Endeavor Business Media (USA) Horizon House (USA) Angel Business Communications (UK)

2026 研讨会计划 Conference Schedule

CHIP China
晶芯研讨会

CS 2026
CHINA GON
化合物半导体
先进技术及应用大会

CSC Webinar

1/4/12月
线上

- 大数据与AI驱动的先导半导体智能量检测
- “内卷”与突围：如何破除SiC产能过剩？
- Micro-LED：显示技术的下一个“风口”
- PIC的新应用
- GaN下一个增长极
- 超宽禁带器件：最终解决方案？
- 面向未来通信：5G-A与6G的射频前端革新

化合物半导体先进技术及应用大会

6月
苏州

- 解锁GaN功率电子的下一个增长引擎
- 为SiC产业重新赋能
- Micro-LED：如何赢得市场青睐？
- 创新与布局：如何推进表面发射光电子器件？
- 释放超宽禁带材料的潜力

CSC化合物深研会

9月
无锡

主题：破局·增效·可持续——化合物半导体的下一代技术与市场格局

- 破局与突围：SiC产能与可持续发展
- 后台积电时代，GaN市场谁主沉浮？
- 800V HVDC下的价值链博弈：器件供应商如何破局？
- 超宽禁带半导体的“破晓”时刻：氧化镓与金刚石的产业化路径
- 异质集成：超越“摩尔定律”的化合物半导体新范式
- 化合物半导体的“绿色”与可持续性：机遇与挑战并存

化合物半导体先进技术及应用大会

10月
常州

- SiC：迈向8/12英寸与成本效益的规模化之路
- 如何颠覆现有GaN射频市场格局？
- 超宽禁带器件：氧化镓等的潜力与散热瓶颈突破
- 射频设计革新：AI赋能与3D异质集成挑战
- AI+光显：从算力提升到沉浸式交互体验
- PIC：从光通信到量子与传感的跨界革命

芯界深研会

4月
武汉

主题：半导体先进封装技术

- 从互连材料到基板技术的挑战与解决方案
- 高精度贴片/键合设备的核心挑战
- AOI+AI深度学习在纳米级缺陷检测中的应用
- 工艺缺陷的检测与定位、类型分析及闭环优化

CHIP China晶芯研讨会

5月
苏州

- TGV技术推动封装应用创新发展
- 面板级封装技术加速崛起进程
- AI驱动光电合封呈现新态势
- 3D封装助力AI算力提升
- 先进封装优化终端设备体验
- 2.5D封装设计实现成本管控
- 混合键合技术持续发展升级
- 推进先进互连技术国产化
- 攻关先进封装新装备技术

芯界深研会

8月
合肥

主题：共筑先进半导体制造芯生态

- 车规级SiC模块封装技术研发
- SiC功率半导体产品研发及制造
- 车规半导体SMT贴片与激光焊接协同优化
- 车规芯片供应短缺：
产业链如何构建弹性保障体系？
- 宽禁带功率半导体：
新能源领域的下一代核心器件
- 未来芯片与先进制造：
制程突破与产能保障的联动
- 3D堆叠创新：解锁高密度集成新可能
- 功率半导体新材料应用：
重构高效器件技术格局

*以上主题暂定，请以会议举办议题为准

化合物半导体 半导体芯科技
CS COMPOUND CHINA SS SILICON CHINA
SEMICONDUCTOR SEMICONDUCTOR



SiC半导体芯科技



ACT化合物半导体

目录 CONTENTS

封面故事 Cover Story

11 下一代工艺真空技术的发展趋势与驱动因素

Trends and drivers for next-generation process vacuum

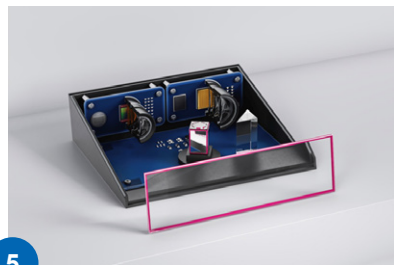
随着工艺复杂度持续提升，真空系统性能对工艺表现与生产效率的影响日益显著。没有真空，工艺便会停滞，因此系统整体可靠性（尤其是避免非计划停机）成为首要目标；而通过延长平均维修间隔时间实现总拥有成本最小化，则是紧随其后的核心诉求。随着新工艺与新材料进入量产阶段，真空系统的设计与运行细节愈发复杂且重要。本文聚焦于研究多项新兴的生产工艺，探讨驱动下一代真空系统发展的趋势。



11

编者寄语 Editor's Note

4 AI 和先进制程需求推动半导体设备投资增长



5

行业聚焦 Industry Focus

5 Altium Develop：服务中国电子产业的云协同研发平台

5 DELO 推出新一代光激活粘合剂，助力 LiDAR 大规模量产

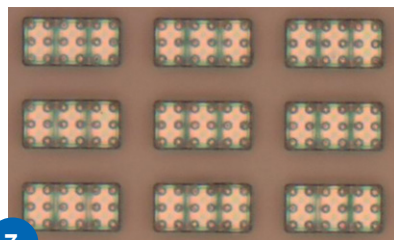
6 泰瑞达推出 Photon 100 全面型自动测试平台

7 Aledia 发布 FlexiNOVA 9V，为高性能显示器制造开辟全新路径

8 量子计算推动 PIC 与混合集成

9 奥芯明最新款引线键合机 AERO PRO 推动先进封装互联能力升级

10 SEMVision™ G9：引领高产能缺陷检测新时代



7

关于雅时国际商讯 (ACT International)



雅时国际商讯 (ACT International) 成立于1998年，为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品—包括杂志和网上出版物、培训、会议和活动—为跨国公司和中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站，以及各种技术会议，服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港，在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photronics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

关于《半导体芯科技》

《半导体芯科技》(原半导体科技)中国版 (SiSC) 是全球最重要和最权威的杂志Silicon Semiconductor的“姐妹”杂志，由香港雅时国际商讯出版，报道最新半导体产业新闻、深度分析和权威评论。为中国半导体专业人士，提供他们需要的商业、技术和产品信息，帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国半导体产业，包括IC设计、制造、封装及应用等。

About Silicon Semiconductor China

Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology & product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMS, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

目录 CONTENTS

技术 Technology

- 16 2 纳米及更先进制程时代的量测技术
Metrology for the 2 nm era and beyond
- 18 令人振奋的创新成果助力解决行业关键挑战
Inspiring innovations address key industry challenges
- 23 采用俄歇电子能谱作为终点检测的离子束铣削技术在 MEMS 芯片去层中的应用
Application of ion beam milling with Auger electron spectroscopy as endpoint detection in MEMS chip layer removal



18

专栏 Column

- 28 eFuse如何助力汽车电气化
How eFuse enables automotive electrification
- 32 数据之外：液冷技术背后的连接器创新
Beyond data: connector innovations behind liquid cooling technology
- 34 让测试测量的精度再提升
Further improve the accuracy of test and measurement



28

36 广告索引 Ad Index



34

《半导体芯科技》编委会（排名不分先后）

- 徐冬梅 教授级高工 中国半导体行业协会副秘书长兼封测分会秘书长
- 于大全 教授 厦门云天半导体创始人
- 姚大平 博士 江苏中科智芯集成科技有限公司总经理
- 汤 晖 教授 广东工业大学、精密电子制造技术与装备国家重点实验室
- 罗仕洲 教授 磐允科技总经理
- 林挺宇 博士 广东芯华微电子有限公司总经理
- 杨利华 院长 两江半导体研究院
- 王文利 教授 西安电子科技大学电子可靠性（深圳）研究中心主任 雅时国际商讯顾问
- 刘功桂 教授级高工 中国电器科学研究院股份有限公司威凯技术中心主任
- 徐开凯 教授 电子科技大学、电子薄膜与集成器件国家重点实验室
- 何 进 教授 北京大学教授、深圳系统芯片设计重点实验室主任

AI和先进制程需求推动半导体设备投资增长

SEMI 在最新发布的《300mm 晶圆厂展望报告》(300mm Fab Outlook)中指出,全球 300mm 晶圆厂设备支出预计 2026 年将增长 18% 至 1330 亿美元,2027 年将增长 14% 至 1510 亿美元。这一强劲增长反映了数据中心和边缘设备对 AI 芯片需求的激增,以及各主要地区通过本地化产业生态系统和供应链重组来加强半导体自给自足能力的坚定承诺。

展望未来,报告预计投资将在 2028 年继续增长 3% 至 1550 亿美元,2029 年再增长 11% 至 1720 亿美元。

SEMI 总裁兼首席执行官 Ajit Manocha 表示:“AI 正在重塑半导体制造投资的规模,随着全球 300mm 晶圆厂设备支出预计在 2027 年首次突破 1500 亿美元,行业正以史无前例的持续性的投入,着力构建 AI 时代所需的先进产能与韧性供应链。”

细分领域增长

Logic 和 Micro 领域预计将在 2027 年至 2029 年以总投资 2280 亿美元领跑设备扩张,主要得益于强劲的晶圆代工行业需求,以及 2nm 以下尖端制程产能投资的推动。先进制程技术对于提升芯片性能和能效至关重要,以满足各类 AI 应用严格的芯片设计要求。预计从 2027 年到 2029 年,更多先进制程技术将进入量产阶段。此外,AI 性能的提升预计将推动各类边缘 AI 设备的大规模增长。除先进制程外,所有制程节点和各类电子设备的需求预计将温和增长,这也支撑了对成熟制程的投资。

Memory 领域预计将成为设备支出第二大领域,标志着该领域新一轮增长周期的开始。其中 DRAM 设备支出预计在 2027 年至 2029 年累计将达 1110 亿美元,而 3D NAND 设备支出同期预计为 620 亿美元。

由于 AI 训练和推理需求的推动,Memory 需求显著增加。AI 训练显著推高了高带宽存储器(HBM)的需求,而模型推理则对存储容量产生了大量需求,从而推动了数据中心 NAND 闪存应用的增长。这一强劲需求使得 Memory 供应链在近期和中长期保持高水平投资,有助于缓解传统存储周期波动可能带来的潜在下滑。

区域投资趋势

2027 年至 2029 年,全球 300mm 晶圆厂设备投资预计将广泛覆盖主要半导体制造区域,反映了先进制程扩张、Memory 产能增加以及政策支持下的供应链本地化等多种因素的综合影响。中国大陆、中国台湾、韩国和美洲地区在此期间均将迎来大规模投资,而日本、欧洲与中东、东南亚地区也将从较小的基数继续扩大投资。

在中国大陆,投资预计将继续受益于国家政策的支持和推动。在中国台湾地区,支出预计主要由先进晶圆代工产能的持续扩张所驱动,包括 2nm 及以下技术。韩国的投资仍与 Memory 密切相关,AI 相关需求正在支持新一轮产能和技术升级周期。在美洲地区,支出预计将由先进制程扩张和加强本土制造生态系统的更广泛努力所支撑。

日本、欧洲与中东、东南亚地区预计到 2029 年也将实现显著增长。在这些地区,设备投资得到政府激励措施、供应链韧性战略以及扩大半导体制造产能的针对性努力的支持。

社长 Publisher

麦协林 Adonis Mak

adonism@actintl.com.hk

主编 Editor in Chief

赵雪芹 Sunnie Zhao

sunniez@actintl.com.hk

出版社 Publishing House

雅时国际通讯 ACT International

香港九龙 B,13/F, Por Yen Bldg,

长沙湾青山道478号 478 Castle Peak Road,

百欣大厦 Cheung Sha Wan,

13楼B室 Kowloon, Hong Kong

Tel: (852) 2838 6298

Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988573 /25988567

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 82201291

UK Office

Angel Business

Communications Ltd.

6 Bow Court,

Fletchworth Gate,

Burnsall Road, Coventry,

CV56SP, UK

Tel: +44 (0)1923 690200

Chief Operating Officer

Stephen Whitehurst

stephen.whitehurst@angelbc.com

Tel: +44 (0)2476 718970

Altium Develop: 服务中国电子产业的云协同研发平台

全球领先的电子设计与生命周期管理软件公司 Altium 宣布，其新一代电子研发协同平台 Altium Develop 已正式在中国市场推出。Altium Develop 秉承“植根中国，服务中国”的开发理念，并在中国本地部署运行，是面向中国电子产业生态打造的云端协同研发平台，旨在连接设计、供应链与制造环节，推动更加高效、互联的电子研发协作模式。

本次发布标志 Altium Develop 致力于在中国市场从传统许可证合规模式转型，让更多工程团队能够更轻松更加便捷地使用平台、无障碍开展协作协同研发。通过降低平台使用门槛并扩大用户群体参与范围，该平台将帮助更多工程团队在产品开发早期实现更高效的协同合作，同时也为中国制造业持续迈向数字化与智能制造提供重要支撑。

构建未来电子研发协作新模式

随着电子系统复杂度持续攀升，传统研发模式中设计、供应链与制造之间的信息割裂与流程断层正逐渐成为制约效率的重要因素。分散工具与数据孤岛使跨团队协作变得复杂，也难以满足智能制造时代对研发效率和协同能力的要求。

Altium Develop 通过构建统一的协同研发环境，使工程、采购与制造团队能够在产品生命周期早期实现协同，并在跨角色协作中显著提升效率。平台通过在统一的云端环境中连接设计数据、研发流程与协作体系，致力于帮助企业能够在从概念设计到制造准备的全流程中实现更加一致和高效的决策。

植根中国，服务中国：与中国的电子生态系统深度融合

Altium Develop 的设计充分结合中国电子产业生态的实际需求。中国电子产业涵盖快速成长的科技企业、系统集成商以及全球领先的制造集团企业。中国工程师正以前所未有的速度推动技术创新，并不断加快电子产业价值链的创新迭代。

通过整合 Altium Designer 与 Altium 365，Altium Develop 构建了一个统一的一体化平台：将电子设计活动、供应链和制造环节紧密连接。这一方式减少了对分散工具和数据孤岛的依赖，助力团队能够更快速地响应设计变更、元器件供应情况以及制造需求。

Altium Develop 面向中国市场的核心功能包括：

- 概念到制造的一体化流程：连接需求、设计数据、BOM、供应链与制造数据，实现全生命周期可视化与一致性。
- 跨角色实时协同：支持工程、采购与制造团队并行协作，加快研发节奏。
- 上下文感知的变更管理：设计更新、评论与决策可实时同步。
- 供应链驱动的研发流程：在设计和 BOM 流程中整合元器件可用性与生命周期信息。
- 版本管理与可追溯性：确保研发过程更加透明，并明确责任边界。

Altium 大中华区总经理赵京南 (Tracy Zhao) 表示：“中国不仅是全球重要的电子制造中心，也正在成为电子创新的重要引擎。Altium Develop 的推出，将加速创新成果从设计走向产品落地。”

DELO推出新一代光激活粘合剂，助力LiDAR大规模量产

高科技粘合剂领先制造商德路 (DELO) 推出专为 LiDAR 系统大规模量产开发的新一代光激活粘合剂。这项突破性技术使关键的反射镜粘接和盖板粘接应用的生产速度提高 5 倍，解决了快速增长的汽车和工业机器人领域的生产瓶颈。

LiDAR 市场在短短三年内从每年 70 万台增长到超过 300 万台。先进的 DELO PHOTOBOND LA 系列配方解决

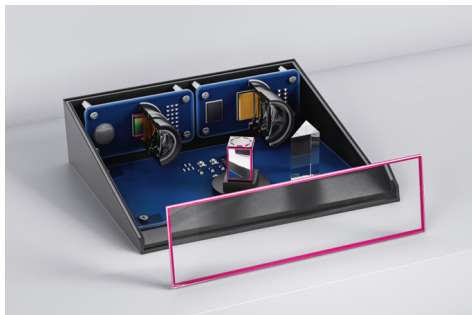
了制造商面临的根本挑战：传统硅需要长达 72 小时才能完全固化，而现有成熟的光激活解决方案也需要一小时才能达到操作强度——这些时间周期无法满足汽车量产需求。

新一代粘合剂将操作强度达成时间从 1 小时缩短至数分钟，产能提高了 5 倍。1 小时后剪切强度可达 1.1 兆帕，而传统方案只有 0.2 兆帕，同时保持光学应力敏感应用所需的柔韧性。该技术基于经过验证的硅烷改性聚合物化学

体系，可在 400 纳米和 460 纳米波长下进行光激活。

尽管粘接强度持续提高，杨氏模量在汽车工作温度范围 (-40°C 至 +125°C) 内需始终保持较低水平，防止精密光学元件产生应力。对于封闭式光学系统，释气性能得到改善，可凝物质释气性降至 0.1% 以下。

“这代表了我们的光激活技术平台的重大进步，我们在经过验证的配方基础上进行升级，既能提供汽车供应链制造商所需的速度，还不会影响光学精度和可靠性，这正是我们立足市场的根本。” 德路汽车 LiDAR 应用产品经理



LiDAR 传感器分解图，反射镜粘接和盖板粘接应用以洋红色突出显示 (图片: DELO)

Yanik Pfaff 博士解释说。

跨应用的可靠性验证

德路全面的可靠性测试验证了长期耐久性。对于铝 / 玻璃反射镜粘接组合，新一代产品实现了稳定的 5 兆帕强度保持率，而铝 / 聚碳酸酯盖板粘接在 85°C/85% 相对湿度和热冲击条件下测试 500 小时测试后，

仍可达到 4 兆帕的性能表现。

新的 DELO PHOTOBOND LA 已可供评估。详细信息可在当前白皮书中获得 delo-adhesives.com/cn/service/whitepaper/lidar/。

泰瑞达推出 Photon 100 全面型自动测试平台 加速大规模硅光子和共封装光学量产

全球领先的自动测试设备和先进机器人供应商泰瑞达近日宣布推出全面型光电自动测试平台——Photon 100，该平台专为加速大规模硅光子 (SiPh) 和共封装光学 (CPO) 量产打造。

受 AI 与下一代数据中心发展推动，市场对高速、节能光互连的需求激增。然而，制造商在实现 SiPh 和 CPO 大规模量产的过程中面临着诸多挑战。泰瑞达 Photon 100 将先进的光学和电气设备与泰瑞达成熟的 UltraFLEXplus 平台集成，可在晶圆、光学引擎和共封装模组插入等所有关键制造阶段，实现高产能的自动测试。该方案不仅简化操作流程、加快产品上市速度，更能为硅光子和共封装光学制造提供快速扩容能力。

泰瑞达硅光子测试副总裁 Geeta Athalye 表示：“Photon 100 是一款全面性、可扩展的集成式解决方案，降低了量产硅光子和共封装光学测试的复杂性，为客户带来巨大的价值。成熟的 UltraFLEXplus 平台与先进的光学和电气设备深度融合，既确保在当前规模化生产下的稳定高效表现，又能随行业技术持续创新灵活迭代，满足客户的未来需求。”

主要特性和优势：

- 集成光学与电气设备：融合先进的光学与电气测试能力。

- 适配大规模量产的可扩展性：专为满足 SiPh 和 CPO 大规模量产环境的严苛要求设计。
- 全面的测试覆盖：支持晶圆 (单面和双面)、光学引擎和 CPO 测试插入。
- 可定制光学设备：提供标准配置，支持定制化光学设备。
- 操作简便：由泰瑞达设计、制造与维护，客户无需集成和运维多供应商解决方案。
- 开放生态系统：客户可自主选择大规模量产的生态系统合作伙伴，涵盖晶圆级和裸片级探针方案。

凭借 Photon 100，泰瑞达巩固了在大规模 SiPh 和 CPO 测试领域的领先地位，为应对当下先进制造领域的核心挑战，提供了一种集成式、可扩展、自动化的解决方案。通过将前沿光学和电气设备与成熟的 UltraFLEXplus 平台结合，泰瑞达 Photon 100 能够助力客户加速创新，降低操作复杂度，并快速扩大产能，以满足 AI 和下一代数据中心持续增长的需求。此次 Photon 100 的推出，充分彰显了泰瑞达以先进测试解决方案推动硅光子和共封装光学制造产业发展的坚定决心。

Aledia发布FlexiNOVA 9V, 为高性能显示器制造开辟全新路径

下一代 microLED 技术先驱企业 Aledia 宣布，工作电压为 9 伏特的 FlexiNOVA microLED 产品 (型号 FN1530F9) 正式实现商用化上市。

- 更低功耗
- 更高系统能效
- 更简化、更可靠的 TFT 背板设计

上述优势对于推动 microLED 显示从高端市场走向消费级、商用级主流市场至关重要。

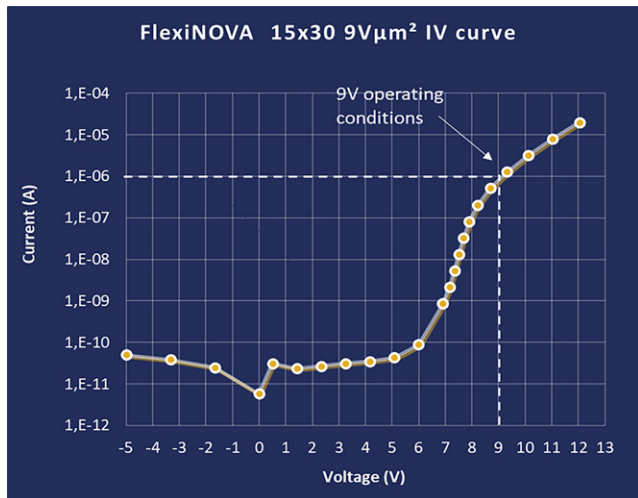


图 1: FlexiNOVA 15 × 30 9V μm² — IV 特性曲线

本次产品发布是 microLED 行业一项重要的产业里程碑。Aledia 是全球首家也是目前唯一以 3D 纳米线技术为基础推出 9V microLED 的企业，采用紧凑型一体化设计，15 μm × 30 μm 芯片尺寸，在 200 mm 硅晶圆上制作完成。

该产品以专利高压 FlexiNOVA 平台为基础设计，可实现可扩展、高效、低成本的 microLED 显示方案。此项技术突破获得长期合作伙伴 CEA-Leti 及法国“France 2030”项目的大力支持。

面向大规模量产：产业级技术突破

FlexiNOVA 采用 Aledia 自主知识产权的氮化镓硅基纳米线 (GaN Nanowire-on-Silicon) 技术，相关核心技术已构建起完备的国际专利矩阵，覆盖范围包括：

- 全球首款 9V 工作电压 microLED
- 基于纳米线的器件结构设计
- 一体化高压蓝光 MicroLED 设计方案 (6V / 9V 及更高电压)
- 200mm 硅晶圆集成工艺
- 标准半导体制造工艺流程
- 高效率任意尺寸 microLED，芯片可缩小至 3.5 μm

高压 microLED 堪称显示行业的变革型技术，能够实现：

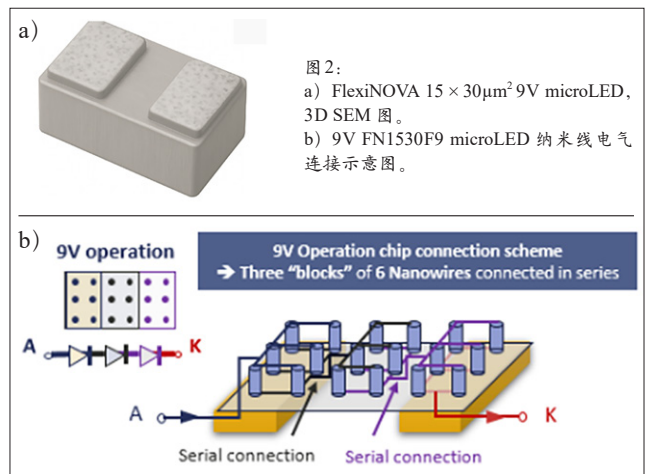


图 2:
a) FlexiNOVA 15 × 30 μm² 9V microLED, 3D SEM 图。
b) 9V FN1530F9 microLED 纳米线电气连接示意图。

按半导体级标准打造的制造体系

通过采用 200 mm 硅晶圆制程工艺，FlexiNOVA 将 microLED 制造与全球半导体行业标准接轨，实现更高良率与均匀性、稳定可重复的量产能力，并在量产放量过程中降低成本。

FlexiNOVA 平台可适配任意电压、任意芯片尺寸，同时保持稳定的高光效，成功突破行业长期存在的技术瓶颈。

Aledia 首席销售与市场官 (CSMO) Felix Marchal 表示“凭借 9V FlexiNOVA microLED，Aledia 为 microLED 在显示行业的大规模商用化铺平了道路。这项技术突破不仅能降低功耗，还能实现可规模化、高性价比的制造，为 microLED 显示在主流市场的广泛普及奠定基础。”

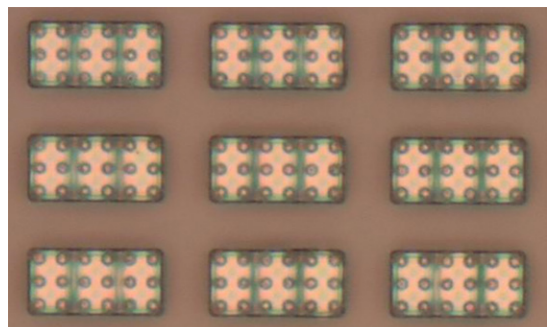


图 3: FlexiNOVA 15 × 30 μm² — 9V microLED 于 200mm 硅晶圆上

量子技术推动PIC与混合集成

量子技术是推动人们对光子集成电路 (PIC) 新材料平台产生兴趣的前沿应用之一。IDTechEx 的市场报告《2026-2046 年量子技术材料：市场、趋势、参与者及预测》(Materials for Quantum Technologies 2026-2046: Market, Trends, Players, Forecasts) 预测，到 2046 年，用于量子技术的 PIC 市场规模将达到 126 亿美元。

PIC 是在半导体晶圆上制造的光学系统，能够在芯片级器件上实现复杂的光学处理。PIC 已应用于多个领域，尤其在人工智能数据中心内作为高速通信的光收发器，广泛用作服务器间通信的骨干网络，用于训练最复杂的机器学习模型。

如今大多数 PIC 都基于硅或二氧化硅，因为这些材料的制造技术最为成熟。然而，硅 / 二氧化硅的特性使其在量子技术领域的一些新兴应用中表现欠佳，甚至无法使用。因此，量子技术是推动 PIC 新材料平台研究的前沿应用之一。

为什么光子学与量子技术如此密不可分？

光子学是关于光的产生与操控的技术领域，其研究与应用长期以来都与实验物理学的最前沿紧密相连：例如激光器、显微镜，以及那些在实验室里可能占据整间房间的

光学系统。

量子技术涵盖量子计算、量子传感和量子通信，是主要源自实验物理研究机构和大学的商业技术分支。然而，随着量子技术从实验室走向市场，实际产品已无法再依赖笨重的光学台以及由众多独立激光器和透镜组成的精密系统。这正是 PIC 的核心价值所在——PIC 为量子技术提供了一条路径，将复杂的光学系统缩减为坚固且可批量生产的芯片。

例如，许多最先进的量子计算硬件方案都高度依赖于光子系统，包括基于中性原子、离子阱或光子量子比特的系统。在中性原子量子计算机（例如：由 Infleqtion 或 Pasqal 开发的机型）以及 IonQ 和 Quantinuum 制造的离子阱计算机中，通过复杂的激光器、波导和摄像头系统来操控和测量单个原子与离子——即这些机器中的“量子比特”。由 PsiQuantum、ORCA Computing 和 Quandela 开发的光子量子计算机则更进一步，直接将光子（光的单个粒子）作为量子比特本身。

因此，开发适用于这些应用的 PIC 对于这些企业实现量子计算的规模化至关重要。正因如此，在过去的 24 个月里，各大量子计算企业纷纷收购光子学公司。这些交易通常旨在为量子计算企业引入专业技术与制造能力，从

表：面向量子技术的 PIC 新材料平台

Benchmark: PIC Material Platforms for Quantum Technologies

Platform Attributes	SOI	InP	SiN	BTO	TFLN
Technology Readiness Level	9	8	8	5	6
Light sources/amplifiers					
Low-loss					
Modulation performance				✓✓	
Economic scalability					
Wafer size	200-300 mm	2" to 4"	4" to 300 mm	Up to 300mm *	3" to 200 mm
Operational at visible wavelengths					
Overall summary	Mature platforms but not suitable for atomic, diamond, or trapped ion applications due to wavelength constraints		More mature waveguide material for quantum PICs	Excellent for optical switches with ultra fast modulation	Emerging competitor with favorable properties for quantum applications

*300mm BTO film grown on silicon substrate by PsiQuantum research fab

而补充其将理论和实验成果转化为商业产品所需的技能。

超越硅时代

硅和二氧化硅是半导体制造中最成熟的晶圆材料，但它们的某些特性与量子技术的要求并不匹配。一个根本性的障碍在于，硅在可见光范围内不透明，而量子技术中许多重要的频率（如原子或固态自旋跃迁）正位于该波段。此外，与通常将速度和大功率容量置于首位的通信应用不同，量子技术通常更注重实现极低的噪声和高稳定性，以保护脆弱的量子态。

这些不同的需求促使量子技术企业开始尝试硅基平台以外的材料。具有良好前景且性能合适的候选材料包括：氮化硅（SiN），它与现有的硅基工艺具有高度兼容性；以及薄膜铌酸锂（TFLN）和钛酸钡（BTO），这两种材料具有较高的电光系数，适合进行极高速的光调制。然而，TFLN 和 BTO 的商业成熟度远不及硅光子学，其应用受限于较小的晶圆尺寸、高昂的成本，且仅有少数几家晶圆代工厂能够处理这些材料。

量子技术用 PIC 市场展望

PIC 已经在数据通信、电信和激光雷达等市场中推动了高性能应用的发展，但量子技术才是推动 PIC 应用边界不断拓展的行业驱动力。开发基于新型材料平台制造高质量 PIC 的能力及供应链，将是推动多种量子技术（包括量子阱、中性原子和光子量子计算，以及量子网络和网络安全）普及的关键。

IDTechEx 的市场调研报告《2026-2046 量子技术材料：市场、趋势、参与者、预测》剖析了推动量子技术用 PIC 在 2030 年代形成数十亿美元市场机遇的关键驱动因素。报告预测：到 2046 年，量子技术材料的市场机遇将达到 189 亿美元，复合年增长率为 23.1%。除了提供详细的预测外，该报告还基于 IDTechEx 分析师从行业活动和访谈中获取的一手信息，对材料基准测试、价值链及案例研究进行了更深入的阐述。如需了解报告的完整详情，请访问 www.IDTechEx.com/QuantumMats。IDTechEx 还提供了一份关于硅光子学与光子集成电路发展的专项报告，欲了解更多，请访问 www.IDTechEx.com/Research/Photonics。

奥芯明最新款引线键合机 AERO PRO 推动先进封装互联能力升级

在 SEMICON China 2026 上，半导体与电子制造软硬件领军企业 ASMPT 与其子品牌奥芯明隆重推出最新款引线键合机 AERO PRO。该设备专为高密度应用打造，兼具高速与高精度特性，可对直径小至 0.5 密耳的超细引线实现卓越的键合精度与灵活性。AERO PRO 搭载实时监测与预测性维护功能，可优化设备性能，并无缝融入智能制造环境。



革新精密键合技术，实现无与伦比的灵活性

AERO PRO 搭载全新专利换能器技术 X Power2.0，可实现 X、Y 双向能量传输，从而形成均匀的球形键合点。该系统功能丰富，在超细间距键合领域表现卓越，可支持 0.5 密耳引线的超细间距应用。此外，经过

重新设计的工作台兼具耐用性、高速性与高精度；无摩擦引线夹通过软件校准，将转轴磨损降至最低。AERO PRO 封装兼容性广，支持最大 140×300 毫米的高密度基板，并具备混合引线键合能力，可满足系统级封装（SiP）、多芯片组件（MCM）等复杂封装的多样化生产需求。这款前沿设备适用于多种封装类型，包括但不限于 BGA、LGA、SiP、MCM、存储器件及引线型 QFP。

预测智能与智能自动化

AERO PRO 将智能数据监测与 AI 设置融为一体，配备 AERO EYE 实时信号监测、AERO Diagnostic 分析系统及 AERO Predictive Maintenance 预测性维护模块，可全程保障生产质量与设备维护监控，提升性能与品控水平，进而提高良率与运营效率。设备具备自动化适配能力，可无缝对接 AGV/RGV/OHT 及制造执行系统（MES），并接入 SKYEYE 生态系统，助力半导体智能制造，优化工艺流程，为智能制造决策提供支撑。

AERO PRO 面向高端芯片互联的创新引线键合解决方案（图片来源：ASMPT）

SEMVision™ G9: 引领高产能缺陷检测新时代

随着器件复杂度持续提升以及3D结构不断演进，缺陷分布日益密集，对缺陷检测能力带来了显著压力。应用材料公司的 SEMVision™ G9 通过在高速度下支持更多检测站点和样本数量，有效扩展检测产能预算，使工程师能够在不牺牲周期时间或总体拥有成本的前提下，实现从前道工艺 (FEOL) 到后道工艺 (BEOL) 的全层覆盖。同时，集成式 AI 显著减少人工参与，缩短结果获取时间，加速高置信度的量产决策。

SEMVision G9 面向逻辑、存储器及其他器件的缺陷检测应用，通过更可靠的成像质量以及集成式人工智能技术，实现跨平台的缺陷检测与分类能力规模化提升，同时在保持性能扩展性的前提下，实现具有竞争力的总体拥有成本 (CoO)。



新亮点

- 更强成像能力：更高的束流电流加快了图像采集速度；同时，提升的最高加速电压结合 Elluminator™ 宽角背散射电子 (BSE) 探测器，在深埋缺陷及高深宽比结构等具有挑战性的应用中，实现更优的图像质量。
- 卓越图像质量：全新升级的图像处理算法，在高噪声条件下仍可有效保留缺陷信号，带来行业领先的图像质量。

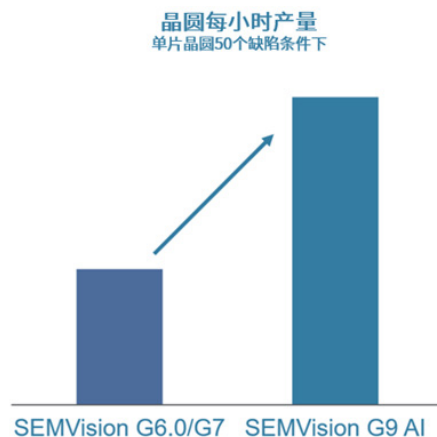
- 检测速度和流程升级：通过提升设备的运动控制以及减少运动中重复过程，缩短了端到端的检测时间。
- 专有人工智能流程：经大规模量产验证的 ADR AI 支持单幅图像检测和基于 CAD 的缺陷检测；同时，ADC AI (Purity™ III) 分类引擎能提供更快速、更精准的分类结果。
- 延续性和兼容性：支持业界领先的 SEMVision G7 程式与成像参数的直接转换并使用，在不中断生产的情况下实现性能提升，并提供从 G7 系列到 G9 的完整升级路径。

关键应用

作为缺陷检测领域的领导者，SEMVision 覆盖广泛应用场景。G9 在此基础上进一步引入多项独特能力，包括电子束倾斜、高景深倒角成像、适用于裸片和整片晶圆的深紫外成像、材料分析，以及 Elluminator 宽角 BSE 探测器。

核心价值总结

更多晶圆、更深洞察、更少人工投入——SEMVision G9 将值得信赖的成像技术与集成的人工智能相结合，以驱动更快、更可靠的生产决策。



SEMVision™ G9通过更快的图像获取、更高效的自动化与搬运以及基于 AI 的检测能力，有效扩展检测产能预算



下一代工艺真空技术的发展趋势与驱动因素

Edwards Vacuum 公司对多项新兴的生产工艺进行了研究，旨在探寻推动下一代真空系统发展的核心趋势。

绝大多数半导体制造工艺都需要在工艺腔室内营造真空环境，以此提供洁净的生产条件，确保无缺陷制造，并排出多余工艺气体与反应副产物。一座月产能达 6 万片晶圆的现代化晶圆厂，可能要配备 1000 台以上真空工艺设备。

为支撑这些设备运行，晶圆厂需配备多达 3500 台干式真空泵（多数安装在厂区下方的 sub-fab），以及约 1200 台涡轮分子泵（放置于 sub-fab 中，或直接安装在工艺腔室/真空锁上），以实现晶圆快速交换与腔室快速抽真空。随着工艺复杂度持续提升，真空系统性能对工艺表现与生产效率的影响日益显著。没有真空，工艺便会停滞，因此系统整体可靠性（尤其是避免非计划停机）成为首要目标；而通过延长平均维修间隔时间（泵通常由备用库存替换后送厂外翻新）实现总拥有成本最小化，则是紧随其后的核心诉求。随着新工艺与新材料进入量产阶段，真空系统的设计与运行细节愈发复杂且重要。本文将聚焦于研究多项新兴的生产工艺，探讨驱动下一代真空系统发展的趋势。

回望发展历程

尽管集成电路 (IC) 于 1958 年就已经问世, 但直至 1971 年, 基于如今广为人知的 CMOS 技术的首款处理器 (英特尔 4004) 才实现量产。当时的制造工艺流程核心为多层薄膜的依次沉积与图形化, 这一基本逻辑沿用至今; 尽管彼时的最小特征尺寸为数十至数百微米, 是如今纳米级尺寸的数千倍。与当下一致, 当时多数工艺步骤也需在真空腔室中进行, 以管控工艺环境的化学成分。早期集成电路生产所使用的真空泵, 大多为油封式旋片泵。

20 世纪 80 年代, 集成电路产能快速扩张。新工艺与不断增大的气体流量, 引发了强腐蚀性化学品与固体杂质在泵油中积聚的问题。频繁更换昂贵的专用泵油不仅中断生产、降低产能, 还推高了总拥有成本。此外, 对污染与洁净度要求更严苛的新工艺, 无法容忍真空系统出现油返流现象。

1980 年, Edwards 公司推出首款实用型“干式”(无油)真空泵。其核心创新在于采用多级罗茨与爪式结构的独特组合, 无需用油密封与润滑即可实现洁净真空。干式真空泵迅速被半导体厂商采用, 堪称推动愈发复杂的半导体工艺持续发展的关键支撑。

此后持续的技术革新, 造就了如今品类丰富的干式真空泵系列, 每款产品均针对新工艺和化学过程所面临的特定挑战量身定制。在很多情况下, 如果没有真空系统的重大技术突破, 如今普及的诸多工艺都无法实现。

自干式真空泵问世以来的重大技术创新包括:

- 全新结构设计, 防止粉末积聚与可冷凝副产物在泵内沉积
- 精密数据采集与分析系统, 优化设备性能、统筹维护计划、监测系统状态并预判维护需求
- 泵组件专用涂层, 抵御强腐蚀性工艺化学品的侵蚀
- 节能模式运行, 工艺设备闲置时将泵切换至低功耗模式, 降低能耗

真空技术的发展革新也显著改善了半导体制造的环境表现, 提升能效始终是研发重点。工艺真空泵的能耗可占半导体制造厂总能耗的 12% 以上。新一代半导体干式真空泵能耗较前代产品降低一半以上, 同时性能更优、维修间隔更长、占地面积更小, 提升了 sub-fab 空间利用率。能效提升不仅降低运营成本, 还减少了因能源生产产生的温室气体排放。

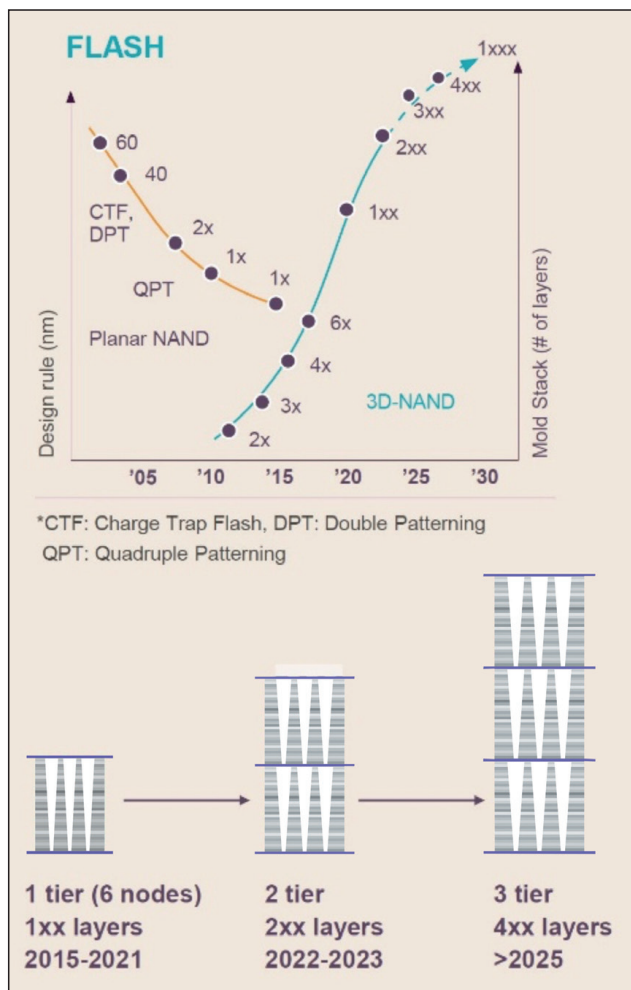


图1: 3D NAND 闪存采用极高深宽比的孔洞来形成存储通道。沟道及其他高深宽比结构必须衬覆多层由不同材料构成、具有优异保形性的薄膜。

展望未来发展

随着厂商研发新工艺、引入新材料, 真空技术也需持续迭代升级。工艺腔室的总压强与各反应气体的分压强, 依旧是核心考量指标。抽气速率决定腔室达到目标真空度的速度, 进而影响工艺产能与生产效率, 原子层刻蚀、原子层沉积等需要频繁更换腔室气体的工艺, 这一影响更为突出。真空环境的稳定性同样至关重要, 直接关系工艺波动、缺陷产生率, 最终影响产品良率。

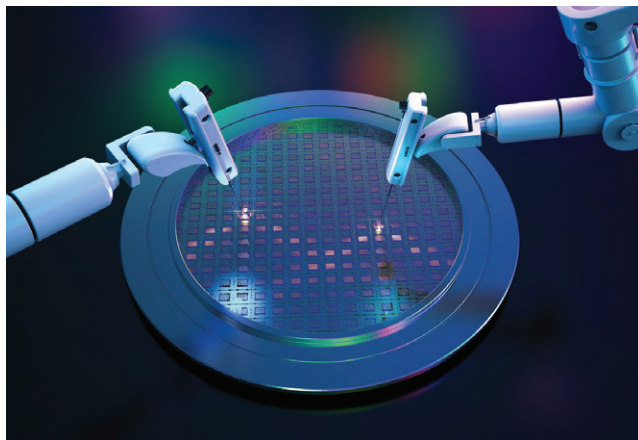
通过研究梳理几大主流器件技术的预期发展方向, 可清晰看出下一代真空系统需应对的挑战。数十年来, 器件厂商始终致力于提升芯片面积密度, 即在二维布局中缩小单个元器件尺寸, 以在更小空间内集成更多功能。这一努力催生了英特尔创始人戈登·摩尔提出的著名定律: 集成电路上的晶体管数量约每两年翻一番。

在近几代工艺中，晶体管尺寸已大幅缩小，进一步微缩的难度与成本急剧攀升，晶体管数量的翻倍增速整体放缓。过去十年，众多应用领域的研发重心从二维布局转向更复杂的三维架构，通过利用垂直维度在更小空间内集成更强算力。下文将以 3D NAND 闪存、动态随机存取存储器 (DRAM) 与逻辑芯片为例，阐释这一技术转型。

新型架构

3D NAND 存储器——3D-NAND 闪存提供非易失性数据存储。它被广泛应用于固态存储等领域，在这些领域中，它取代了硬盘驱动器上的磁存储。3D-NAND 的显著特征在于其将数据存储于垂直排列的存储单元串中，因此与传统的平面设计相比，在晶圆的给定面积内可存储的数据量成倍增加。当前主流 3D-NAND 采用约 200 对层的堆叠结构。部分器件通过堆叠多个对层堆叠的基础块来提升存储容量。制造商的路线图预测，未来十年内，每个对层基础块的层数以及每个模块的层数都将大幅增加。

DRAM 动态随机存取存储器——DRAM 的速度快于 3D-NAND，但价格也更高。而且它属于易失性存储器——断电后会丢失存储的信息。DRAM 的高速特性使其非常适合在运行时应用，但较高的成本和易失性使其不适合长



期存储大量数据。每个存储单元可能仅包含一个晶体管和一个电容器，电容器上电荷的有无决定了该单元的逻辑状态。当前的 DRAM 设计基本上是平面结构，每个晶体管上方垂直布置着一个管状电容器。电容器以垂直孔洞为基底，通过沉积同心导电层和介电层来制造。为了提高存储密度，制造商必须将电容器做得更高、更薄。预计在未来十年内，电容器的直径和间距将大幅缩小，而高度则会持续增加。DRAM 最重大的变革，预计是向三维架构转变，将多个晶体管与水平排列的电容器垂直堆叠。

逻辑芯片——逻辑电路是由各种相互连接的、处于开或关状态的晶体管组成的网络，它实际执行计算任务，随着向三维架构的过渡，其复杂程度也在不断提升。这些晶体管通常是场效应晶体管 (FET)。在传统的平面场效应晶体管中，栅极位于连接源极和漏极的半导体沟道上方。施加在栅极上的电压会在沟道中产生电场。通过电场的存在与否控制着流经沟道的电流通断，从而使晶体管处于导通或截止状态。为了在缩小晶体管尺寸的同时提升其性能，设计人员持续优化栅极对沟道的控制能力。如今已大规模量产制造的 FinFET (鳍式场效应晶体管)，采用垂直鳍状结构，栅极环绕该结构的三面。全环绕栅极 (GAA) 晶体管在此基础上更进一步，将栅极完全包裹在沟道周围，从而增强了静电控制能力。接下来的一项创新是互补型场效应晶体管 (CFET) ——将 n 型和 p 型晶体管直接堆叠。在大多数 GAA 晶体管中，沟道由极薄的半导体“纳米片”构成。新型沟道材料，如过渡金属二硫化物 (TMD)，可能会使晶体管栅极薄到单层分子层的水平。

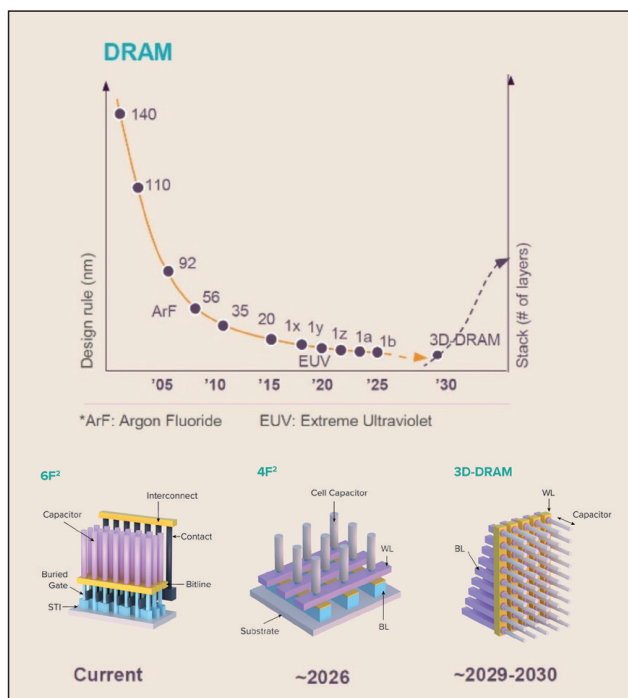


图2: 目前的 DRAM 设计采用垂直结构的电容器来存储信息。制造商必须减小电容器的直径与间距，以提高存储密度。未来的设计将采用三维架构，把电容器水平放置进行多层堆叠。

新兴工艺

高深宽比刻蚀 (HAR etch)

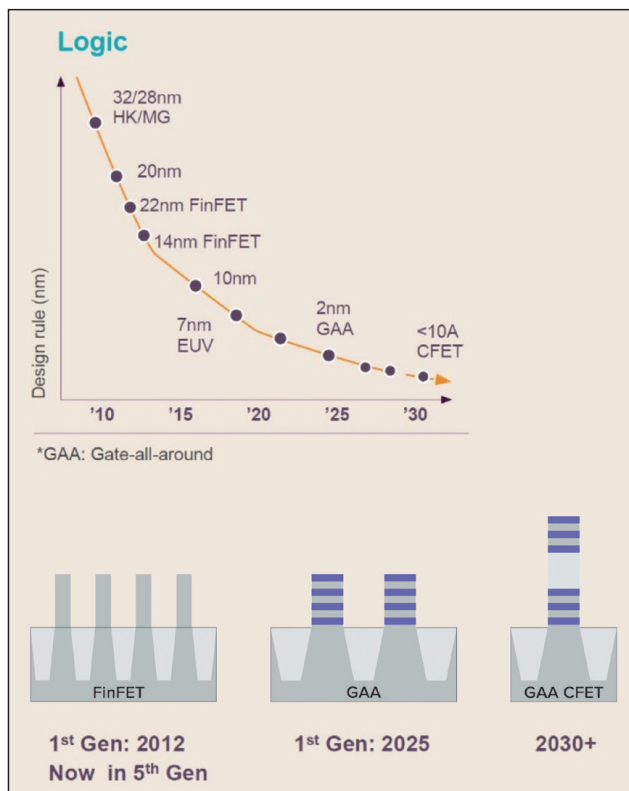


图3: 逻辑晶体管早在十多年前就开始从平面结构向三维结构转型。鳍式场效应晶体管 (FinFET) 现已发展至第五代。先进器件目前正采用全环绕栅极 (GAA) 设计, 将多个栅极进行堆叠。互补场效应晶体管 (CFET) 则会把 N 型与 P 型环绕栅极晶体管垂直堆叠在一起。

更复杂的架构催生了高深宽比的窄孔、深槽等新型结构。例如, 存储单元孔、3D NAND 中的沟槽以及 DRAM 中的电容器等高深宽比结构, 均需通过专用刻蚀工艺制备。这类高方向性 (各向异性) 工艺, 利用被刻蚀材料、刻蚀气体与高能离子 / 自由基之间复杂的化学物理作用, 制备尺寸与轮廓精准可控的结构。高深宽比结构底部的刻蚀前沿狭小、刻蚀深度大, 导致刻蚀时间延长、产能降低。更长的刻蚀步骤需要新型掩膜材料, 抵御刻蚀作用以保留目标层图形。真空系统负责排出腔室内高反应性气体与工艺副产物。

化学气相沉积 (CVD)

化学气相沉积通过化学反应, 在加热表面形成固态材料薄膜。其工艺类型多样, 包括常压化学气相沉积, 而半导体制造中主流的等离子体增强化学气相沉积 (PECVD)、低压化学气相沉积 (LPCVD)、亚常压化学气相沉积 (SACVD) 等, 均在真空条件下进行。CVD 工艺中, 加热的衬底暴露于含目标材料前驱体的工艺气体, 气体发生气相反应并在晶圆表面积聚形成沉积层。该工艺沉积速率较快, 只要表面持续接触工艺气体, 沉积便会持续进行。薄膜厚度受气体流量、分压强、温度、等离子体参数 (频率、功率等) 与工艺时间等多重因素综合影响。

为提升产能, 厂商要求更高的气体流量与设备利用率 (实际产量与设计产能之比), 同时引入的新型化学物与材料, 可能对工艺设备产生不可预估的影响。多余工艺气体与副产物具有毒性、腐蚀性或爆炸性, 存在重大安全隐患。薄膜性能与均匀性的工艺窗口持续收窄, 热预算需严格管控, 避免损伤在制器件。

先进器件架构带来了特殊挑战: CVD 工艺难以在形貌复杂的表面 (尤其是高深宽比结构) 沉积厚度均匀的薄膜, 沉积过程难以触及结构内部垂直侧壁与深凹底部。

原子层沉积 (ALD)

原子层沉积可视为化学气相沉积的变体, 能在复杂深凹表面沉积保形性极佳、厚度精准可控的薄膜。沉积过程以原子层为单位, 通过前驱体气体与反应气体的循环交替通入实现。第一阶段, 前驱体与表面特定位点发生自限制性反应——所有位点被前驱体分子占据后, 反应自动停止; 随后腔室排出前驱体气体, 通入反应气体。反应气体与已沉积的前驱体再次发生自限制性反应, 完成单层沉积并恢复初始表面化学状态, 新沉积的单分子层即可进入下一轮 ALD 循环。

由于两步反应均为自限制性, 薄膜厚度仅由循环次数决定, 与暴露时间无关。工艺工程师可充分延长每轮循环

为了提升产能, 半导体制造厂商要求更高的气体流量与设备利用率, 同时, 引入的新型化学物与材料, 可能对工艺设备产生不可预估的影响。多余工艺气体与副产物具有毒性、腐蚀性或爆炸性, 存在重大安全隐患。这些都对真空系统产生重要影响。

2 纳米及更先进制程时代的量测技术

Infinitesima 公司高速原子力显微镜助力先进硅基芯片稳步发展

随着中国台湾的台积电即将启动 2 纳米工艺的大规模量产，硅基芯片设计正迈入全新未知领域，量测技术也随之同步升级。

随着日益复杂的三维架构、互补场效应晶体管 (CFET)、混合键合及先进封装技术不断涌现，量测与检测设备将成为芯片稳健制造的关键。但当晶体管尺寸缩小至仅有几个原子大小时，缺陷检测的主力技术——光学检测——正逼近性能极限。

193 纳米深紫外光刻 (DUV) 早已被 13.5 纳米极紫外光刻 (EUV) 取代，而如今最小的刻蚀图形已达到 9 纳米。再加上芯片内部复杂的埋入式结构、极高深宽比特征，以及单片超过百层的堆叠结构，缺陷检测的难度堪称惊人。



Infinitesima 公司的 Metron3D 量测系统专为高速测量半导体中具有挑战性的纳米级结构而设计。

英国企业 Infinitesima 却迎难而上。该公司近期与荷兰光刻系统巨头阿斯麦 (ASML)、比利时顶尖研发机构 IMEC 达成合作，针对日益复杂的器件架构，进一步打磨其在线量测平台。

不同于常规光学方案，Infinitesima 公司的 Metron3D 系统采用原子力显微镜 (AFM) 技术：通过探针针尖在硅片表面上方振荡并检测原子间作用力，实现缺陷识别。该平台将原子力显微镜与干涉测量及其他光学创新技术结合，使结构检测通量较传统原子力显微镜提升至少 100 倍——这对高产能半导体生产线的缺陷检测至关重要。

合作三方计划进一步优化并推动 Infinitesima 这一非常规量测技术在硅半导体市场的应用。Infinitesima 首席执行官 Peter Jenkins 表示：“行业已进入在原子尺度来调控晶体管的时代，例如在电容器中存储电子，需要制备极为复杂的三维结构，这催生了对亚纳米级三维量测的需求。原子力显微镜在这方面表现出色，但传统技术速度极慢。因此，解决速度问题意味着客户能借助这项量测技术，将相关结构从研发阶段推向大规模量产。”

从实验室走向晶圆厂

英国 Infinitesima 公司由布里斯托大学教授 Andrew Humphris 于 2001 年创立，最初旨在将快速扫描探针显微镜技术商业化用于生物样品检测。鉴于半导体领域更大的市场潜力，公司迅速转向半导体赛道，并很快推出快速扫描探针显微镜 (RPM)——本质是一款高速原子力显微镜，采用光学干涉测量而非传统激光束偏转来追踪探针运动，实现更快的样品扫描。

2010 年，RPM 系统中的机械或压电驱动被光热驱动取代，可在更高频率下稳定驱动探针。这一改进将表面分析与缺陷检测时间从分钟级缩短至秒级，同时仍保持亚纳米级垂直分辨率，证明该技术可适用于半导体晶圆厂。此后，RPM 技术被整合进卡尔蔡司的光罩修复设备，以及

美国某头部芯片制造商的扫描电子显微镜平台。

Jenkins 强调：“正是光学技术赋予了 RPM 高速性能与独特工作模式，非常适合检测半导体上微小、高深宽比的结构。我们目前探针振荡频率为 600 kHz，未来将提升至 1 MHz 以上，实现更快检测速度。”

迈向规模化量产

依托 RPM 技术，Infinitesima 与 IMEC 合作，将其 RPM 技术与晶圆处理软件、机器人及高速晶圆台集成，为下一代逻辑芯片、DRAM 与 3D NAND 提供在线量测方案。

Metron3D 在线量测方案于 2021 年底正式推出，在亚洲投资方及美国半导体设备巨头应用材料公司旗下风投机构 Applied Ventures 的支持下，Infinitesima 公司持续扩大产能。目前，公司研发与核心模块制造在英国完成，系统组装则在中国台湾地区进行。Jenkins 表示：“我们无需投资建厂，产能扩张速度也会快得多。”

该系统已交付给中国台湾地区一家大型（匿名）代工工厂，以及韩国高带宽存储芯片制造商海力士（SK Hynix，同时为人工智能巨头英伟达供货），用于先进 DRAM 检测。海力士缺陷分析、量测与检测技术负责人 Young-Hyun Choi 表示：“纳米级三维工艺控制对保障先进 DRAM 工艺的高良率愈发重要。Metron3D 已展现出优异的亚纳米三维量测能力，同时具备大规模量产所需的总拥有成本优势。”

未来规划

基于现有进展，Infinitesima 正与 IMEC、ASML 合作，进一步优化 Metron3D，使其适用于复杂器件的大规模量产在线量测。

ASML 尤其希望将该平台针对高数值孔径极紫外光刻（High-NA EUV）进行优化，ASML 的 High-NA EUV 首批光刻胶成像系统已于 2024 年初交付。

与此同时，Jenkins 认为该技术在互补场效应晶体管（CFET）等三维逻辑器件结构，以及混合晶圆键合领域存在重要市场机遇。他表示：“未来几乎所有先进器件都会采用混合晶圆键合，而对这类超高平坦度结构的量测，正是原子力显微镜的理想应用场景。AFM 是能够提供亚纳米级三维信息的基准量测方法之一，这也是我们坚信行业未来发展离不开这项技术的原因。而借助 Metron3D，我

们可以实现远超传统方案的检测速度。”

在一项为期三年的开发项目中，合作方将重点深化三维表面深度检测、高速成像与干涉测量精度。Jenkins 举例称，团队将优化 RPM 探针与原子力显微镜工作模式，以量测 high-NA EUV 光刻工艺中在晶圆上形成的更小图形与支撑结构。

“我们不会重新设计整机系统，” Jenkins 解释道，“而是通过优化软件、代码、探针类型及数据分析方式，提升设备运行性能。”

Jenkins 预计，项目结束时，原子力显微镜技术的市场增长将迎来显著上升。他估算当前 AFM 市场规模约 2 亿美元，而在半导体行业 8% 的年均复合增长率支撑下，2030 年市场规模有望达到 10 亿美元。“原子力显微镜将在越来越多的工艺控制环节中发挥补充作用，随着制造工艺演进，这类应用环节还会持续增加。”

那么，行业对 Metron3D 的需求是否也会同步增长？Jenkins 持肯定态度。他指出 Infinitesima 公司现已手握两份订单，同时英特尔、三星、美光等行业核心厂商均在对该技术进行评估。

“我们非常有希望在未来 12 至 24 个月内与更多厂商达成新合作。”他补充道：“产品上市时间至关重要，而我们已拥有强大的 IP 保护核心技术。我预计未来会收到头部企业的收购要约，届时我们会再做评估。但目前，我们更专注于自身发展。”

关于 Infinitesima 公司

Infinitesima 是一家专注于高速原子力显微镜（AFM）与亚纳米级 3D 量测的英国半导体设备公司，核心技术是用 RPM/Metron3D 解决 2nm 及以下先进制程的量测瓶颈。

Infinitesima 公司于 2001 年由英国布里斯托大学教授 Andrew Humphris 创立，公司从布里斯托大学分拆，总部位于英国牛津郡。初期定位是快速扫描探针显微镜（SPM），面向生物样品检测。

2001–2009 年，深耕高速探针显微镜（RPM）技术路线，核心突破是用光学干涉测量替代传统激光偏转，大幅提升扫描速度。

2010 年，进行关键技术迭代——光热驱动取代机械/压电驱动，探针可在更高频率稳定工作，将表面分析从“分钟级”压缩到“秒级”，同时保持亚纳米垂直分辨率，正式具备半导体晶圆厂适用性。

2011–2020 年，RPM 进入产业供应链。

2021–2023 年，Metron3D 正式交付。

2024–至今，与 ASML、IMEC 达成三年战略合作，聚焦 High-NA EUV、CFET、混合键合等先进架构的在线量测优化。

令人振奋的创新成果助力解决行业关键挑战

比利时微电子研究中心 (imec) 近期成果频出：不仅发布了一款用于人工智能数据中心设计与优化的工具，还展示发布了多项研究成果，包括采用系统 - 技术协同优化方案缓解 3D HBM-on-GPU 架构中的热瓶颈问题，展示了利用极紫外光刻技术实现固态纳米孔的首次晶圆级制造，将基于二维材料的器件技术推向了超越当前行业顶尖水平的阶段，以及基于 300 毫米 CMOS 晶圆成功开发了超构表面上的集成了胶体量子点光电二极管 (QDPD)。

在 2025 超级计算大会上发布 imec.kelis

在全球顶级高性能计算国际会议暨展览会——2025 超级计算大会 (Super Computing 2025) 上，imec 推出了 imec.kelis，这是一款前沿的分析性能建模工具，旨在彻底革新人工智能数据中心的设计与优化方式。目前已有早期试用机构对该工具进行测试，彰显出强劲的市场需求。

人工智能数据中心领域正经历快速变革。随着算力任务规模扩展至数万亿参数，能耗需求急剧攀升，系统架构师面临愈发严峻的压力，需在性能、可持续性与成本之间实现平衡。传统仿真方法往往速度缓慢、过程不透明，或适用范围过于狭窄。imec.kelis 填补了这一空白，提供快速、透明且经过验证的建模框架，支持从芯片到数据中心全技术栈的科学决策。

该工具助力研发团队探索架构权衡方案、优化资源配置、做出科学决策，并在洞察时效至关重要的领域加速技术创新。imec.kelis 构建端到端框架，可评估计算、通信与存储子系统的整体性能，专为大语言模型训练与推理任务定制，能在英伟达 A100、H100 等行业标准平台上实现快速、精准且通用的性能预测。工具依托 imec 在高性能计算与人工智能分析性能建模领域的成熟技术积累，整合了其在大规模人工智能数据中心及大语言模型任务下的计算、通信、存储子系统级建模与性能分析能力、软硬件协同设计专长，以及半导体技术路线图规划经验。

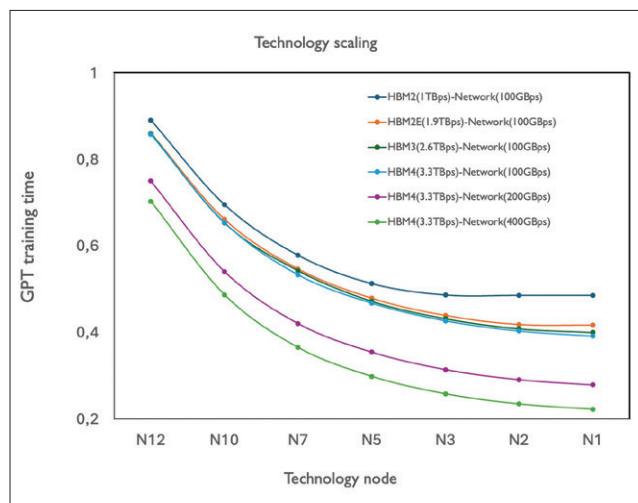
imec 系统扩展负责人 Axel Nackaerts 表示：“imec.kelis 不只是一款仿真工具，更是支撑下一代人工智能基础设施的战略赋能平台。通过软硬件协同设计融合，我们助力系统架构师在数据中心层面做出科学决策。”

imec.kelis 的核心功能：

- 大语言模型任务图分析器与并行映射工具
- 分层屋顶线模型与拓扑感知通信库
- 支持实时设计空间探索的交互式控制面板
- 大规模大语言模型预测误差控制在 12% 以内

Nackaerts 介绍：“在一项测试案例中，我们运用 imec.kelis 对比不同图形处理器架构与扩展节点的性能 (以 GPT-3 训练时长为衡量标准)，并绘制性能 - 成本对照曲线，展现了该工具在架构探索、未来技术预测与协同优化等多场景下的灵活适用性。结果表明，imec.kelis 可实现精准的性能验证，助力探索架构与未来技术规划的核心思路。”

imec.kelis 1.0 版将于 2026 年第一季度开放授权，目前已吸引多家早期试用机构，市场反响热烈。



Imec.kelis



NanoIC 中试线推出 N2 P-PDK v1.0 工艺设计套件, 新增先进静态随机存储器宏单元

在欧洲国际半导体展 SEMICON Europe 2025 上, 由 imec 牵头、专注于推动 2 纳米以下芯片技术创新的欧洲项目 NanoIC 中试线宣布推出 N2 先导工艺设计套件 1.0 版 (N2 P-PDK v1.0), 这是其 2 纳米先导工艺设计套件的重要更新。新版本新增多项功能, 包含 29 款静态随机存储器宏单元库, 支持设计人员开展正面与背面供电布线的片上系统设计探索与基准测试。通过在设计方案中新增静态随机存储器宏单元, N2 P-PDK v1.0 成为支撑先进及未来工艺节点研究、学习与设计探索的重要里程碑。

助力下一代 SoC 设计

随着芯片工艺迈入 2 纳米以下, 依托新型技术支撑探索完整 SoC (System-on-Chip) 架构的重要性日益凸显。SoC 将逻辑运算、存储与互联功能集成于单芯片, 是智能手机、人工智能加速器、汽车控制器等众多数字应用的核心。但早期 SoC 设计探索常受限于无法获取包含先进供电网络等未来工艺升级技术的完整、真实设计套件, 导致设计人员难以验证架构方案、试验新兴技术, 也无法培养下一代先进工艺芯片设计人才。

NanoIC 的低门槛 N2 P-PDK v1.0 旨在打通这一壁垒, 提供包含 29 款可直接使用、支持正面与背面双供电布线配置的静态随机存储器宏单元在内的多项全新设计功能。这种双供电配置首次在先导工艺设计套件中实现, 让设计人员可在真实先进供电网络环境下试验并优化存储集成方案。

由此, NanoIC 的 N2 P-PDK v1.0 不仅提供完整 SoC 的基础模块, 还构建架构应用场景, 支持探索各模块在真实

供电网络中的交互方式, 助力用户突破单纯逻辑设计局限, 探索并验证契合下一代半导体设计挑战与机遇的完整 SoC。

降低学习与探索门槛

NanoIC 向学术研究人员、初创企业及设计团队免费开放上述先进功能, 大幅降低创新门槛, 助力下一代应用研发, 巩固欧洲在全球半导体领域的地位。

imec 部门总监兼 NanoIC 中试线项目负责人 Marie Garcia Bardon 总结道: “这款 N2 P-PDK v1.0 先导工艺设计套件, 让设计人员在晶圆厂推出相关工艺前, 即可评估新型技术特性与集成方案对设计的影响。它搭建了技术先导研究与实际设计赋能的独特桥梁, 确保器件研发突破能转化为系统级技术进步。”

该版本基于前代 N2 先导工艺设计套件的研发经验, 为后续套件迭代奠定基础, 未来数年将陆续推出更多先进逻辑、存储与互联工艺设计套件, 路线图涵盖 N2 先导工艺设计套件升级版本、A14 与 A7 逻辑先导工艺设计套件、嵌入式动态随机存储器及自旋轨道转移存储工艺设计套件, 以及先进互联解决方案 (重布线层、混合键合、中介层), 全面支撑下一代芯片技术全领域创新。

为助力设计人员充分挖掘 N2 P-PDK v1.0 的功能, imec 于 2026 年 3 月 25-26 日举办专题研讨会, 采用 Cadence 和 Synopsys 的 EDA 电子设计自动化工具, 提供理论框架与实操培训。参会者将深入了解静态随机存储器宏单元、更新后的设计规则及系统级集成策略, 更多详情与报名信息可通过 NanoIC 官网了解。

缓解三维高带宽内存堆叠于图形处理器架构的热瓶颈

在 2025 年 IEDM 国际电子器件会议上, imec 发布了全球首个针对 3D HBMon-GPU (堆叠于 GPU 上的三维高带宽内存) 架构的热系统 - 技术协同优化 (STCO) 研究。该架构是下一代人工智能应用的潜力算力方案, 通过融合技术与系统级热缓解策略, 在真实人工智能训练任务下, GPU 峰值温度可从 140.7°C 降至 70.8°C, 达到当前 2.5D 集成方案的温控水平。

该成果印证了跨层优化 (协同调控各抽象层级参数) 结合全面技术专长的强大优势, 这也是 imec 独有的核心能力。将 HBM 堆叠直接集成在 GPU 上方, 是构建面向数据密集型人工智能任务的下一代算力架构的理想方案。相较于当前 2.5D 集成方案 (HBM 堆叠排布于硅中介层上



的单个或两个 GPU 周边)，该三维架构可大幅提升算力密度（单封装集成四个 GPU）、GPU 存储容量和 GPU 内存带宽。但这种高密度三维集成容易因局部功耗密度升高、垂直热阻增大而引发散热问题。

在 2025 年 IEDM 上，imec 发布首个针对 3D HBM-on-GPU 集成方案的全面热仿真研究，不仅定位热瓶颈，还提出提升架构热可行性的优化策略。研究人员证实，通过技术与系统级热缓解方案协同优化，可在真实人工智能训练负载下将 GPU 峰值温度从 141.7°C 降至 70.8°C。

该模型采用四个 HBM 存储器堆（每个堆含 12 颗混合键合的 DRAM 裸片组成），通过微凸点直接集成在 GPU 上方，HBM 顶部提供散热功能。

研究方案根据行业通用功耗曲线生成的功耗分布图，定位局部热点并与 2.5D 基准方案对比。未采用热缓解策略时，三维模型 GPU 的峰值温度达 141.7°C，远超 GPU 与 HBM 工作阈值；在相同散热条件下，2.5D 集成方案峰值温度为 69.1°C，处于正常工作范围。研究团队以此为基准来评估技术与系统级热缓解策略的联合效果。

技术层面的策略包括但不限于 HBM 堆叠合并和硅基热性能优化。在系统层面，我们评估了双面散热以及 GPU 频率调整的影响。

imec 系统技术项目总监 James Myers 表示：“将 GPU 核心频率减半后，峰值温度从 120°C 降至 100°C 以下，达到存储器工作核心温控目标。尽管这一调整会产生 28% 的任务性能损耗（人工智能训练步骤速度放缓），但三维架构更高的吞吐密度使整体封装性能优于 2.5D 基准方案。我们正通过该方法研究其他 GPU/HBM 配置方案（如 GPU 置于 HBM 上方），预计未来仍会遇到散热方面的限制。”

imec 逻辑技术副总裁 Julien Ryckaert 称：“这也是我们首次展示 imec 跨技术协同优化项目在构建高耐热算力系统方面的能力。该项目于 2025 年启动，旨在高效衔接 imec 技术路线图与行业核心系统扩展挑战，围绕算力密度、供电、散热、存储密度与带宽四大系统级核心支柱构建，融合 STCO/DTCO（系统-技术协同优化 / 设计-技术协同优化）理念与 imec 全面技术专长，这一独特组合对应算力系统需求的增长与多元化极具价值。我们诚邀半导体全生态企业，包括无晶圆厂与系统厂商，加入跨技术协同优化项目，携手攻克核心系统扩展瓶颈。”

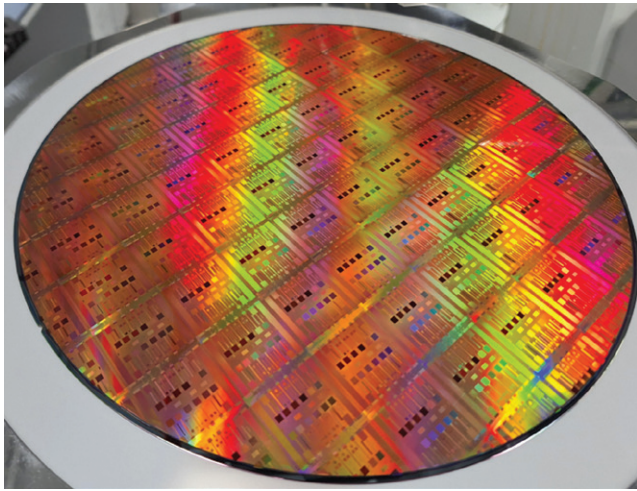
全球首次利用极紫外光刻实现晶圆级固态纳米孔制备

在 2025 年 IEDM 上，imec 还公布了其全球首次利用极紫外光刻技术成功实现晶圆级固态纳米孔制备的成果。固态纳米孔是分子传感领域的新兴核心工具，但尚未实现商业化，此次概念验证是迈向其低成本规模化生产的关键一步。

固态纳米孔是蚀刻在氮化硅薄膜上、直径仅数纳米的微小孔洞，浸入流体并连接电极后，可允许单个分子穿过并实时生成可分析电信号。其孔径可灵活调控，应用场景广泛，涵盖病毒识别、脱氧核糖核酸与蛋白质分析等。这种无标记单分子检测技术是下一代诊断、蛋白质组学、基因组学乃至分子数据存储应用的核心。

与之相对，生物纳米孔由脂质膜中的蛋白质构成，已实现商用测序平台应用，但受到稳定性与集成性限制。固态纳米孔凭借耐用性、可调性与半导体制造兼容性突破上述局限，成为规模化高通量传感的理想方案。但在大面积范围内实现纳米级精度与均匀性的固态孔制备，仍是行业难题。

现有制备工艺通常效率低下且局限于实验室环境，延



缓了其在传感领域的规模化应用。

imec 研发项目经理、论文第一作者 Ashesh Ray Chaudhuri 表示：“imec 具备实现这一突破的独特优势。我们可将原本用于存储与逻辑芯片的极紫外光刻技术应用于生命科学领域。依托光刻技术平台，我们证实固态纳米孔可实现规模化制备，达到分子传感所需精度，这为医疗健康等领域的高通量生物传感器阵列开辟了新路径。”

研究团队结合极紫外光刻与间隔层刻蚀技术，在整片 300 毫米晶圆上制备出直径低至约 10 纳米的高均匀性纳米孔，攻克了纳米孔技术中长期存在的精度与可重复性难题。纳米孔集成于氮化硅薄膜，并在水溶液环境中完成电学特性测试；脱氧核糖核酸片段易位实验也证实其具备高信噪比与优异浸润性能，验证了纳米孔对生物材料的传感性能。

未来，该技术可推动快速诊断、精准医疗与分子指纹识别技术发展。基于极紫外纳米孔技术突破，imec 正研发集成可扩展流体系统的模块化读出平台，用于面向实际应用的化学技术研发，并诚邀生命科学工具研发企业借助该平台测试技术方案与性能需求。

在 2026 年国际固态电路会议 (2026 IEEE International Solid-State Circuits Conference) 上，imec 发布题为《带宽 1 兆赫兹、噪声 193 飞安的 256 通道事件驱动型固态纳米孔单分子传感读出芯片》(A 256-Channel Event-Driven Readout for Solid-State Nanopore Single-Molecule Sensing with 193 pArms Noise in a 1 MHz Bandwidth) 的论文，展示了支撑下一代定制纳米孔的专用集成电路读出芯片概念验证成果。

推动二维材料基器件技术超越行业顶尖水平

在 2025 年 IEDM 上，imec 还公布了基于单层二硒化钨 (WSe_2) 沟道的 p 型场效应晶体管突破性能成果，以及优化后的源漏接触形成与栅堆叠集成晶圆兼容模块。该成果通过与头部半导体厂商合作达成，标志着二维材料基技术取得重大进展，被视为延伸逻辑技术路线图的长期潜力方案。

用原子级超薄二维过渡金属硫族化合物 (MX_2) 替代硅导电沟道，有望实现极致栅长与沟道长度微缩，同时保持良好的沟道静电控制与高载流子迁移率。该技术需攻克的核心里程碑包括高质量二维材料层沉积、栅堆叠集成、低阻源漏接触形成与 300 毫米晶圆产线集成。此外，当前研发多聚焦于 n 型器件 (二硫化钨、二硫化钼沟道)，p 型器件 (二硒化钨沟道等不同材料) 仍需更多基础研究。

imec 算力与存储器件技术研发副总裁 Gouri Sankar Kar 称：“在 2025 年 IEDM 上，我们通过两场独立报告展示，与 imec 的核心 CMOS 工业合作计划内头部半导体厂商的深度合作，推动基于二维材料的器件性能实现突破。两项合作中，厂商提供的高质量二维材料层结合 imec 优化的接触与栅极模块，是推动技术超越当前顶尖水平的核心因素。”

他解释道：“在二维过渡金属硫族化合物沟道上沉积顶栅氧化铪 (HfO_2) 介质层，需额外增设种子层支撑氧化铪形核与生长。n 型场效应晶体管可通过制备氧化铝界面层解决，但二硒化钨沟道材料特性与 n 型材料不同，该方案难以适配 p 型场效应晶体管。我们与台积电合作，先将台积电提供的两片高质量二硒化钨单层依次转移至衬底，形成人工双层结构，再将顶层二硒化钨氧化转化为界面层，成功支撑氧化铪栅介质沉积。这种晶圆兼容的实验室集成方案，使双栅 p 型场效应晶体管性能创下纪录。”

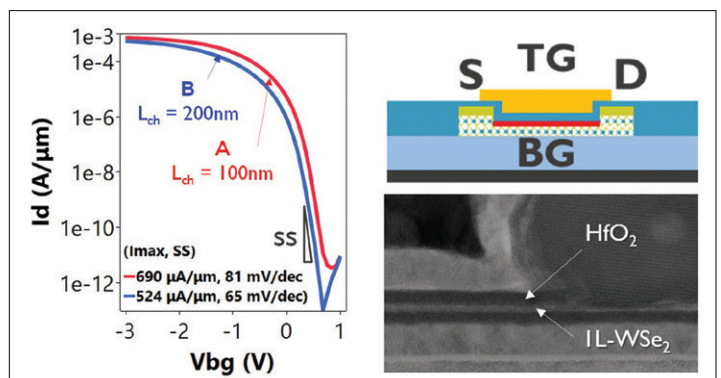


图1: WSe_2 器件的横截面图及传输曲线

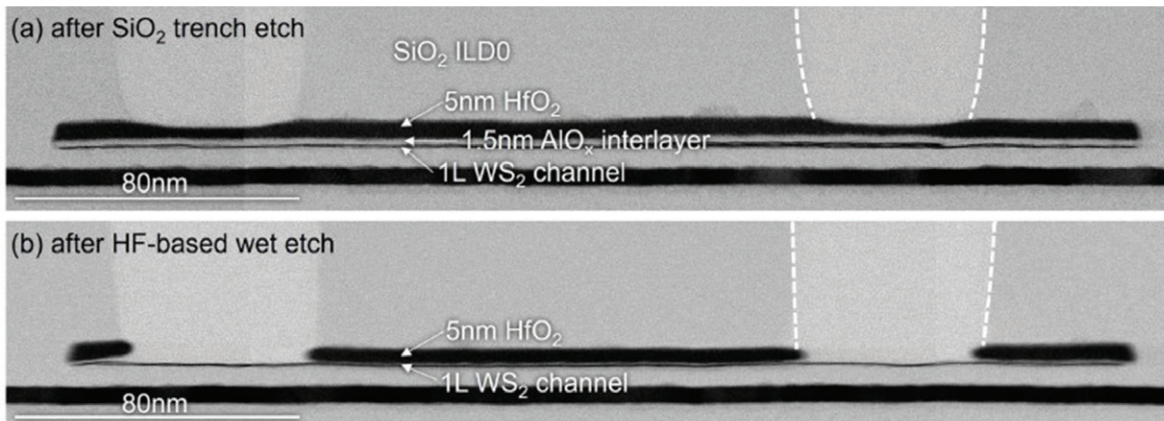


图2：采用选择性刻蚀工艺实现AlO_x中间层的横向去除

另一场报告介绍了 imec 与英特尔的合作成果：为 n 型（二硫化钨、二硫化钼）与 p 型（二硒化钨）二维场效应晶体管开发 300 毫米可量产源漏接触与栅堆叠集成模块。

Gouri Sankar Kar 介绍：“核心创新在于对英特尔高质量二维材料层实施选择性氧化物刻蚀工艺，该材料层依次覆盖氧化铝（AlO_x）界面层、氧化钪层与二氧化硅层。氧化物刻蚀工艺实现了全球首创的晶圆兼容大马士革式顶接触制备。此外，垂直接触刻蚀过程中，氧化铝界面层同时被横向刻蚀，去除沟道区域的氧化铝，显著降低顶栅等效氧化层厚度，优化栅极传输特性。”

该研究得到 imec 的 CMOS 工业合作计划探索性逻辑项目、欧盟“Horizon Europe (101189797)”与“Horizon 2020 (952792)”资助的二维材料先导项目资金支持。

突破传统短波红外传感器的成本与复杂度壁垒

在 2025 年 IEDM 上，imec 还成功实现胶体量子点光电二极管与 300 毫米 CMOS 中试线研发的超构表面集成。这一开创性方案构建了紧凑型短波红外 (SWIR) 光谱传感器的规模化研发平台，树立高性价比、高分辨率光谱成像解决方案的全新标杆。

解锁短波红外传感新可能

短波红外传感器具备独特性能，可探测可见光外波段，呈现人眼不可见的对比度与特征，能穿透塑料、织物等部分材料，适应雾霾、烟雾等复杂环境。但传统短波红外传感器成本高昂、体积庞大、制造难度大，应用局限于小众领域。

量子点图像传感器作为新一代短波红外传感器，凭借低成本、高分辨率优势成为潜力替代方案，但此前仅支持

宽波段探测，无法实现光谱模式工作。

imec 攻克这一难题，在 300 毫米 CMOS 中试线研发的超构表面上成功共集成胶体量子点光电二极管。量子点为纳米级半导体，可精准调控吸收特定红外波段；超构表面为纳米图案化超薄层，可精确控制光线与传感器的交互作用。通过 CMOS 兼容工艺融合两种元件，imec 打造出微型短波红外光谱探测器的规模化平台，构建可通过标准 CMOS 工艺制造的紧凑型高分辨率传感器架构。

imec 研发项目负责人 Vladimir Pejovic 表示：“该技术的核心优势在于可扩展性。传统量子点图像传感器需针对每个波段重新设计复杂光电二极管层，导致各应用光谱调整难度大、成本高。我们的方案将复杂度转移至 CMOS 层面，通过超构表面调控光谱响应，无需改动光电二极管堆叠结构。这为轻松定制高分辨率短波红外光谱传感器打开大门，推动安防、农业、汽车、航空航天等领域实现技术革新。”

这一突破是跨学科研发的成果，整合了 imec 在量子点图像传感器、平面光学（超构表面）与光谱成像领域的技术专长。下一步将推动该技术从概念验证迈向小批量试产，最终实现规模化量产。为加速这一进程，imec 诚邀合作伙伴携手共建。

imec 产品组合经理 Pawel Malinowski 称：“我们的目标是将这一突破转化为可商用的工业平台。希望与合作伙伴共同研发定制化图像传感器与集成器件，在实际场景中验证技术价值。通过融合 imec 的光谱技术、量子点专业能力、先进 CMOS 工艺与细分应用领域专长，我们旨在加速创新，推动下一代短波红外传感器从概念验证走向规模化量产。imec 诚挚欢迎各方合作伙伴，共同塑造传感与成像技术的未来。”

采用俄歇电子能谱作为终点检测的离子束铣削技术在MEMS芯片去层中的应用

去层是半导体 IC 芯片物理失效分析中常用的关键步骤。它是一种通过逐层去除芯片表面的材料以暴露目标层，从而对失效位置进行缺陷检查的方法。与 IC 芯片的物理失效分析相比，MEMS 器件的检查区域范围较大，从微米到毫米不等，并且通常需要材料分析来识别污染。由于 MEMS 器件是悬浮结构，而且一些层的厚度仅为几十纳米，机械抛光去层化方法在 MEMS 器件上受到了限制。使用聚焦离子束 (FIB) 进行小范围分析的去层化方法不适合分析超过 100 微米的区域，而离子束铣削技术在准确控制铣削时间以停留在目标边界时具有挑战性。为克服剥层技术的局限性，本文提出了一种原位集成俄歇电子能谱 (AES) 和离子束铣削系统的新方法，即通过监测表面元素组成的变化来实现纳米级终点控制，从而在 MEMS 去层装置上进行精确去层。

1. 引言

芯片去层技术是半导体失效分析和反向工程中的关键步骤，它是一个高度专业化且多步骤、多种技术相互结合的一个复杂过程。通常，根据芯片的材料结构、需要分析暴露的层次以及可用设备，来选择使用湿法腐蚀、干法等离子刻蚀、机械研磨/抛光、甚至 FIB 定点处理等方法。目前市面上较为主流的芯片去层技术主要包括：机械研磨与抛光、化学腐蚀、反应离子刻蚀 (RIE)、聚焦离子束刻蚀 (FIB) 等。其技术对比表见表 1。

去层技术在半导体故障分析、逆向工程和工艺优化中不可或缺。它使

工程师和研究人员能够检查内部结构、识别缺陷并验证制造工艺。这有助于提高汽车、航空航天和医疗应用设备的可靠性，并减少先进制程的上市时间。但从表 1 可以看出，传统的去层技术 (机械抛光、化学蚀刻) 面临精度不足和损伤风险高的问题，其中机械抛光技术还存在材料选择性差的问题。虽然聚焦离子束刻蚀 (FIB) 可以实现高精度加工，但缺乏实时元件反馈，容易导致关键界面 (如 Cu/SiO₂) 的过刻蚀。同时，由于 MEMS 芯片独特的三维悬空结构、材料多样性、功能敏感性和机械脆弱性，其芯片的去层面面临着更为严峻的挑战。在

对 MEMS 芯片进行去层时，我们不仅要解决去层精度的问题，还要降低结构损坏的风险，并做出正确的去层终点判断，这就需要对终点层元素进行分析。目前市面上常用的元素分析方法有很多，表 2 将其进行了总结和对比。

由于在芯片去层中我们往往只需要对终点表面进行成分分析，不需要对其元素的化学价态进行分析。基于对 MEMS 芯片去层重点关注的两个方面 (去层的效率及去层的准确性)，我们通过组合的方式：即不破坏结构的大面积去层方法加纳米级终点元素检测技术来实现精准的芯片去层，提出了一种通过离子束铣削去层与俄歇电子能谱终点元素检测相结合来实现精确的 MEMS 芯片去层的方法，并通过实验证实了这种方法的可行性。

下面将详细介绍使用我们提出的方法进行去层的详细过程以及最后的测试结果。

表1: 芯片去层技术对比表

技术对比表 ¹					
技术	精度	速度	选择性	损伤风险	成本
机械研磨	μm 级	快	无	高	低
化学腐蚀	亚 μm 级	中	高	中 (侧蚀)	中
RIE	nm 级	慢	中	低	高
FIB	nm 级	极慢	低	中 (Ga 污染)	极高

作者：樊雨佳、王瑜璞、胡雪琼、麦志洪；湖北九峰山实验室

表2: 元素分析方法技术对比表

元素分析方法对比表 ²								
技术名称	缩写	检测深度	空间分辨率	元素范围 c	化学态分析	检测限	破坏性	主要应用场景
俄歇电子能谱	AES	1-3 nm	10-50 nm	Li-U (除 H/He)	有限	0.10%	是	芯片表面污染、界面扩散
X 射线光电子能谱	XPS	2-10 nm	10 μm	Li-U	是	0.10%	是	氧化态分析、有机表面改性
能量色散 X 射线光谱	EDS	1-5 μm	1 μm (SEM)	Na-U	否	0.10%	否	材料成分筛查、缺陷分析
波长色散 X 射线光谱	WDS	1-5 μm	1 μm	Be-U	否	0.01%	否	轻元素 (B/C) 精确测定
二次离子质谱	SIMS	可变 (溅射控制)	50 nm	H-U (含同位素)	否	ppb-ppt	是	掺杂分布、痕量污染分析
原子探针断层扫描	APT	3D 原子级	0.3 nm	H-U	否	ppm	是	纳米析出相、晶界偏聚
X 射线荧光光谱	XRF	mm 级	100 μm	Na-U	否	ppm	否	块体材料成分、RoHS 检测
电感耦合等离子体质谱	ICP-MS	溶液 (全元素溶解)	N/A	Li-U (含同位素)	否	ppt	是	超纯水 / 化学品痕量杂质检测

2. 器件分析及去层操作实验

2.1 实验设备及介绍

本文实验采用的待去层 MEMS 器件为 Murata 市售的 WMRAG32K76CS2C00 MEMS 振荡器, 其频率为 0.32768MHz, 尺寸为 0.95 x 0.60mm, 是世界上最小的千赫谐振器, 具有极低的功耗、其通过高稳定性的树脂成型, 为 SMD 表面贴装器件。

在器件开封及结构分析过程中, 本文所使用的设备有 ZEISS Xradia 620 Versa 三维 X 射线显微镜, 其 X 射线源电压为 30 to 160 kV (25W 最大功率), 以下简称 XRM。其是一种利用 X 射线照射样品, 通过探测器记录透射的 X 射线强度分布, 进而重构样品的三维内部结构的非破坏性成像技术。在本文中主要用于去封装前分析 Murata 振荡器的内部封装结构。有正置金相显微镜舜宇 MX68R, 其集成了明场、暗场、偏光、DIC 等多种观察功能。广泛应用于半导体、FPD、电路封装、电路板、材料、

铸件金属陶瓷部件、精密磨具等检测。在本文中主要用于放大观测的待开封 Murata 振荡器, 辅助操作人员在其放大视野下进行开封操作。有日立 Hitachi Regulus 8230 扫描电镜, 其主要利用聚焦的很窄的高能电子束来扫描样品, 通过光束与物质间的相互作用激发各种物理信息, 通过收集器和影像放大镜对这些信息进行收集、放大、再成像以达到对物质微观形貌表征的目的。其二次电子像分辨率为 0.6nm@15kV, 0.7nm@1kV, 20nA, 能够清晰观察和分析样品的微观结构。同时该设备配备 EDS 能谱分析模块, 能够在真空室条件下用电子束轰击样品表面, 激发物质发射出特征 x 射线, 根据特征 x 射线的波长, 可定性定量分析样品表面微区的成分。在本文中该设备主要用于对开封后的器件层进行形貌观测及元素分析, 从而分析其内部的立体结构及层次。

在进行去层及终点检测过程中, 本文所使用的去层设备为 JEOL JAMP-9510F 俄歇电子能谱仪 AES

中的 AP-82200(AVC) 微区离子刻蚀附件, 氩离子刻蚀枪, 其由离子源、加速电极、聚焦透镜和控制电源构成, 利用辉光放电原理将氩气分解为氩离子, 氩离子通过阳极电场的加速物理轰击样品表面, 达到刻蚀效果, 是表面分析和纳米科技装置中的重要构成之一。其溅射电压范围为 0.0-4kV, 离子束流 $\geq 2\mu\text{A}$ @3kV, $\geq 0.03\mu\text{A}$ @10V。使用的终点检测设备为 JEOL JAMP-9510F 俄歇电子能谱仪, 其由电子枪、能量分析仪、二次电子探测器、(样品) 分析室、溅射离子枪和信号处理系统与记录系统等组成, 是用具有一定能量的电子束 (或 X 射线) 激发样品俄歇效应, 通过检测俄歇电子的能量和强度, 从而获得有关材料表面化学成分和结构信息的方法。本设备能量分辨率为 0.05%-0.6% @ 2kV, 俄歇谱灵敏度为 840,000cps@(Cu-LMM 10kV 10nA; 能量分辨率: 0.6%, 倾斜 60°)。

2.11 器件开封及结构分析

在该技术开发中, 使用了一



图1: MEMS振荡器XRM图

款市售的 MEMS 器件——Murata 0.32768MHz MEMS 振荡器。为了了解该器件的封装结构以制备用于去层技术开发的样品，我们将该器件放入 XRM 样品台上进行扫描分析。通过 XRM 扫描后，我们得到了该 MEMS 器件的封装方式，通过其扫描图见下图 1，我们可以清晰的看到该器件的三个主要部分：腔体、MEMS 芯片、盖帽。

为了分析 MEMS 器件，需要进行去封装以移除 MEMS 盖帽。为保持材料特性并避免内部结构变形，去封装需采用低温工艺。由于 MEMS 盖帽与 MEMS 芯片采用共晶键合，而 MEMS 腔体与 MEMS 芯片采用熔融键合，因此通过机械分离即可将盖帽与 MEMS 芯片分离。于是我们使用 AB 胶将该 MEMS 器件侧面竖直固定在夹具上后放置于可加热样品台上，加热样品台使胶水在 100°C 下固化。随后将固化好的样品移至金相显微镜下，通过移动与对焦，清晰得观察到盖帽与芯片的分界线，然后用手术刀沿着盖帽与芯片的界面将其机械剥离。去封装后，MEMS 器件被分为两部分：盖帽和带有腔体的芯片器件层。紧接着我们对该 MEMS 器件的结构进行了分析。首先我们将已分开的两部分 MEMS 器件置于 SEM 样品台上，使用 SEM 扫描电镜进行了成

像拍摄，了解了其内部结构并对其关键尺寸进行了测量，图 2（左）为盖帽结构的 SEM 图像，图 2（右）为器件的 SEM 图像。

对于开封后的器件层，我们又对其局部进行了更多的数据测量及结构

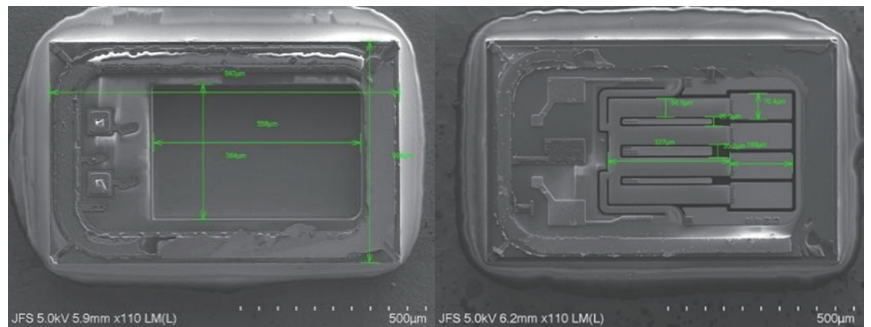


图2: MEMS振荡器开封后表面SEM图

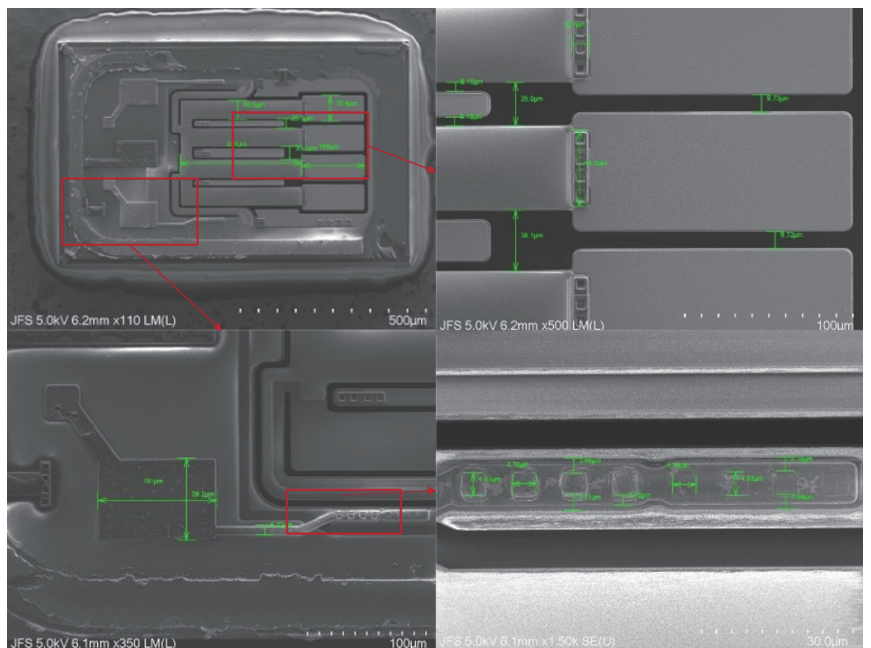


图3: MEMS振荡器器件层SEM结构测量图

分析，如图 3 所示。从中我们发现样品 MEMS 振荡器的器件层有许多悬浮的结构，这说明其表面并不平整。

为了不破坏器件的结构同时对器件进行进一步的分析，我们选择了对器件层做 EDS 来对器件材料成分进行分析。我们使用 SEM 中的 EDS 能谱分析功能对芯片器件层整个面积进行了扫描，得到了器件层的元素组成。如图 4 所示，其中各部分元素主要有钼、锗、硅、铝、氧等。

因为该 MEMS 振荡器的器件层有许多悬浮的结构，为了得到 MEMS 器件层的层次结构，我们选取了该器件层的固定位置（红线标记处）的一

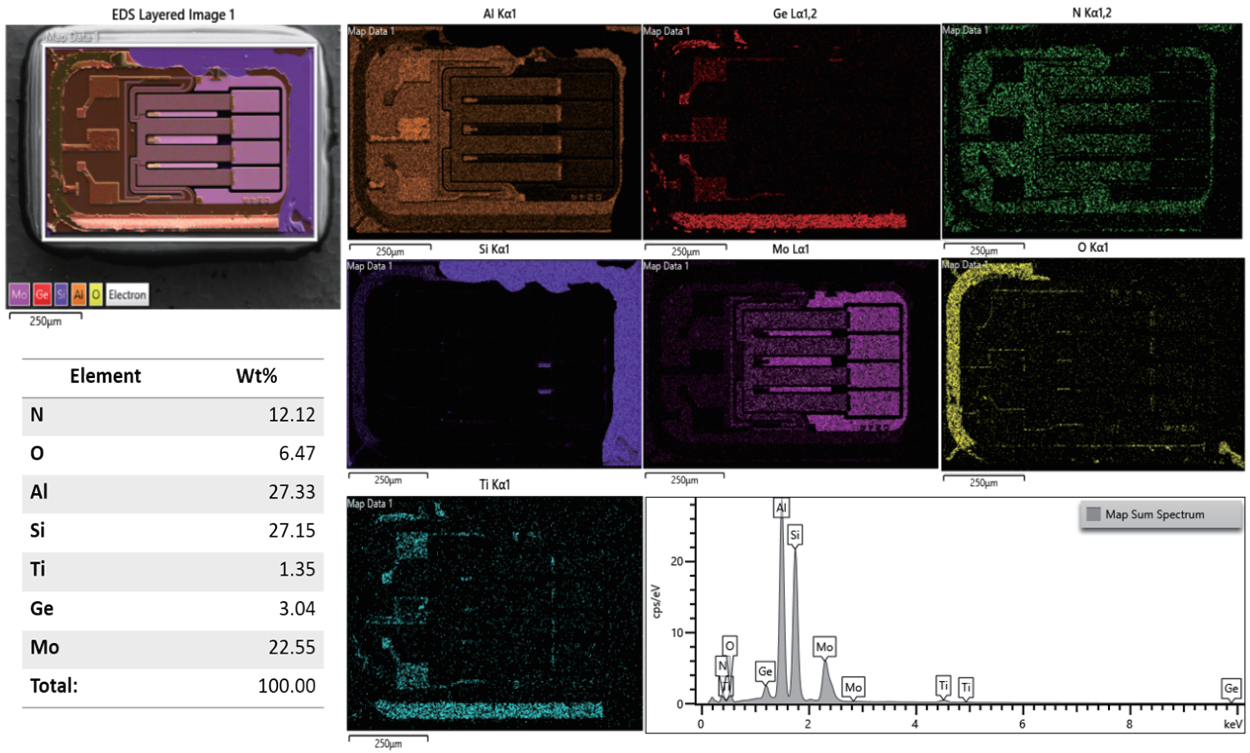


图4: MEMS振荡器器件层EDS mapping图

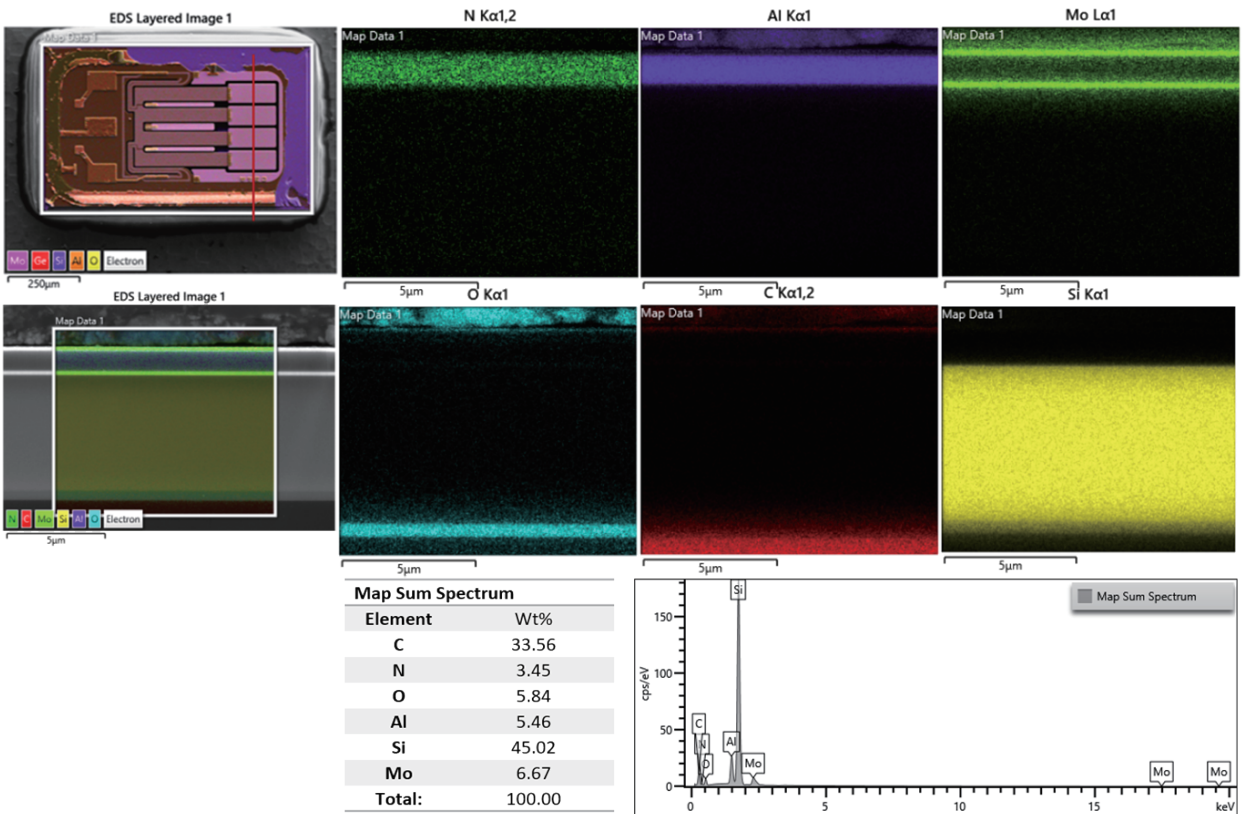


图5: MEMS振荡器器件层截面EDS mapping图

个截面，对截面进行了 EDS 能谱分析，从而获得了该器件层的层次结构。如图 5 所示，我们可以看到 Mo 电极上有一层高分子聚合物。

为了对该振荡器进行进一步的研究，我们必须将上面的高分子聚合物去掉，使钼电极完全暴露出来，因此我们将进行去层操作。

2.12 器件层去层

我们使用 JEOL JAMP-9510F AES 俄歇电子能谱仪中的 AP-82200(AVC) 微区离子刻蚀附件，氩离子刻蚀枪进行去层操作，同时使用其俄歇电子能谱仪进行终点 (Mo 电极层) 的检测。

首先开始为 AES 准备样品。我们将开封后的器件层样品通过导电胶带固定在 AES 样品台上。由于样品材料本身的导电性较差，且振荡器边缘有 AB 胶残留，我们使用导电碳胶覆盖振荡器边缘的 AB 胶，使振荡器边缘导电，同时不影响关键内部结构。制备前后的 AES 样品 OM 示意图如图 6 所示。

接下来，我们将样品台放入 AES 真空室。为了避免样品表面污染，我们抽真空至真空度达到 $3.0E-7Pa$ 后立即开始测试。首先，我们在样品表面选定的目标点即图 7 点 2 处进行 AES 全谱扫描，记录样品的初始元素谱图。

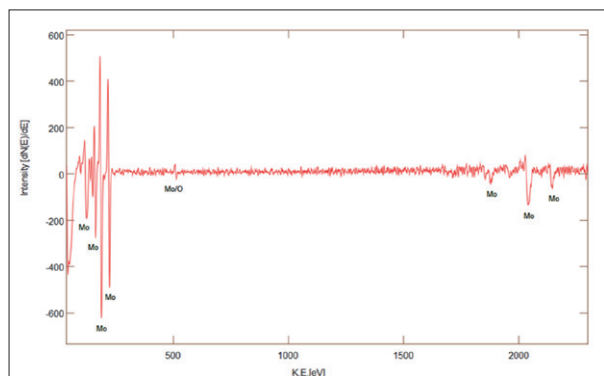


图 8: MEMS 振荡器 2 点处刻蚀完成时 AES 全谱图

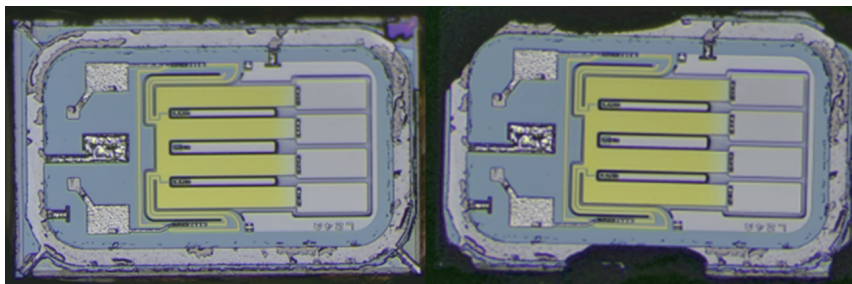


图 6: MEMS 振荡器涂导电碳胶导通前后 OM 图

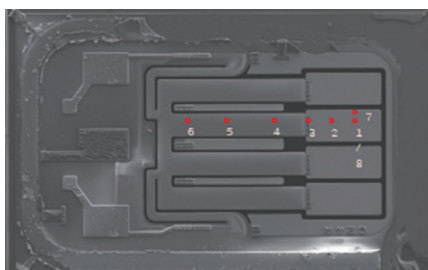
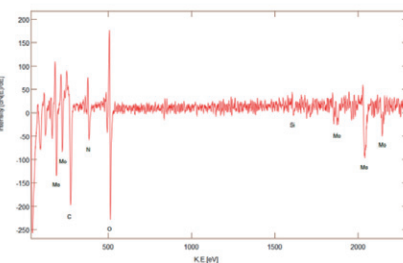


图 7: MEMS 振荡器 2 点处未处理时 AES 全谱图

从 2 点处的 AES 全谱图中，可以看出点 2 处在钼电极上有一层含氧高分子聚合物，为了将钼电极暴露出来，达到目标 Mo 电极层，我们通过 JEOL JAMP-9510F AES 俄歇电子能谱仪中的 AP-82200(AVC) 微区离子刻蚀附件进行去层操作，所选离子束源为氩离子束，能量 3kV，发射电流 25mA。刻蚀过程中，我们以氧峰及钼峰为参考线，通过调整氩离子束刻蚀时间及 AES 谱线图监控到氧峰逐渐减小，钼峰逐渐增大，直至全谱图中只有钼峰即可完成高分子聚合物的去层，达到终点 Mo 电极层。通过上述操作，在刻蚀时间 2min 后，我们通过 AES 全谱扫描图 (图 8 所示)，判断出已经完成去层，达到了去层终点。

3. 结果分析

通过上述实验过程，我们最终通过



AES 谱线图，证明通过离子束铣削和 AES 能谱组合同时搭配真空系统，可以成功的进行 MEMS 芯片的去层并准确的判断终点，实现精确去层。并且由于 AES 对金属的检验信号异常敏感，我们并不需要搭乘超高真空系统，这对于 MEMS 器件的去层成本节约也起到了一定的作用。

总结

我们采用市售的 muRuta MEMS 振荡器进行开发 MEMS 去层技术。我们在分析的过程中需要通过去层来使其钼电极完全暴露并且不破坏其机械结构。在这个过程中，我们采用了离子束铣削与 AES 能谱检测和真空系统的组合形式，即一种原位集成俄歇电子能谱 (AES) 与离子束铣削系统的新方法。通过观察局部区域的表面元素成分变化，从而实现纳米级终点控制，成功实现了对样品的精确去层，这提升了去层准确性且节省了真空成本。这为半导体的失效分析和反向工程提供了一种新的思路。◆

下转第 31 页

eFuse如何助力汽车电气化

保险丝是汽车电路中历史悠久的一个存在。当电路系统出现故障时比如某个负载损坏，其后果可能是危险的，比如负载短路引起设备被整体毁坏，引发起火等更进一步的严重危害。保险丝是抵御这些危险过载和短路的重要元件。保险丝内含金属线或金属条，当电流过大时会熔断，切断电路并防止设备系统损坏或进一步危害发生。汽车电路中，传统设计采用可熔断型保险丝，很多保险丝密集设计在一个盒子内，其位置一般会放置在需要更换时方便打开的地方。但由于过于集中在同一位置，而保险丝对应的负载遍布车身各处，这种设计难免造成线束繁多且走线复杂，增加电缆长度，重量和成本。而且，传统保险丝仅提供基础的过流过载的保护，无法提供如过压，精确过流控制，电流反馈，诊断等复杂的保护和功能。eFuse（电子保险丝）是一种集成电路，可以替代以上提到的传统保险丝。eFuse集成了控制电路，大部分产品也集成了MOSFET，其功能不仅仅是保护电路，更是负责给负载分配电源并提供多种保护功能的PD电源分配电路。并且，采用eFuse设计的汽车电路一般采用分布式布局的电源分配结构，这种布局降低了布线复杂度，可以降低电缆长度，并且eFuse的引入还可优化布线线径（过流保护更精准），从而减少了电缆的使用长度和总体重量。

eFuse作为传统保险丝的替代，其拥有巨大的优势。

- 可设置性高：可通过修改内



图1：汽车传统的可更换保险丝的保险丝盒

部寄存器或外围器件参数来修改I_t保护参数设置来适应保护不同的线束类别。

- 可升级性好：通常eFuse同一系列甚至不同系列都是设计成可替换引脚排布，不仅可以替换为同一代产品来实现某些性能提升（如额定电流加大），也可以替换成高端系列增加新的功能。
- 支持诊断：eFuse可以反馈很多诊断类信息，尤其是部分eFuse支持SPI或I²C等常用接口可以反馈更多的信息。
- 支持电流反馈：eFuse通常可以支持读取负载的电流信息，这对于主控了解负载的状态至关重要但传统保险丝无法实现这种功能。
- 速度快：传统保险丝是通过热量积累最终熔断设计来实现保护的，其不仅保护电流

会受温度影响较大，反应速度也很慢，而eFuse直接采集电流信号，直接根据电流大小来确定保护行为发生，其速度提升巨大。

另外，eFuse还可以提供传统保险丝无法提供的过压保护等功能，其更精确的过流保护设置可以优化线束的线径从而减低重量和成本，其可调整可设置的自恢复特性有助于减低维护成本。

eFuse有很多实现方案，比较传统的分立式方案现在已经不太常用，其使用MOSFET以及外围分立器件检测和控制整个电路运行，由运放、比较器、电阻、电容等构成，这种传统分立式方案电路复杂但性能一般。无法与专用集成电路方案匹敌。专用集成电路则将绝大部分功能集成在一个芯片中，其根据性能和功能多少以及MOSFET外置还是内置也会分几大类。以安森美半导体的

eFuse 产品为例，其按照功能多少以及是否内置 MOSFET 划分成了四大类别，以适应不同的功能需求和电流大小需求。通常高电流的通道需要选择外置 MOSFET 方案，低于 30A 的电流通道可以根据功能的需求在内置 MOSFET 方案中选择最适合的一类。

首先是 SmartFET-F 系列，如 NCV840xxF，这是标准高边开关系列。MOSFET 内置，可以提供 1.5mΩ 到 45mΩ 的选择用以不同电流通道，最高支持到 30A 负载电流。这个系列可以认为是传统高边开关的功能加强，用在最基础的负载电源控制应用。其拥有一些基础功能：高精度负载电流检测，错误反馈，智能重启（适用于短路或浪涌电流如电容充电场合），快速热响应。这个入门系列没有 eFuse 最重要的一个功能，用来模拟真正保险丝的 I^t 保护功能。另外需要提到一个产品 NIV3071，其也是属于标准高边开关的产品，其拥有 4 个独立通道（可不同电压独立供电）且耐受 60V 的电压，可以支持多路高压应用的场合。

功能完善的 eFuse，SmartGuard-G 系列，如 NCV840xxG，

这个系列可以认为是拥有 eFuse 的较为完整的功能。要模拟传统保险丝的熔断行为，最重要的功能是 I^t 保护功能，在 G 系列当中不仅支持可设置的 I^t 保护功能，并且 I^t 保护电流水平是可由电阻在额定的范围内可自由设置的。同时，过电流限制也是由单独电阻在额定范围自由设置的，电流限制和 I^t 保护点设置互不影响可以自由组合设置。其拥有低功耗模式（Low Power IDLE Mode），在负载电流需求降低时可以降低电流消耗（关闭一部分保护以及降低输出电流能力）。另外，G 系列还增加了非常重要的电容充电模式，用以适应负载含有大电容时充电阶段的应对。SmartGuard-G 系列是功能较为完善的内置 MOSFET 的 eFuse 产品。

SmartSPI-S 系列是拥有 SPI 接口的 eFuse，随着汽车电气化的推进，负载数量越来越多，区域控制器需要分配的电源通道数也在增加，传统 eFuse 采用直接连线来控制 and 反馈使得 MCU 的 IO 资源消耗越来越严重，甚至出现了增加 IO 扩展芯片来应对 eFuse 通道数增加的设计。SPI 控制的 eFuse 可以极大缓解这种情况，

所有支持 SPI 的 eFuse 均可以连接在一个 SPI 总线上，这极大减轻了对 MCU 的 IO 资源的消耗。这个系列的产品电流采样直接数字化输出同样降低了 MCU 资源的需求。

SmartDriver 系列是 SPI 控制的 eFuse 高边预驱，采用外置 MOSFET 架构以应对大电流应用（30A 以上的负载）。其拥有非常完整的功能，除了包含以上几个系列提到的功能，其还有看门狗以及预防性维护的功能，电压和温度信息直接数字化输出。

并非所有的产品都可以归为以上 4 个类别，比如 NCV760040，其为 4 通道非隔离结构，在电流保护功能上接近于基础功能的 NCV840xxF 系列，没有 I^t 保护这样的模拟传统保险丝行为的功能，但是其具有 I²C 通信能力，状态读取以及诊断反馈能力比较强，可以直接 I²C 读取负载电流或通过 CS 读取，所以 eFuse 产品呈现出多种多样的特点，需要根据具体应用来选择合适的产品来获得最佳的性价比。

接下来介绍几个 eFuse 最重要的功能，首先介绍保险丝最传统的电流保护功能。最基础的是过流保护功

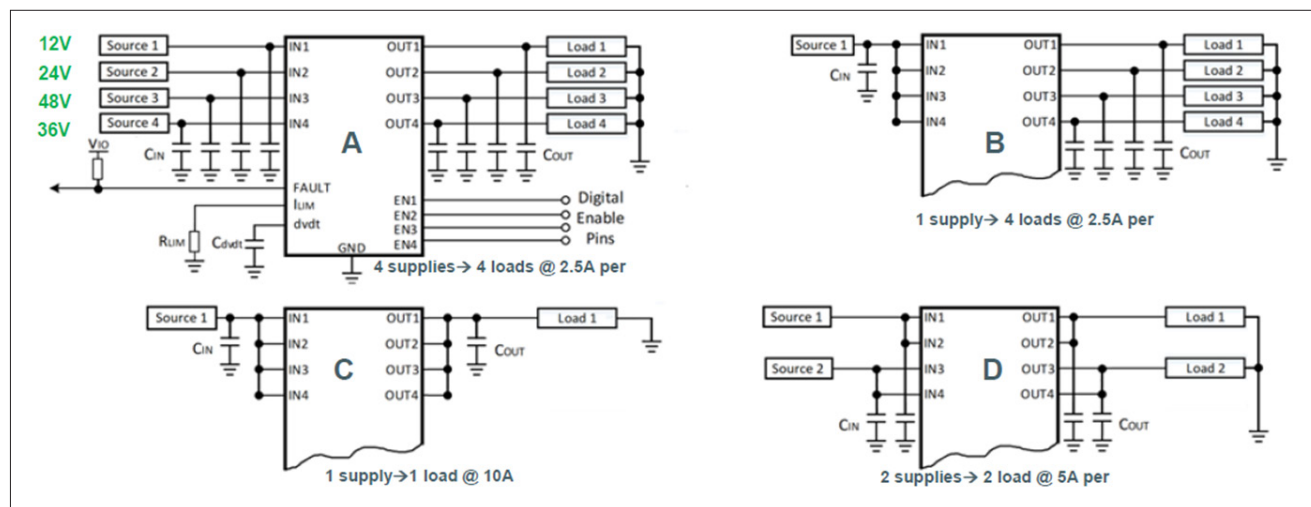


图2: NIV3071典型应用电路框图

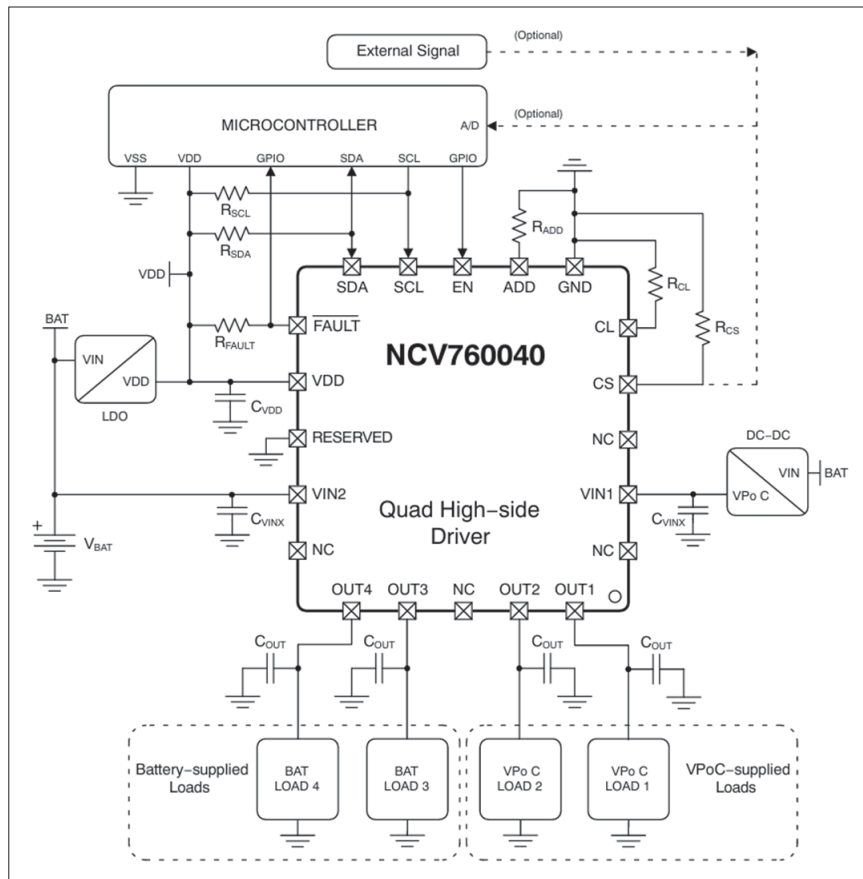


图3: NCV760040的应用电路框图

能，eFuse 通常具有可调的电流保护点设置能力，用以适应不同的应用场合和负载，以 NCV840xxG 为例，其电流保护点可以在 25% 到 75% 之间以及最大值 100% 自由设置，通过外部电阻即可更改。除了过流关断功能外，NCV840xxG 还内置了一项智能过载保护机制，以 I^2t 函数形式模拟传统熔断保险丝的电流 - 时间特性曲线。当高电流持续导通时间超过设定的 I^2t 限值时，内置电路会强制输出级关断。该特性精确还原了传统保险丝的电流 - 时间关系，使用户能够无缝替代传统保险丝来在应用中保护线束。

接下来我们来看一下应对容性负载的功能。NCV840xxG 系列拥有先进的容性负载处理能力，用在拥有大

电容特性的负载场合。进入容性负载模式是自动的，作为默认的从睡眠模式的开通策略，IN 引脚的使能会让器件自动进入容性负载模式。容性负

载模式下，会主动降低斜率使得开通是逐渐进行的。由于容性负载的开通会使得开关管承受非常高的应力，在容性负载模式下降低的动态热保护阈值用以保护开关管不被损坏，这种动态热保护在外置 MOSFET 的结构中或者分立器件方案中是难以实现的。由于过高的应力会触发如 DTSD（动态热保护）或过流保护等，重试策略保证负载被完全充电至完成。

容性负载模式的退出是可以由多种条件触发的，基于 V_{ds} 检测的自动退出至正常模式，当电容性负载被充电时，输出电压会逐渐增加。 V_{ds} 会被持续监测，一旦达到由 V_{ds_Norm} 定义的阈值，器件将退出至正常模式。此外，为避免在此状态下长时间运行，还设计了由 t_{max_Cap} 指定的最大时间，内置计时器保证最大 50ms 的容性模式运行时间，还可以通过 CS_EN 引脚来控制退出容性负载运行模式。当然，对于不需要容性负载的应用场合，也有特定的操作可以直接进入正常模式。

过温保护能力，相对于使用分立器件设计的方案，内置 MOSFET 的

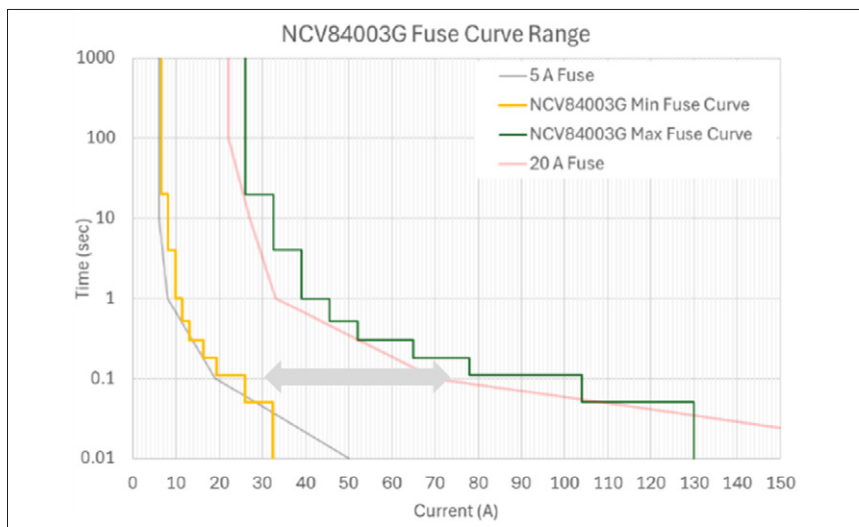


图4: NCV84003G可以模拟传统保险丝的I²t曲线

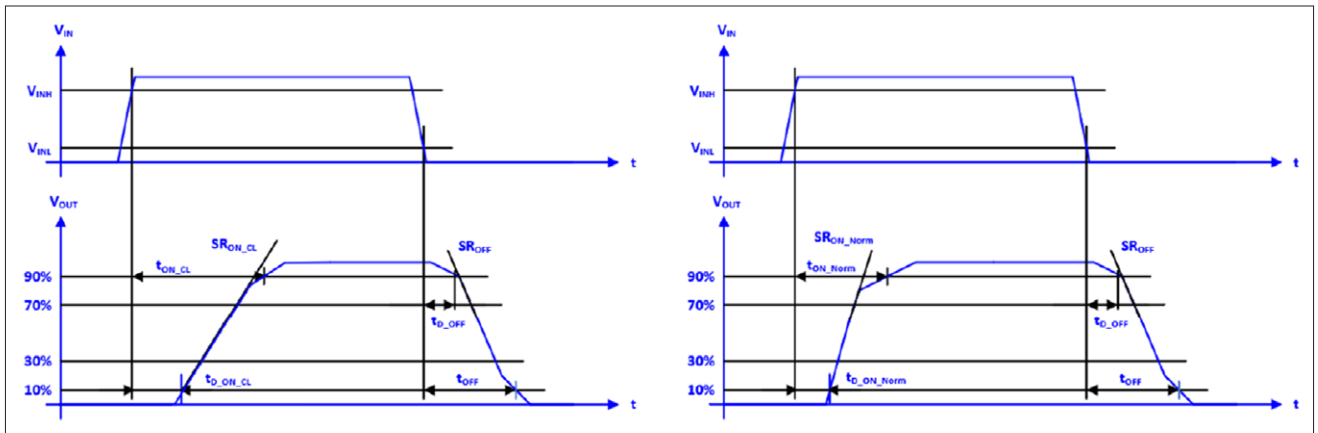


图5: 电阻负载电压波形: 左图为容性模式, 右图为正常模式

eFuse 方案拥有更加可靠的热保护能力。NCV840xxG 内置了 2 种过温保护机制, 是基于两种测温方式: 绝对值和相对值。为了防止损坏发生, 任何一种保护触发都会让开关关闭输出。绝对值温度保护的方式比较传统, 当芯片内部的温度达到设定阈值 T_{TSD} 时, 开关关闭输出用以保护电路不被损坏, 然后核心温度会缓慢降低, 当温度下降一定的阈值 T_{TSD_HYS} 时, 电路可以重新启动。而相对值保护适用于在长时间高功率耗散条件下, 结温的快速上升会在器件内部产生严重的温度梯度。当这种温度梯度差变化达到规定阈值 T_{DTSD} 时, 相对值温度保护功能被激活, 从而关闭器件。需要注意的是, 在电容性负载模式下,

T_{DTSD} 阈值会降低至 T_{DTSD_CL} , 以限制在给电容性负载充电时器件承受的瞬态应力。此外, 热保护将在芯片的差分或绝对热极限被超出时覆盖 I^2t 保护。

随着汽车电气化的发展加深, 保险丝这个传统上不被重视的器件也迎来了快速发展时期, 并且还在快速发展中。传统的保险丝正逐步被功能强大的 eFuse 所取代。汽车电路的架构也由集中式向着分布式的架构发展。同时 eFuse 的发展也极大帮助了汽车电路架构的革新, 加强了汽车电路可靠性的同时帮助整体电缆减低长度与线径, 使得总体成本、体积、重量得以降低。eFuse 还依然处于高速发展时期, 其技术已经不单纯追求模拟传

统的保险丝的行为, 因为传统保险丝并非拥有最优的特性。比如 eFuse 已经拥有了超越传统保险丝的电流检测保护精度, 尤其考虑到不同的环境温度这个优势更加明显。eFuse 也已经可以模拟传统保险丝的 I^2t 特性, 但传统保险丝 I^2t 行为并非应用需要的理想行为, 安森美目前正在研发能在非恒定 I^2t 条件下工作的 eFuse, 其曲线点和参数可通过 I²C 或 SPI 等串行通信协议进行编程设定。eFuse 已经超越传统保险丝, 并且这种优势还会逐步扩大, 了解 eFuse 的特点并且在设计初期把 eFuse 考虑进电路设计架构中已经变得越来越重要, 希望此文可以帮助您初步了解 eFuse 的特点和功能。◆

上接第27页

参考文献

1. Douglass D₂, Godin K. WHOLE-CHIP DELAYERING FOR FAILURE ANALYSIS AND QUALITY ASSURANCE.[J]. Electronic Device Failure Analysis, 2023, 25(2).DOI:10.31399/asm.edfa.2023-2.p004.
2. 汪小青, 虞勇坚, 马勇, 等. 集成电路检验/失效分析过程芯片去层制备方法 [J]. 电子与封装, 2021(08):021.
3. 万真真, 付新新, 王永清, 等. 基于高能粒子溅射的表面深度剖析方法现状及应用 [J]. 高压电技术, 2018, 44(6):8.DOI:10.13336/j.1003-6520.hve.20180529029.
4. P. Bertrand et al., "In-situ Auger Electron Spectroscopy for Endpoint Detection in Ion Beam Etching of Multilayer Thin Films," Journal of Vacuum Science & Technology A, vol. 38, no. 3, 2020.
5. Y. Wang et al., "Integrated AES-FIB System for Nanoscale Semiconductor Delayering and Failure Analysis," Microelectronics Reliability, vol. 121, 2021.
6. 周华, 黄伟. FIB/SEM 联用技术在芯片逆向工程中的进展 [J]. 微纳电子技术, 2021, 58(5): 390-397.
7. 陈明, 刘芳, 吴杰. 离子束研磨在先进制程芯片失效分析中的应用 [J]. 半导体技术, 2020, 45(8): 601-607.
8. 张伟, 李强, 王磊. 基于聚焦离子束的集成电路逐层暴露技术研究 [J]. 电子显微学报, 2019, 38(3): 45-52.

数据之外：液冷技术背后的连接器创新

AI大算力时代，算力需求持续释放，数据中心等基础设施建设不断提速，加之政策端对高功耗智算中心的严苛能效要求，使得液冷技术逐渐成为突破散热瓶颈的关键方案，迎来强劲的上升周期。

通过详细分析技术数据，可以深入了解那些专为高性能计算系统、电动汽车充电桩等要求比较严苛的应用输送冷却液而设计的连接器。

在工业、航空航天和汽车行业，利用液体进行热交换早已司空见惯。运动部件会迅速升温，而液体能够有效地将热量传递到温度较低的区域。如今，随着服务器的功耗从数十千瓦攀升至数百千瓦，将同样的液冷方式应用到服务器/高性能计算等新技术领域已是势在必行。据市场研究机构 TrendForce（集邦咨询）预计，液

冷技术在 AI 数据中心的渗透率将从 2024 年的 14% 大幅提升至 2026 年的 40%，并在未来数年持续增长。

固态电路中其实也存在“运动部件”；电子和空穴在晶体管内部及其之间传导电流。这种电流传导使得电子与空穴在晶体管连接区域复合时局部释放热量。液体比气体具备更优异的热传导能力，但两者都不能直接接触晶体管的结点，因此热量首先需要通过集成电路的封装传导出去。

得益于物理定律和出色的设计，热量通常会向温度较低的区域扩散，而这些区域通常位于器件的表面。热量一旦传导至表面，便可以转移到空气或液体等其他介质中。能否以足够快的速度散热从而确保晶体管的结点在其工作温度范围内运行，这一点至关重要。液体是比气体更高效的热传

导介质，但是利用液体给电子设备散热也会带来一些复杂的难题和挑战。

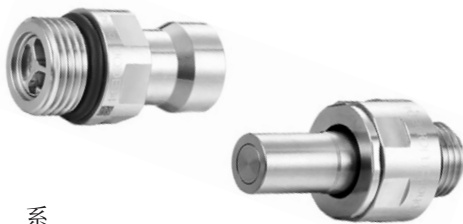
根据具体应用情况来看，所使用的液体有可能不是绝缘介质（不导电），因此连接器需要满足一些基本要求。其中之一是确保无泄漏，其二是在给定尺寸下具备较高的载流量，这两点要求都会影响连接器的设计。

安富利作为全球领先的技术分销商和解决方案提供商，拥有非常全面的代理产品线和海量的零部件库存，以及出色的供应链服务和强大的设计能力，能够为遍布世界各地的客户和工程师提供领先的连接器方案和专业支持。

在安富利代理的 IP&E（互连、无源与机电器件）全系列产品线中，连接器的品类尤为丰富，可为客户提供多样化的选型支持，进一步优化



作者：Gary Tang, 安富利中国供应商及产品管理总监



系

统稳定性、能效与可持续性的关键，为数据中心的绿色高效发展及算力产业的高质量发展奠定了坚实基础。AI 的加速渗透，正促使液冷技术从早期试点迈向规模化导入的新阶段。无论客户选择何种液冷技术路线，安富利作为技术赋能型合作伙伴，都能为其提供从供应链服务到设计研发，从产品增值服务到全套解决方案的多维生态赋能，以全栈式支持能力为其保驾护航。”

“我们代理了业内顶尖品牌的领先 IP&E 产品，广泛的产品组合覆盖近 100 条 IP&E 产品线，涵盖天线、电池、连接器、无源器件、电源等各类相关产品，能够为客户提供真正意义上的一站式采购平台，全面满足客户的液冷系统创新设计需求。凭借全面的代理产品线、扎实的技术服务能力、专业的技术服务团队以及长期且前瞻的投入，安富利将助力客户战略卡位液冷赛道，为未来数字经济的可持续发展夯实底层的基础设施技术支持。”安富利中国供应商及产品管理总监 Gary Tang 补充道。

算力时代，“冷静”为王。液冷正在重塑算力基础设施的未来。请点击此处深入了解液冷技术的更多优势，并发掘安富利集成解决方案如何助力客户构建面向未来的解决方案。也欢迎访问安富利互连、无源与机电器件 (IP&E) 专题页面，一站式解锁安富利覆盖近 100 条代理产品线的广泛 IP&E 产品矩阵，赋能下一代系统设计。◆

其设计。以安费诺的 UQB 和 UQDB 系列液冷连接器为例，这两款连接器的技术指标超越了开放计算项目 (OCP) 制定的标准和设计规范。UQB 系列采用快速连接技术，而 UQDB 系列则具备盲插功能，便于安装。这两款不同系列的连接器均采用高性能的航空级密封材料，并配备双向截止阀和干式断开密封功能，可有效防止泄漏和滴液。为了延长器件的使用寿命，UQB 和 UQDB 系列液冷连接器采用了不锈钢材质来防止腐蚀。

液冷行业的标准和规范

UQB/UQDB 系列连接器符合 OCP 通用快速断开标准，该标准适用于利用液体冷却电子设备的不可燃单相系统。“单相”指所使用的流体始终处于液态。而在两相系统中，流体会经历汽化和冷凝过程。这个过程能够带走更多的热量，散热效率更高，但系统复杂性也大幅增加。

单相系统包括：

- 芯片直冷：在这种配置中，需要将冷板直接粘合在集成电路的封装上，类似于传统的散热装置。冷却液在冷板内部流动，以带走芯片产生的热量。
- 后门热交换器：通常是一种混合方案，服务器的实体后门被替换为一个有冷却液在其中循环流动的门。温度高的液体随后会流经热交换器（通常位于建筑物外部）。
- 浸没式液冷：在这种配置中，电路板会被浸没在一种导热但绝缘的液体中。

在上述各种方案中，所使用的液体多为去离子水、丙二醇或合成

油。这些液体安全无毒，具有优异的热传导性，且沸点高。而在两相系统中，冷却液通常含有氟碳化合物，沸点较低。

冷却液分配单元

液冷技术的部署方式多种多样。行间冷却是为整排服务器机架配备一个冷却液分配单元，并放置在机架旁边；机架内冷却则是将冷却液分配单元集成到机架内部，让冷却液更接近最热的组件。

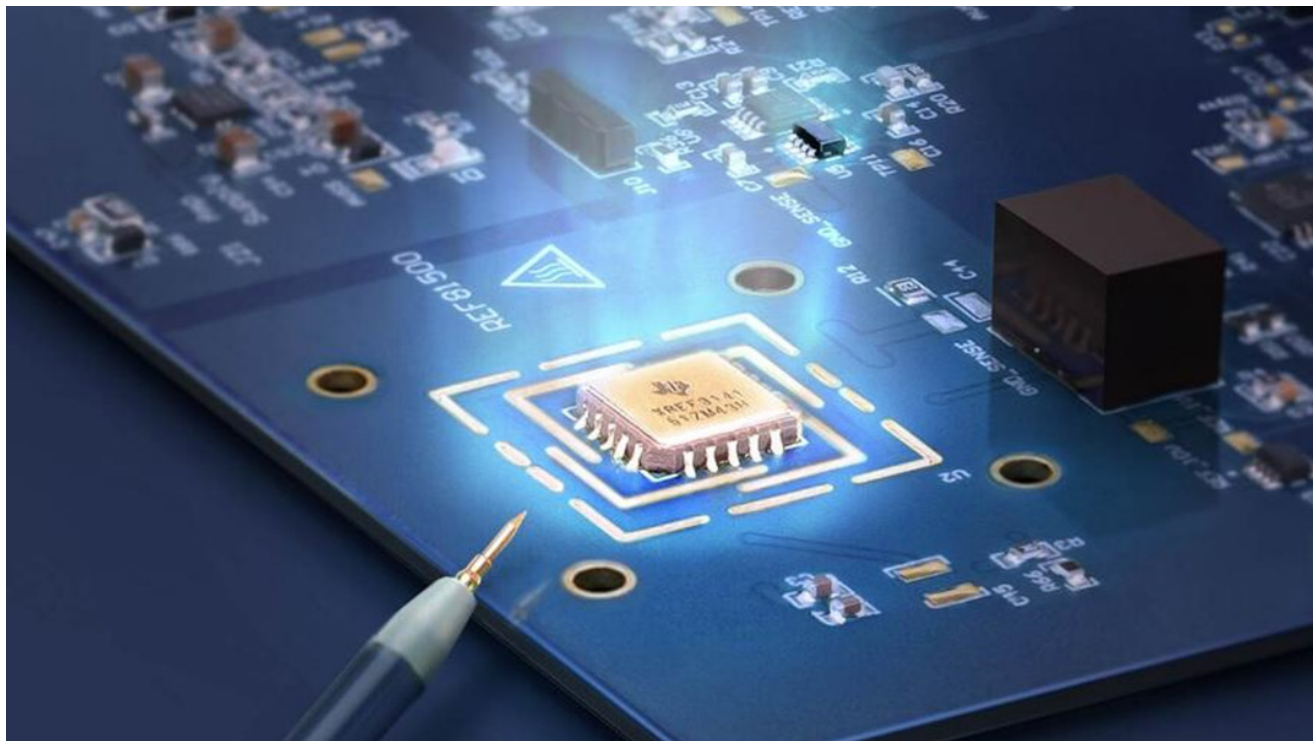
冷却液分配单元 (CDU) 是任何液冷系统的核心设备。此外，构成任何 CDU 的主要组件都包括：用于输送液体的泵、管道和歧管，一个热交换器，一个过滤系统，一个控制单元以及用于维持冷却液流量和压力、监测温度和检测泄漏的传感器。

热交换器是关键组件，其设计取决于系统采用的是液-液形式还是液-气形式进行热交换。在液-液系统中，温度高的冷却液所流经的组件会与其他装有冷水的组件相接触，而这些冷水通常来自设施自身的供水系统。热量通过组件表面从温度高的冷却液传导到温度较低的水中。随后，这部分变温热的水会被泵出 CDU。

热交换效率取决于热传递系数。该系数的计算主要基于所使用材料的热流密度（单位为瓦特每平方米），以及进行热交换的液体和材料之间的温差。

液冷技术已经应用于高性能计算、数据中心和电动汽车充电设备。随着越来越多的新型连接器解决方案推向上市，预计该领域将迎来更多的创新。

安富利中国供应商及产品管理总监 Gary Tang 强调：“液冷方案是决定



让测试测量的精度再提升

半导体技术进步如何推动测试设备实现突破性发展

一辆自动驾驶汽车以每小时 35 英里[▲]的速度驶向路口，其激光雷达系统探测到前方有障碍物。能否精准测出与障碍物的距离是 165 英尺还是 167 英尺，将决定车辆能否及时平稳制动。多出来的这 2 英尺，可能就是安全与灾难的分界线。

这种精度的测量依赖于精密的模拟技术，它连接了数字处理与我们的物理世界。

高精度数据转换器、放大器、电压基准源及其他模拟集成电路 (IC)，旨在以前所未有的准确性捕捉现实世界的信号，如温度、湿度、电压、电流、距离和位置。这些模拟芯片在电路板

上协同工作，提供系统级的精度，使数字系统能够做出智能决策。

然而，在芯片协同工作之前，必须使用比芯片本身更尖端的先进测试设备，对其性能和精度进行测试与验证。自动化测试系统 (ATE)、高分辨率示波器、数字万用表及其他工具，依靠先进的半导体器件来验证下一代电子产品的性能。一旦出现任何失误，制造商就可能面临高昂的产品失效损失、安全隐患，更重要的是，会失去消费者的信任。

永不止步的精度追求

TI 数据转换器与时钟产品副总

裁 Karthik Vasanth 表示：“半导体行业正朝着栅极长度 1.5nm 的晶体管迈进。打个比方，两个硅原子之间的间距约为 0.23nm，所以这个距离大约相当于原子间距的五倍。这简直令人难以置信。”

随着半导体达到原子级的精度，高分辨率测试设备也必须变得同样尖端。工程师们持续设计测试设备，使其每一代都能测量更宽的带宽、更快的信号和更高的分辨率。

Robert Manion 在 Emerson 旗下的 National Instruments (NI) 亲身见证了这一演进历程。作为半导体解决方案测试与测量部门的总经理，他的公

司使用 TI 的精密 IC 来检测几年前难以测量甚至无法测量的性能变化。

Robert 表示：“从亚 2nm 工艺研究到硅验证、特性分析以及大批量生产 ATE，NI 系统的设计目标就是测试全球最先进的半导体。要实现如此广泛的测试覆盖，我们必须集成顶尖的数据转换器和精密模拟组件。结合我们测试平台中不断发展的 AI 技术，我们如今能发现数年前完全无法捕捉的器件特性。这将可以帮助芯片制造商加速学习周期，并更有信心地将每一代新器件推向市场。”

精度要求

Karthik 表示：“设计人员总会选择性能最优、最可靠的元件，他们不会在基础精度规格上妥协。”这一现实推动了持续创新，因为 TI 从两个角度都面临着需求：既是芯片制造商，又是设备使用者。

例如，放大器的精度已实现大幅提升。如今的精密放大器能够检测到的电信号，比十年前所能达到的精度要高出 100 倍。TI 放大器副总裁 Prajka Vyavahare 表示：“即使是像放大器这样简单的半导体元件，也正通过其高精度和高准确性改变世界。”

如今的测试测量设备需要性能极其稳定的精密放大器，其偏差必须保持在微伏级别，并且还要实现超低噪声。例如，数据转换器必须足够灵敏，能在 1500 万个正常测量值中检测出一个有缺陷的测量值——同时还要每秒处理超过 10 亿个样本。而电压基准源则需提供几乎零漂移的电压输出，从而使测试设备能够在无需校准的情况下长时间使用，并助力开启精度的新时代。

测试测量在推动器件进步中扮

演着重要角色。Prajka 表示：“一旦设计和制造出半导体，目标就是需要确保它满足为其设定的每一项性能指标。测试不仅是为了验证，更能让我们对设计充满信心。”

这些性能要求也催生了一个半导体制造商与设备制造商之间的良性循环，推动着整个行业发展。Karthik 表示：“每一款达到这种精度的产品在出厂前都必须经过测试。这是先决条件。测试设备必须始终比它所测量的产品更精确，这促进了半导体设计和测试技术的持续创新。”

永无止境的征程

这种对精度的不懈追求适用于任何需要更精确测量的应用。电动汽车电池系统需要精密放大器来精确测量充电电流和电压，以避免危险故障发生。数据中心的人工智能 (AI) 芯片在部署到服务器之前，需要通过测试来排查微小的缺陷。

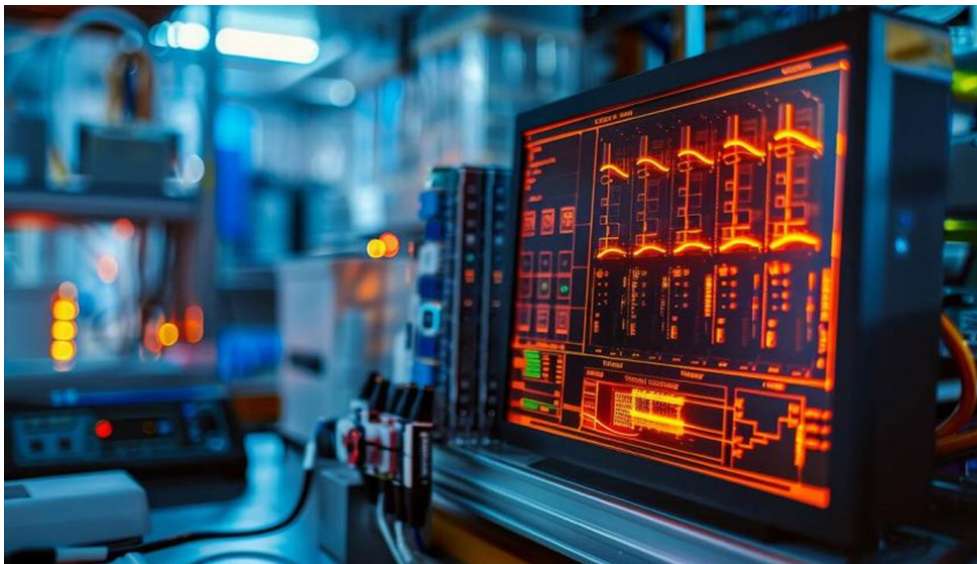
半导体的进步将持续赋能自动化测试设备，使其具备增强的 AI 能力，能够预测故障并实时做出决策。集成



NI 公司的 ATE 核心配置提供完全可定制的机架，使工程师能够构建高性能、标准化的自动化测试系统。

度的突破将带来更小、更可靠的测试系统，帮助制造商提高质量、加快产品上市速度并扩大生产规模。

Prajka 表示：“最终，只有解决实际的工程问题才可以认为是成功。当测试测量系统的设计人员告诉我们，我们的产品解决了他们的难题，那就说明我们真正实现了高精度。”



高精度感知是实时工业诊断的基础

Advertiser	广告商名称	网址	页码
SEMICON China 2027		www.semiconchina.org/zh	IBC

欢迎投稿

《半导体芯科技》(Silicon Semiconductor China, SiSC) 是面向中国半导体行业的专业媒体, 已获得全球知名权威杂志《Silicon Semiconductor》的独家授权。本刊针对中国半导体市场特点遴选相关优秀文章翻译, 并汇集编辑征稿、采编国内外半导体行业新闻、深度分析和权威评论等多方面内容。本刊由香港雅时国际商讯 (ACT International) 以简体中文出版发行。

本刊内容覆盖半导体制造工艺技术、封装、设备、材料、测试、MEMS、mini/Micro-LED 等。文章重点关注以下内容:

FAB (Foundry, IDM, OSAT, R&D)

四个环节: 晶圆制造 (wafer 后道)、芯片制造、先进封装、洁净室; 深入报道与之相关的制造工艺、材料分析, 工艺材料、工艺设备、测试设备、辅助设备、系统工程、关键零备件, 以及与 particle (颗粒度) 及 contamination (沾污) 控制等厂务知识。

FABLESS

芯片设计方案、设计工具, 以及与掩膜版内容和导入相关的资讯。

半导体基础材料及其应用

III-V 族、II-VI 族等先进半导体材料的科学研究成果、以及未来热门应用。

《半导体芯科技》欢迎读者、供应商以及相关科研单位投稿, 已甄选中文稿件将在印刷版杂志以及网上杂志刊登; IC 设计及应用等半导体相关内容将酌情予以网络发表 (微信推送、杂志网站)。本刊优先刊登中文来稿 (翻译稿请附上英文原稿)。

技术文章要求

- 论点突出、论据充分: 围绕主题展开话题, 如工艺提升、技术改造、系统导入、新品应用, 等等。
- 结构严谨、短小精悍: 从发现问题到解决问题、经验总结, 一目了然, 字数以 3000 字左右为宜。
- 文章最好配有 2-4 幅与内容有关的插图或图表。插图、图表按图 1、图 2、表 1、表 2 等依次排序, 编号与文中的图表编号一致。
- 请注明作者姓名、职务及所在公司或机构名称。作者人数以四人为限。
- 文章版权归著作者, 请勿一稿多投。稿件一经发表如需转载需经本刊同意。
- 请随稿件注明联系方式 (电话、电子邮件)。

新产品要求

- 新产品必须是在中国市场新上市、可在中国销售的。
- 新产品稿件的内容应包含产品的名称、型号、功能、主要性能和特点、用途等。
- 新产品投稿要求短小精悍, 中文字数 300~400 字左右。
- 来稿请附产品照片, 照片分辨率不低于 300dpi, 最好是以单色作为背景。
- 来稿请注明能提供进一步信息的人员姓名、电话、电子邮件。

电子邮箱: sunniez@actintl.com.hk
viviz@actintl.com.hk

行政及销售人员 Administration & Sales Offices

行政人员 Administration

HK Office (香港办公室)

ACT International (雅时国际商讯)

Unit B, 13/F, Por Yen Buiding, No. 478 Castle Peak Road, Cheung Sha Wan, Kowloon, Hong Kong
Tel: 852 28386298

Publisher (社长) - China

Adonis Mak (麦协林), adonism@actintl.com.hk

General Manager-China (中国区总经理)

Floyd Chun (秦泽峰), floydc@actintl.com.hk

Editor in China (中国版编辑)

Sunnie Zhao (赵雪芹), sunniez@actintl.com.hk

Vivi Zhang (张雨薇), viviz@actintl.com.hk

London Office

Hannay House, 39 Clarendon Road

Watford, Herts, WD17 1JA, UK.

Tel: +44 (0)1923 690200

Coventry Office

Unit 6, Bow Court, Fletchworth Gate

Burnsall Road, Coventry, CV5 6SP, UK.

Tel: +44 (0)2476 718 970

Publisher & Editor-SiS English

Jackie Cannon, jackie.cannon@angelbc.com

Tel: +44 (0)1923 690205

销售人员 Sales Offices

China (中国)

Shanghai (上海)

Hatter Yao (姚丽莹), hatterya@actintl.com.hk

Tel: 86 139 1771 3422

Shohan Shen (沈璟晓), Shohans@actintl.com.hk

Tel: 86 176 2122 8315

Amber Li (李歆), amberl@actintl.com.hk

Tel: 86 182 0179 0167

Wuhan (武汉)

Grace Zhu (朱婉婷), gracez@actintl.com.hk

Tel: 86 159 1532 6267

Beijing (北京)

Cecily Bian (边团芳), cecilyb@actintl.com.hk

Tel: 86 135 5262 1310

Hong Kong (香港)

Floyd Chun (秦泽峰), floydc@actintl.com.hk

Tel: 852 2838 6298

Taiwan (台湾)

Simon Lee (李若龙), simonl@actintl.com.hk

Tel: 852 2838 6298

Asia (亚洲)

Japan (日本)

Masaki Mori, masaki.mori@ex-press.jp

Tel: 81 3 6721 9890

Korea (韩国)

Lucky Kim, semieri@semieri.co.kr

Tel: 82 2 574 2466

US (美国)

Janice Jenkins, jjenkins@brunmedia.com

Tel: 724 929 3550

Tom Brun, tbrun@brunmedia.com

Tel: 724 539 2404

Europe (欧洲)

Shehzad Munshi,

Shehzad.Munshi@angelbc.com

Tel: +44 (0)1923 690215

Jackie Cannon,

Jackie.cannon@angelbc.com

Tel: +44 (0) 1923 690205



**SEMICON[®]
CHINA**

Co-located with **FPDCHINA**

国际半导体专业展

March 24-26, 2027
Shanghai, China

**TRANSFORM
TOMORROW**
跨界全球 · 芯芯相联



SEMICON China
小程序带您高效观展!

微信扫描上方小程序码
点击右上角“...”
选择“添加到我的小程序”

- 观众注册
- 展位地图
- 展商名录
- 同期论坛
- 邀请函
- 现场活动
- 新闻中心
- 更多





免费索阅

全球知名权威杂志 Silicon Semiconductor 的中国版

半导体芯科技

SS SILICON CHINA
SEMICONDUCTOR

《半导体芯科技》

双月刊，每期发行覆盖 40,000 名专业读者，并在全国重点产业活动赠阅。报道材料、设备、方法、工具、工艺和软件方面的最新解决方案和发展，并提供关于半导体行业的分析和意见。工艺和生产工程师、技术工程人员、研发人员和企业管理人员构成其主要读者和访问者。

CHIP China 晶芯研讨会

CHIP China 晶芯研讨会

自 2005 年起创办至今，已连续举办 25 场线上及线下行业技术交流活动，累计共吸引 13,000 多名专业听众参会；汇集全国乃至全球极具影响力厂商，并提供极具实用性和技术前瞻性的深度资讯，为制造企业工程师和技术管理人员带来接地气的“新技术、新工艺、新材料、新设备”解决方案。



www.siscmag.com

