

# 半导体芯科技



SILICON  
SEMICONDUCTOR

CHINA

ISSN 2523-1294

www.siscmag.com

2024年10/11月

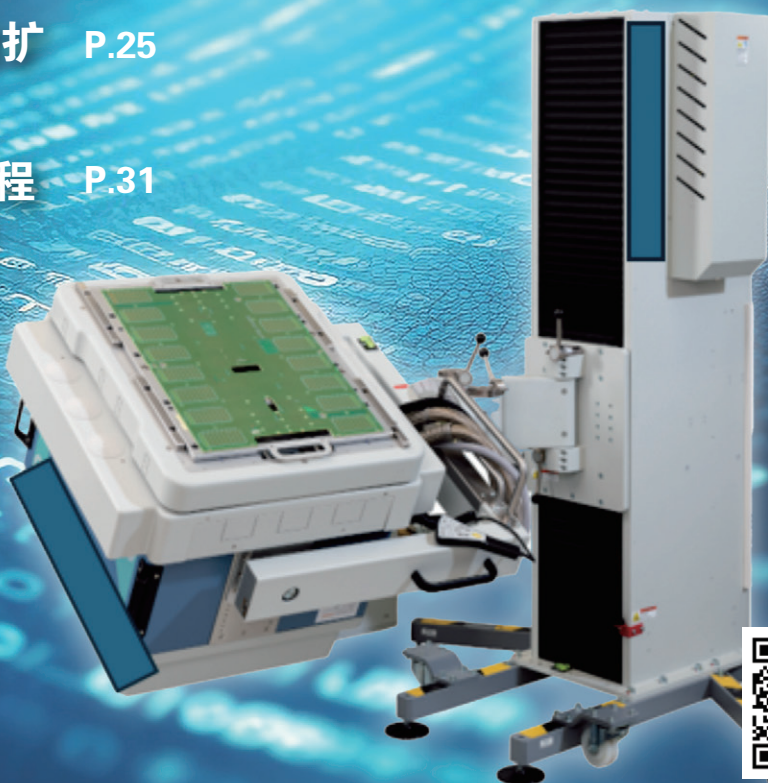
## 先进封装异构硅芯片 的ATE测试挑战 P.13

超临界二氧化碳清洗 P.18

大算力芯片先进封装技术 P.20

ADC和DAC在量子计算扩  
展中的作用 P.25

准确测量半导体制造过程  
中的水分、湿度和温度 P.31



ACT  
INTERNATIONAL

Angel  
BUSINESS COMMUNICATIONS



微信公众号

# 国际知名媒体授权 报道全球高新科技信息



免费  
索阅

服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的专业读者及与会者。

品牌会议



国际代理

CQ Publishing (Japan)

Chomdan (Korea)

Pan Global (Europe)

Endeavor Business Media (USA)

Horizon House (USA)

Angel Business Communications (UK)



# INTERNATIONAL ELECTRONICS CIRCUIT EXHIBITION (SHENZHEN) 国际电子电路(深圳)展览会



AI Powers  
the Future  
AI 成就未来

2024.12.4-6

深圳国际会展中心(宝安)

5, 6, 7, 8 号馆

[www.hkpcashow.org](http://www.hkpcashow.org)

## 诚邀参观全球线路板及电子组装行业领航盛会

全面展示PCB及PCBA产品制造、设备、材料及解决方案，聚焦AI、智能自动化最新技术

### 关注展会官方平台



微信公众号



抖音号



领英

### 观众登记

### 展位申请



预登记观众尊享多重礼遇



展位即将售罄，参展从速！

### 主办单位 - 香港线路板协会



中国内地  
 吕 靳红红小姐  
 ☎ (86) 181-2405-6937  
 ✉ [ellen.jin@hkpcashow.org](mailto:ellen.jin@hkpcashow.org)

中国港澳台及海外  
 吕 黄梓佳小姐  
 ☎ (852) 2155-5123  
 ✉ [carol.wong@hkpcashow.org](mailto:carol.wong@hkpcashow.org)

### 承办单位及展会查询 - 柏堡活动策划



中国内地  
 吕 韦淑萍小姐  
 ☎ (86-20) 3758-3765 分机8008  
 ✉ [pr@hkpcashow.org](mailto:pr@hkpcashow.org)

中国港澳台及海外  
 吕 潘咏诗小姐  
 ✉ [pr@hkpcashow.org](mailto:pr@hkpcashow.org)



# 目录 CONTENTS

## 封面故事 Cover Story

### 13 先进封装异构硅芯片的 ATE 测试挑战

ATE testing challenges of heterogeneous silicon chips with advanced packaging

对于更强大、更高效和多功能器件的需求不断增长，推动半导体行业正在迅速向前演进发展。这种演进催生了具有超高密度和先进硅封装的复杂异构半导体芯片的开发。这些尖端设计将各种功能、材料和技术集成到单个芯片上，使其功能非常强大，但也在制造流程中带来了重大的测试挑战。



13

## 编者寄语 Editor's Note

### 4 Chiplet 将改变半导体行业

## 行业聚焦 Industry Focus

### 5 面向小尺寸基板的半导体曝光设备 FPA-3030i6

### 5 GS-EA12P 晶圆校准器

### 6 光谷实验室研发出高性能量子点光刻胶

### 6 适用于功率半导体的 3kV 高压晶圆测试系统

### 7 新型铜 MOD 墨水为先进半导体封装带来革新

### 8 SEMI 报告：未来三年全球半导体行业计划在 300mm 晶圆厂设备上投资 4000 亿美元

### 9 创新气冷式全硅主动散热芯片

### 10 用于超精细结构的新型微电子粘合剂

### 10 1kW 高输出功率红外激光二极管助力 LiDAR 远距离检测

### 11 中国科大在无掩膜深紫外光刻技术研究中取得新进展



25



33

#### 关于雅时国际商讯 (ACT International)

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photronics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

#### About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photronics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

#### 关于《半导体芯科技》

《半导体芯科技》(原半导体科技)中国版 (SiSC) 是全球最重要和最权威的杂志 Silicon Semiconductor 的“姐妹”杂志，由香港雅时国际商讯出版，报道最新半导体产业新闻、深度分析和权威评论。为中国半导体专业人士，提供他们需要的商业、技术和产品信息，帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国半导体产业，包括IC设计、制造、封装及应用等。

#### About Silicon Semiconductor China

Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology & product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMS, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

# 目录 CONTENTS

## 技术 Technology

- 18 超临界二氧化碳在半导体清洗中的应用  
The application of supercritical carbon dioxide in semiconductor cleaning
- 20 AI 网络物理层底座：大算力芯片先进封装技术  
AI network physical layer base: advanced packaging technology for large computing chips
- 25 ADC 和 DAC 在量子计算扩展中的关键作用  
The crucial role of ADCs and DACs in scaling quantum computing
- 29 向废水宣战  
Waging a war on wastewater
- 31 准确测量半导体制造过程中的水分、湿度和温度  
Accurately measure moisture, humidity and temperature during semiconductor manufacturing

## 专栏 Column

- 33 用绿色能源引发硅半导体制造业的变革  
Sparking change in silicon semiconductor manufacturing with green energy
- 35 高信噪比 MEMS 麦克风驱动人工智能交互  
High SNR MEMS microphones drive AI interaction
- 38 运行在硅基量子计算处理器上的未来计算  
The future of computing runs on silicon based quantum computing processors
- 40 广告索引 Ad Index

### 《半导体芯科技》编委会（排名不分先后）

- 徐冬梅 教授级高工 中国半导体行业协会副秘书长兼封测分会秘书长
- 于大全 教授 厦门云天半导体创始人
- 姚大平 博士 江苏中科智芯集成科技有限公司总经理
- 汤 晖 教授 广东工业大学、精密电子制造技术与装备国家重点实验室
- 罗仕洲 教授 磐允科技总经理
- 林挺宇 博士 广东芯华微电子科技有限公司总经理
- 杨利华 院长 两江半导体研究院
- 王文利 教授 西安电子科技大学电子可靠性（深圳）研究中心主任 雅时国际商讯顾问
- 刘功桂 教授级高工 中国电器科学研究院股份有限公司威凯技术中心主任
- 徐开凯 教授 电子科技大学、电子薄膜与集成器件国家重点实验室
- 何 进 教授 北京大学教授、深圳系统芯片设计重点实验室主任

## 化合物半导体 等离子解决方案

### RTP快速退火炉



RTP全自动双腔  
快速退火炉

RTP半自动  
快速退火炉

### PLASMA等离子去胶



ICP PLASMA去胶机

BATCH PLASMA  
筒式去胶机

### PLASMA等离子活化



微波PLASMA清洗机

在线式真空  
等离子清洗机

扫一扫获取更多解决方案



400 9600 662 / 0769 8238 5510  
www.sindin.com / www.dynechina.com

东莞市晟鼎精密仪器有限公司  
广东省东莞市虎门镇怀雅路235号

苏州晟鼎半导体设备有限公司  
苏州市吴江区兴瑞路新时亿科技产业园17栋5层南

社长 Publisher

麦协林 Adonis Mak

adonism@actintl.com.hk

荣誉顾问 Honorary advisor

刘胜院士 Academician Liu Sheng

主编 Editor in Chief

赵雪芹 Sunnie Zhao

sunniez@actintl.com.hk

出版社 Publishing House

雅时国际通讯 ACT International

香港九龙 B,13/F, Por Yen Bldg,

长沙湾青山道478号 478 Castle Peak Road,

百欣大厦 Cheung Sha Wan,

13楼B室 Kowloon, Hong Kong

Tel: (852) 2838 6298

Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988573 /25988567

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 82201291

UK Office

Angel Business

Communications Ltd.

6 Bow Court,

Fletchworth Gate,

Burnsall Road, Coventry,

CV56SP, UK

Tel: +44 (0)1923 690200

Chief Operating Officer

Stephen Whitehurst

stephen.whitehurst@angelbc.com

Tel: +44 (0)2476 718970

**ACT**  
INTERNATIONAL

ISSN 2523-1294

© 2024 版权所有 翻印必究

## Chiplet将改变半导体行业

近日，市场研究机构 IDTechEx 发布研究报告：《小芯片技术 2025-2035：技术、机遇、应用》(Chiplet Technology 2025-2035: Technology, Opportunities, Applications)。报告认为：由于具有模块化架构、供应链弹性、异构集成、先进封装、先进互连等多方面优势，小芯片 (Chiplet) 技术将快速发展和应用，到 2035 年，该市场将达到 4110 亿美元，改变半导体行业。

在快速发展的半导体领域，Chiplet 技术正在成为一种突破性方法，可以解决传统单片 SoC 设计面临的许多挑战。随着摩尔定律的放缓，半导体行业正在寻求创新的解决方案来提高性能和功能，而不仅仅是增加晶体管密度。Chiplet 提供了一条充满希望的前进道路，为芯片设计和制造提供灵活性、模块化、可定制性、效率和成本效益。AMD 和 Intel 等公司一直处于这项技术的前沿，AMD 的 EPYC 处理器和 Intel 的 Ponte Vecchio 数据中心 GPU 等产品，展示了 Chiplet 在增加核心数量和集成多种功能方面的潜力。

### 为什么 Chiplet 越来越受欢迎

Chiplet 是分立的模块化半导体组件，在集成到更大的系统之前是单独设计和制造的。这种方法类似于模块上的 SoC，其中每个 Chiplet 都设计为与其他 Chiplet 协同工作，因此需要在设计中进行协同优化。Chiplet 模块化符合 IP 小芯片化、集成异构和 I/O 增量化等主要半导体发展趋势。

摩尔定律的放缓使得在有限的面积内添加更多晶体管变得越来越困难。相反，焦点已转向提高功能密度 -- 这是 Chiplet 设计擅长的领域。与此同时，开发工作越来越关注系统级集成，而不仅仅是晶圆制造。

Chiplet 技术的采用是因为它能够解决传统单片芯片设计中固有的几个关键限制。其优点之一是它能够克服掩模版尺寸和内存墙等限制，这些限制传统上会阻碍半导体器件的性能和可扩展性。通过将芯片功能模块化为分立的 Chiplet，制造商可以更有效地优化半导体材料和制造节点的使用。此外，Chiplet 可以更好地利用晶圆边角空间，并降低芯片缺陷率。分立组件在集成之前可以单独进行测试和验证。因此，制造良率增加，从而提高产出质量并降低单位成本。此外，Chiplet 促进了更灵活的设计过程，无需全新的芯片设计即可集成针对特定应用量身定制的各种功能。这种灵活性不仅减少了开发时间和成本，而且还可以快速适应不断变化的技术需求。

Chiplet 的模块化特性允许快速创新和定制，满足特定的市场需求，同时缩短开发时间和成本。Chiplet 的性质允许制造商从不同地区的多个供应商那里采购不同的部件。这种多元化减少了对任何单一供应商或地理区域的依赖，从而增强了供应链的弹性。

总之，以上因素使得 Chiplet 技术对于寻求增强性能同时保持经济效益的制造商来说是一个有吸引力的选择。

在数据中心和人工智能等跨行业高性能计算需求的推动下，全球 Chiplet 市场正在经历显著增长。虽然 Chiplet 具有许多优势，但它们也带来了新的挑战。多个 Chiplet 的集成需要先进的互连技术和标准，以确保组件之间的无缝通信。热管理是另一个关键领域，因为如果管理不当，增加的功能密度可能会导致过热。这些挑战也为供应链中的各个参与者带来了机遇。

IDTechEx 的报告不仅探讨了 Chiplet 设计具有吸引力的优势和驱动因素，同时也指出了其采用和实施过程中的挑战和障碍。它提供了对 Chiplet 技术和制造流程的见解，包括设计方法和封装技术，还讨论了 Chiplet 间的通信、无缝集成所需的互连和标准、热管理策略等，并研究了各个应用领域及按应用细分的未来 10 年市场预测。更多内容请访问：[www.idtechex.com](http://www.idtechex.com)。

赵雪芹

## 面向小尺寸基板的半导体曝光设备FPA-3030i6

佳能近日发布新型半导体曝光设备FPA-3030i6，这是一款配备新开发投影镜头的 i-line 步进机，旨在提高客户生产力。

新产品 FPA-3030i6 是面向 8 英寸 (200mm) 以下小尺寸基板的半导体曝光设备。该设备通过采用新开发的高透过率和高耐久性投影镜头，既能抑制高照度曝光下产生的像差，又能缩短曝光时间，从而提高生产力。此外，代表镜头分辨率的 NA (数值孔径) 范围扩大、对应特殊基板的搬送系统等，有多项 option (有偿) 可供选择，从而满足多种半导体器件 (如功率器件和绿能器件) 的制造需求。

### 采用高透过率和高耐久性的新开发投影镜头，实现抑制像差、生产力提高

采用高透过率镜头玻璃材料，与现款机型相比，曝光引起的镜头像差可以减少到 1/2 以下。因此，即使在高强度曝光下，也能保持图像高对比度、同时缩短曝光时间。此外，镜头具备高耐久性，可抑制因设备长时间使用而导



致的镜片透过率下降以及由此导致的生产率下降。镜片透过率的提高可缩短各个流程所需的工作时间，从而实现生产力提高，可处理的基板数量也从前一款机型的每小时 123 片增加到每小时 130 片。

### 拥有多项option，可对应的半导体器件种类扩大

不仅能对应 Si (硅)，还可对应 SiC (碳化硅) 和 GaN (氮化镓) 等化合物半导体晶圆，NA 的调节范围也从现款机型的 0.45 ~ 0.63 扩大到 0.30 ~ 0.63，通过选择更小的 NA option，从而为不同器件制造适配最合适的 NA，可对应的半导体器件种类随之进一步扩大。此外，对于从直径 2 英寸 (50mm) ~ 到 8 英寸 (200mm) 的不同基板尺寸、Si、SiC 和 GaN 乃至 GaAs (砷化镓) 和蓝宝石等多种材料、基板厚度和翘曲量的对应，可通过有多种选择 Option (有偿) 的灵活对应的搬送系统来实现，以满足制造多种半导体器件 (如功率器件和绿色器件) 的用户需求。

## GS-EA12P晶圆校准器

盖泽半导体推出全新研发的 GS-EA12P 晶圆校准器。该产品以其超强的晶圆兼容性、卓越的校准精度和速度，在 EFEM、Sorter 等晶圆传输和加工步骤中展现出出色性能，并适应更广泛的晶圆校准场景。

GS-EA12P 配备了四颗先进的光学传感器，这些传感器具备卓越的性能，能够精确地检测透明、半透明以及不透明的晶圆轮廓。



GS-EA12P 经过精心优化的校准算法与微型机器人模组的协同工作，使得晶圆缺口的定

位过程仅需 5 秒即可完成 (不包括晶圆的取放时间)。它能够迅速执行晶圆中心和角度的校正操作，同时确保精确的定位 (晶圆圆心精度  $\pm 0.05\text{mm}$ ; 晶圆缺边 / 缺口精度  $\pm 0.05^\circ$ ) 与国际一线水平相媲美。

GS-EA12P 配备了四轴微型机器人模组，使真空吸盘能够在垂直方向上移动。这种设计有利于设备兼容多种形态的晶圆搬运手臂，从而适应更广泛的晶圆校准场景。

GS-EA12P 使用场景包括：设备前端模块 (EFEM)、晶圆分选机 (Wafer Sorter)，还能够晶圆清洗后起到校准作用，在晶圆光刻过程中也有使用，并在晶圆刻蚀中发挥重要作用。总而言之，GS-EA12P 晶圆校准器的研发，不仅为半导体晶圆加工领域带来了国产化替代方案，更是推动了整个行业的技术进步和创新。它代表了盖泽半导体在光学技术应用领域的积累和创新能力，预示着公司在未来半导体设备领域的广阔发展前景。

## 光谷实验室研发出高性能量子点光刻胶

三湖北光谷实验室、华中科技大学集成电路学院和光电子器件与三维集成团队的张建兵等人与广纳珈源(广州)科技有限公司合作,研发出高性能量子点光刻胶(QD-PR),其蓝光转换效率达到44.6%(绿色)和45.0%(红色),光刻精度达到1 $\mu$ m,各项性能指标为行业领先水平。

Micro-LED显示技术因有着高分辨率、高亮度、高对比度、宽色域等优势,备受人们关注,在AR、VR领域备受青睐。



高性能量子点光刻胶

然而,其全彩化显示存在较大挑战。目前主流的RGB三色micro-LED全彩技术,不仅存在巨量转移次数多、成本高昂、驱动控制电路复杂、不同颜色光衰不同等问题,并且由于micro-LED尺寸减小,红色LED的发光效率急剧下降。

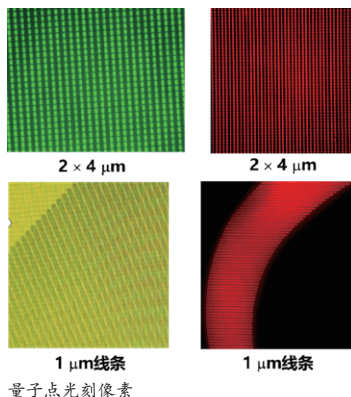
量子点	量子产率 (光刻胶溶液)	量子产率 (光刻后)	蓝光吸收率	蓝光转换效率	光刻精度
绿色	97%	91%	99.3%	44.6%	1 $\mu$ m
红色	98%	93%	99.3%	45.0%	1 $\mu$ m

量子点光刻胶的性能指标

因此,使用单色蓝光micro-LED激发绿色和红色荧光材料实现全彩化显示可以规避前述问题,极具发展潜力。

2023年获得诺贝尔奖的材料——胶体量子点,因具有发光半峰宽窄、颜色可调、效率高、粒径小等优异的性能,是配合蓝光micro-LED的荧光材料的理想选择。

量子点色转换层需要像素化才能与蓝光micro-LED



量子点光刻像素

阵列配合,当前实现量子点像素化的方案主要有两种:喷墨打印和光刻。相较而言,光刻精度更高、获得的量子点像素更小,更适合于高PPI的AR、VR应用。

然而,当前量子点光刻技术仍存在诸多挑战,包括发光效率低、像素精度不够高、蓝光转换效率低、稳定性差等问题。

基于高性能的量子点光刻胶,研究团队实现了高精度的量子点像素。

此外,这些量子点色转换像素还表现出优异的稳定性,在空气中75 $^{\circ}$ C加热120小时后仍能保留原始发光性能的92.5%(红色)和93.4%(绿色)。



量子点色转换像素构成的静态图案

通过红绿量子点套刻,配合蓝色面光源,研究团队获得了高精度的基于量子点色转换像素的静态图案,展示了该量子点光刻胶的显示应用潜力。

(来源:中国光谷)

## 适用于功率半导体的3kV高压晶圆测试系统

是德科技推出全新的4881HV高压晶圆测试系统,进一步扩展了其半导体测试产品组合。该解决方案通过在一次性测试中高效完成高达3kV的高低电压参数测试,从而显著提升了功率半导体制造商的生产效率。

传统上,制造商一直采用分别针对高压和低压的测试设备来测量晶圆。然而,随着多功能性、高性能的功率半

导体以及碳化硅(SiC)和氮化镓(GaN)等新一代半导体器件的市场需求迅速增长。因此,客户亟需一种能够以更准确、更高效的方式测试的设备,并缩短产品上市时间的解决方案。

是德科技的解决方案通过使功率器件制造商能够在生产过程中执行PCM和WAT操作,进而有效应对了这



些挑战。这一全新的测试系统具有以下优势：

- 高压性能满足未来需求：高压开关矩阵 (HV-SWM) 可支持高达 3kV 的要求，并且可扩展至 29 个引脚，同时与精密的源测量单元 (SMU) 实现无缝集成。这一特性使得系统可在任何引脚上实现从低电流到亚皮安 (pA) 级分辨率，直至 3kV 高压的灵活测试。此外，该系统还支持高压电容测量和各种参数测试。
- 一次性测试提高生产效率：HV-SWM 允许使用单一的测试系统来替代传统上需要分别配置的高压和低压测试系统。这种做法不仅提高了工作效率，还显著减少了测试所需的场地占用和时间消耗。此外，该系统通过使用是德科技的 SPECS-FA 软件与工厂自动化环境

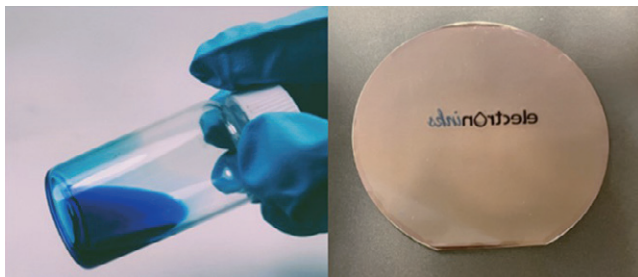
- 实现无缝集成，从而提高整体生产流程的效率。
- 更高的安全性和可靠性：测试系统内置了保护电路和机器控制措施，确保操作人员和设备在测试过程中不会受到高压浪涌的影响。同时，该系统还严格遵循包括 SEMI S2 标准在内的各项安全法规，确保使用过程中的安全性与可靠性。



## 新型铜MOD墨水为先进半导体封装带来革新

新型铜墨水取代化学镀铜和其他工业标准制造制程，可显著加快生产速度、降低拥有成本并提高永续发展水平。

金属有机分解 (MOD) 墨水领域的领导者 Electroninks 公司推出世界首款导电铜墨水产品系列。此新型铜墨水扩充了 Electroninks 的领先金属复合墨水产品组合，同时为客户提供更高的制造灵活性和更低的整体拥有成本。Electroninks 于 2024 年 9 月在 SEMICON Taiwan 展示了这一全新铜墨水产品系列。



铜MOD墨水在晶圆上旋涂薄铜MOD种子层 (约100纳米) 范例 (照片：美国商业信息)

此新型铜墨水的一项高需求应用是结合该公司的专有 iSAP™ 制程进行种子层印刷，实现精细线金属化和 RDL 成形。在这一应用中，Electroninks 铜墨水有效取代了业界使用的化学法镀铜和物理气相沉积 (PVD) 连接层，同时显著提高了生产产能，并大幅降低了 ESG 足迹。相较传统方法 (PVD 和化学法)，基于墨水的增材印刷只需用极少的水和能源，而且工厂占地面积小、资本支出低，因此可为客户提供市场上最低的整体拥有成本和最高的投

资报酬率。

铜墨水通过喷涂、丝网印刷、喷墨、旋涂和其他传统印刷方法沉积。除种子层应用外，Electroninks 还与客户合作开发包括先进封装在内的多种应用，服务于多个市场。

IMAPS 执行委员会营销副总裁 Jim Haley 表示：Electroninks 推出 MOD 墨水已有数年，其独特的效能非常适合当今需要高效能热管理和电源管理的半导体晶圆和模块封装。透过推出铜基 MOD 产品，市场和客户一般都会给予更多支援，因为铜在许多使用情况下都是电子设计的标准。虽然银、金和其他 MOD 墨水将继续服务于这一市场，但我们欢迎使用铜 MOD 墨水来满足先进封装的关键需求。

Electroninks 提供各种等级的铜墨水，以满足客户对各种基底 (包括玻璃、硅和 EMC) 附着力的需求。这些墨水与多种印刷技术兼容，可在低温下于短时间内固化：在氮气或环境条件下，5 分钟内固化的最低温度为摄氏 140 度。

作为业界领先的先进材料供应商，Electroninks 开发了一整套专有的复合金属导电墨水解决方案和配套材料。Electroninks 的金属复合墨水 (包括银、金、铂、镍和铜) 具有更高的导电性、制造灵活性和成本效益，为 PCB 制造、半导体封装、消费电子、穿戴式装置、医疗器材等应用提供可靠的解决方案。

了解更多信息请访问：[www.Electroninks.com](http://www.Electroninks.com)。

# SEMI报告：未来三年全球半导体行业计划在300mm晶圆厂设备上投资4000亿美元

SEMI 近日发布《300mm 晶圆厂 2027 年展望报告 (300mm Fab Outlook Report to 2027)》指出，从 2025 年到 2027 年，全球 300mm 晶圆厂设备支出预计将达到创纪录的 4000 亿美元。强劲的支出是由半导体晶圆厂的区域化以及数据中心和边缘设备对人工智能 (AI) 芯片日益增长的需求推动的。

2024 年，全球 300mm 晶圆厂设备支出预计将增长 4%，达到 993 亿美元，到 2025 年将进一步增长 24%，首次突破 1000 亿美元，达到 1232 亿美元。预计 2026 年支出将增长 11%，达到 1362 亿美元，2027 年将增长 3%，达到 1408 亿美元。

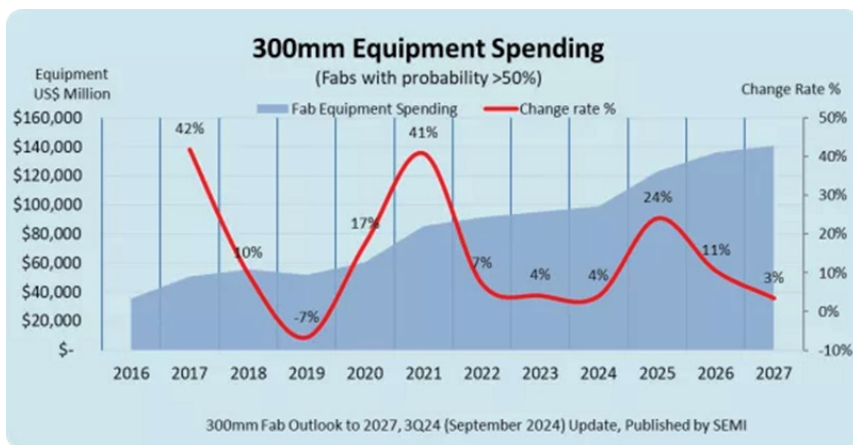
SEMI 总裁兼首席执行官 Ajit Manocha 表示：“2025 年全球 300mm 晶圆厂设备支出的预期增长幅度为创纪录的三年半导体制造投资奠定了基础。全球芯片需求正在推动设备支出，包括人工智能应用的前沿技术和由汽车和物联网应用驱动的成熟技术。”

## 区域增长

预计到 2027 年，中国将保持其作为全球 300mm 设备支出第一的地位，未来三年将投资超过 1000 亿美元。然而，预计投资将从 2024 年的 450 亿美元峰值逐渐减少到 2027 年的 310 亿美元。

预计韩国将排名第二，未来三年将投资 810 亿美元，以进一步巩固其在 DRAM、HBM 和 3D NAND 等存储领域的主导地位。预计中国台湾地区未来三年将投资 750 亿美元，位居第三，因为该地区的芯片制造商将在海外建造一些新的晶圆厂，3 纳米以下是其投资的主要驱动力。

从 2025 年到 2027 年，美洲地区预计投资 630 亿美元，而日本、欧洲和中东以及东南亚预计将在三年内分别投资 320 亿美元、270 亿美元和 130 亿美元。值得注意的是，由于旨在缓解对关键半导体供应担忧的政策激励措施，预计 2027 年这些地区的设备投资将比 2024 年增加一倍以上。



## 领域增长

2025 年至 2027 年间，Foundry 设备支出预计将达到约 2300 亿美元，这得益于对先进节点的投资以及对成熟节点的持续支出。对 2nm 工艺的投资和 2nm 关键技术的开发，如全环绕栅极 (GAA) 晶体管结构和背面功率传输技术，对于满足未来高性能和节能计算需求至关重要，特别是对于人工智能应用。由于对汽车电子和物联网应用的需求不断增加，在成本效益高的 22nm 和 28nm 工艺上有望实现增长。

Logic 和 Micro 领域预计将在未来三年率先扩大设备支出，预计总投资为 1730 亿美元。Memory 位居第二，预计同期将贡献超过 1200 亿美元的支出，标志着另一个细分市场增长周期的开始。在 Memory 领域，DRAM 相关设备的投资预计将超过 750 亿美元，而 3D NAND 的投资预计达到 450 亿美元。

Power 相关领域排名第三，预计未来三年投资将超过 300 亿美元，其中化合物半导体项目投资约 140 亿美元。同期，模拟和混合信号领域预计将达到 230 亿美元，其次是光电 / 传感器，为 128 亿美元。

作为 SEMI Fab Forecast 数据库的一部分，SEMI 《300mm 晶圆厂 2027 年展望报告》列出了全球 420 座设施和生产线，其中包括预计高概率将在 2024 年开始的未来四年内开始运营的 79 座设施。该报告反映了自上次 2024 年 6 月发布以来的 169 次更新和 9 个新的晶圆厂 / 生产线项目。

## 创新气冷式全硅主动散热芯片

xMEMS Labs 宣布其最新的行业变革创新：xMEMS XMC-2400  $\mu$ Cooling™ 芯片，首款全硅微型气冷式主动散热芯片，专为超便携设备和下一代人工智能（AI）解决方案设计。

借助芯片级主动式、基于风扇的微冷却（ $\mu$ Cooling）方案，制造商可以率先利用静音、无振动、固态 xMEMS XMC-2400  $\mu$ Cooling™ 将主动式冷却功能整合到智能手机、平板电脑和其他先进便携设备中，XMC-2400  $\mu$ Cooling™ 芯片厚度仅为 1 毫米。

“我们革命性的  $\mu$ Cooling ‘风扇芯片’ 设计在移动计算的关键时刻出现”，xMEMS 的首席执行官兼联合创始人姜正耀（Joseph Jiang）表示。“超便携设备中正在运行越来越多的处理器密集型 AI 应用程序，这给制造商和消费者带来了巨大的热管理挑战。在 XMC-2400 出现之前，一直没有主动冷却解决方案，因为这些电子设备如此小巧



和纤薄。”

XMC-2400 的尺寸仅为 9.26 x 7.6 x 1.08 毫米，重量不到 150 毫克，比非硅基主动冷却替代方案小 96%、轻 96%。单个 XMC-2400 芯片在 1,000Pa 的背压下每秒可以移动多达 39 立方厘米的空气。这种全硅解决方案提供了半导体的可靠性、部件之间的一致性、高鲁棒性，

下转第12页

# 2024 厦门国际半导体及集成电路博览会

2024 Xiamen International Semiconductor and integrated circuit expo

时间：2024年12月12-14日

地点：厦门国际会展中心

800+  
参展企业

50,000+  
专业观众

M<sup>2</sup> 30,000+  
展示面积

100+  
采购团

IC设计专区

集成电路制造专区

封装测试专区

半导体材料专区

设备制造专区

AI+5G专区

电子元器件专区

智慧电源专区

电话：李海菊 13161718173(微信同号)

官网：<http://xm.eiexpo.net>



扫一扫加好友



参观预登记

## 用于超精细结构的新型微电子粘合剂

DELO 开发出一种新型粘合剂 DELO DUALBOND EG4797，可用于在几秒钟内设计超微结构。它为异质集成和光学封装应用创造了新的可能性。该材料能够实现无限的自由形态结构和超薄的光学屏障，顺应了当前的微型化趋势。

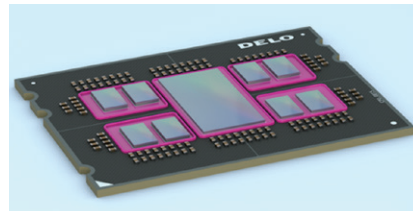
这种不含卤素和溶剂的丙烯酸酯，可以在半导体封装和印刷电路板上实现极其精细的微结构设计，即所谓的“微型坝”。利用该技术，可以点出宽度小于 100 微米、横宽比为五及以上的胶线。在此之前，实现 200 微米的线宽都被视为一项挑战。这是与 NSW Automation 公司密切合作开发的新型微型坝解决方案，NSW Automation 公司是一家为半导体行业生产高精度微点胶技术的系统制造商。

DELO DUALBOND EG4797 的一大特点是触变指数高达 6.6。这使得点胶速度可以达到 15 毫米/秒或更高，同时可在直线和曲线表面上逐层创建稳定的微结构。这一工艺使用直径为 100 微米的锥形针点胶精细粘合线。

点胶后，微型坝只需一步即可固化。该工艺设置灵活，高效节能。可在 10 秒钟内仅使用紫外线进行光固化，或在 +120℃ 的温度下在 5 分钟内进行热固化，或通过紫外线和热量进行双固化。

DELO DUALBOND EG4797 在符合微电子和半导体行业标准（如 JEDEC MSL）的典型测试中被证明是一种非常优秀的粘合剂。

随着对高性能电子元件的需求不



印刷电路板上的微结构（即微型坝）示意图。（图片由 DELO 提供）

断增加，PCB 需要容纳的高功能部件越来越多，这一新产品正是顺应了微型化这一趋势。

例如，微结构可以起到阻流作用，在光学封装（如 LED 模块）制造中，结构极其精细的微型坝可起到光学屏障的作用。借助超精细微型坝及其各种工艺选择，自由形态结构的设计数量几乎是无限的，而且可以实现前所未有的新型封装布局。同时，还能最大限度的减少所需空间。

## 1kW高输出功率红外激光二极管助力LiDAR远距离检测

针对内置测距和空间识别用 LiDAR 的车载 ADAS（高级驾驶辅助系统）等目标应用，半导体制造商 ROHM 开发出一款高输出功率半导体激光二极管 RLD8BQAB3。将先向无人机、扫地机器人、AGV（无人搬运车）和服务机器人等消费电子和工业设备领域用户提供新产品样品。

近年来，除了车载 ADAS 领域外，在 AGV、无人机和扫地机器人等需要自动化工作的广泛应用中，可以准确测量距离和识别空间的 LiDAR 日益普及。在这种背景下，为了“更远”、“更准确”地检测到信息，对于作为光源的激光二极管有“希望产生千瓦级的高输出功率”、“希望多个光源以很短的间隔发光”等需求。ROHM

已经拥有可实现更窄激光线宽的自有专利技术，有助于 LiDAR 支持更远的距离并实现更高的精度。此前 ROHM 已经推出了输出功率 25W 的 RLD90QZW5 和输出功率高达 120W 的 RLD90QZW8。此次，利用该技术，ROHM 又开发出 125W、8ch（1kW 级）阵列型新产品，满足了市场对高输出功率和高性能激光二极管的需求。

这款新产品是针对使用 3D ToF 系统进行测距和空间识别的 LiDAR 开发的超小尺寸表面贴装型 125W × 8ch 高输出功率红外激光二极管阵列。采用的是在带有优异散热性能基板的底座上安装 1 个器件，即有 8 个发光区域（线宽均为 300μm）的红外激光二极管的结构。封装的发光

面采用由透明玻璃制成的玻璃盖，这在表面贴装型激光二极管业界内也是首次应用，可实现高质量光束。各发光区域以共阴极的方式进行布线，从增加发光点数的单独发光到 1kW 级业界超高输出功率的同时发光，客户可根据应用产品的需求自由选择发光方式。

新产品还继承了 ROHM 以往激光二极管产品的特点——在整个线宽范围发光强度均匀和低至 0.1nm/℃ 的波长温度依赖性（普通产品约为 0.26 ~ 0.28nm/℃）。不仅可以缩小通道间发光强度降低的区域，还可使用带通滤波器将太阳光等环境光干扰降到更低，有助于 LiDAR 实现远距离检测和更高分辨率。

## 中国科大在无掩膜深紫外光刻技术研究中取得新进展

近日，中国科学技术大学微电子学院特任教授孙海定 iGaNLab 课题组开发了一种具有光能量自监测、自校准、自适应能力的三维垂直集成深紫外发光器件阵列，并将它们成功应用于新型无掩膜深紫外光刻技术中。该研究首次提出将深紫外微型发光二极管 (micro-LED) 阵列作为光源应用于无掩膜深紫外光刻技术。在被广泛应用于集成电路芯片制造的步进式光刻机技术之外，本技术提出利用每颗 micro-LED 具有高能量密度、高分辨率、高集成度、低能耗等特点，为实现高精度深紫外光刻提供了一种新的路径和方法。这项研究成果

以“Vertically Integrated Self Monitoring AlGaN Based Deep Ultraviolet Micro LED Array with Photodetector Via a Transparent Sapphire Substrate Toward Stable and Compact Maskless Photolithography Application”为题，发表于光学领域重要期刊《Laser & Photonics Reviews》。

光刻技术在集成电路芯片制造过程中扮演着至关重要的角色，是现代半导体、微电子及信息产业的关键核心技术之一。在芯片制造过程中，光刻工艺的费用占总加工成本的约 30%，耗费时间约 45%。传统光刻技术包括光学光刻、极紫外光刻和 X 射线光刻等，均需依赖掩模板来控制光的传播路径，从而将图案精确投射到感光材料上并精准复现在半导体晶圆上，最终实现芯片微纳结构的加工与制造。然而，这类技术不可避免地增加了芯片制造的复杂性和成本，且由于传统光刻机高昂的成本和复杂的系统构造，我国在光刻相关技术领域一直受制于国外的封锁和技术垄断。

20 世纪 90 年代起，低成本、高分辨率无掩膜光刻技术便成为了光刻技术研究的前沿热点之一，但已开发的相关技术专利主要集中于欧美、日本和韩国等国家，技术壁垒较高。在此背景下，孙海定教授 iGaN 团队创新性地提出并实现了一种基于深紫外 micro-LED 阵列作为光源的无掩膜深紫外光刻系统。该团队通过多年在紫外 micro-LED 的研究和积累，针对深紫外 micro-LED 的外延结构 [Optics Letters 47: 4187, 2022]、器件尺寸 [Optics Letters,

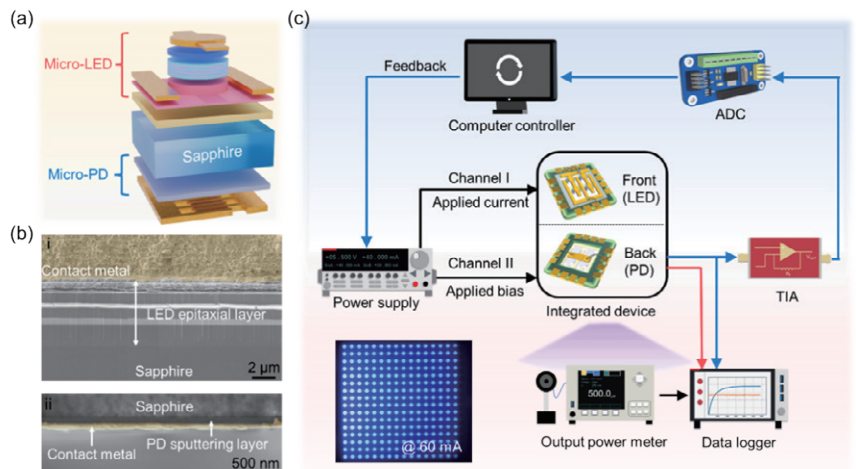


图1. (a) 深紫外micro-LED与光电探测器 (PD) 三维垂直集成芯片架构。(b) 深紫外LED外延层与薄膜光电探测器截面的扫描电子显微镜图像。(c) 基于双面垂直集成器件搭建的具有自校准、自监测功能的稳定发光系统示意图

46: 3271, 2021]、侧壁形貌 [Optics Letters, 46: 4809, 2021] 以及几何形状 [IEEE Electron Device Letters 44:1520, 2024] 进行了系统性设计和优化，大幅提升了每颗 microLED 的发光效率、发光功率、调制带宽以及它们在日盲紫外光探测、成像和传感等方面的多功能性及优越的芯片性能，并成功构建了基于深紫外 micro-LED 的阵列系统 [Journal of Semiconductors 43:062801, 2022; IEEE Electron Device Letters 44:472, 2023]。更进一步，通过构建集发光与探测于一体的片上光电集成芯片，实现了片上和片间光通信系统应用 [Laser & Photonics Reviews, 18: 2300789, 2024; Advanced Optical Materials, 2400499, 2024]。

在本次研究中，团队利用深紫外 micro-LED 具备的超小尺寸、超高亮度、长寿命及低功耗等优势，进一步开发了集自监测、自校准、自适应功能于一体的深紫外显示光电集成芯片，并应用于无掩膜深紫外光刻系统，实现了国际上利用该新型紫外光源进行无掩膜光刻技术的探索。在追求高效率、小尺寸深紫外 micro-LED 及其阵列的研究基础上，团队提出了一种集深紫外 micro-LED 阵列发光与光电探测器于一体的三维垂直集成芯片架构，如图 1 (a) - (b) 所示。在该三维垂直集成架构中，深紫外 micro-LED 阵列向下发射的紫外光子可以穿透透明的蓝宝石衬底并被衬底背面的紫外探测器捕获，以实现 LED 和探测器之间的“光子互连与集成”，从而进行高效的光信号传输。此外，通过搭建外部电路反馈系统，如图 1 (c)，团队展

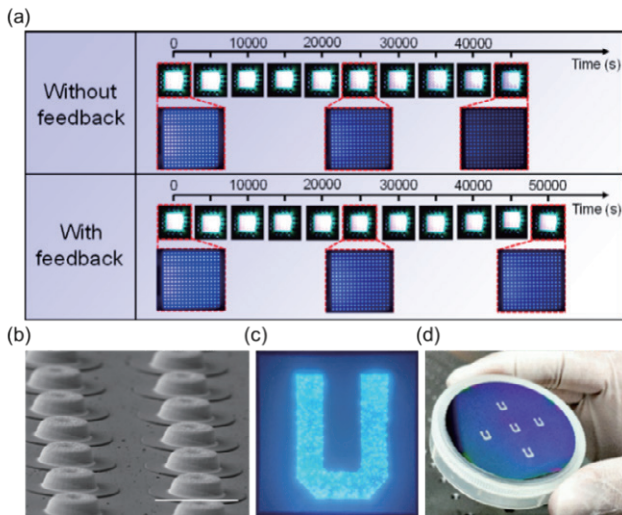


图2. (a) 无反馈信号与加入反馈信号的深紫外micro-LED阵列随时间变化的发光照片。(b) 制备的micro-LED阵列的倾斜扫描电子显微图像。(c) 显示“U”的深紫外micro-LED阵列光学图像。(d) 经过显影后, 硅衬底上光刻胶(SPR955)的光学图像。

示了深紫外 micro-LED 阵列光输出能量密度的自发稳定和自动校准。最终, 该系统不仅可以监测阵列器件光输出能量密度随时间的波动变化, 还可以不断提供反馈信号以确保恒定的光输出功率和光功率密度。这种高功率密度、高稳定性、高集成度和低功耗微型紫外光源的提出, 为最终实现紧凑、便携式和低成本无掩膜深紫外光刻技术打下扎实的光源基础。

如图 2 (a) 所示, 基于所搭建的电路反馈系统, 可以明显的观察到未加入系统反馈的深紫外 micro-LED 阵列的发光强度随着时间的推移逐渐降低; 反观加入具有自监测和自校准反馈功能的器件仍然保持较高的发光强度, 可以实现长期稳定运行。同时, 基于该反馈系统展示了一个具有 564 PPI 高像素密度的集成深紫外 micro-LED 阵列, 利用该集成阵列持续稳定的显示字母“U”, 并对旋涂有 SPR955 光刻胶的硅片进行深紫外无掩膜光刻工艺进行曝光, 显影后成功地在硅片上显示出清晰的“U”型图案, 如图 2 (b) -2 (d) 所示。该研究充分展示了传统 microLED 技术不仅在高清晰显示领域有着巨大的应用基础, 同时在高分辨、高精度光刻技术领域也具备重要的应用潜力。

综上, 该研究提出了一种集深紫外 micro-LED 阵列发光与光电探测器于一体的三维垂直集成芯片架构, 实现了宽禁带半导体铝镓氮 (AlGa<sub>N</sub>) 基发光阵列与光电探测器通过透明蓝宝石衬底进行了垂直光电集成, 并展示了一种在单个芯片上实现垂直光子互联的可能性。通过此集成

系统, 不仅突破了传统单片光电集成系统大部分只能通过水平方向或者在衬底(硅、蓝宝石等)的同一晶面上进行光互联和器件集成的局限性, 更借助此输出功率恒定的新型发光器件阵列架构, 展示了其在无掩膜光刻技术方面的应用潜力, 并为未来发展高集成度、功能多元的三维光电集成系统奠定了基础。

下一步, 团队将着力攻关如何进一步缩小单颗 micro-LED 和探测器的器件尺寸和几何形貌, 提升单位面积内器件阵列的密度和集成度, 并优化器件的单颗性能和在大晶圆上的性能均匀性, 为下一步实现更高精度的无掩膜紫外光刻技术打下基础。同时, 团队所提出的巧妙利用透明蓝宝石衬底构建发光和探测一体化三维垂直集成芯片架构, 也为研制高集成度光子芯片提供了一条新的路径和解决方案, 使其能广泛的适用于包含三维集成光电系统、无掩膜光刻在内的各种光电集成系统等应用场景。

此项研究工作得到国家重点研发计划项目、国家自然科学基金项目、中国科大双一流建设经费、中央高校基本科研基金等专项经费的资助, 也得到中国科大微电子学院、中国科大微纳研究与制造中心和安徽省格恩半导体公司的支持。我校孙海定教授为论文通讯作者, 博士后余华斌和硕士研究生姚继凯为论文的共同第一作者, 武汉大学刘胜院士为本项目的顺利展开提供了方向性和应用指导。

Laser & Photonics Reviews 2401220, 2024 论文链接: <https://doi.org/10.1002/lpor.202401220>

Laser & Photonics Reviews, 18: 2300789, 2024; 论文链接: <https://doi.org/10.1002/lpor.202300789>

(来源: 中国科技大学微电子学院)

上接第9页

高耐撞并且具有 IP58 防尘防水等级。

xMEMS  $\mu$ Cooling 基于与屡获殊荣的超声波发声 xMEMS Cypress 全频微型扬声器相同的制造工艺, 该扬声器用于具有 ANC 功能的入耳式无线耳塞, 并将于 2025 年第二季度投入生产, 多家客户已承诺采用。xMEMS 计划在 2025 年第一季度向客户提供 XMC-2400 样品。

Joseph 表示, “借助  $\mu$ Cooling, 我们正在改变人们对热管理的看法。XMC-2400 旨在主动冷却即使是最小的手持设备, 从而实现最薄、最高效能、支持 AI 的移动设备。很难想象明天的智能手机和其他轻薄、性能导向的设备没有  $\mu$ Cooling 技术。”

# 先进封装异构硅芯片的ATE测试挑战

对于更强大、更高效和多功能器件的需求不断增长，推动半导体行业正在迅速向前演进发展。这种演进催生了具有超高密度和先进硅封装的复杂异构半导体芯片的开发。这些尖端设计将各种功能、材料和技术集成到单个芯片上，使其功能非常强大，但也在制造流程中带来了重大的测试挑战。

作者：Sriharsha Vinjamury，ARM公司SOPT首席工程师



**推** 动硅封装中的异质化旨在提高计算性能、能效和系统适应性。通过集成各种类型的处理器（如 CPU、GPU、FPGA 和 AI 加速器），这些封装可以优化任务执行。异构集成使特定处理器能够处理经过架构优化的工作负载，从而显著节省能源并提升性能。此外，它还有助于系统升级和定制，无需完全重新设计系统即可添加新功能。增强的热管理技术可以更均匀地分配计算负载，从而保持较低的工作温度并提高组件可靠性。

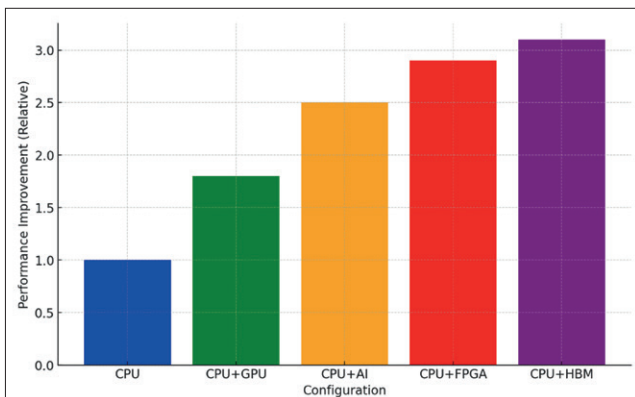
异构集成方法推动了创新，为从超大规模数据中心到便携式消费电子产品的应用提供了定制解决方案。

此外，异构集成还具有成本效益，可延长技术的使用寿命并最大限度地降低更新的频率和成本。

## 具有3D HBM内存堆栈和AI加速器芯片的异构封装

### 先进封装面临的挑战：

先进封装的主要问题之一是材料兼容性和选择。确



通过异构集成提高硅性能

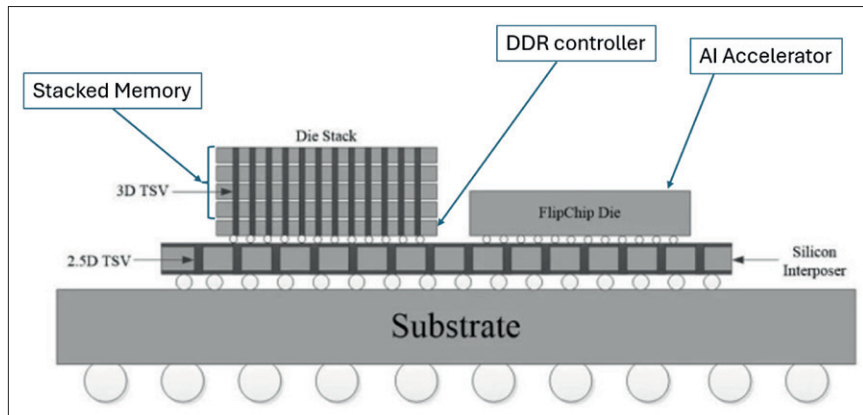
保有机基板、硅芯片和金属互连等不同材料之间的牢固粘合至关重要。附着力差会导致分层，从而影响器件的可靠性。此外，不同的材料具有不同的热膨胀系数（CTE, coefficients of thermal expansion），这会在热循环过程中产生机械应力，可能导致裂纹或翘曲。

光刻和图案化也带来了重大挑战。在亚微米尺度上实现再分布层（RDL, redistribution layer）和互连的精确图案化是很困难的。这些工艺的变化会导致电气性能问题并降低良率。在多芯片或 3D IC 中，多层之间的精确对准至关重要，因为不良的对准会导致连接失效和性能下降。

RDL 层的纳米级光刻技术带来了减小线宽的问题，需要精确的电迁移控制。集成低 k 电介质和新型金属需要强大的粘合和扩散势垒。高效的热管理和应力释放结构对于不同 CTE 引起的应力至关重要。保持高频信号完整性并控制光刻、蚀刻和电镀中的缺陷对于复杂、高密度互连的良率和可靠性至关重要。

薄晶圆处理是先进封装中的主要挑战，因为将晶圆减薄到只有几百微米以进行 3D 堆叠会使其脆弱且容易破损和翘曲，因此在工艺过程中需要特殊处理。硅通孔（TSV, through silicon via）复杂的蚀刻和填充工艺增加了另一层难度；此处的缺陷会严重影响性能和可靠性。此外，TSV 会引入应力，随着时间的推移会降低硅的性能，尤其是在热循环下。

热管理至关重要，因为高密度互连和多个芯片会产生大量热量，需要有效地消散这些热量以防止过热。这需要适当的热界面材料（TIM, thermal interface material）。确保互连可靠性也很困难，因为高电流密度会导致电迁移，从而导致连接失效。重复的热循环会增加应力，随着时间的推移，可能会使得互连破裂。在组装和键合中，实现具



具有3D HBM内存堆栈和AI加速器芯片的异构封装

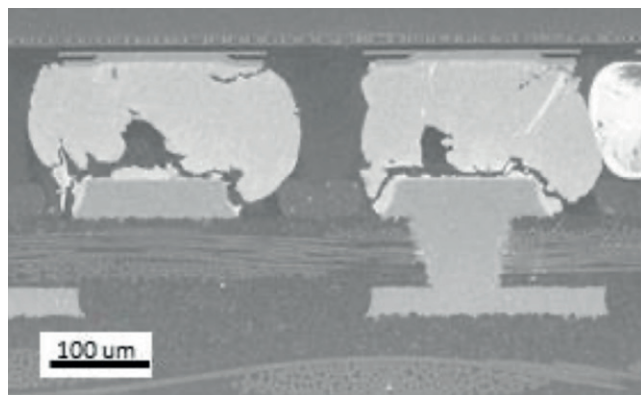
有微凸块的可靠倒装芯片键合需要精确控制凸块的形成、对齐和回流焊。优化底部填充工艺对于保护焊点免受环境应力至关重要。

在光刻、蚀刻和键合的整个过程中管理良率和缺陷至关重要，因为任何缺陷都会显著影响生产效率。必须管理湿气灵敏度和除气等环境问题，以确保长期可靠性。最后，平衡成本和扩展规模至关重要。先进封装工艺本身就复杂且昂贵，需要不断创新和协作，才能保持高良率和商业可行性。

这些问题会影响良率并引入潜在缺陷。这些工艺过程的变化会导致电气性能问题、排列错位和应力引起的失效在自动化测试设备（ATE, automated test equipment）测试期间很难检测到。分层、翘曲和电迁移这些缺陷通常在工作应力下才表现出来，使得早期检测和有效的失效隔离具有挑战性，最终影响器件的整体可靠性和良率。

### ATE测试概述

自动化测试设备（ATE）在评估大样品方面起着关键



RDL的机械故障（来源：AMKOR）

作用，并对于新制造的硅芯片的生产测试至关重要。作为半导体制造的基石，ATE的主要工作是提供自动化、经济高效的测试解决方案，从而显著提高器件吞吐量。通过自动化测试的工艺，ATE不仅减少了与手动测试相关的时间和成本，还提高了这些测试的准确性和可靠性。当与系统级测试（SLT, system-level testing）结合使用时，ATE创建了一个强大的测试框架，支持芯片的大规模生产，同时保持很

高的质量标准。

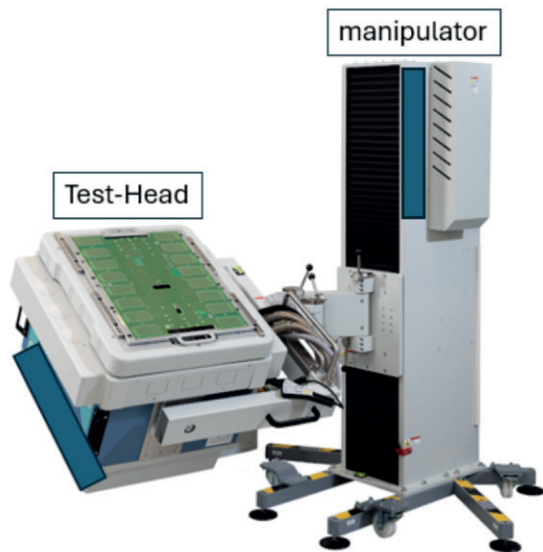
### ATE进行的测试类型

#### 结构测试：

- 目的：识别硅芯片中的制造缺陷。
- 工作原理：DFT 工程师使用故障建模为各种缺陷创建测试模式。
- 示例：用于卡位故障（SAF, stuck at fault）的 ATPG，转换延迟故障（TDF, transition delay fault）、边界扫描描述语言（BSDL, boundary scan description language）/ 边界扫描（BSCAN, boundary scan）、逻辑内置自检（LBIST, logic built-in self-test）。

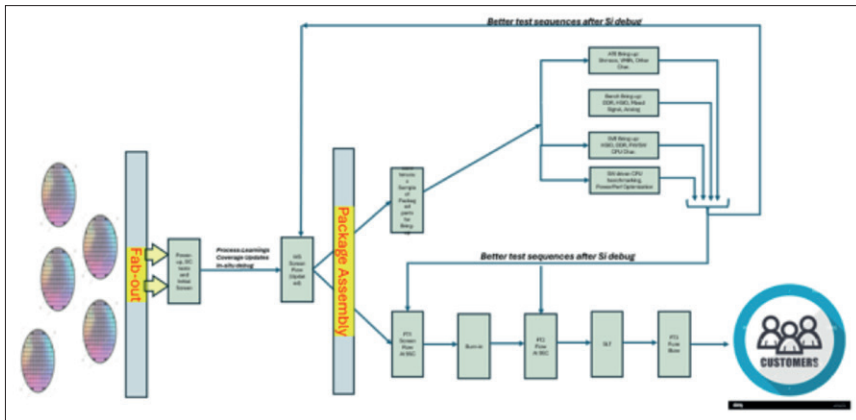
#### 功能测试：

- 目的：确保电子器件按照规格运行。



通用 ATE 测试系统





ATE 测试NPI和生产流程

● **示例：**测试微控制器以验证数据处理和信号生成。

#### 参数测试：

目的：测量特定的电气参数，如电压、电流和电阻。

示例：检查指定范围内的电源电压水平。

#### 集成流程：

测试组合成一个流程，受晶圆阶段或最终测试阶段、温度条件和电路板复杂性等因素的影响。

#### 系统级性能和可靠性的其他测试：

● **系统级测试 (SLT, system-level testing)：**评估整体系统性能。

● **应力测试：**评估极端条件下的稳健性。

● **老化测试：**通过高温下运行器件来识别早期失效。

● **环境测试：**评估湿度、温度和振动等各种条件下的性能。

### 在ATE上启动器件的关键阶段

启动或者新产品导入 (NPI, new product introduction) 阶段是自动测试设备 (ATE) 操作生命周期中的初始但最关键的阶段，对于在大规模生产之前准确高效地测试新开发的半导体器件至关重要。其主要活动包括：系统配置和设置、测试程序开发、跨平台调试和验证、内部零件分发、向最终客户提供工程和客户样品，最后是流程优化和生产发布。生产阶段是 ATE 运营的第二个也是正在进行的阶段，专注于大批量测试和持续改进，以确保始终如一的高质量和高效

制造。目前主要活动包括大批量测试、持续校准和维护、良率监测和改进、测试程序更新、降低成本和提高效率、质量保证和可靠性测试。

关键工艺参数在各个阶段都需要仔细跟踪，并反馈给晶圆厂。晶圆厂提供晶圆验收测试 (WAT, wafer acceptance test) 参数，使我们能够将这些指标与设计目标进行比较，并做出明智的决策。鉴于自动测试设备 (ATE) 在规模驱动的环境中运行，先

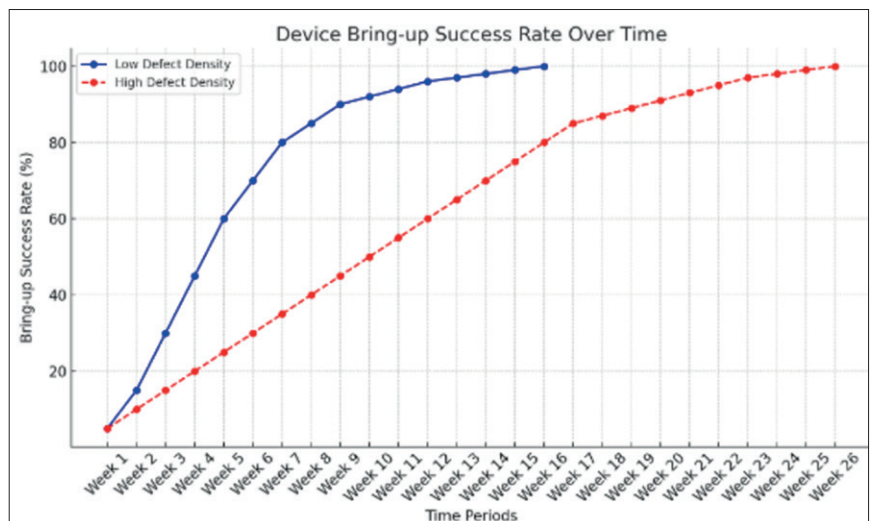
进的数据分析工具对于识别晶圆上系统和随机的工艺相关图案至关重要。但是，这些问题可能是潜在的，仅在器件老化的后期阶段表现出来。在测试阶段检测此类潜在缺陷具有挑战性，因为它需要复杂的故障隔离技术和预测分析，以确保芯片的长期可靠性。

### 测试先进封装时面临的挑战和建议

单个多芯片配置由不同的专用组件组成，包括 CPU、GPU、内存阵列、模拟 / 射频电路、专用加速器等。这种复杂性的增加进一步增大了功能验证和调试要求。为 2D 测试开发的传统方法更有可能能力不足，因此需要高级技术，如分层测试方法和高级可测试性设计架构，以提高故障覆盖率和可观测性。

#### 对更深节点的低可访问性

异构封装中不同芯片的垂直和水平集成，使得内部节



根据缺陷密度的ATE启动器件成功率加速时间表

点的访问难以正确测试和调试。所有这些节点的访问机制在不影响器件功能的情况下，通过创新解决方案实现，例如边界扫描测试、高级 BIST 电路和微探测技术。这些技术实现了对嵌入式组件的非侵入式监控和诊断，而且器件性能的下落非常小。

先进的 ATPG 算法（如动态压缩、X 填充和故障仿真）通过生成高度紧凑的测试模式、缩短测试时间和提高故障覆盖率来提高了测试的效率。基于 SAT 的 ATPG 等技术利用满意度求解器进行复杂的故障检测，确保对复杂的半导体设计进行稳健的测试。这些方法解决了异构封装中的挑战，确保了高可靠性和性能。

### 散热

集成到异构封装中的高性能有源器件数量越多，热管理问题就越严重。需要先进的散热方法，包括热通孔、微流体通道和高导电性 TIM。高效的热传递管理可最大限度地减少热量的极点，并确保温度的恒定分布，不会导致热引起的性能下降或器件失效。

### 热分布

启动阶段本身是发现和缓解潜在热问题的关键部分。复杂的热仿真工具（如计算流体动力学和有限元分析）进一步与红外热成像相结合，以提供热图的宝贵细节。这些有助于设计有效的冷却解决方案，并指导芯片的放置位置，以及使用哪种材料进行封装。

关键工艺参数在各个阶段都需要仔细跟踪，并反馈给晶圆厂。晶圆厂提供晶圆验收测试（WAT，wafer acceptance test）参数，使我们能够将这些指标与设计目标进行比较，并做出明智的决策。鉴于自动测试设备（ATE）在规模驱动的环境中运行，先进的数据分析工具对于识别晶圆上系统和随机的工艺相关图案至关重要。

### 功率输送网络设计

应确保异构封装中的所有集成组件都能实现稳定高效的电力传输，同时将 IR 压降和噪声以及电源完整性问题降至最低。可以应用具有卓越电气性能的先进材料、片上去耦电容器和配电分级方案，以避免在更密集集成结构中产生更高的电流密度和固有的降低噪声容限。

### 先进的电路板设计

为下一代硅封装设计高级电路板面临挑战，例如通过微孔和埋孔实现超高布线密度，通过受控阻抗走线、差分布线和低损耗电介质保持信号完整性，以及通过专用电源/接地层和去耦网络确保电源完整性。有效的热管理需要集成的散热器、热通孔、焊盘和金属芯 PCB。精密制造公差和增强的检测技术（如 AOI 和 X 射线）对于可靠性至关重要。

高速设计功能（如焊盘上通孔技术和背部打孔）减少了寄生效应，而嵌入式/共封装元件则提高了性能。用于电磁和热分析的高级仿真工具可优化设计，而测试接头有助于对高性能器件进行稳健且可重复的测试。

### 生产测试期间的缺陷密度

与传统的 2D 芯片相比，异构封装可能涉及更多的工艺诱导缺陷密度，因为制造步骤的数量增加、额外的芯片间键合和更多的组件间连接。先进的缺陷检测技术（如电子束检测或 AOI）必须与 SPC 相结合，以检测缺陷并减少缺陷以提高良率。

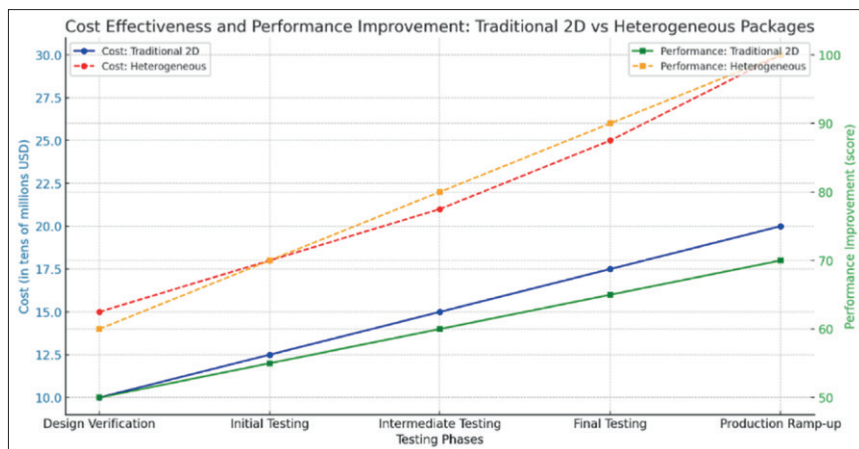
### 上市时间挑战

先进硅封装中的高缺陷密度会延迟器件的发布并延长开发时间。复杂的测试和调试，包括高级 ATPG、DDR 和高速 I/O（HSIO）的发布，需要复杂的协议和广泛的验证，从而大大延长了整个过程。高效的热管理和信号完整性维护需要详细的分析和优化，从而也增加了开发时间。

调试复杂的问题，例如 HSIO 中的时序冲突和串扰，可能非常耗时，会进一步延迟可交付成果。电源完整性挑战和确保稳健的制造公差也可能会延长时间表。

### 组件间可靠性

为了确保异构封装中互连的可靠性，人们使用了可自主修复微小裂纹的导电聚合物或纳米复合材料实现自修复互连。通过分析来自嵌入式传感器的实时数据来预测和防止故障，我们可以使用 AI 驱动的预测性维护。将基于量子点的应力传感器集成到互连中，可以实现高度灵敏的应力和温度实时监测。开发自适应热管理系统，使用基于实



2D单片和3D异构封装之间的成本与性能比较

时热分布的相变材料和微流体通道动态调整冷却策略。采用石墨烯等先进纳米材料创建具有卓越电、热和机械性能的互连，可以显著提高极端条件下的耐用性和性能。

### 成本效益

异构封装复杂的制造工艺和开始时良率的降低会使它们的生产成本更高。为了获得符合经济效益的封装，平衡生产成本与市场需求包括：改进制造工艺、引入低成本高效益的材料和规模经济效益。当然，异构集成提供的性能优势实际上是领先于生产这些芯片的成本的。

### 可扩展性

对异构封装的需求增加使可扩展性成为一个基本标

### 参考文献

- Savidis, I., & Friedman, E. G. (2011). "Electrical and Thermal Isolation in 3-D Integrated Systems." *IEEE Transactions on Components, Packaging, and Manufacturing Technology*, 1(11), 1715-1724. This article examines the techniques for electrical and thermal isolation in 3D integrated systems, which are critical for managing heat and ensuring signal integrity.
- Lee, S. K., et al. (2015). "Challenges and Solutions for Testing 3D ICs." *IEEE Design & Test*, 32(6), 43-55. This paper highlights the specific testing challenges associated with 3D ICs and presents methodologies to overcome these issues.
- Shafique, M., et al. (2018). "Adaptive Multi-Granularity Thermal Management for Heterogeneous Multicore Systems." *ACM Transactions on Embedded Computing Systems*, 17(1), 1-25. This study discusses adaptive thermal management techniques essential for heterogeneous multicore systems, focusing on real-time thermal profiling and cooling strategies.
- Venkatesan, R., et al. (2011). "Cost-Effective and Scalable Test Solutions for Heterogeneous 3D Integrated Circuits." *IEEE Transactions on Computers*, 60(10), 1455-1468. This paper explores cost-effective and scalable test solutions for heterogeneous 3D ICs, addressing the need for efficient testing in a volume-driven environment.
- Borkar, S. (2013). "The Future of Microprocessors." *Communications of the ACM*, 56(2), 66-77. This paper discusses the future trends in microprocessor design, emphasizing the need for heterogeneous integration to meet performance and power efficiency demands.
- Patti, R. S. (2006). "Three-Dimensional Integrated Circuits and the Future of System-on-Chip Designs." *Proceedings of the IEEE*, 94(6), 1214-1224. This article explores the benefits and challenges of 3D integrated circuits, a key technology in heterogeneous packages.
- Sun, G., et al. (2014). "Thermal Management in 3D ICs: An Overview." *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, 4(3), 284-296. This paper provides an overview of thermal management techniques crucial for maintaining the reliability of high-density interconnects in advanced packages.
- He, Y., et al. (2017). "Design-for-Testability in Heterogeneous 3D ICs: Trends, Challenges, and Solutions." *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 25(4), 1105-1118. This publication discusses the latest trends and challenges in designing testable heterogeneous 3D ICs, offering solutions for improved fault coverage and reliability.

准。这意味着开发可扩大规模的制造技术，例如先进的光刻方法、晶圆级封装和自动化装配线，以便在不牺牲质量或良率的情况下实现大规模生产，从而满足市场需求。

### 结论

异构硅芯片随着先进封装的演变既带来了重大挑战，也带来了无与伦比的机遇。

解决高缺陷密度、复杂热管理等问题，并确保组件间的可靠性，需要创新的解决方案，如先进的 ATPG 算法、AI 驱动的预测性维护和自我修复互连。

虽然生产这些先进封装的初始成本和复杂性较高，但实质性的性能改进和长期利益证明了投资的合理性。通过利用尖端技术和方法，半导体行业可以实现可扩展的高良率生产，满足对更强大、更高效和适应性更强的器件日益增长的需求。

最终，这些进步将推动从数据中心到消费电子产品等领域的下一波创新浪潮，为技术继续以前所未有的速度发展铺平道路。◆

# 超临界二氧化碳在半导体清洗中的应用

**集**成电路制造过程中，颗粒、金属或有机物等污染易造成芯片内电路功能的损坏，导致集成电路的失效或影响几何特征的形成。因此在制造过程中，几乎每道主要工序的前后都需进行清洗。随着集成电路的工艺节点向更小延伸，清洗工艺对污染物去除效率和材料损伤控制的要求越来越严格。传统的清洗工艺中，由于受液体表面张力和黏度的限制，对极微小孔隙进行清洗时，很难彻底清洗干净，且使用酸、碱以及超声波清洗对器件都有或多或少的损伤。近年来，以超临界二氧化碳为媒介的清洗技术越来越受到大家重视，被视为克服传统清洗难点的有效途径之一。

超临界流体是指用于溶解物质的超临界状态溶剂，当该溶剂处于气态和液态平衡时，流体密度和饱和蒸汽密度相同，气液界面消失，该消失点称为临界点，而在临界点以上的区域称为超临界状态区域。很多物质都能进入超临界状态，常选用二氧化碳的原因是其超临界状态比较容易实现，二氧化碳的临界点是  $T_c=31.2^\circ\text{C}$ ， $P_c=7.38\text{ MPa}$ ，见图 1。超临界状态下流体具有类似气体的扩散性及液体的溶解能力，同时具有黏度和表面张力低的特性。而且超临界二氧化碳没有腐蚀性，不可燃，无毒，无臭，价格较低，可循环使用，不污染环境，是绿色清洗的理想媒介。

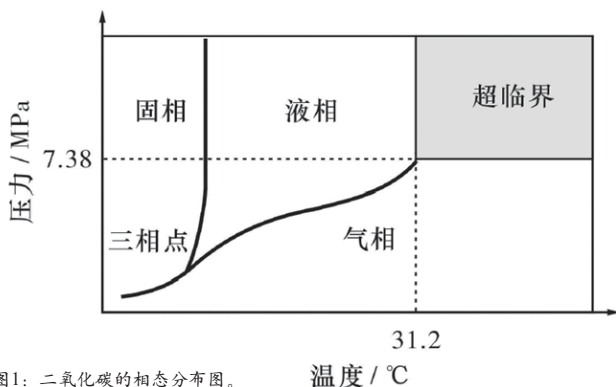


图1：二氧化碳的相态分布图。

国际上已有学者研究了超临界二氧化碳在半导体和微电子器件制造中清洗工艺的应用。日本索尼公司的

Saga 等研究了超临界二氧化碳用于离子注入后光刻胶的去除工艺。通常光刻胶受到高能离子注入后，由于材料改性而变得难以去除。传统工艺使用硫酸、双氧水的混合试剂来去除光刻胶，该试剂因其强氧化性在硅表面易形成二氧化硅层。二氧化硅在后续清洗中易被刻蚀，从而造成硅表面局部形成凹槽缺陷，对器件造成不利影响。研究表明，使用超临界二氧化碳并添加合适的助溶剂，工艺条件为温度  $70^\circ\text{C}$ 、压力  $27.6\text{ MPa}$ ，可有效去除离子注入后的光刻胶，见图 2。晶圆表面测试显示，该清洗工艺处理后不会产生任何凹槽缺陷，去胶后表面洁净无损伤。一般认为，超临界二氧化碳去胶的机理是超临界二氧化碳渗透于光刻胶中，将其膨胀和塑性化，助溶剂起到降解作用，增加光刻胶在超临界二氧化碳中的溶解度。

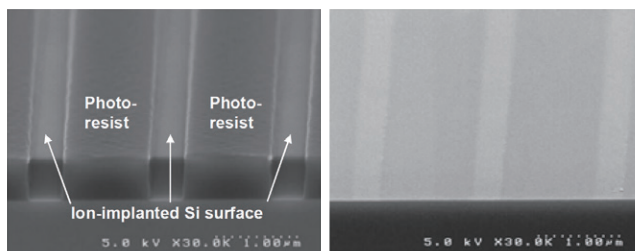


图2：超临界二氧化碳去除离子注入后光刻胶（左，去胶前；右，去胶后）

美国先进材料科技公司的 Korzenski 等则研究了超临界二氧化碳在半导体清洗中用于去除表面杂质的应用。首先清洗的对象是硅 / 二氧化硅表面，清洗前表面分布有大量的氮化硅颗粒物，见图 3。使用超临界二氧化碳清洗后，表面颗粒物几乎 100% 被去除。然后研究者还研究了超临界二氧化碳对金属刻蚀后残留物的清洗效果。以金属铝层刻蚀为例，传统工艺中，运用光刻胶作为掩模，以反应离子刻蚀（RIE）为手段对铝进行刻蚀，刻蚀过程是一个物理轰击和化学反应综合的结果。刻蚀过后，在刻蚀槽的侧面，经常会残留一些碳化的反应物，并且较难除去。为了去除这些反应残留物，传统工艺普遍使用氧气等离子清洗，然而该清洗工艺会造成金属的部分区域氧化，影响器件性能。研究发现，使用超临界二氧化碳可方便快捷的去除此

类刻蚀反应物。图 4 显示，在超临界二氧化碳的清洗下，铝侧壁的残留物被完全清除，清洗后的铝层形貌完好，未产生任何腐蚀或缺陷。超临界二氧化碳对颗粒物和杂质清洗的动力学研究表明，良好的清洗效果取决于剪切力、高压和颗粒的溶解，添加助溶剂或金属螯合剂，可大大增强对离子型和极性组分的溶解能力，同时通过调节表面活性剂的浓度，可调节清洗的选择性。



图3：硅/二氧化硅表面颗粒物清洗（左，清洗前；右，清洗后）

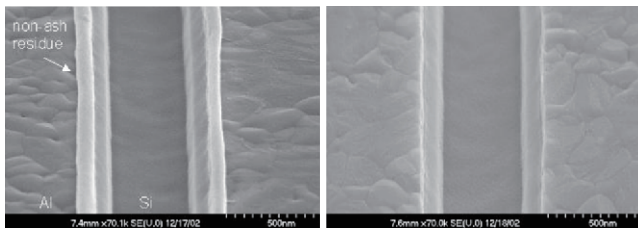


图4：金属铝刻蚀后表面清洗（左，清洗前；右，清洗后）

除了以上清洗工艺，研究发现超临界二氧化碳还可以被运用在某些湿法刻蚀干燥工艺，尤其是在细微结构的牺牲层刻蚀中。以微机电系统中的二氧化硅牺牲层刻蚀（间距 $\leq 100\text{nm}$ ）为例，传统工艺使用氢氟酸溶液刻蚀后，在干燥的过程中，由于水的表面张力作用，细小的微纳图形其两侧的应力不均衡，导致图形容易变形甚至坍塌。使用超临界二氧化碳可以有效避免此问题。该刻蚀工艺将氟化物刻蚀剂和助溶剂加载进超临界二氧化碳。超临界二氧化碳的温度 $35^\circ\text{C}$ ，压力 $10\text{MPa}$ 。研究表明，在此条件下， $10\mu\text{m}$ 宽、 $30\text{nm}$ 间距的图形刻蚀时间在10分钟以内，且刻蚀后图形完整，无任何坍塌，见图5。这是因为，以超

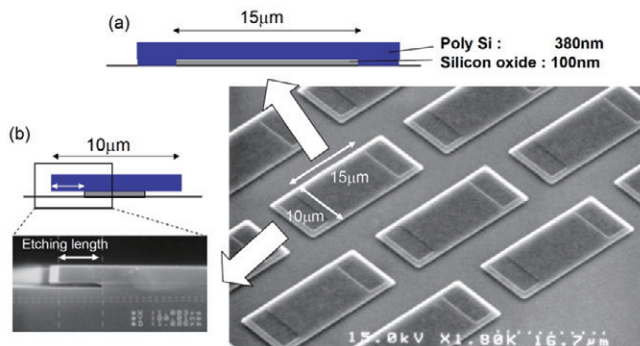


图5：超临界二氧化碳刻蚀二氧化硅图形。

临界二氧化碳作为溶剂，在减压膨胀时，它会从超临界状态连续变化成气体状态，而不经过程相变过程，故在图形表面不会产生气-液界面，不存在表面张力，不会造成图形变形和坍塌。

总之，超临界二氧化碳因其独特的热力学和传递性能，使它在集成电路和微机电系统制造中，具有显著的应用前景。国内外已经在面向新一代无损伤清洗的超临界二氧化碳技术上展开广泛研究。目前国际上，日本和美国在该领域处于世界领先水平，其中美国国家半导体发展战略已将其定为进入实用阶段的下一代清洗技术。国内进行相关研究的主要是大连理工大学、中国人民大学、西安交通大学、中国科学院微电子研究所等高校和研究所。运用超临界二氧化碳清洗技术，开发商业化的成型装备，还有很大的发展空间，需要产学研各方和应用端的共同努力。◆

### 关于智程



苏州智程半导体科技股份有限公司（ZSE）是一家致力于为国内半导体行业提供可靠精良和具有技术竞争优势的湿制程设备的装备制造企业。苏州智程半导体针对集成电路湿法工艺，以发展涵盖热制程前清洗、金属镀膜前清洗、有机去光刻胶、场/栅氧化层刻蚀、铜钛刻蚀和金属剥离等多种清洗、湿法刻蚀设备。针对半导体清洗制程及工艺的多样性，开发模块化的生产模式，可灵活根据客户需求配置不同的湿法工艺。

**半导体芯科技**  
SILICON CHINA SEMICONDUCTOR

杂志、网站、公众号、研讨会全方位服务半导体行业

**欢迎投稿 欢迎合作**

www.siscmag.com

# AI网络物理层底座： 大算力芯片先进封装技术

**随**着人工智能（AI）技术的迅猛发展，我们正站在第四次工业革命的风暴中，这场风暴也将席卷我们整个芯片行业，特别是 Chiplet 和先进封装领域。Chiplet 是实现单个芯片算力提升的重要技术，也是 AI 网络片内互联的基础。而 Chiplet 先进封装技术让 AI 训练/推理芯片的量产成为可能，所以 AI 网络的物理层底座即芯片先进封装技术。

AI 技术的发展极大地推动了对先进封装技术的需求，在高密度，高速度，高带宽这“三高”方面提出了严苛的要求。

**1. 高密度：**AI 芯片通常包含大量的计算核心，这需要封装技术能够在有限的空间内提供高密度的互联方案，以实现核心间的高效通信。同时，又要保证封装的散热、结构、可靠性和可制造性等诸多方面的苛刻挑战。

**2. 高速度：**AI 处理单元（如 GPU、TPU 等）之间需要高速的数据交换，这要求封装技术能够支持高速信号传输，并且减少信号通路的衰减和串扰。

**3. 高带宽：**AI 处理单元之间在高速传输的同时，如何保证在有效的面积内有更高的传输带宽，这就需要从封装层面、从接口层面一同来考虑的问题，在有效的面积内增加互联数量，提高带宽。

结合“三高”提出的要求，封装行业也八仙过海，各尽所能，纷纷开发出不同的 Chiplet 结构及工艺路线。总体上，我们从空间维度上划分，分为：2.xD，2.5D 和 3D 三个，也有一说法有 3.5D，但在空间维度上最高就是 3D。大致上，各个维度分别对应的技术如图 1 所示，这些技术往往是由某一家 FAB 或 OSAT 独家掌握，对应的技术路线网上也有很多资料，在本文就不详细叙述。

当然，2D 封装可列为是一种传统的封装工艺方式，由于没有用到芯片级别的曝光、显影、电镀等工艺，我们仍然将其划分到传统封装领域，未将其列入 Chiplet 层面的封装。

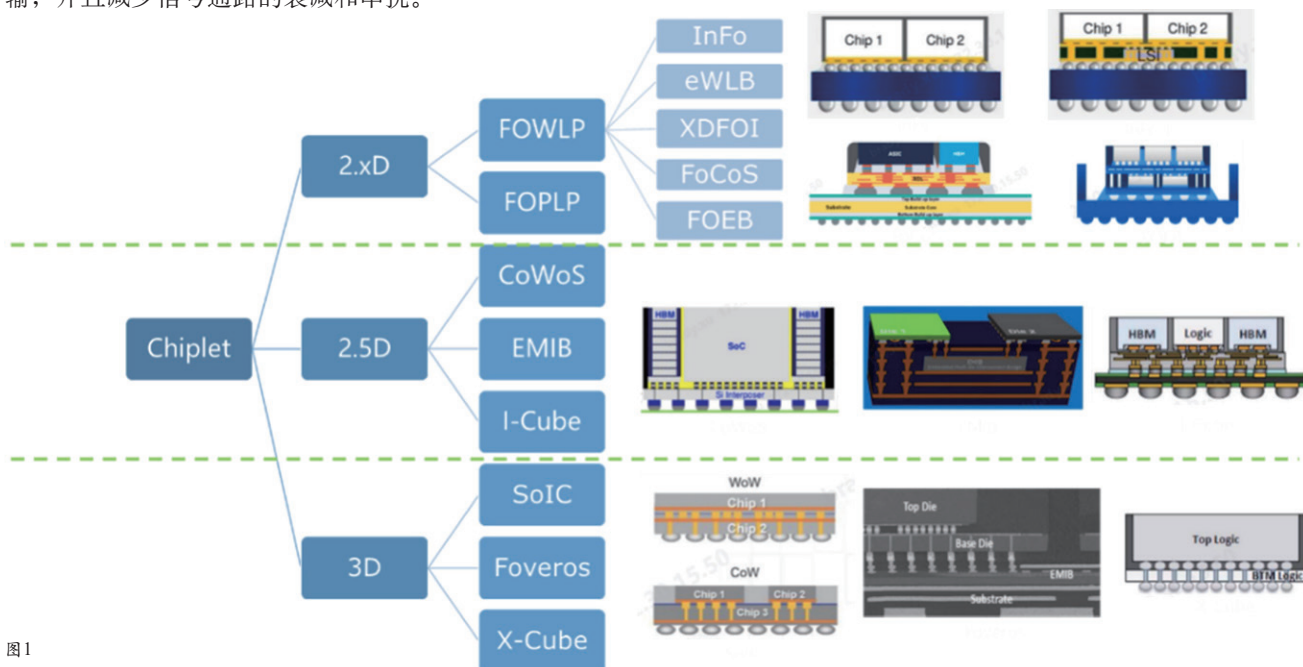


图1

作者：Brady Xu, 奇异摩尔研发团队

### Chiplet的主要优势

Chiplet 作为 AI 技术发展的一种基础应用技术，其主要优势在以下几个方面。

#### 1. 突破摩尔定律，大幅提升系统集成度和性能

传统的 SoC 芯片，把诸多功能模块都集中在一个芯片体中，所选 Fab 工艺节点需要向上兼容，比如 CPU 模块需要 7nm，而 SerDes 只需要 22nm，为完成整个 SoC，不得不采用 7nm 工艺进行加工，无形中大幅增加了 Fab 的工艺难度及成本。而 Chiplet 将诸多模块一分为多，各个模块选用不同的工艺节点分别加工流片，最后通过先进封装组装在一起，降低了成本也节约了 Fab 先进制成的产能。(图 2)

#### 2. 高端 SiP 技术，各个芯片可独立设计 / 可复用

SiP (系统级封装) 面很广，严格意义上讲 Chiplet 也属于 SiP。由于采用了 Chiplet, SoC 就可以拆分成多个芯片，可以彼此独立进行设计流片，分担了一家公司全包的运营及研发压力。各个芯片模块如标准零件一般，可以复用在各个系统中，彼此运营及研发的成本也大大降低。

#### 3. 异构异质集成，突破性能极限

SoC 芯片分拆后，各个芯片模块彼此独立流片，就无需采用同一种工艺节点。同时，最关键的，针对特别模块，我们可以发挥更多的想象空间，突破硅基的限制，采用第二、第三代等芯片材料，提高整体系统性能。

#### 4. 减少传输路径，增加系统带宽，提高整体性能

SoC 集成了多个模块，且芯片面积较大，模块与模块之间的互联往往要跨越整个芯片，传输路径较大，无形中降低了系统的整体性能。Chiplet，各个模块彼此独立，通过前期架构的合理设计，可以有效的减少传输路径，提高系统带宽和性能。

#### 5. 各个模块独立，可大大减小芯片面积并提升良率

Fab 厂中，受限工艺能力及空气中的颗粒因素，芯片

面积越大，对应的良率越低，SoC 芯片拆分为独立芯片模块后，单颗芯片的面积变小，可以有效提高整体良率，降低成本。(图 3)

#### 6. 突破光照尺寸限制，增加系统集成

光刻机的光照 Image 尺寸一般在 33X26=858mm<sup>2</sup>，SoC 芯片也要受光照尺寸的限制，不可能无限变大，超过光照尺寸后，工艺及设备难度都非常大，成本也会成指数增长。Chiplet 芯片分拆后，有效减小了芯片面积，从而降低了光照限制要求。

### Chiplet的封装挑战

相较于传统的封装，封装处于整个芯片行业的末流，在进行芯片设计的时候封装端需要考虑的因素不多，整体重要性不高。Chiplet 的诞生与快速发展，将封装人员推到了“芯片封装架构师”这一重要的职能上。

“封装架构师”，需要从总体上综合考量诸多因素，包括：

- 应用层次：系统应用，带宽，IP 接口等
- 系统层次：互联方式，速度，EDA 软件等
- 封装层次：封装结构，散热，可靠性等
- 工艺层次：工艺路线，供应链，材料，设备等。

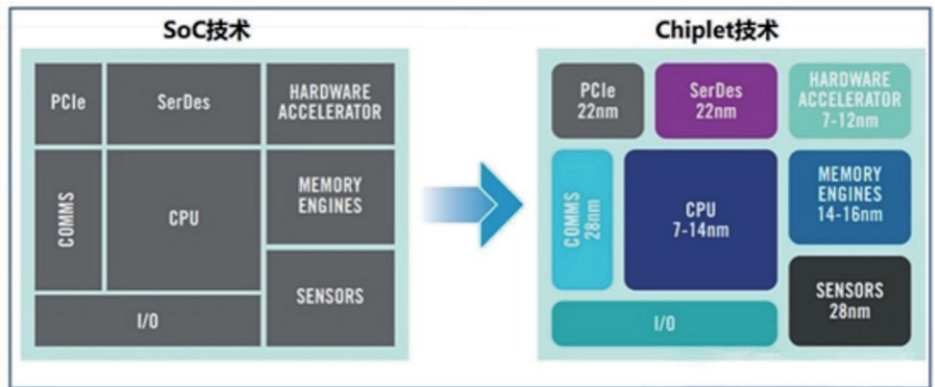


图2 (来源：网络)

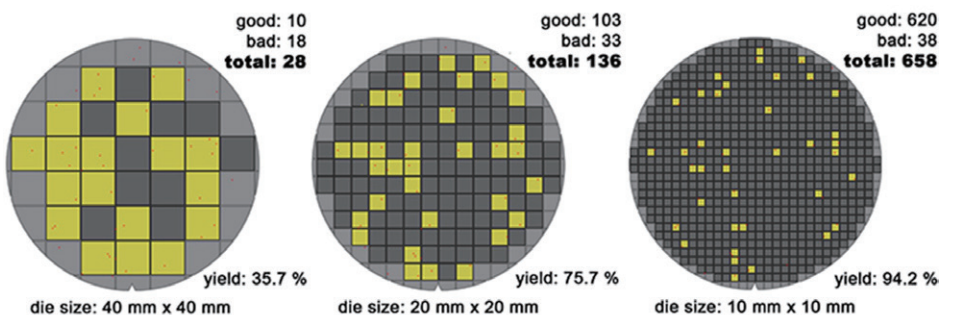


图3 (来源：网络)

这些因素彼此之间互为因果，牵一发而动全身，给 Chiplet 带来了巨大的挑战。针对以往经验，我们在这儿归纳几点挑战及相应分析：

### 1. 从系统架构到底层工艺

系统架构和工艺实现，在芯片行业里面，貌似一个是芯片最前端的岗位，另一个是最后端的职位，在传统封装领域，两者之间的交集不多。但是，在 Chiplet 时代这两者有着密切的联系。

我们在定一个系统架构时，需要考虑到系统的带宽、速度、功耗等因素，而这些与我们所选的芯片间互联 (D2D) IP 强相关。

我们拿 UCIE 举例，UCIE 作为一种国际 D2D 互联协议，它一些主要参数如下表：

Characteristics / KPIs	UCIe-S (2D)	UCIe-A (2.5D)	UCIe 3D	Comments for UCIe 3D
<b>Characteristics</b>				
Data Rate (GT/s)	4, 8, 12, 16, 24, 32		Up to 4	= SoC Logic frequency – power efficiency is critical
Width (each cluster)	16	64	80	Options or reduced width to 70, 60...
Bump Pitch (μm)	100 – 130	25 – 55	≤ 10 (optimized) > 10 – 25 (functional)	Must scale so that UCIe-3D fits within the bump area, must support hybrid bonding
Channel Reach (mm)	≤ 25	≤ 2	3D vertical	FTF bonding initially; FTB, BtB, multi-stack possible
<b>Target for Key Metrics</b>				
BW Shoreline (GB/s/mm)	28 – 224	165 – 1317	N/A (vertical)	
BW Density (GB/s/mm <sup>2</sup> )	22 – 125	188 – 1350	4000 at 9μm	4TB/s/mm <sup>2</sup> @ 9μm, ~12TB/s/mm <sup>2</sup> @ 5μm, ~35T/s/mm <sup>2</sup> @ 3μm, ~300T/s/mm <sup>2</sup> @ 1 μm
Power Efficiency Target (pJ/b)	0.5	0.25	<0.05 at 9μm	Conservatively estimated at 9μm pitch <0.02 for 3μm pitch
Low-Power Entry/Exit	0.5nS ≤ 16G, 0.5-1nS ≥ 24G		0nS	No preamble or post-amble
Reliability (FIT)	0 < FIT (Failure in Time) << 1		0 < FIT << 1	BER < 1E-27
ESD	30V CDM		5V CDM → ≤ 3V	5V CDM at introduction, no ESD for W2W hybrid bonding possible

UCIe 有 S (Standard)、A (Advanced) 和 3D 三种标准，分别用传统 Flipchip 封装、2.5D 封装和 3D 封装形式，三种标准的带宽密度从 UCIe-S 的 22 (GB/s/mm<sup>2</sup>) 到 UCIe-3D 的 4000 (GB/s/mm<sup>2</sup>)，差不多相差了 181 倍之多。即

便我们注意到 UCIe-3D 的速率只有 4 (GT/s) 而 UCIe-S 的最高速率是 32 (GT/s)，为什么还是有这么大的差距呢？答案就在先进封装工艺上。UCIe-S 采用的是传统 Flipchip 封装工艺，bump pitch 在 130um。而 UCIE 3D 采用先进的 Hybrid Bonding (HB) 封装工艺，其 bump pitch 只有 9um，折算到面积的话相差了 208 倍，这就解释了为什么 UCIe-3D 在速率较低的情况下，整体带宽密度还是比 UCIe-S 高了 181 倍。

基于上面的例子，先进封装实现了高密度互联，而实现高密度的方法就是 HB 这种先进封装工艺，系统架构通过先进封装和工艺紧密联系在一起。而先进封装，如我们之前所举例，有很多的封装形式及实现方式，不同的封装形式有不同的优点和缺点，我们如何选择合适的封装形

式，从而选择具体封装工艺，需要从一开始的架构层面就考虑清楚。

### 2. 稳定的供应链资源

不管选择那种封装形式，都需要在系统及运营的架构层面去考虑整个供应链问题，包括：EDA，IP，FAB，OSAT 等，如图 5。

AI 网络构建一套高性能芯片系统的时候，需要考虑很多因素：首先需要考虑的是使用的应用场景，满足哪些协议标准，采用什么 EDA 工具进行设计实现，选用的 IP 种类以及使用哪种 D2D PHY 来实现；再者，从选择什么 Fab 及工艺方式，采用何种封装形式、工艺再到选择 OSAT 公司，考虑选用的材料及设备等。这一系列需要考虑的因素，没有哪家公司可以完全囊括住。这些因素所牵涉的供应商类型众多且不同供应商提出的方案也各有千秋，从而形成完整的供应链体系。

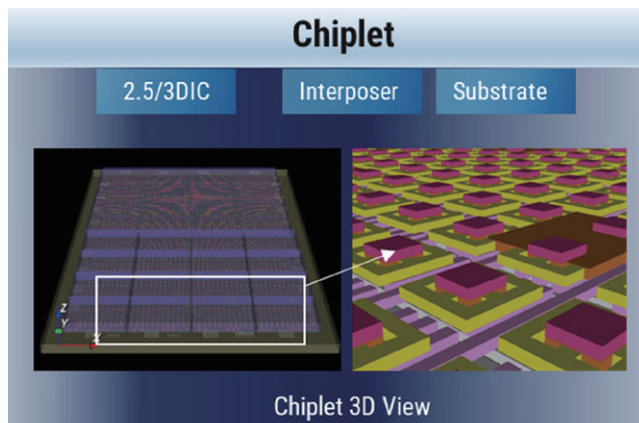


图4



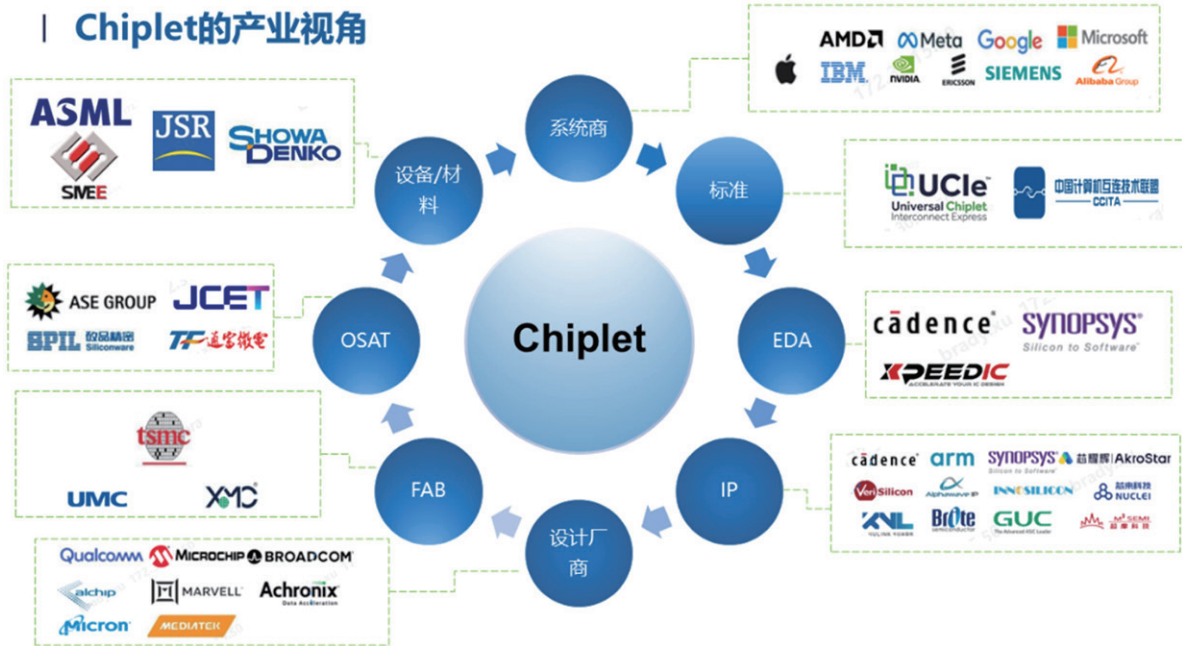


图5

稳定可靠的供应商资源是整个先进封装行业最大的挑战，包括垄断技术、产能短缺以及价格大幅波动等。比如说 COWOS 2.5 封装，TSMC 一家独大，产能吃紧；又比如之前基板 ABF 厂家味之素的产能短缺，导致基板交期普遍拉到半年及以上的情况；再到最近 AI 芯片大火，导致 HBM 的供不应求，一天一价的情况；以上无不说明供应链资源的重要性。AI 算力系统商身处芯片及 Chiplet 这个大行业中，如何保证稳定且可靠的供应链资源也是各家企业遇到的重点挑战之一。

### 3. 从全局考虑问题

Chiplet 先进封装使得整个供应链变得如此紧密，密不可分。某种意义上来说，各个因素不是单方面影响的，而是互为因果，互相制约的，需要我们从辩证思维的方法来考量整个系统。

还是拿 UCIe 做对比，系统商为了满足系统大带宽的要求，选择了 UCIe-A 作为芯片之间的互联标准，从而你就选择了芯片互联 IP 的方式，也选择了 D2D PHY 的互联形式，进而选择了 2.5D 这种先进封装形式。基于 2.5D 封装，你就基本确定了芯片、Interposer 及基板设计的团队及 EDA 工具，也确定了 FAB 及 OSAT 的供货范围，从而有了设备及材料的范围。

相反的，由于材料的限制，比如基板 ABF 材料，有一系列的物理属性：热膨胀性 (CTE)，会产生翘曲及应

力集中，影响到整个封装结构，影响到 FAB 及 OSAT 封装工艺的实现；导热性，导热性能的高低会影响到整个系统的散热性能及整体结构设计，影响系统端；电性能（介电常数 Dk& 损耗角 DF），基板速度上不去或存在严重串扰，影响整个 D2D PHY 的性能，从而影响一开始的系统带宽的要求。

综上，从最上面的带宽要求，到最下面的材料，彼此是互为因果，相辅相成的。这也要求 Chiplet 在设计的时候需要总体上综合考虑，也是设计的难点，需要丰富的设计和实践经验 (图 6)。

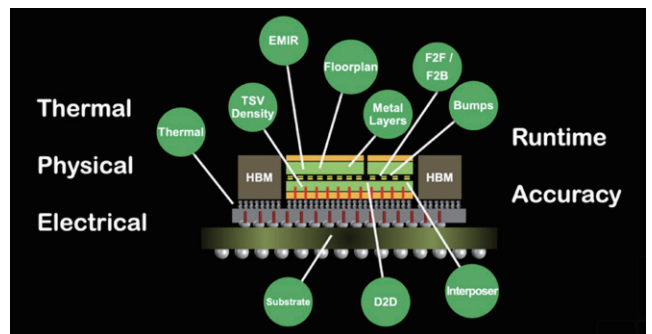


图6 (来源: TSMC)

### 4. 项目经验的积累与创新

Chiplet 先进封装作为这几年兴起的领域，不管是设计公司还是 FAB&OSAT 都没有非常丰富的经验，在这个过程中，很多问题可能之前是完全没有预料到



## AI 网络全栈式互联架构及产品解决方案

以Chiplet和Modernized RDMA，构建AI网络全栈式互联架构及产品解决方案

### 服务器集群间互联

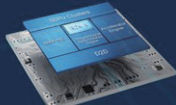


#### AI原生智能网卡

Kiwi NDSA-SNIC

高性能RDMA引擎  
自适应网络调度算法  
基于Ethernet基础设施  
实现Tb级万卡集群无损数据传输  
可编程加速核心SDPU  
实现网络任务加速

### GPU 芯片间互联



#### 网络加速互联芯粒

Kiwi NDSA-G2G

针对高带宽域 (HBD) 优化  
可扩展UCIe接口芯粒形态  
实现TB级到千卡无损数据传输  
复用Ethernet基础设施  
支持多种Topology组网

### 芯片内互联

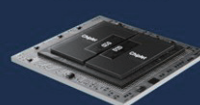


#### 高性能互联芯粒

Kiwi Central IOD

内建多路高速接口  
内建多路存储接口  
内建大容量Cache  
通过高性能Fabric  
支持多芯粒扩展

### 芯片内互联



#### Die2Die IP

Kiwi Link

UCIe Die2Die IP  
高带宽低延迟低功耗  
支持多种封装形态

基于统一Kiwi Fabric 互联架构

WHERE COMPUTE MEETS CONNECTIVITY



图7

的。特别是涉及到材料的问题，材料的选择方面相对复杂，很难用某种理论或某个实验来说明。比如说，最近NVIDIA Blackwell 良率过低的问题，其很大一个原因在于COWOS-L 这种工艺上，而 TSMC 大家都知道之前走的是COWOS-S 的工艺，这是一种量产工艺。那大家就要问了，为什么不继续用 COWOS-S 工艺呢？非得用一种没有量产经验的 COWOS-L 来做？主要是因为，S 这种工艺是基于硅基 Interposer 上实现的，最后将 Interposer 及上面的芯片焊接在有机基板上。一个硅基，一个有机，材料不同，彼此的热膨胀系数 (CTE) 相差甚多。在 Interposer 处于小尺寸范围内的时候，CTE 的差距或许不足以在封装上产生足够大的应力及形变。但是，随着系统带宽的要求越来越大，Interposer 上面需要的 HBM 及芯片数量越来越多，当 HBM 到 8 个及以上的时候，中间的 Interposer 就需要 3.3 个 Reticle ( $3.3 \times 33 \times 26 = 2831.4\text{mm}^2$ ) 尺寸的时候，这个 CTE 差距就没法覆盖了。需要我们创新新的封装技术及结构，COWOS-L 就来了。COWOS-L，本质上是利用局部 Si Bridge 的方式替代 COWOS-S 整体 Si Interposer 的设计。最后的封装整体还是有机材料为主，与基板的有机材料在 CTE 上做匹配，降低整个封装的翘曲及应力集中现象。但是毕竟是新技术，需要时间的积累；通过工程师不断的尝试，才能保证有稳定可靠的封装量产能力。

解决这些工程实际问题，光靠理论及仿真是远远不够的。合格的先进封装技术需要项目经验的积累，需要工程实践的运作，更加需要工程人员的不断突破创新。

## 总述

如上面我们所分析，AI 算力芯片必须使用 Chiplet 先进封装，而先进封装又与系统架构，设计经验及供应链息息相关。从片内互联到片间互联再到服务器集群互联，这些互联层面环环相扣，Chiplet 先进封装技术的迭代与创新将对未来 AI 芯片的性能产生长远的影响，也可以说先进封装技术是实现 AI 高性能计算 / 网络的物理层底座。任何将产业链上下游生态剥离的想法都是不切实际的。◆

## 关于奇异摩尔

奇异摩尔成立于 2021 年，专注于 AI 网络全栈式互联产品和解决方案。公司依托高性能 RDMA 和 Chiplet 技术，开发了统一互联架构 Kiwi Fabric，满足超大规模 AI 计算平台的高性能需求。产品涵盖智能网卡、GPU 片间互联芯粒、芯片内算力扩展的 IO Die 和 UCIe Die2Die IP 等，构成全链路互联解决方案。核心团队来自 NXP、Intel、Broadcom 等行业巨头，拥有丰富的 AI 互联产品开发、量产和管理经验。



# ADC和DAC在量子计算扩展中的关键作用

近年来，人们对量子计算这一主题的兴趣激增，并对其彻底改变技术世界的潜力有了更高的期待。然而，它的未来在很大程度上取决于更广泛的因素及其复杂的相互作用。虽然量子比特可能会成为人们关注的焦点，但在幕后操作的模数转换器（ADC, Analog-to-Digital Converter）和数模转换器（DAC, Digital-to-Analog Converter）起着至关重要的作用。



**首**先，让我们简要概述一下量子计算所涉及的内容。量子计算的核心是量子元素，例如量子比特和量子门。

量子比特是量子信息的基本单位。

与我们在传统计算机中使用的经典比特不同，经典比特在给定时刻只能以0或1的二进制状态存在，而量子比特可以同时占据0, 1甚至两者的组合状态，这要归功于一种称为叠加的量子现象。

这种独特的叠加特性使量子比特能够执行并行计算，

作者：Chris Morrison，AGILE ANALOG公司产品营销总监

为量子计算应用提供了突破性的潜力。经典比特一次只能表示一种状态，而量子比特可以利用量子力学的丰富性同时处理大量信息，为解决复杂问题提供了令人兴奋的前景。

量子门（或量子逻辑门）是在少量量子比特上运行的基本量子电路。量子逻辑门是量子电路的构建块，像经典逻辑门对于传统的数字电路一样。他们操纵量子比特来执行量子运算。

以下是对不同类型量子计算机的简短描述。

超导量子计算机使用超导电路来创建量子比特。为了保持它们的量子特性，电路被冷却到令人难以置信的低温。超导量子计算机比较先进，能够进行大量的计算。但是，它们对环境高度敏感，并且很难扩展到更大的尺寸。

俘获离子量子计算机使用俘获离子来产生量子比特。离子是失去或获得电子的原子，它们可以被电磁场俘获。虽然俘获离子量子计算机的构造和操作很复杂，但它仍然是一项相对成熟的技术。

光子量子计算机使用光子（光粒子）来形成量子比特。这些仍处于开发的早期阶段，但被认为是可扩展的，因为光子可以很容易地使用光纤在很远的距离内传输。除了构建具有挑战性之外，光子量子计算机还需要专门的硬件。

中性原子量子计算机使用中性原子（没有失去或获得电子的原子）来创建量子比特。这些技术也处于开发的早期阶段，具有高度可扩展的潜力。这是由于激光可以很容易用于捕获中性原子。中性原子量子计算机的构建也很复杂，需要专门的硬件。

## 为什么需要ADC和DAC?

量子比特的控制和测量通常涉及模拟信号和数字信号之间的转换。这就是 ADC 和 DAC 发挥作用的地方。

## 模数转换器 (ADC) 的作用

ADC 在量子控制中发挥着重要作用，它将来自被测量子比特的模拟信号转换为数字数据，这些数据可以通过标准控制系统处理。ADC 技术的进步实现了高分辨率转换器的发展，这些转换器能够以最小的噪声和失真准确捕获量子信号。这些 ADC 还能够精确测量量子态，为量子系统中的实时控制和纠错提供必要的反馈。

## 用于灵敏读出的ADC

执行量子计算后，需要读出量子比特的状态。这涉及

到测量使用 ADC 转换为数字形式的弱信号。每个量子比特需要 1 到 3 个 ADC，具体取决于实施的方案。在这种情况下，ADC 的主要考虑因素包括：

### 高灵敏度和动态范围

ADC 必须高度敏感，以捕获来自量子比特的微弱信号，并具有宽动态范围以适应全部电势值范围。通常，这些控制信号的分辨率需要在 5 到 12 位之间。

### 高速

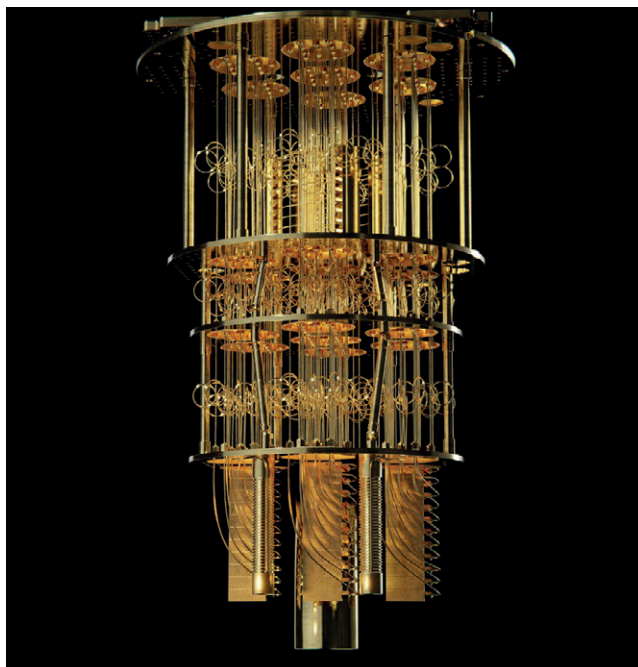
高效的读出依赖于具有快速采样率的 ADC 来捕获量子比特状态的快速变化。借助当今的技术，量子计算机的 ADC 采样率正在从 10 MSPS（每秒采样百万次 Million Samples per Second）上升到 100 MSPS，甚至 1 GSPS（每秒千兆次采样 Gigabit Samples per Second）。

## 数模转换器 (DAC) 的作用

DAC 通过将数字控制信号转换为用于操纵量子比特和实现量子门的模拟电压或微波脉冲，在量子控制中发挥着关键作用。DAC 技术的最新发展主要集中在提高速度和精度上，从而可以更快、更准确地控制量子操作。这些 DAC 能够实现复杂的脉冲序列和控制算法，从而实现提高门可靠性和量子算法性能。

## 用于精确控制的DAC

量子门是在量子比特上执行的基本操作，是通过精心



设计的控制信号实现的。通常要求每个量子比特有 2 到 5 个 DAC。

具有以下特性的 DAC 是必不可少的：

#### 高分辨率和高速度

量子比特状态的精确操作需要具有高分辨率(8-12位)的 DAC 来准确表示复杂的控制信号，并需要快速稳定时间(纳秒或更快)以确保最小的信号失真。同样，凭借今天的技术，量子计算机的 DAC 采样率正在从 10 MSPS 上升到 100 MSPS，甚至 1GSPS。

#### 低噪声

DAC 引入的任何噪声都可能导致控制信号出错，从而影响量子运算的保真度。

### 不同量子比特技术的要求

虽然所有形式的量子计算机都广泛使用 ADC 和 DAC，但每种特定的量子计算拓扑都有其自身的特定要求。

对 ADC 和 DAC 的要求可能有所不同。例如：

#### 超导量子比特

##### ADC

需要使用低噪声、高带宽 ADC 来测量用于读出的谐振器发出的微弱信号。

##### DAC

需要高保真电压或电流 DAC 来生成精确的微波控制信号。

#### 捕获离子量子比特

##### ADC

在读出过程中，需要高灵敏度、高速的 ADC 来转换来自捕获离子的微弱荧光信号。

##### DAC

高速、高分辨率 DAC 用于调制激光束的强度和相位以进行控制。

保持低功耗对于量子计算机的整体能源效率至关重要。以 8,000 或 800 万个转换器为例，如果每个器件都消耗 1mW，那么这会导致总消耗为 8 瓦或 8,000 瓦。

### ADC和DAC集成的挑战

将高性能 ADC 和 DAC 集成到量子计算系统中存在一些挑战：

#### 小型化

随着量子比特数量的增加，对于 ADC 和 DAC 来说，紧凑且可扩展的需要变得至关重要。例如，如果每个量子比特需要 3 个 ADC 和 5 个 DAC，而 1,000 个量子比特则需要 8,000 个转换器。因此，100 万个量子比特需要 800 万个转换器！

#### 集成

这些转换器与量子比特控制和读出电子元件的无缝集成对于高效的系统运行至关重要。

#### 功耗

保持低功耗对于量子计算机的整体能源效率至关重要。以 8,000 或 800 万个转换器为例，如果这些每个器件都消耗 1mW，那么这会导致总消耗为 8 瓦或 8,000 瓦。这一切都会产生大量的热量，而现代低温恒温器只能以 2 到 5 瓦的内部耗散来保持其温度。

### 控制电子元件

控制电子元件与量子系统接口，提供精确的控制和测量功能。

#### 外部控制电子元件的问题

目前，大多数量子计算机的控制电路，包括 ADC 和 DAC，都位于量子比特所在的超冷低温室（低温恒温器）之外。这种方法虽然适用于小规模系统，但为扩展到数千甚至数百万个量子比特带来了重大瓶颈。

#### 有限的可扩展性

可以控制的量子比特数量受到低温恒温器的物理限制。随着量子比特数量的增加，为每个量子比特布线大量控制电缆（包括用于 ADC 和 DAC 的控制电缆）变得不切实际且繁琐。

#### 信号衰减

较长的控制电缆会引入信号衰减和噪声，从而导致量子比特控制和读出误差。随着电缆长度的增加，这些误差变得更加明显，从而阻碍了量子操作的保真度。

#### 复杂性增加

在低温恒温器外部管理和布线大量控制电缆会增加系统的复杂性，使其难以维护和扩展。

## 在低温恒温器中集成控制电子元件的优势

将控制电子元件（尤其是 ADC 和 DAC）直接集成到低温恒温器中，是克服可扩展性瓶颈并为构建更大、更强的量子计算机铺平道路的关键。这种方案有几个优点：

### ○ 减少信号衰减

通过将 ADC 和 DAC 放置在更靠近量子比特的位置，可以最大限度地降低信号损失和噪声，从而提高控制和读出保真度。

### ○ 增强的可扩展性

借助片上模拟控制电子元件，可以控制的量子比特数量不再受低温恒温器馈通件数量的限制。这使得可以构建更大、更复杂的量子电路。数字控制电路可以集成在低温恒温器内，或者由于数字信号具有固有的抗扰度，可以保持在低温恒温器外部。

### ○ 简化系统设计

将模拟控制电子元件集成到低温恒温器中可降低系统的复杂性，使其更易于管理和维护。

## 挑战和注意事项

虽然在低温恒温器中集成 ADC 和 DAC 具有显著优势，但仍需要解决若干挑战：

### ○ 恶劣的低温环境

专为室温操作而设计的 ADC 和 DAC 需要适应在低温下可靠运行，通常约为 4 开尔文。这涉及到使用专门的电路设计技术。

虽然半导体工艺技术的特点通常是在 -40℃ 至 125℃ 的温度下运行，但需要新的模型才能在这些低温下进行设计。此外，还需要对代工厂提供的底层晶体管进行更改，以便使其在这些低温下实现最佳性能。

### ○ 空间有限

在量子比特附近的有限空间内集成大量 ADC 和 DAC 需要小型化和高密度封装解决方案。

### ○ 功耗

管理低温恒温器内的散热至关重要。低功耗 ADC 和 DAC 对于避免破坏系统的热稳定性至关重要。

## 扩展量子计算机

为了实现其真正的潜力，需要大幅增加量子比特的数量，从今天可能的几百个增加到数百万个。

这些量子比特必须受到控制，通过生成可以在低温下



运行的半导体 IP，量子计算开发人员可以快速设计自己的控制 ASIC，从而使其可以与低温恒温器中的量子比特位于同一位置。

在量子计算领域，操作量子比特需要的温度甚至低于 4K，因此将模拟控制电子元件放置在低温恒温器内的量子比特附近是扩展量子计算机的关键。

## ADC和DAC的进展

随着量子计算领域的不断发展，对高保真、低噪声和高速模拟元件的需求只会变得更加迫切。Agile Analog 公司正在探索开发一系列低温 ADC 和 DAC 的机会。作为 Innovate UK 资助项目的一部分，设计团队在与超低功耗嵌入式内存专家 sureCore 合作的项目中获得了一些挑战的经验，该项目在 Global Foundries 22FDX 技术中提供了低温控制 ASIC。

## 结论

通往强大且可扩展的量子计算机的道路不仅得益于量子比特技术的进步，还得益于高性能和可靠模拟组件的开发。随着量子计算机的尺寸和复杂性的增长，对模拟组件的要求也越来越高。从生成控制信号到放大弱量子比特态，这些组件在量子计算堆栈的各个阶段都发挥着核心作用。ADC 和 DAC 有望在释放量子计算的全部潜力方面发挥至关重要的作用。高性能模拟电子元件的不断发展与量子比特技术的共同进步，将推动量子计算向越来越复杂和强大的应用方向发展。◆

# 向废水宣战

为了提高产能而进行的更高层次的水利用和循环再用，意味着需要采用更新的技术。Membrion 是一家初创公司，它开发了一种新型的电子陶瓷海水淡化技术，该技术利用电能和陶瓷膜来减少恶劣的工业废水量。

早在 COVID-19 大流行造成供应链混乱不畅之前，全世界就已经知道存在半导体短缺。旺盛的需求使得依靠现有设施的生产显得捉襟见肘，虽然新的设施正在建设之中，但是要完全投入使用还需要数年时间。半导体供需曲线的同步不会在短期内实现，而在关键流程（如废水流动）中使用传统技术也会减慢事情的进展。

这个行业有一个让人颇感惊讶的新成员：Membrion。他们的目标是扩大废水的处理能力，从而释放设施设备的真正潜力。提高废水处理能力将使半导体制造商有能力利用新的、更高产能的机器设备，升级现有的设施，并能灵活应对不断出现的环保优先考虑事项。

Membrion 是一家初创公司，它开发了一种新颖的电陶瓷海水淡化技术，该技术利用电能和陶瓷膜来减少恶劣的工业废水量。采用该项新技术替换在工厂中使用了 20 多年的废水处理工艺，使其不再成为限制因素，从而使制造设施能够以更快的方式来响应对其产品不断增长的需求。



虽然半导体生产供应量的增加给许多供应链带来了可喜的缓解，但是，半导体制造过程也给当地水源带来了组合拳式的连环打击。一方面，它的生产过程需要大量的水，而对于半导体来说，大部分用水必须是超纯水。另一方面，半导体制造不消耗任何水，因此产生的所有废水都必须经过处理之后才能排放。以上所述产生了两种需求：首先，需要更高水平的水利用和循环再用流程，其次，需要提高工业废水设施自身的处理能力。

为提高产能而进行的更高水平的水利用和循环再用，意味着需要采用更新的技术。这并不包括过去那种单一、低效的供水系统和工具，Membrion 带来了一种新的方法。Membrion 技术已在包括半导体在内的多个工业市场得到了验证。事实上，在 2022 年，他们是国际半导体设备与材料协会（SEMI）领导的“半导体可持续发展初创企业计划”（Startups for Semiconductor Sustainability initiative）的三家水技术行业入围企业之一。随后，Membrion 宣布获得 Lam Capital 和 Samsung Venture Investments 的投资。经过多次成功的试点和近期的商业安装之后，Membrion 已发展成为一种独特而有价值的产能扩大工具，适用于希望以更低能源消耗完成更多任务的设施。

在美国，如果有一家新的半导体工厂处于在建之中，那么 Membrion 的 CeramIX<sup>®</sup> 电陶瓷海水淡化（electro-ceramic desalination, ECD）膜组件很有可能正在接受评估。同样，现有的半导体工厂也希望扩大产能，而 Membrion 可以帮助它们减少废水量，从而实现产能的增加。

## 电陶瓷海水淡化膜如何工作

Membrion 的柔性电陶瓷海水淡化膜使用丰富的自然资源二氧化硅制成。这些电陶瓷海水淡化膜设计用于处理恶劣条件、抗污垢和在极端 pH 值环境下工作。

Membrion 的膜是运用卷对卷加工工艺制造的，因而

使得这些海水淡化膜的成本非常经济。此外，与设施（及其诸多限制因素）相关的优点是，膜片采用堆叠式模块，可根据客户要求定制，且结构紧凑。

Membrion 团队与每位客户通力合作，按照客户的具体要求提供所需的设备，并最大限度地提高其设备的产能和灵活运行能力。

### 对于现有的半导体制造商来说，最大限度提高可靠性是第一要务

污水处理的可靠性和能力高低是一体的。任何生产设施的组合式回用和处置系统的处理能力都不得低于废水处理厂的处理能力，以确保正在处理的废水能够有个去处。处理能力是指设施处理、移动或加工水的能力。通常用 MGD(百万加仑/天)表示。一般来说，在进行设施规划时，都会有一项针对一定量废水的处理能力的规划。随着时间的推移，设施的生产力变得越来越高，最终会耗尽自己的产能。这时设施的运行能力会达到极限。它们不能将废水直接排入下水道就万事大吉了，必须先对其进行无害处理。

半导体设施需要建设很长时间才能制造出产品，但是，市场对所制造产品的需求量却很大，因此迫切需要建立高产能的设施。对于先前存在的设施来说，产能是固定的，而利用传统技术扩大产能往往需要大量的额外安放空间，但是此类空间并不总是在哪都有的。

有的时候，设施建成后，生产目标会发生变化，或者需要增加产量以满足市场需求。因此，需要修改废水处理能力计划，以适应更高的生产率。Membrion 采用可定制的模块，能为现有设施提供更大的产能和更高的灵活性，从而以极小的系统占地面积来应对这些需求挑战。

Membrion 可以处理废水中的污染物，并将其压缩到比生产设施启动时小得多的体积内。如果在达到或接近产能的情况下运行，Membrion 可以根据废水流的大小，将水量缩减 5 ~ 50 倍。这优化并扩大了设施的运行能力。Membrion 为污水处理创造了巨大的处置能力，使其能够继续有效地使用和运行。

### 冷却塔

减少废水量的方法之一是借助冷却塔 (cooling tower)。Membrion 首创了冷却塔水处理的新方法，以减少制造过程的用水需求。Membrion 的创新技术采用了 CeramIX® 陶瓷离子交换膜，旨在从一开始就防止矿物质



的累积。随着时间的推移，矿物质会慢慢被抽出，从而确保冷却塔能够继续循环用水，实现 > 20 CoC (cycles of concentration) 的高浓度循环。它可以与新的或现有的冷却塔搭配使用，使各行业的用户都能改善节水效果。

另外，在提高运营中的半导体设施的许可产能方面，Membrion 还能参与提供协助和指导。帮助大多数设施在可以排放的水量、水的类型和污染物水平方面都获得了相应的许可。

Membrion 可以帮助设施保持在现有许可范围内，方法是确保减少铜废水等极难处理的废水的排放量，从而使设施能保持在其现有的许可范围之内。此外，在安装新设备并需要获得许可时，Membrion 会在许可过程中与承包商和行业团体进行合作，以确保合规性和足够的处理能力。在废水处理过程中使用 ECD 技术还有其他好处，包括减少所需使用的化学品量，减少所需的劳动力，以及降低能耗。可以实现环境、社会和政府治理目标 (ESG)。下转第32页

半导体设施需要建设很长时间才能制造出产品，但是，市场对所制造产品的需求量却很大，因此迫切需要建立高产能的设施。对于先前存在的设施来说，产能是固定的，而利用传统技术扩大产能往往需要大量的额外安放空间，但是，此类空间并不总是在哪都有的。



# 准确测量半导体制造过程中的水分、湿度和温度

半导体制造业流传着一句话：“这不是火箭科学，但比火箭科学难多了！”这句玩笑话背后，实则蕴含了行业的真实写照：半导体制造不仅过程错综复杂，而且耗时冗长，一个完整的制造周期往往跨越 12 至 20 周。

制造半导体初期投入资金浩大，制造流程所需设备价格更是高昂无比。于新一轮投资周期启动前夕，单一制造周期常持续约六年之久，且整体生产流程利润率偏低，这意味着只有通过实现高产量方能确保盈利稳固。因此，严控生产质量，力避废品与不良品至关重要。

水分作为半导体制造中的重大污染源之一，其不当的湿度条件据估算可造成高达 25% 的收入损失。为确保产品质量与产量的稳定，半导体制造流程中对湿度与温度的监控必须尤为谨慎。维萨拉公司提供的高精度测量解决方案，专为制造工艺中的关键环节量身打造，不仅响应迅速，更能灵活适应各类极端环境。本文将着重介绍湿度、水分、微量水分、相关湿度、露点及霜点等关键参数。

## 高科技纳米级半导体制造

在高科技纳米级半导体制造等超纯应用中，即便在严格去除了灰尘、油脂及其他污染元素后，微量水分的残留仍可能成为潜在威胁，对产品质量与产量造成不容忽视的负面影响。鉴于完全去除流程中每一个水分子几近不可能，我们需依赖高精度的测量工具，力求将水分含量影响降至最低。通过这些工具，我们能够实现对水分含量的精准监控与有效管理，确保半导体制造过程达到极致的纯净与稳定。

## 洁净室暖通空调

洁净室中的暖通空调 (HVAC) 系统，通常被安装在空气处理装置与风扇过滤装置中。在这些系统中，水分的潜在威胁不容忽视，它可能污染工艺过程，并与工艺过程中的化学品发生反应，甚至会加剧静电放电 (ESD) 问题，对半导体等精密制造构成重大挑战。在特定场景下，对相



对湿度的测量精度需严格控制在  $\pm 2\%$  以内，同时温度测量则需达到  $\pm 0.25^\circ\text{C}$  的准确度。

维萨拉变送器，凭借其可靠的性能，成为调控洁净室内空调机的理想选择。无论是安装在通风机内部还是墙壁上，它们都能准确地监测并调节环境参数，为高科技制造提供稳定可靠的支持。

针对洁净室多样化的工艺需求，目标湿度与温度设定灵活多变。而维萨拉的 HUMICAP® 传感器技术，正是这一需求的高效响应者。该技术基于先进的聚合物薄膜，不仅响应迅速、测量准确度高，更展现出可靠的长期稳定性与低维护需求。在维萨拉自家严格控制的洁净室环境中生产，每一款 HUMICAP® 传感器都承载着良好的品质保证与可靠承诺，为半导体等高科技制造领域保驾护航。

### 工艺管线气体质量

洁净室操作需要高质量的过程气体，监测工艺管线气体中的湿度水平是防止水分侵蚀、保护材料免遭损失的关键。其目标在于最大限度地降低含水率，因此，精确追踪露点成为不可或缺的环节。在选择传感器时，迅速响应与可靠的耐冷凝性能至关重要。它们共同构筑了可靠运行的基石，确保即便历经长时间停机，也能助力工艺过程无缝衔接、迅速恢复高效运转。

维萨拉 DRYCAP® 技术，依托独家的聚合物薄膜创新技术，展现了高灵敏度与可靠的环境适应性，能够灵活应对各类应用挑战，即便在极端环境下亦能具有长期稳定性。其内置的净化机制，巧妙清除薄膜中不必要的残留杂质，确保即便在次优条件下，测量准确度依然能高效保持。

维萨拉自动校准功能使用专有设计和算法，可消除环境老化对传感器结构的影响。长期监测传感器性能有助于传感器即时修正灵敏度波动，提高长期稳定性，从而大幅延长传感器寿命，远超传统同类产品，并显著削弱恶劣环境条件的负面影响。维萨拉传感器以其快捷的响应速度，能够在系统发生故障时迅速做出反应，有效预防材料损失，确保生产过程的安全与高效。

### 压缩空气质量

对维护大多数工业洁净室的严苛环境而言，压缩空气的洁净度至关重要。因此，对多余水分的控制标准会被设定在极低阈值，力求达到露点温度低于  $-80^\circ\text{C}$ 。通常系统会设置多个警报级别，一旦超出此目标水平即发出警报。维萨拉产品在整个测量范围内都经过严格测试和校准，以确保传感器读数高度准确，降低高昂的过度干燥成本。而维萨拉湿度传感器单元响应迅捷，即时预警，助力客户快速识别和解决问题，保障生产环境的纯净与高效。◆

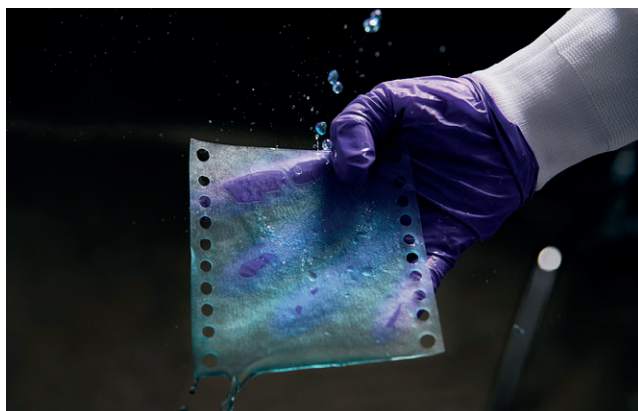
上接第30页

不断变化的合规规则也会对半导体制造工艺和废水处理能力造成影响。随着这些法规的不断变更和发展，制造商必须做出调整。由于半导体生产设施在设计时考虑到的是旧法规，所以未必有额外的空间，而由于可用空间受到限制，在适应新法规方面也面临挑战，因此优化和扩大产能并减少废水量就变得极为重要。

### 新建半导体生产设施带来的机遇

新的半导体生产设施，包括位于俄亥俄州新奥尔巴尼的英特尔工厂，必需经过多年的规划和建设，才能投入运营，并开始满足对半导体的需求。它们需要许多行业的参与和各种专业知识，以规划、建造、支持和最终生产半导体。

这包括水行业的参与。经常有报道谈及半导体制造对水行业的影响非常大 - 需要使用大量的水。如果不整合 ECD 等新技术，这些用水需求就会导致当地水源受到钳



制，甚至发生阻塞。

Membrion 从一开始就释放了新设施采用最先进的中水回用和水循环再用工艺的潜力，并在设施的整个生命周期内减少资本支出和运营支出。◆

(MEMBRION 公司供稿)

# 用绿色能源引发 硅半导体制造业的变革

在不断发展的科技领域，很少有行业能与硅半导体制造业的能源需求相提并论。这些能源密集型半导体企业是现代电子产品的支柱，为从智能手机到超级计算机等一切电子产品提供支持。然而，这个重要的行业正面临着一个紧迫的困境，就是在全全球气候危机的阴影笼罩之下，能源成本不断飙升。



作者：Phil Thompson，  
BALANCE POWER 公司首席执行官

半导体行业在无休止的能源消耗中循环运行，行业当中的主导企业更是耗电量惊人。以英特尔公司为例，2022 年，该公司的全球能源使用量达到了 109 亿千瓦时。其中 90 亿千瓦时是用电量，这反映了硅芯片的生产对能源的耗费十分巨大。随着全球能源价格的飙升，半导体行业面临着令人瞩目的能耗账单，这些能源开支侵蚀了企业的利润，而且在某些情况下还威胁到企业运营的可持续性。

由于世界各国政府都在实施严格的减排目标，因此迫切需要去碳化，故而加剧了这一挑战。制造和生产领域的碳排放量占到全球碳排放量的五分之一，而半导体行业 80% 以上的排

放量来自于电力消耗，因此这些公司正面临着越来越大的压力，必须提高可持续发展能力，并向使用清洁能源过渡。

## 实现去碳化和盈利的途径

半导体行业中一些规模庞大的厂商已经在使其运营更具可持续性方面迈出了一大步。例如，三星在 2022 年宣布了其环境战略，承诺加入全球应对气候变化的行列，并在 2050 年之前实现净零排放。

尽管已经做出了这些努力，但是仍有许多工作要做。据预测，半导体行业的碳排放量将超出 1.5°C 路径的碳预算达 3.5 倍，预计该行业将无法实

现净零排放目标。我们确实需要加快整个行业在去碳化方面的进展速度，以确保半导体行业的生存能力。

企业去碳化似乎是一个复杂的难题。不过，硅半导体制造商有一个极富吸引力的选择，那就是改用可再生能源为其运营提供动力。这不仅符合全球可持续发展目标和指标，而且还能带来其他实实在在的好处，包括降低运营成本、增强运营适应力和减少碳足迹。

那些使用清洁能源（来自太阳能电池板、风力涡轮机或其他可再生能源）的企业，可以摆脱全球能源市场波动的影响，而受益于更稳定和更可预测的电力来源。而且，由于可再生能源比化石燃料更便宜，因此可以显著降低企业的能源开支。

### 电表后端发电：一种开创性的解决方案

尽管好处显而易见，但是许多公司仍然没有意识到这种转变过渡的可行性。相反，他们仍然与依赖电网的能源供应商签订昂贵的合同，认为可再生能源是难以企及的“奢侈品”。

然而，通过“电表后端”发电（‘behind-the-meter’ generation），企业越来越容易获得可再生能源。这通常需要在企业与清洁能源开发商之间建立合作伙伴关系，由后者确定生产可再生能源的最有效方法。这常常是通过在制造商的厂房或附近的田地里安装太阳能电池板或风力涡轮机来实现的。可再生能源产生的电力直接输送给企业，这就避免了许多第三方成本和其他费用，这些开销和费用通常都会加到能源账单上。

Samsung Semiconductor 公司已将这种方法作为其环保战略的一部分，该战略承诺，到 2050 年，在其全球所有业务场所百分之百地使用由可再生能源生产的电力。自 2020 年以来，这家公司在美国和中国的业务场所通过安装大型可再生能源设施，实现了清洁能源供电。

就 Balance Power 而言，我们帮助包括制造商在内的能源密集型企业，在可再生能源项目的融资和建设之前，确定适合其具体规模和需求的解决方案。因此，他们需要做的即为购买所使用的能源 - 就是这么简单。

将可再生能源项目战略性地安置在半导体生产设施的附近，可以为传统的电网电源提供一种引人注目的替代方案。它不仅代表了一种更清洁、更自主的能源选择，而且有望大幅节约成本，在减少碳足迹的同时减轻企业的财务压力。此外，电表后端发电并不是“一刀切”式的方

将可再生能源项目战略性地安置在半导体生产设施的附近，可以为传统的电网电源提供一种引人注目的替代方案。它不仅代表了一种更清洁、更自主的能源选择，而且有望大幅节约成本，在减少碳足迹的同时减轻企业的财务压力

法。它可以根据每家公司独特的能源需求和限制条件进行定制，从 Samsung Semiconductor 这样的大型制造商到经营规模较小的公司都可以使用。这些可再生能源项目的设立旨在无缝集成到现有的业务中，从而使得更便宜、更清洁的能源触手可及。

### 通往绿色未来之路

随着半导体行业在能源需求、可持续发展和盈利能力的复杂交叉点上不断摸索，采用可再生能源的理由越来越充分。在向去碳化经济过渡方面，半导体本身发挥着关键的促进作用，而电动汽车和可再生能源技术使用的增加又推动了对芯片的需求。但是，与此并不矛盾，该行业必须将可持续发展融入其生产流程中，以适当支持未来的净零排放，这一点至关重要。

通过采用可再生能源，硅半导体制造商不仅减少了对环境的不利影响，而且还提高了最终利润，增强了竞争力，并使其业务面向未来。◆



# 高信噪比MEMS麦克风驱动人工智能交互

## 导言

在英飞凌，我们一直坚信卓越的音频解决方案对于提升消费类设备的用户体验至关重要。我们坚定不移地致力于创新，在主动降噪、语音透传、录音室录音、音频变焦和其他相关技术方面取得了显著进步，对此我们深感自豪。作为 MEMS 麦克风的领先供应商，英飞凌集中资源改善 MEMS 麦克风的音频质量，为 TWS 和耳罩式耳机、笔记本电脑、平板电脑、会议系统、智能手机、智能音箱、助听器甚至汽车等各种消费设备带来卓越体验。

今天，我们生活在一个激动人心的时代，人工智能正在彻底改变日常生活，而 ChatGPT 等工具正在通过直观的文本和语音交互重新定义工作效率。随着人工智能系统的不断进步，传统的商业模式、信仰和假设正在受到挑战。语音在新兴的人工智能生态系统中扮演什么角色？作为企业领导者，我们是否需要重新思考我们的信念？生成式人工智能的兴起是否会降低高质量语音输入的重要性，或者高质量语音输入是否会成为广泛采用人工智能服务和个人助理的必要条件？

## 人工智能，从得力助手到最好的朋友

人类不仅会根据问题的内容，也会根据提问的形式调整自己的回答，这是很自然的事情。人类的声音提供了各种线索，可用来判断提问者的年龄、性别、社会和文化背景以及情绪状态。此外，识别所处的环境（如机

场、办公室、交通或跑步等体育活动）也有助于确定提问者的意图，并相应地调整答案并更好的对话。

尽管人工智能的能力有了长足的进步，但人们仍然认为，基于人工智能的辅助工具缺乏正确预测人类提问意图或特定信息将如何被解读的能力。为了改善人机交互，人工智能在做出修辞选择时应考虑三个关键因素：对听者的了解、听者的情绪状态和环境背景。

在许多情况下，仅凭接收到的音频信号就足以提取有用的信息并做出适当的反应。例如，考虑一下与素未谋面的人进行电话或音频会议的情况。更重要的是，考虑一下在没有机会当面交流的情况下，一个人在反复交谈后对另一个人的感知是如何发展和变化的。

最近的研究表明，即使人工智能的语言反应风格发生微小的变化，也会导致人工智能的社交能力和个性发

生明显变化。我们有理由假设，在适当的声音输入水平下，未来的人工智能系统将能够作为有效的伙伴发挥作用，表现出人类朋友的行为，例如询问并真正倾听答案，或者只是倾听并在适当的时候保留判断。

## 人类如何体验音频信号？

与任何语言交流一样，音频信息也使用语言和文字来传达思想、情感和观点。此外，音调、速度、音量和背景噪音等其他交流元素也会影响对信息的整体感知。

从科学的角度来看，人耳基于两个关键因素来感知音频信号：频率和声压级。声压级 (SPL) 以分贝 (dB SPL) 为单位，表示围绕环境大气压振荡的声压幅度。100dB SPL 的声压级相当于割草机或直升机发出的巨大噪音。声压级范围内的最低点 (0dB) 等效于  $20\mu\text{Pa}$  的声压振荡，这代表具有最佳听力的健康年轻人在 1kHz 频率下

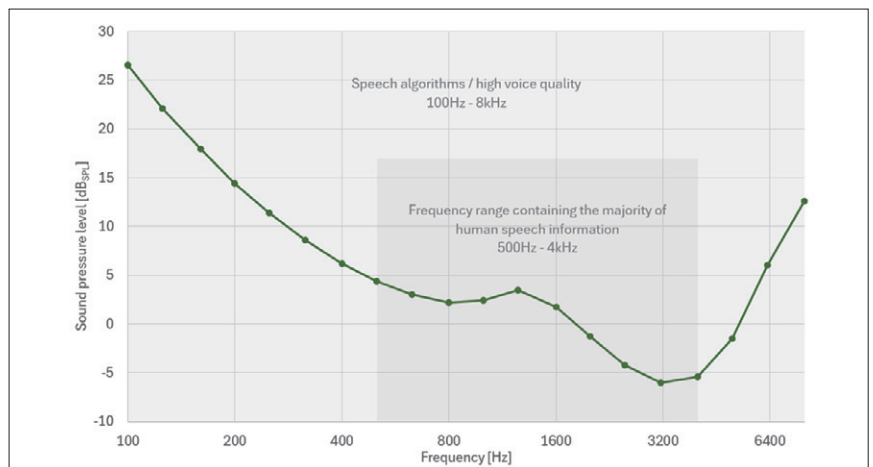


图1：听力阈值：根据ISO 226:2023，人在重复试验中做出50%正确检测反应的声级。

作者：Gunar Lorenz博士，英飞凌科技技术市场高级总监

校对：丁越，英飞凌科技消费、计算与通讯业务大中华区首席工程师

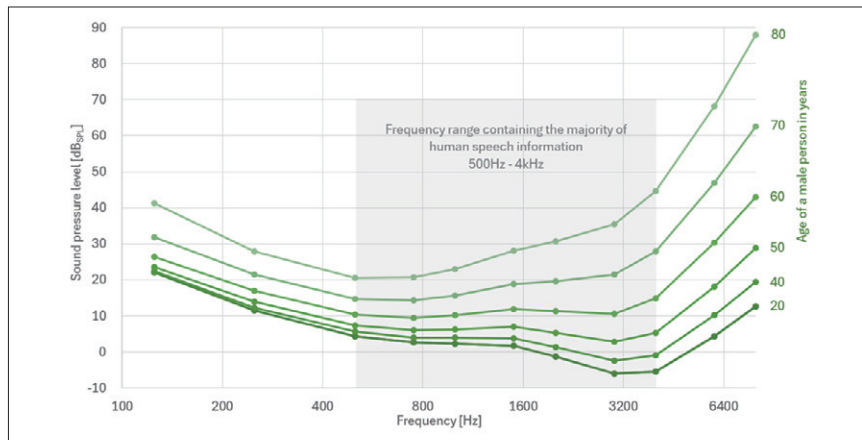


图 2: 该图显示了不同年龄段本正常男性在单声道耳机聆听条件下的听阈衰减情况。请注意，女性也有类似的图表，其听力衰减程度随年龄增长而略有降低 (ISO7029:2017)

的听力阈值。所有与语言有关的人类声音都属于 100Hz 至 8kHz 的频段。根据 ISO 226:2023 标准，相应的人类听力阈值如图 1 所示。

如图 1 所示人耳对 500Hz 至 6kHz 范围内的频率特别敏感。这些频率上的任何频率平衡问题都会对声音和乐器的感知质量产生重大影响。500Hz 至 4kHz 之间的频率包含了人类语音中影响语音清晰度的大部分信息。具体来说，2 kHz 左右的频率尤为重要。5kHz 至 10kHz 的频率对音乐非常重要。这些频率为声音增添了“活力”和“亮度”。然而，这些频率包含的语音信息相对较少，只有嘶声，即“zhi”、“chi”和“shi”等词开头的嘶嘶声。降低 6-8kHz 左右的嘶声会对语音清晰度产生不利影响。

我们大多数人都知道，人类的听力阈值会随着年龄的增长而下降，如图 2 所示。

值得注意的是，即使是轻度听力损失（大多数人的听力损失发生在 40 至 50 岁之间）也会对个人生活产生重大影响。例如，患有轻度听力损失的人在嘈杂的环境中跟不上集体谈话可能会遇到困难。此外，他们还可能错过重要的听觉提示，如警告信号或警报。

### 目前的音频硬件是否足以满足未来人工智能的需要？

既然我们已经对人类如何感知音频信号有了更好的了解，那么让我们重新审视一下最初的问题，即当前和未来的 AI 需要什么样的音频输入质量，才能达到与人类无异的水平。

目前市场上的大多数消费类设备都使用 MEMS 麦克风记录音频信号。MEMS 麦克风是 AI 个人助理的主要音频捕捉技术，使用 AI 助理技术的设备目前已在市场上销售。

MEMS 麦克风的录音质量取决于其动态范围 (dynamic range)。动态范围的上限由声学过载点 (AOP) 确定，它定义了麦克风在高声压级时的失真性能。麦克风的自噪声确定了其动态范围的下限。衡量麦克风自噪声的方法是信噪比 (SNR)，它定义了麦克风的自噪声与其捕获的信号 (灵敏度) 之间的比率。不过，就我们的讨论而言，信噪比有些不合适，因为信噪比的自噪声使用了 A 加权 (A-weighting)，而 A 加权其实是基于人类感知音频信号的能力来定义的。

如果音频信号的预期接收者是 AI，则相关的麦克风的等效噪声

级 ENL (equivalent noise level) 是衡量性能的更合适参数，因为它忽略了录制声音的人类感知因素。等效噪声级 ENL 指的是在没有外部声源的情况下麦克风产生的信号。等效噪声级 ENL 以分贝 (dB SPL) 为单位，表示与麦克风自噪声相同电压的声压级。

值得注意的是，无论后期采用何种声音处理方法，低于等效噪声级 ENL 的任何声音信息基本上都会丢失，无法恢复。因此，如果音频链路中没有其他元件在信号到达 AI 算法之前引入噪声，麦克风 ENL 就可以被视为 AI 算法的听觉阈值。应该注意的是，这是一个高度简化的假设，因为音频链中通常还有许多其他组件，包括声道、防水保护膜和音频处理链路。

请参考图 3 两种 MEMS 麦克风等效噪声级 ENL 曲线与人类听力阈值的直观对比。

红色线条的是信噪比为 65dB(A) 的麦克风的等效噪声级 ENL 曲线，麦克风集成了防尘设计。相应的 MEMS 麦克风目前已用于多家供应商生产的多款高端智能手机中。

下面的紫色线条表示英飞凌最新高端数字麦克风的等效噪声级 ENL 曲线，该麦克风具有创新的防护设计，可实现防尘防水效果。这款麦克风代表了当前的技术水平，今年才在高端平板电脑上发布。我们预计，到今年年底，性能相当的麦克风将出现在高端智能手机上。值得注意的是，将麦克风的自噪声降低 5-10dB 是一项重大成就，特别是考虑到声压是使用对数刻度来表示的。

虽然英飞凌在降低高端 MEMS 麦克风的自噪声方面取得了显著进展，但与人耳相比，麦克风在辨别低

声压级的能力方面仍有很大差距。尤其是 2kHz 附近，对于确保人类听众获得高水平的声音清晰度至关重要。年轻人的听觉能力与英飞凌最先进的麦克风之间的差距超过 12dB SPL。与目前高端手机中使用的麦克风相比，差距明显更大，达到 17dB SPL。需要再次指出的是，这一评估仅考虑了 MEMS 麦克风的自噪声，并未考虑音频链中会进一步降低整体性能的额外噪声源。

目前 MEMS 麦克风技术的局限性在包含大部分人类语音信息的频率范围 (500Hz - 4kHz) 内最为明显。即使是市场上最先进的 MEMS 麦克风，其声音理解能力也只能达到 60 岁老人的水平。根据现有数据，可以合理地预计，使用最新 MEMS 麦克风技术的人工智能虚拟助手将出现与老年人类似的听力障碍，特别是在需要在嘈杂环境中或远距离跟读对话的情况下。

### 总结与展望

人工智能的飞速发展不仅不会减缓，反而会加速 MEMS 麦克风向更高信噪比发展的趋势。虽然最新的 MEMS 麦克风还无法与人耳的音频

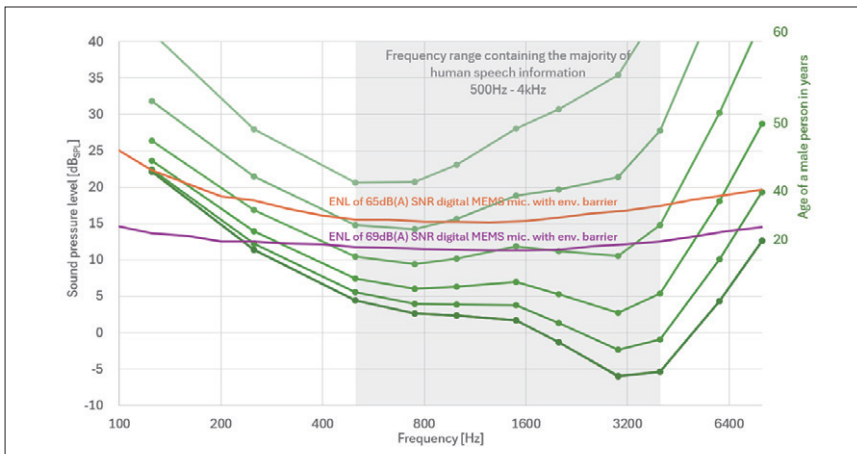


图 3: 中端和高端 MEMS 麦克风的 1/3 倍频程等效噪声级 ENL 与典型男性听力阈值的比较。

质量相媲美，但英飞凌在降低麦克风自噪声方面取得的进展有利于现有和未来的的人工智能。进一步改进音频链路将是增强人工智能能力的关键，例如周围环境分辨、语境理解、情感意识、说话者识别和多人对话记录。有了更好的音频输入，人工智能与人类的互动方式将能与人类之间的互动相匹配，甚至不相上下。

此外，人机交互水平的提高将促成新的基于人工智能的用例和服务。例如，想象一下未来的微软 Copilot，它不仅能总结团队会议内容，还能提供对交谈氛围的整体评估。未来的人工智能辅助功能或许可以基于人类的

语音和音频，突出显示重点或按照重要性进行排序。此外，还可以添加辅助功能，为用户提供有用的建议，帮助他们更好地将未来的对话引向所需的方向。

试想一下，人工智能可以对新的求职者进行第一轮面试，或者仅凭音频就能识别说话者，其安全级别足以满足网上购物的需要。

所有这些可能只是未来人工智能的一小部分，未来人工智能的听力能力将达到或超过人类。凭借我们的增强型 MEMS 麦克风解决方案，英飞凌很荣幸能够参与这一激动人心的旅程。◆

## AMD 推出尺寸更小、成本优化的车规级 FPGA 系列

在汽车传感器和数字座舱中，尺寸更小的芯片器件正越来越盛行。为了满足这些市场需求，AMD 推出了 AMD 汽车车规级 (XA) 系列的最新成员：Artix™ UltraScale+™ XA AU7P。这款成本优化的 FPGA 符合车规标准，并针对 ADAS 传感器应用和车载信息娱乐系统 (IVI) 进行了优化。

新款 Artix UltraScale+ XA AU7P 采用 9x9 毫米封装，是 AMD 16 纳米 FPGA 或自适应 SoC 中最小的封装。

这款轻薄的器件非常适合摄像头视觉或车载显示应用。它还采用芯片尺寸封装，旨在提升 I/O 的路由/信号密度、提高焊点可靠性以及增强电气性能。

Artix UltraScale+ 器件是安全且高度可扩展的 AMD 车规级 FPGA 和自适应 SoC 产品组合的最新系列，该产品组合还包括 AMD Spartan 7、Zynq 7000 和 Zynq UltraScale+ 产品系列。随着这款新型小尺寸规格 Artix UltraScale+ 器件的推出，AMD 将持续致力于打造能

够实现 ADAS 和 IVI 协同的器件。

客户已将 Artix UltraScale+ AU7P FPGA 设计到其 ADAS 边缘设备中，例如热像仪和红外摄像头。汽车设计人员可以利用这些器件进行边缘传感器的数据采集和图像/视频处理。Artix UltraScale+ 器件能助力客户通过高 DSP 带宽最大限度提升系统性能，适用于成本敏感且低功耗的 ADAS 边缘应用，包括联网、视觉和视频处理以及实现安全连接的安全功能。

# 运行在硅基量子计算处理器上的未来计算 利用半导体制造知识推动量子计算发展

与大众的看法相反，简单地展示量子优势并不是量子计算的最终目标。虽然量子计算是科学和工程领域的一项了不起的壮举，但还不足以实现使量子计算成为主流的目标。随着全球量子计算机的能力不断增强，量子优势时代即将到来，生态系统可能会将其重点从科学实验和演示转向优先考虑其在现实世界中的可扩展性。

作者：Himadri Majumdar，SEMIQON首席执行官和联合创始人

**量**子霸权竞赛将在很大程度上通过拥有可扩展、可靠且经济可负担的可制造量子比特来解决，这些量子比特可以使我们进入百万量子比特时代，以解决现实世界的问题。

全球量子计算领域已经取得了重大进展。在首次成功演示量子计算机运行之后，下一步就是将量子计算机或处理器与高性能计算（HPC）环境集成，制造超级计算机。这种集成将展示量子计算与经典计算耦合的优势，随之而来的是量子计算能力的进一步发展，这一切将引领量子计算进入可扩展时代。

但我们还没有到那一步。目前，我们正处于十字路口，全球量子计算生态系统主要从事高成本的科学实验，这些实验的重点是在超导体、离子阱、中性原子或光子技术的物理限制内构建稳定的量子比特，或者找到一条新的道路。

前者保持现状，而后者使我们能够将量子计算的下一阶段视为困难但可以解决的工程挑战。尽管实用和最佳模块尺寸、量子比特连接和互连兼容性方面的工作仍在进行中，但上述的大多数模式也在努力提高可扩展性。

第一代量子计算机已经令人信服

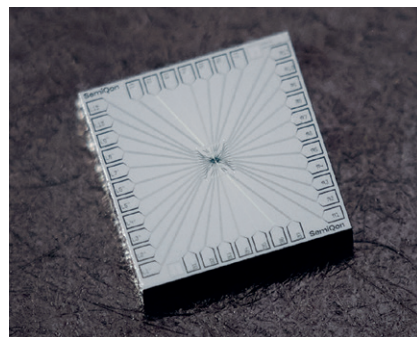
地证明，利用量子现象的力量进行计算是可能的。如果我们可以将其称为实际有用的量子计算时代（或量子计算 2.0），那么进一步发展的真正挑战是如何以可扩展、可持续和负担得起的方式实现这一目标。

## 利用半导体制造知识推动量子计算发展

对于阻碍量子计算可扩展性和广泛应用的问题，我们可以在比大多数人想象的更近的地方找到答案。为了应对可持续性、可扩展性和经济性方面的挑战，我们必须利用半导体制造方面的丰富知识来推动量子计算产业的未来发展。

目前，解锁量子计算机的全部功能似乎是一个遥远的梦想，面临着来自硬件和软件两方面的许多挑战。然而，技术和计算的历史告诉我们，在某个时间点似乎几乎不可能的事情在未来可能成为日常现实，甚至是平凡的现实。

以移动电话为例。最初它是一台又大又笨重的机器，现在已经变成了一台非常强大的迷你电脑，具有令人难以置信的计算能力，我们大多数人随时随地都携带着它。事实上，登上



月球的宇航员拥有更原始的技术，可以帮助他们在太空中航行并保护自己的生命。

那么，您用来发送电子邮件、玩游戏和拍照的手机，是如何出现在您手中的呢？如果没有半导体（硅）集成电路或 IC 芯片的发明，它就不会存在，这些芯片为我们今天在手机、平板电脑、智能电视和家用设备上体验到的计算铺平了道路。如果没有硅集成电路或 IC 芯片，我们当然也不会有人工智能。人工智能曾经是一个科幻概念，现在已经变成了一个家喻户晓的话题，机器学习、元宇宙或许多服务的数字化，如医疗保健和邮件，这些都是我们现在认为非常理所当然的。

在 1940 年代，早期的计算机（如 ENIAC）占用一个大房间，运行起来需要付出很多努力。ENIAC 有数百根电线，有时还有真空管连接着机器的不同部分，必须手动调整，重约



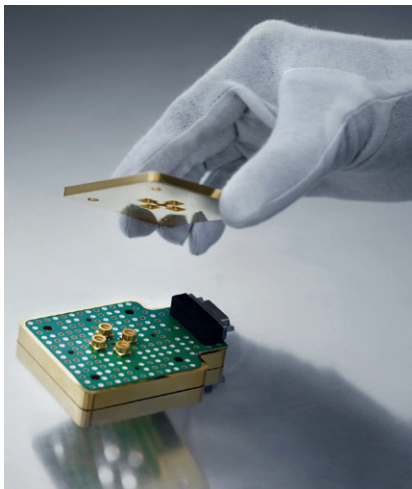
30吨，高近2.5米，长30米。此外，它还消耗了大量的电力来完成计算任务——准确地说是174 kW。

当然，你可能会这么想，在21世纪，量子计算机会比这更为复杂吗？事实上，功能性量子计算机所需的设施比ENIAC还要复杂。枝形吊灯，因为量子计算机的外观像枝形吊灯，所以它经常被亲切地称为枝形吊灯，它有数百根电线，并且它拥有的量子比特越多，它需要的电线就越多。因为量子计算机需要特定的低温才能运行，需要数以百万计的金融投资，以及一支由量子物理学家和计算机科学家组成的高素质团队来研究和运行它们。

这一切意味着，像ENIAC一样，现代量子计算机还根本不具备可扩展性。我们需要将目光投向未来——当量子计算机最终开始规模化，并兑现其开发疫苗、开发新材料和解决太空旅行等更遥远设想的实际问题时的承诺。

但是，我们该如何到达那里，并将量子计算的前景从象牙塔中落实到产品化水平，并应用到现实生活中呢？与其依赖非标准的、以材料为中心的方法来构建量子机器，不如使用成熟且可靠的半导体制造技术来构建量子计算处理器。

SemiQon公司已经在证明这一点的道路上。SemiQon使用定制的CMOS制造工艺构建其硬件。其中，SemiQon的团队将硅量子点和低温CMOS单片集成在同一芯片上，以构建完整的量子处理单元或简称QPU (quantum processing unit)。这种方法的好处是，它允许制造比当前量子计算机中通常使用的量子比特尺寸小得多的量子比特尺寸，从而可以将更多的量子比特封装到更小的占用空间



中。这反过来又减少了对大规模低温或冷却的需求，这是低温下进行计算的量子计算机所需的温度标准。

极低温度的要求也可以得到解决：我们的目标是在高于标准温度(1-4开尔文)的温度下运行我们的硅基量子芯片，这意味着需要更少的能源，帮助我们实现可扩展性和成本节约。片上冷却解决方案的开发正在进行中，这些解决方案也可能在没有大量基础设施的情况下实现这样的温度。

然而，我们不应该止步于此。我们设想了一个方便的即插即用处理器的时代，它将允许将处理器集成到高度可扩展的全栈量子计算机中。我们正在路上——我们在国家试验线代工厂拥有自己的制造业务，并拥有自己的测试和测量设施。我们现在已经制造了第一批处理器，我们的合作伙伴正在使用它们，在世界各地进行不同级别的测试。

在量子计算机的可扩展性方面，传统的量子计算平台肯定领先于基于半导体的平台。然而，预计技术挑战将使传统方法停滞不前。半导体量子计算平台的起步可能较慢，但一旦证明了基于半导体的量子处理器制造的可扩展性，该方法就可以超过所有其

他平台。

可扩展性取决于全栈量子计算机的几个不同方面。这在各种市场报告和行业趋势中得到了突显。正如麦肯锡(McKinsey)和全球量子智能(Global Quantum Intelligence)所讨论的那样，经常出现并且是所有模式都应该考虑的因素，通常被确定为大规模的保真度、大规模对单个量子比特的控制、计算速度、多量子比特网络、冷却要求和可制造性。

预测新兴技术和新技术的影响总是需要想象力。但毫无疑问，我们可以预期，量子计算的百万量子比特时代将扩展我们对于什么是可能、什么是不可能的认识。当我们讨论未来时，值得注意的是，量子领域的发展并不是存在于真空中与其他科学发现是分开的。例如，在上个世纪，人类见证了计算能力的指数级增长与其他发展携手并进，比如太空旅行和人工智能进入日常生活等。

量子计算生态系统取得的新里程碑将鼓励企业、研究组织和政府更深入地涉足量子计算世界，并与正在为进入百万量子比特时代铺平道路的公司合作。

探索这种以前无法实现的计算能力的机会不应该只留给量子科学家。通过吸引现有行业、潜在最终用户和感兴趣的政策制定者，帮助构建能够解决问题、增加价值且易于采用的技术，量子生态系统将受益匪浅。实现量子承诺需要对创新和现有半导体行业进行战略投资。好消息是，量子技术的成功推广将为工业带来无限机遇，并在全球范围内形成竞争优势。◆

注：本文基于演示文稿和论文“计算的未来：基于硅的量子计算处理器”(Future of Computing: Silicon-based Quantum Computing Processors)。

Advertiser	广告商名称	网址	页码
HKPCA SHOW	国际电子电路(深圳)展览会	www.hkpcashow.org	1
东莞市鼎鼎精密仪器有限公司		www.sindin.com	3
2024 厦门国际半导体及集成电路博览会		http://xm.eiexpo.net	9

## 欢迎投稿

《半导体芯科技》(Silicon Semiconductor China, SiSC)是面向中国半导体行业的专业媒体,已获得全球知名权威杂志《Silicon Semiconductor》的独家授权。本刊针对中国半导体市场特点遴选相关优秀文章翻译,并汇集编辑征稿、采编国内外半导体行业新闻、深度分析和权威评论等多方面内容。本刊由香港雅时国际商讯(ACT International)以简体中文出版发行。

本刊内容覆盖半导体制造工艺技术、封装、设备、材料、测试、MEMS、mini/Micro-LED等。文章重点关注以下内容:

### FAB (Foundry, IDM, OSAT, R&D)

四个环节:晶圆制造(wafer后道)、芯片制造、先进封装、洁净室;深入报道与之相关的制造工艺、材料分析,工艺材料、工艺设备、测试设备、辅助设备、系统工程、关键零备件,以及与particle(颗粒度)及contamination(沾污)控制等厂务知识。

### FABLESS

芯片设计方案、设计工具,以及与掩模版内容和导入相关的资讯。

### 半导体基础材料及其应用

III-V族、II-VI族等先进半导体材料的科学研究成果,以及未来热门应用。《半导体芯科技》欢迎读者、供应商以及相关科研单位投稿,已甄选中文稿件将在印刷版杂志以及网上杂志刊登;IC设计及应用等半导体相关内容将酌情予以网络发表(微信推送、杂志网站)。本刊优先刊登中文来稿(翻译稿请附上英文原稿)。

## 技术文章要求

- 论点突出、论据充分:围绕主题展开话题,如工艺提升、技术改造、系统导入、新品应用,等等。
- 结构严谨、短小精悍:从发现问题到解决问题、经验总结,一目了然,字数以3000字左右为宜。
- 文章最好配有2-4幅与内容有关的插图或图表。插图、图表按图1、图2、表1、表2等依次排序,编号与文中的图表编号一致。
- 请注明作者姓名、职务及所在公司或机构名称。作者人数以四人为限。
- 文章版权归著作者,请勿一稿多投。稿件一经发表如需转载需经本刊同意。
- 请随稿件注明联系方式(电话、电子邮件)。

## 新产品要求

- 新产品必须是在中国市场新上市、可在中国销售的。
- 新产品稿件的内容应包含产品的名称、型号、功能、主要性能和特点、用途等。
- 新产品投稿要求短小精悍,中文字数300~400字左右。
- 来稿请附产品照片,照片分辨率不低于300dpi,最好是以单色作为背景。
- 来稿请注明能提供进一步信息的人员姓名、电话、电子邮件。

电子邮箱: sunniez@actintl.com.hk  
viviz@actintl.com.hk

## 行政及销售人员 Administration & Sales Offices

### 行政人员 Administration

#### HK Office (香港办公室)

#### ACT International (雅时国际商讯)

Unit B, 13/F, Por Yen Building, No. 478 Castle Peak Road, Cheung Sha Wan, Kowloon, Hong Kong  
Tel: 852 28386298

Publisher (社长) - China

Adonis Mak (麦协林), adonism@actintl.com.hk

Deputy Publisher (副社长) - China

Lisa Cheng (程丽娜), lisac@actintl.com.hk

General Manager-China (中国区总经理)

Floyd Chun (秦泽峰), floyd@actintl.com.hk

Editor in China (中国版编辑)

Sunnie Zhao (赵雪芹), sunniez@actintl.com.hk

Vivi Zhang (张雨薇), viviz@actintl.com.hk

#### London Office

Hannay House, 39 Clarendon Road  
Watford, Herts, WD17 1JA, UK.

T: +44 (0)1923 690200

#### Coventry Office

Unit 6, Bow Court, Fletchworth Gate  
Burnsall Road, Coventry, CV5 6SP, UK.

T: +44 (0)2476 718 970

Publisher & Editor-SiS English

Jackie Cannon, jackie.cannon@angelbc.com  
+44 (0)1923 690205

### 销售人员 Sales Offices

#### China (中国)

#### Wuhan (武汉)

Lisa Cheng (程丽娜), lisac@actintl.com.hk

Tel: 86 185 7156 2977

Mini Xu (徐若男), minix@actintl.com.hk

Tel: 86 187 7196 7314

Phoebe Yin (尹菲菲), phoebey@actintl.com.hk

Tel: 86 155 2754 0817

Ron Wang (汪毓神), ronw@actintl.com.hk

Tel: 86 186 9404 8156

Mandy Wu (吴漫), mandyw@actintl.com.hk

Tel: 86 187 7196 7324

#### Shenzhen (深圳)

Yoyo Deng (邓丹), yoyod@actintl.com.hk

Tel: 86 135 3806 1660

#### Shanghai (上海)

Hatter Yao (姚莹莹), hattery@actintl.com.hk

Tel: 86 139 1771 3422

#### Beijing (北京)

Cecily Bian (边团芳), cecilyB@actintl.com.hk

Tel: 86 135 5262 1310

#### Hong Kong (香港特别行政区)

Floyd Chun (秦泽峰), floyd@actintl.com.hk

Tel: 852 2838 6298

#### Asia (亚洲)

#### Japan (日本)

Masaki Mori, masaki.mori@ex-press.jp

Tel: 81 3 6721 9890

#### Korea (韩国)

Lucky Kim, semieri@semieri.co.kr

Tel: 82 2 574 2466

#### Taiwan, Singapore, Malaysia

(台湾, 新加坡, 马来西亚)

Regional Sales Director

Floyd Chun (秦泽峰), floyd@actintl.com.hk

Tel: 852 2838 6298

#### US (美国)

Janice Jenkins, jjenkins@brunmedia.com

Tel: 724 929 3550

Tom Brun, tbrun@brunmedia.com

Tel: 724 539 2404

#### Europe (欧洲)

Shehzad Munshi, Shehzad.Munshi@angelbc.com

Tel: +44 (0)1923 690215

Jackie Cannon, Jackie.cannon@angelbc.com

Tel: +44 (0) 1923 690205

## —◆ 线下 ◆—

### 化合物半导体&半导体芯科技 综合论坛

#### 05月苏州 半导体先进技术创新发展和机遇大会

- 化合物半导体材料生长与设备技术 · 功率电子器件及应用 · 高功率电子器件可靠性和失效分析 · 超宽禁带器件:解决方案
- 先进封装工艺与键合技术 · 封装关键材料与创新

### 化合物半导体先进技术及应用大会

#### 10月常州 化合物半导体先进技术及应用大会

- 化合物半导体材料生长与设备技术 · 功率电子器件及应用 · 光电子器件及应用 · 先进显示与照明取得的进展 · AI趋势下高速光互联演进
- 光子器件可靠性和失效分析 · 超快通信射频器件新应用

### CHIP China晶芯研讨会

#### 11月厦门 第二届-半导体先进封测产业技术创新大会

- TGV的封装工艺与技术 · IP/SoC/3D/异构集成 · 封装关键材料与创新 · 应用需求驱动下,先进封测发展进入快车道专场会议
- 系统级SiP芯片,物联网下一个竞争高地 · 赋能光电产业发展新高度

## —◆ 线上 ◆—

### 化合物半导体先进技术及应用大会

- 确保SiC取得巨大成功
- GaN功率应用,厚积薄发
- MicroLED取得的进展
- 超宽禁带材料器件解决方案
- 光互联及光子集成电路

### CHIP China晶芯研讨会

- 先进封装工艺与键合技术
- 封装关键材料与创新
- IP/SoC/3D/异构集成
- 先进半导体材料和器件的可靠性和失效分析
- 芯片与器件的测试和可靠性验证

## —◆ 定制专场论坛 ◆—

重点依据企业需求定制化会议主题,线上直播与线下执行双向选择,垂直听众定向邀约,充分发挥资源链接优势,突破原有格局,助力泛半导体产业客户实现多元化探索路径。

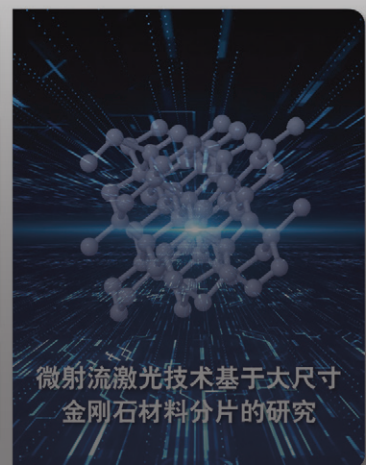
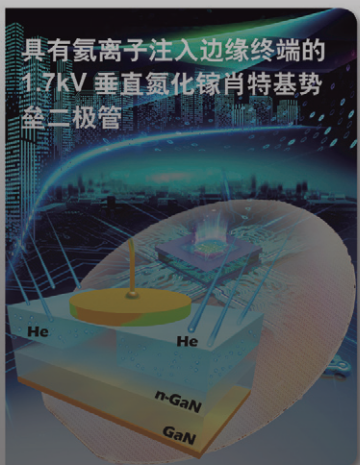
**论坛优势:推介目的性强 会议听众垂直 议题内容聚焦 直击产品核心**



线下会议



线上会议



## 全球知名权威杂志 Compound Semiconductor的中国版

### 化合物半导体



#### 《化合物半导体》

双月刊，每期发行印刷版8,228册，电子版8,908册，免费发行至中国合格的读者手中。

提供关于全球化合物半导体行业的深入分析和及时信息报道，是化合物半导体材料和器件业专业人士重要的信息源。

### CS CHINA CON 2024 化合物半导体 先进技术及应用大会

由雅时国际商讯主办，会议专注搭建全球化合物半导体行业范围内产、学、研、政信息交流和商务合作的精准交流平台，着眼行业前沿议题，洞悉行业最新需求，汇集国内外领先跨国科技，与专家学者共探行业发展方向，共同探讨化合物半导体产业开拓创新的解决之道。



[www.compoundsemiconductorchina.net](http://www.compoundsemiconductorchina.net)

