

半导体芯科技



SILICON
SEMICONDUCTOR

CHINA

ISSN 2523-1294

www.siscmag.com

2024年8/9月

解决先进ALD工艺的挑战 P.13

适用于下一代封装的气密密封 P.16

如果全面禁用PFAS, 半导体行业将怎样应对? P.22

通过工艺建模分析后段制程金属方案 P.26

硅的双重作用: 满足AI对计算和连通性的需求 P.28



ACT
INTERNATIONAL

Angel
BUSINESS COMMUNICATIONS



微信公众号

国际知名媒体授权 报道全球高新科技信息



免费
索阅



服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的专业读者及与会者。

品牌会议



国际代理

- CQ Publishing (Japan)
- Chomdan (Korea)
- Pan Global (Europe)
- Endeavor Business Media (USA)
- Horizon House (USA)
- Angel Business Communications (UK)



ZSE

苏州智程半导体科技股份有限公司
Zhicheng Semiconductor Technology(Suzhou)Co., Ltd.

科技促进发展 创新引领成功 Science And Technology Promote Development And Innovation Lead To Success

BACK CLEARER(SC SERIES)
背面清洗机(SC系列)

设备概述
应用领域:先进封装
晶圆尺寸:150mm~300mm
工艺应用:先进封装减薄后的背面清洗



ZSE VMAX 3D ECD SYSTEM
电镀设备VMAX 3D

设备概述
Pillar, Bump, RDL, TSV等工艺
晶圆尺寸:150mm~300mm
高度均匀性:WiW≤5%, WeW≤5%,
RtR≤3%



CU-TI ETCHING(SC SERIES)
铜钛刻蚀一体机(SC系列)

设备概述
应用领域:先进封装
晶圆尺寸:200mm~300mm
蚀刻均匀性:片内≤5%
药液回收率≥95%



ZSE AUTO BENCH(BC SERIES)
全自动槽式机(BC系列)

设备概述
应用领域:晶圆级封装中去胶、常压助焊剂清洗、金属刻蚀等应用
晶圆尺寸:200mm~300mm 支持翘曲作业、可兼容翘曲度±5mm



About Us 关于我们

苏州智程半导体科技股份有限公司成立于2009年,是一家从事半导体领域湿制程设备等研发、生产与销售的国家级专精特新小巨人企业。中国电子专用设备工业协会理事单位、中国半导体协会和江苏省半导体协会会员单位。

主要从事半导体领域湿制程等设备的研发、生产与销售。已形成以半导体清洗设备为基础,电镀电镀,化学品输送并行发展的格局,广泛应用于半导体前道制程、大硅片,先进封装、半导体特色工艺、化合物半导体、功率器件等领域。

公司秉承“满足客户的需求只是及格,超越客户的期望才是优秀”的理念,砥砺前行,荟萃业界精英,致力于不断优化产品结构。依托自身优势,公司不断突破与进取,为公司未来战略发展奠定坚实基础。

2009
公司创建于2009年
The Company Was Founded In 2009

苏州市半导体湿制程设备工程技术研究中心
Suzhou Semiconductor Wet Process Equipment Engineering Technology Research Center

江苏省企业工程技术研究中心
Jiangsu Enterprise Engineering Technology Research Center

小巨人
XIAOJUREN
国家级专精特新小巨人企业
National Small Giant Enterprise



目录 CONTENTS

封面故事 Cover Story

13 高速高温泵解决了先进原子层沉积工艺的挑战

High-speed, high-temperature pumps address the challenges of advanced ALD processes

半导体器件设计正在朝垂直化方向发展。一些非常令人兴奋的新型器件使用了多层薄膜堆栈，并具有高深宽比特性，这些特性本身是通过 ALD 工艺沉积的复杂多层结构。一些 ALD 工艺会产生可冷凝的副产品，这些副产品会积聚沉积在真空泵中。因此，在进行 ALD 工艺时，需要解决泵故障、工艺停机和处理速度缓慢等潜在问题。这推动了更高温度、更高转速的真空泵的发展。



13

编者寄语 Editor's Note

4 国产半导体设备之突围

行业聚焦 Industry Focus

5 盛美推出 Ultra C vac-p 面板级先进封装负压清洗设备

5 三星发布首款采用面板级封装的 3nm 可穿戴芯片

6 芯芯科技发布首款 AI PC 芯片

6 超级电轨助力台积电进军埃米芯片

7 imec 推出用于基站和手机的先进 ADC

8 应用材料公司推出芯片布线创新技术

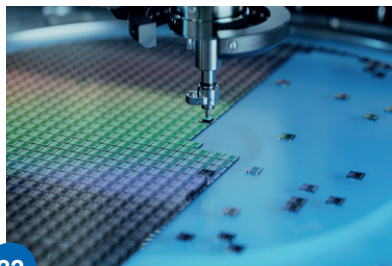
9 国产高端明场纳米图形晶圆检测设备实现突破

10 中微公司临港产业化基地落成启用

10 国内首条 TGV 板级封装线投产

11 ASML 和 imec 宣布 High-NA 光刻突破

12 日本学者推出新型 EUV 光刻技术



22



32

关于雅时国际商讯 (ACT International)

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photonics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photonics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

关于《半导体芯科技》

《半导体芯科技》(原半导体科技)中国版 (SiSC) 是全球最重要和最权威的杂志 Silicon Semiconductor 的“姐妹”杂志，由香港雅时国际商讯出版，报道最新半导体产业新闻、深度分析和权威评论。为中国半导体专业人士，提供他们需要的商业、技术和产品信息，帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国半导体产业，包括IC设计、制造、封装及应用等。

About Silicon Semiconductor China

Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology & product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMS, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

目录 CONTENTS

技术 Technology

- 16 适用于下一代微电子封装的有效气密密封
Effective hermetic sealing for next-generation microelectronic packaging
- 22 如果全面禁用 PFAS，半导体行业将怎样应对？
Semiconductors in a world without PFAS
- 24 SmartFactory AI Productivity 可在更短时间内自动调整派工规则参数
Automatically tune dispatch and schedule rule parameters by SmartFactory AI Productivity
- 26 通过工艺建模进行后段制程金属方案分析
To analyze metallization scheme for BEOL by process modeling
- 28 硅的双重作用：满足人工智能对计算和连通性的需求
Silicon's dual role: Fueling AI's need for computation and connectivity

专栏 Conlunm

- 32 开拓半导体新浪潮：人工智能、信任和信息过载
Exploiting the new wave of Semiconductors: AI, trust & information overload
- 37 芯片，芯片，加油！解决互联时代半导体和芯片的发展难题
Chip, Chip, Hooray! Addressing connected semiconductor and chip growing pains
- 40 广告索引 Ad Index

《半导体芯科技》编委会（排名不分先后）

- 徐冬梅 教授级高工 中国半导体行业协会副秘书长兼封测分会秘书长
- 于大全 教授 厦门云天半导体创始人
- 姚大平 博士 江苏中科智芯集成科技有限公司总经理
- 汤 晖 教授 广东工业大学、精密电子制造技术与装备国家重点实验室
- 罗仕洲 教授 磐允科技总经理
- 林挺宇 博士 广东芯华微电子技术有限公司总经理
- 杨利华 院长 两江半导体研究院
- 王文利 教授 西安电子科技大学电子可靠性（深圳）研究中心主任 雅时国际商讯顾问
- 刘功桂 教授级高工 中国电器科学研究院股份有限公司威凯技术中心主任
- 徐开凯 教授 电子科技大学、电子薄膜与集成器件国家重点实验室
- 何 进 教授 北京大学教授、深圳系统芯片设计重点实验室主任

化合物半导体 等离子解决方案

RTP快速退火炉



RTP全自动双腔
快速退火炉

RTP半自动
快速退火炉

PLASMA等离子去胶



ICP PLASMA去胶机

BATCH PLASMA
筒式去胶机

PLASMA等离子活化



微波PLASMA清洗机

在线式真空
等离子清洗机

扫一扫获取更多解决方案



400 9600 662 / 0769 8238 5510
www.sindin.com / www.dynechina.com

东莞市晟鼎精密仪器有限公司
广东省东莞市虎门镇怀雅路235号

苏州晟鼎半导体设备有限公司
苏州市吴江区兴瑞路新时亿科技产业园17栋5层南

国产半导体设备之突围

近年来，半导体国际环境和产业链生态复杂多变，美国等发达国家对中国半导体的打压限制持续加码，中国开始加速国产半导体设备研发，希望早日做到自主可控，改变被人“卡脖子”的被动局面。

近日，在科创板五周年之际，中微公司董事长、总经理尹志尧，拓荆科技董事长吕光泉，华海清科董事、总经理张国铭，中科飞测董事长、总经理陈鲁，四位国产半导体设备公司的掌舵者一起上线由上交所和央广网联手打造的“沪市汇”，以“半导体设备突围关键局”为题进行对谈，深度讨论半导体设备国产化进程、达到国际最先进水平的挑战，以及突破海外市场的可行路径。

尹志尧表示：理想状态下，全球集成电路产业应该是互相协同的，因为它牵扯到几千个步骤，上下游产业链非常之强，很少有一个国家或者一个企业能够做到从上到下全部打通。然而，在目前国际形势紧张的情况下，本土化是我们没有办法的选择，但这对我们来讲也是一个激励，看我们有没有能力在短时间内真正把本土化做好。我们看到，最近两三年，很多本土公司都在拼命地做，所以，到今年夏天，我们基本上可以做到自主可控，当然质量、可靠性和水平还有一定差距，但至少可以替代了。

尹志尧认为：尽管中国在半导体设备领域距离国际先进水平还有相当一段距离，当前国内可提供设备仅占集成电路生产线的15%-30%，但中国有上百个设备公司、成熟的有20多个，正在拼命努力，几乎涵盖所有半导体十大类设备。我个人非常有信心，在未来5-10年内，中国半导体设备完全有可能达到国际先进技术水平。

根据SEMI的统计，2023年，中国大陆半导体设备销售额为366亿美元，连续第四年成为全球最大的半导体设备市场。然而，要改变当前中国半导体设备严重依赖进口的情况，本土设备厂商不能仅靠关起门来努力，还需要通过国际合作来不断发展进步。

吕光泉表示：产业链这么长，彻底脱钩是不可能的。因为脱钩以后，你也就跟国际最先进的技术脱钩了。几位大佬共同提到国产化和全球化应该两手抓，在合法合规范围内的国际合作，既能促进技术进步，也能合理节省资源。

尹志尧强调：资金、人才和耐心是科技发展最重要的3个因素，要推动中国半导体设备产业进步，既需企业努力，也需政策支持。此外，半导体设备的零部件采购依然无法实现自主可控，这方面中国可能会受到相当程度的限制，因此，中国最近两年正在解决这些零部件的自主可控问题。

经过本土半导体设备公司的共同努力，中国半导体设备已实现从无到有的飞跃，国内高端设备的自给率在逐步提升，中国半导体产业生态和制造体系在不断完善。同时，本土半导体设备公司也在积极尝试出海，虽然不断碰壁，但目前中国台湾地区、欧洲、日韩都已出现中国先进半导体设备的身影。

尹志尧表示：国产半导体设备发展任重而道远。从芯片设备角度来说，我并没有看到技术上不能越过去的坎，所以只要咬紧牙关，一步一步耐心往下做，就可以把它做好。

赵雪芹

社长 Publisher

麦协林 Adonis Mak

adonism@actintl.com.hk

荣誉顾问 Honorary advisor

刘胜院士 Academician Liu Sheng

主编 Editor in Chief

赵雪芹 Sunnie Zhao

sunniez@actintl.com.hk

出版社 Publishing House

雅时国际通讯 ACT International

香港九龙 B,13/F, Por Yen Bldg,

长沙湾青山道478号 478 Castle Peak Road,

百欣大厦 Cheung Sha Wan,

13楼B室 Kowloon, Hong Kong

Tel: (852) 2838 6298

Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988573 /25988567

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 82201291

UK Office

Angel Business

Communications Ltd.

6 Bow Court,

Fletchworth Gate,

Burnsall Road, Coventry,

CV56SP, UK

Tel: +44 (0)1923 690200

Chief Operating Officer

Stephen Whitehurst

stephen.whitehurst@angelbc.com

Tel: +44 (0)2476 718970

ACT
INTERNATIONAL

ISSN 2523-1294

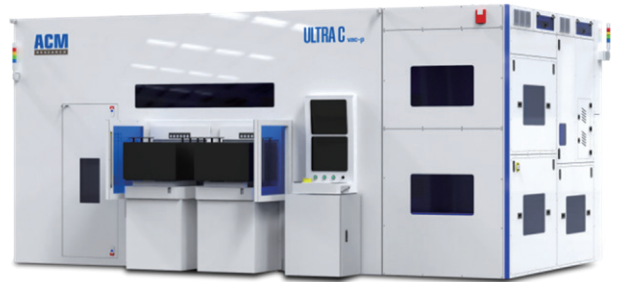
© 2024 版权所有 翻印必究

盛美推出Ultra C vac-p 面板级先进封装负压清洗设备

盛美半导体设备（上海）股份有限公司推出适用于扇出型面板级封装应用的 Ultra C vac-p 负压清洗设备。该设备利用负压技术去除芯片结构中的助焊剂残留物，显著提高了清洗效率，标志着盛美上海成功进军高增长的扇出型面板级封装市场。一家中国大型半导体制造商已订购 Ultra C vac-p 面板级负压清洗设备，设备已于 7 月运抵客户工厂。

盛美上海董事长王晖博士表示：“在人工智能、数据中心和自动驾驶汽车的推动下，新兴的扇出型面板级封装方法能够提高计算能力、减少延迟并增加带宽。此方法正在迅速成为关键解决方案，它将多个芯片、无源器件和互连集成在面板上的单个封装内，可提供更高的灵活性、可扩展性以及成本效益。面板级负压清洗设备标志着盛美上海在解决下一代先进封装技术的清洗挑战方面迈出重要一步，彰显了半导体制造领域的持续创新，兑现了盛美上海始终致力于满足不断演变的行业需求的坚定承诺。”

据 Yole 预测，扇出型面板级封装方法的应用增长速度高于扇出市场整体增长速度，其市场份额相较于扇出型晶圆级封装而言将从 2022 年的 2% 上升至 2028 年的 8%。预计增长背后的主要动力是成本的降低，传统硅晶圆的使用率低于 85%，而面板的使用率高于 95%，600x600 毫米面板的有效面积是 300 毫米传统硅晶圆有效面积的 5.7 倍，面板总体成本预计可降低 66%。面积利用率的提高带来了更高的产能、更大的 AI 芯片设计灵活性以及显著的成本降低。



在底部填充之前清除助焊剂残留物是先进封装流程中消除底部填充空隙的关键步骤。由于表面张力和有限的液体渗透力，传统清洗方法在处理小凸起间距（小于 40 微米）和大尺寸芯片时比较困难。负压清洗可使清洗液到达狭窄的缝隙，从而有效解决这一问题。

此外，由于液体经过距离较长，因此传统方法可能无法满足较大芯片单元的清洗需求。采用负压清洗功能设备后，整个芯片单元甚至是中心部位均可得到彻底清洗，有效避免残留物影响器件性能。

Ultra C vac-p 面板级负压清洗设备利用负压技术和 IPA 干燥技术提高清洗效率，为先进封装的助焊剂清洗提供高效的解决方案。

Ultra C vac-p 面板级负压清洗设备专为面板而设计，该面板材料可以是有机材料或者玻璃材料。该设备可处理 510 × 515 毫米和 600 × 600 毫米的面板以及高达 7 毫米的面板翘曲。

三星发布首款采用面板级封装的3nm可穿戴芯片

三星正式发布其首款采用 3nm GAA 先进工艺的可穿戴设备 SoC 芯片 Exynos W1000，将首搭在 Galaxy Watch 7 上。该产品应用了先进制造工艺和封装方法，提高性能的同时有助于减小体积，为电池预留更大空间，从而延长续航，也为智能手表的设计增添了灵活性。

据介绍，Exynos W1000 芯片采用的全新 CPU 架构拥有 1 颗 Cortex-A78 1.6GHz 大核，以及 4 颗能效更高的 Cortex-A55 1.5GHz 小核，采用 LPDDR5 内存，提供流畅性能。三星表示，新架构带来了超出预期的性能，单核和多核基准测试分别显示出高达 340% 和 370% 的改进。这

种性能增幅相比上代芯片可让用户以高达 2.7 倍的速度启动关键应用程序，并在多个应用程序之间流畅切换。

此外，Exynos W1000 还采用扇出式面板级封装 (FOPLP)，以实现小尺寸和增强散热。同时它使用系统级封装 (SiP) 方法将电源管理 IC 集成在了 SiP-ePoP 封装当中，还使用嵌入式封装 (ePoP) 安装 DRAM 和 NAND 闪存，从而将各种组件集成到一个薄而紧凑的封装中。

三星 Exynos W1000 芯片的发布，标志着智能手表性能的一次重大飞跃。它不仅将推动智能手表行业的发展，也将为消费者带来更加出色的智能穿戴设备。

此芯科技发布首款AI PC芯片

随着 AI 大模型浪潮的持续兴起，PC 作为生成式 AI 的重要载体之一，已成为当下巨头争夺的关键产业高地。然而，生成式 AI 在对硬件快速赋能的同时，也对其算力、能效以及软硬件协同等方面提出了更高要求。

为了应对生成式 AI 带来的全新算力与性能挑战，2024 年 7 月 30 日，此芯科技集团有限公司推出其首款专为 AI PC 打造的异构高效芯片产品——“此芯 P1”。

作为国产新一代 AI PC 算力底座，“此芯 P1”采用了业界领先的 6nm 制造工艺，并通过多核异构及专用 NPU 的设计，集成了 Arm Cortex®-A720 CPU、Arm Immortalis-G720 GPU 以及安谋科技“周易”NPU 等自研业务产品，面向不同场景提供丰富的 AI 异构计算资源、全方位的安全引擎保障，以及更为卓越的能效表现。

其中，基于第三代“周易”架构设计的 NPU，作为端侧 AI 应用的关键算力资源，将为大模型的分布式落地演进提供核心势能。通过对低功耗与高算力的针对性优化，“周易”NPU 不仅能够胜任长时间、高负载的任务处理，

还支持多核多 Cluster 的算力扩展。

此外，“此芯 P1”在通用计算和图形图像加速、渲染等方面具有出色表现，能在有限的功耗范围内带来突破的性能表现，并能针对各种计算用例进行优化，特别适用于面向安全与机器学习的消费技术计算领域。

在软件开发层面，“此芯 P1”还将引入针对热门 AI 框架的 Arm Kleidi 软件库，旨在使开发者能够轻松便捷地在各种设备上获取 Arm CPU 的出色 AI 功能。目前，全球范围内从云端到边缘侧的大多数 AI 推理工作负载都在这些 Arm CPU 上运行。

为了更好地推进 AI PC 产业链建设，安谋科技与此芯科技、联想集团、同方鼎欣、万莫斯、统信软件、麒麟软件、江波龙、百敖软件、无问芯穹等众多合作伙伴携手，进行 AI PC 产业链战略合作，将充分发挥各自在 IP 设计、全栈软件开发以及系统设计等方面的优势，加速国内 AI PC 创新产品的商业化落地，推动产业实现可持续发展。

超级电轨助力台积电进军埃米芯片

台积电在其 2024 年北美技术论坛上发表 A16 制程，进军埃米级芯片。台积电称将采用超级电轨（SPR：Super Power Rail）架构，预期能大幅提升芯片效能外，还能在延续摩尔定律前提下，继续打造更微小芯片。其中，超级电轨架构背面供电方案被视为台积电最新黑科技，有望在下一阶段埃米级战争中取得领先优势。

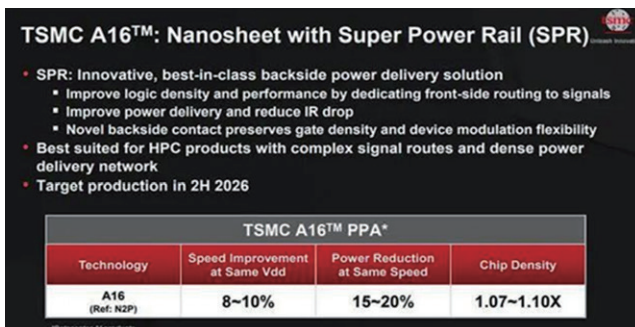
随着半导体工艺进入埃米时代，架构和电路设计也将发生重大调整。为了在正面释放出更多的布局空间，提升逻辑密度和效能，将供电传输转移到背面已成为业界共识。

目前台积电、三星、imec 和英特尔等业界领先厂商都提出了不同的背面供电方法，将重点放在晶圆薄化和原子层沉积等方面。

台积电的超级电轨架构被认为是最直接有效的背面供电解决方案，不过实施起来复杂且成本较高，预计 2026 年量产。台积电表示，超级电轨架构适用于具有复杂讯号及密集供电网络的高性能计算（HPC）产品，将大规模应用于 A16 制程工艺上，相比于 N2P 工艺，在相同工作电压下速度快了 8%-10%，或者在相同速度下，功耗降低了 15%-20%，同时密度提升了 1.1 倍。

此外，台积电称，自家独特的 backside contact 技术，能够维持与传统正面供电下相同的栅极密度（Gate Density）、布局尺寸（Layout Footprint）和元件宽度调节的弹性，因此可以提供最佳的密度和速度上的优势，这也是业界首创的技术。

有业内人士指出，背面供电需要几项技术突破，其中一个关键是将背面抛光到足够接近晶体管接触的厚度，



但这个过程会大大降低晶圆的刚性。为此正面抛光后，必须粘合载体晶圆以支持背面制造工艺。另外纳米硅通孔（nTSV）等技术需要更多的设备，以确保纳米级孔内的铜

金属均匀沉积。还有相关的散热解决方案及制程技术障碍和良率测试等。随着台积电量产超级电轨架构，相关供应链将会受益。

imec推出用于基站和手机的先进ADC

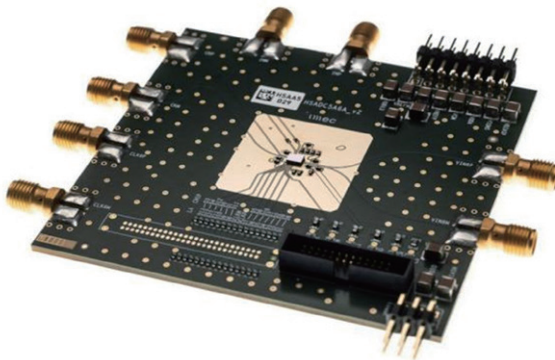
在 2024 IEEE VLSI 专题研讨会（IEEE Symposium on VLSI Technology & Circuits）上，imec 推出了两款分别用于基站和手机的最先进的 ADC。基站 ADC 支持 RF 采样，可在多个频段（高达 5GHz）上运行，并结合了高分辨率和高线性度以及低功耗。与此相辅的单通道手机 ADC，通过多比特流水线和背景校准实现了创纪录的功率效率。这两款 ADC 代表业界已经向可扩展、高性能的 Beyond-5G（超越 5G）解决方案迈出了关键一步，设计人员可以通过获得许可来使用这两款 ADC。

Beyond 5G 技术将成为带宽密集型移动服务（比如基于云的 AI 和扩展现实等应用）的关键推动力，但它也伴随着使用更高的频率（移动运营商目前正在探索高达 5GHz 的频率），以及部署更先进的基础设施设备——包括大型天线阵列。

“这将需要运营商的移动网络转型，特别是在基站和手机端的收发器，以及底层 ADC 的设计方面。收发器的关键要求将包括小尺寸和低功耗，以及对增强网络容量的功能的支持，如多频段操作和大规模 MIMO。我们正在通过这两种新的 ADC 来满足这些需求。”imec 项目经理 Joris Van Driessche 说。

低功耗RF采样基站ADC

基站无线电通常通过为每个频段分配一个收发器来实现多频段工作，但是这种方法会增加无线电的尺寸和功耗。相比之下，imec 的新型射频采样 ADC 覆盖 5GHz 以下的所有频段，并具有 GHz 级的采样速度，可在多个频段无缝运行。此外，大规模 MIMO 所需的大型天线阵列通常配备大量耗电的分立式收发器，但 imec 的方法只需要一个非常高效的片上系统（SOC）就能实现。



Joris Van Driessche 表示：“为了帮助基站无线电应对来自其他无线信号的干扰，我们的 ADC 利用内置的宽带线性信号缓冲功能，提供比同类系统更高的有效位数（ENOB），而无需数字非线性失真校正引擎。此外，其设计采用了新颖的分层交织器架构，进一步增强了 ADC 的线性度和

速度。

imec 基于 CMOS 的 10GS/s 分层时间交错 ADC 用于射频采样应用，在低/奈奎斯特频率下提供 9/8.2 ENOB，SFDR>60dB，最高可达 5GHz 带宽，所有功率预算仅为 350mW。因此，该 ADC 在最宽的带宽和极低的功耗下，将最高的有效分辨率与卓越的线性度相结合。

单通道智能手机ADC

为了适应用户端的 Beyond-5G 连接，imec 推出了一款单通道手机 ADC，该 ADC 利用基于环形放大的多比特流水线和背景校准实现高线性度、带宽和创纪录的功率效率。

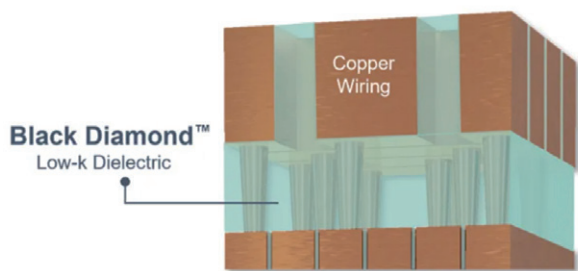
Joris Van Driessche：“虽然众所周知，多比特方法具有多种优势，如高线性度、带宽和电源效率，但它也带来了挑战。我们通过使用背景校准来校准 DAC 失配和级间增益来解决这些问题。”

该手机 ADC 在 1GS/s 时实现了 10.91 ENOB 和 81dB SFDR，而功耗仅为 17.8mW，从而实现了 9.2 fJ/conv.-step 的优异品质。凭借这些规格，它为电源效率设定了新的标准。

“对于这两款 ADC，业界都可以获得许可使用。我们正在引入两个关键构建模块，以实现 Beyond-5G 的通信。我们的下一个目标是开发支持 FR3 频率（6 - 20GHz）的基站 ADC，同时使用先进的 sub-5nm CMOS 节点保持高线性度和低功耗，”Joris Van Driessche 总结道。

应用材料公司推出芯片布线创新技术

应用材料公司在 SEMICON WEST 上推出材料工程创新，使铜芯片布线能够扩展到 2nm 节点及以下，并将电阻降低了多达 25%，以提高计算机系统的每瓦性能。



Applied Materials enhanced Black Diamond.
Image Credit: Applied Materials

应用材料公司半导体产品事业部总裁 Prabu Raja 博士表示：“AI 时代需要更节能的计算，芯片的布线和堆叠对于性能和功耗至关重要。应用材料公司最新的集成材料解决方案，使业界能够将低电阻铜布线扩展到新兴的埃米节点，而我们最新的低 k 介电材料降低了电容同时增强了芯片强度，将 3D 堆叠推向了新的高度。”

克服了延续摩尔定律的物理挑战

当今最先进的逻辑芯片可以包含数百亿个晶体管，这些晶体管通过超过 60 英里的微型铜线连接起来。芯片布线的每一层都始于一层薄薄的介电材料薄膜，然后蚀刻薄膜制作充满铜的通道。几十年来，低 k 介电材料和铜一直是业界的主力布线组合，使芯片制造商能够在每一代产品中进一步实现微型化、提高性能和能效。

然而，随着行业发展到 2nm 节点及以下，更薄的介电材料会导致芯片的机械性能下降，而铜线变窄会导致电阻急剧增加，从而降低芯片性能并增加功耗。

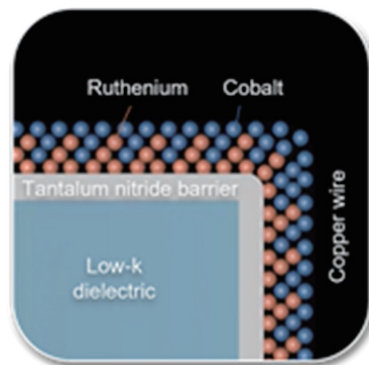
应用材料公司的 Black Diamond™ 材料几十年来一直引领行业发展，通过在铜线周围包裹一层低 k 介电材料薄膜来减少电荷的积累，从而减少功耗和电信号之间的干扰。

应用材料公司最新推出了增强版 Black Diamond，这是该公司 Producer™ Black Diamond™ PECVD 系列的最新产品。这种增强版新材料降低了最小 k 值，可降低芯片电容，同时提高了机械强度，在芯片制造商和系统公司将 3D 逻辑和内存堆叠推向新高度时，这

至关重要。这种最新的 Black Diamond 技术正在被领先的逻辑和 DRAM 芯片制造商所采用。

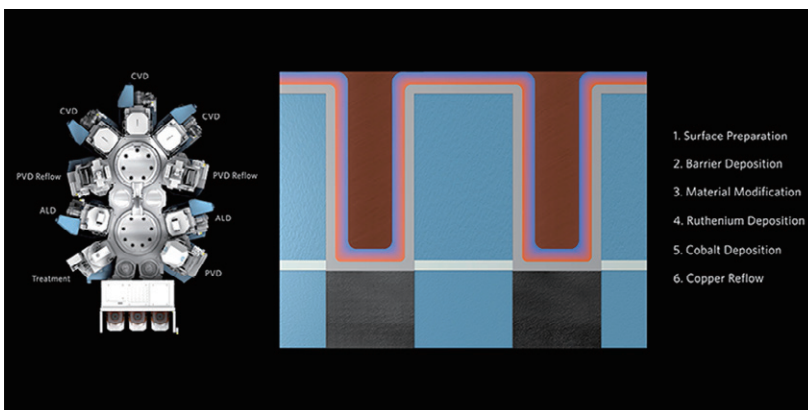
新型二元金属衬垫实现超细铜线

为了缩小芯片布线，芯片制造商蚀刻每一层低 k 薄膜以创建沟槽，然后沉积一层阻挡层，防止铜迁移到芯片中造成良率问题。之后再阻挡层上涂覆一层衬垫 (liner)，以确保在最后的铜回流沉积工序中的粘附，该工序会慢慢用铜填充剩余体积。



随着芯片制造商进一步缩小布线尺寸，阻挡层和衬垫占据了布线空间的更大比例，在剩余空间中创建低电阻、无空隙的铜布线在物理上变得不可能。

应用材料公司推出了最新 IMS™ (集成材料解决方案™)，该解决方案将六种不同的技术整合到一个高真空系统中，其中包括一种业界首创的材料组合 - 钌和钴 (RuCo) 的二元金属组合，可将衬垫厚度减少 33% 低至 2 纳米 - 可帮助芯片制造商将铜布线扩展到 2 纳米节点及以下，为无空洞铜回流提供更好的表面特性，并将电线电阻降低高达 25%，从而改善芯片性能和功耗。



采用 Volta™ Ruthenium CVD 技术的全新 Applied Endura™ Copper Barrier Seed IMS™ 已经被全球所有领先的逻辑芯片制造商采用，并已开始 3nm 节点向客户发货。

国产高端明场纳米图形晶圆检测设备实现突破

近日，天准科技参股的苏州矽行半导体技术有限公司宣布，公司面向 40nm 技术节点的明场纳米图形晶圆缺陷检测设备 TB1500 已完成厂内验证，标志着国产半导体高端检测设备实现了新的突破。

这也是继 2023 年 8 月，天准科技正式交付面向 12 英寸晶圆 65~90nm 技术节点的宽波段明场缺陷检测设备 TB1000 不到一年后，再次取得的阶段性新进展。

TB1500 是矽行半导体最新的研发成果，核心关键部件全部实现自主可控，同时采用了先进的信号处理算法，有效提高信噪比和检测灵敏度。为了满足 40nm 技术节点的工艺制程需求，TB1500 提升了光源亮度和感度，增大了物镜视野和速度，能够捕捉更小缺陷尺寸。



作为国产半导体设备厂商的代表，矽行半导体成立于 2021 年 11 月，专注于高端晶圆缺陷检测设备及零部件的

研发、生产和销售，努力填补国产缺陷检测设备市场的空白。据了解，矽行半导体面向 28nm 技术节点的 TB2000 设备当前进展顺利，各核心零部件均已完成开发，计划于 2024 年底发布样机。

此外，天准科技在半导体设备领域持续发力，全资子公司

MueTec 研发的面向 12 英寸 40nm 技术节点的 DaVinci G5 设备，经过大量的晶圆实测数据验证，表现优异。与前两代产品相比，该设备提升了重复性、吞吐量和高深宽比套刻标记识别能力，将在满足大规模生产的需求下，使复杂芯片图案的套刻精度检测成为可能，极大地提高制造效率。



2024南昌国际半导体光电技术与显示应用博览会

2024年9月27-29日 南昌绿地国际博览中心

官网: <http://nc.sicexpo.net>



2024长三角（杭州）国际半导体及集成电路博览会

2024年10月23-25日 杭州国际博览中心

官网: <http://www.sicexpo.net>



2024厦门国际半导体及集成电路博览会

2024年12月12-14日 厦门国际会展中心

官网: <http://xm.sicexpo.net>

参展: 李女士 13161718173
参观: 赵先生 18600031828

中微公司临港产业化基地落成启用

2024年8月2日，中微半导体设备（上海）股份有限公司喜迎成立20周年纪念日，于临港产业化基地隆重举行“20周年盛会华章暨临港基地落成庆典”，宣布临港产业化基地正式启用。



中微公司临港产业化基地

临港产业化基地占地约157亩、总建筑面积约18万平方米，配备行业领先的实验室、业界高标准的洁净室、先进的生产车间及智能化立体仓库等设施，可实现生产全程数字化、智能化管理，从而为公司进一步强化生产能力、研发能力和科技创新水平提供了有力支撑。

临港产业化基地践行绿色发展理念，致力打造绿色工厂，并通过不断探索实践，积极应对气候变化，助力公司2035年实现自身碳中和的目标。

持续创新，志在巅峰

回顾中微公司二十年发展历程，从2004年一张白纸开始的初创公司，如今已成为中国国内半导体设备的领先企业，也是国际半导体设备产业冉冉升起的一颗新星。

中微公司在刻蚀设备、薄膜沉积设备、MOCVD设备

等领域均取得了显著成就。

在刻蚀设备方面，凭借行业首创的刻蚀设备双台机技术，中微公司率先提出“皮米级”加工精度概念，其刻蚀精度已经达到100“皮米”以下水平，相当于头发丝350万分之一的精准度，并且产品具备刻蚀应用覆盖丰富等优势，能够满足90%以上的刻蚀应用需求，技术能力已覆盖5纳米及以下更先进水平。

在半导体薄膜沉积设备领域，中微公司持续加码创新研发，不断突破，推出了Preforma Uniflex® CW、Preforma Uniflex® HW、Preforma Uniflex® AW等多款新产品以满足市场需求，为公司业务多元化发展提供了强劲的增长动能。此外，公司新开发的硅和锗硅外延EPI设备、晶圆边缘Bevel刻蚀设备等多款新产品，也会在近期投入市场验证。

在MOCVD设备方面，中微公司自推出第一代MOCVD设备PRISMO A7®以来，不断丰富产品线且快速升级迭代，目前在Mini LED等氮化镓基设备领域，中微公司的市场占有率稳居前列，并持续开发用于氮化镓、碳化硅等功率器件及Micro-LED器件制造的MOCVD设备。

此外，中微公司还通过投资布局了第四大设备市场——光学检测设备。

随着临港产业化基地的全面投入使用，中微公司的未来发展蓝图正徐徐展开。2023年7月，14万平方米的中微公司南昌生产研发基地落成并投入使用；目前，位于滴水湖畔的中微临港总部暨研发大楼也正在建设中，建成后占地面积约10万平方米。未来，中微公司的生产和研发基地总面积将达到约45万平方米，为今后的大发展夯实基础。

国内首条TGV板级封装线投产

三叠纪（广东）科技有限公司TGV板级封装线近日投产，这是国内第一条TGV板级封装全自动化生产线，标志着中国TGV通孔玻璃技术达到业界领先水平。

TGV（Through Glass Via）玻璃通孔，即穿过玻璃基板的垂直电气互联。TGV以高品质硼硅玻璃、石英玻璃为基材，通过种子层溅射、电镀填充、化学机械平坦化、

RDL再布线，bump工艺引出实现3D互联。据相关报告显示，相对于传统的硅基、陶瓷基板，玻璃通孔之间的间隔能够小于100 μm ，让晶片之间的互连密度提升10倍；更高的温度耐受也使变形减少50%，增加芯片的稳定性，因此被视为下一代先进封装集成的关键技术。

三叠纪于2022年建成晶圆级玻璃基TGV中试生产



线，是国内目前唯一一家同时拥有玻璃基晶圆和板级封装线的公司。此次投产的 TGV 板级封装全自动化生产线，高度集成了搬运、传输、制造和检测，包括高速激

光诱导装备，成孔效率 5000 孔 / 秒；选择性湿法刻蚀装备，成孔深径比 50:1；板级金属化装备，孔内金属填充率 99.9%。此外还包括全自动化板级清洗设备、全自动 AOI 检测仪和板级研磨抛光等重要设备。该生产线技术工艺可实现晶圆级 10 μ m 孔径，整条产线可年产 3 万片 510*515mm 玻璃封装基板。

三叠纪负责人表示，国内外对于 TGV 技术研究处于同步，若单从技术指标看，国内首次突破了 10 微米通孔和填充技术，是走在国外厂商的前列。目前国内 TGV 的产业链尚不成熟，要想达到产业化还存在一定壁垒。三叠纪率先部署建设 TGV 板级玻璃封装试验线，将引领国内 TGV 行业步伐，为高端 SiP 和高算力芯片封装、新型显示等领域奠定基础。

ASML 和 imec 宣布 High-NA 光刻新突破

比利时微电子研究中心 imec 宣布，在其与 ASML 合作的 High-NA EUV 光刻实验室首次成功利用 0.55NA 的 High-NA EUV 光刻机曝光了逻辑和 DRAM 的图案结构。

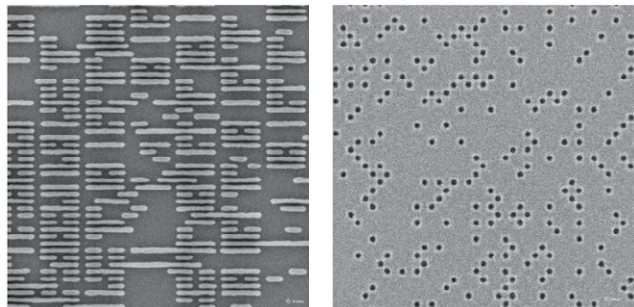


图1：左图是图案转移后9.5nm随机逻辑结构密集金属线(19nm间距)，右图是随机通孔，中心间距为30nm，具有出色的图案保真度和临界尺寸均匀性。(Source: imec)

据介绍，imec 使用 9.5nm 密集金属线，实现了单曝光随机逻辑结构的图案化，对应于 19nm pitch，将端到端间距尺寸降低至 20nm 以下。这足以使用单个 High-NA 曝光在 1.4nm 工艺技术上构建逻辑。

不仅如此，Imec 还成功创建了中心间距为 30nm 的随机通孔，并具有良好的图案保真度和临界尺寸均匀性。此外，在 P22nm 的间距上形成的 2D 特征表现出了出色的性能，这足以用于 3nm 工艺节点的制造过程。

除了逻辑结构之外，imec 在单次曝光中成功设计了将 DRAM 的存储节点着陆垫 (Storage Node Landing Pad, SNLP) 与位线外围集成在一起的设计，强调了 High-NA 技术减少曝光次数的潜力。

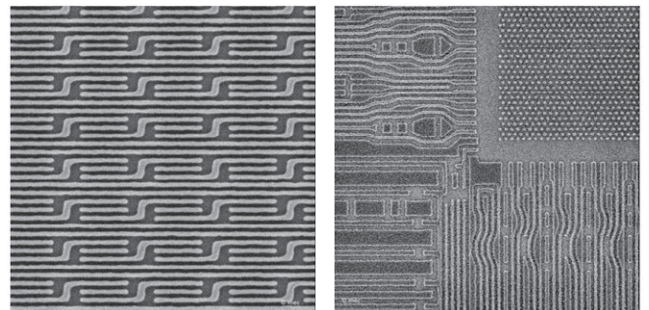
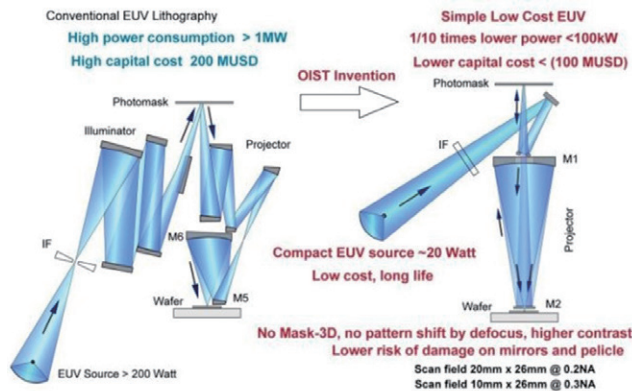


图2：左图是P22nm间距的二维特征，右图是imec展示的DRAM设计。(Source: imec)

imec 总裁兼首席执行官 Luc Van den hove 表示，作为行业应用的初步验证，这些结果显示了 High-NA EUV 技术的独特潜力，单次曝光即可实现 20nm 以下间距的金属层。因此 High-NA EUV 将对逻辑和存储器技术的尺寸扩展起到重要作用，这正是将路线图推向 "埃米时代" 的关键支柱之一。这些早期演示之所以能够实现，归功于 ASML-imec 联合实验室的建立，它使我们的合作伙伴能够加快将 High-NA 光刻技术引入制造领域。

日本学者推出新型EUV光刻技术

日本冲绳科学技术大学院大学 (OIST) 教授 Tsumoru Shintake 团队推出一种超越半导体制造标准线的新型极紫外光刻 (EUVL) 技术, 这项创新可以大幅降低 7nm 及更小节点的半导体生产成本, 可能会重塑芯片制造格局。



这项技术解决了此前在该领域被认为无法克服的两个问题。它设计了一种仅由两块镜子组成的新型光学投影系统, 并采用一种新方法更有效地将 EUV 光引导到平面镜子 (光掩膜) 上的逻辑图案上, 而不会阻塞光路。基于此设计的光刻设备可以使用更小的 EUV 光源, 功耗不到传统 EUVL 设备的十分之一, 可降低成本并大幅提高设备的可靠性和寿命。

在传统光学系统 (如照相机、望远镜和常规紫外光刻技术) 中, 光圈和透镜等光学元件沿直轴对称排列。这种方法不适用于极紫外射线, 因为其波长极短, 大部分会被材料吸收。因此, EUV 光使用新月形镜子进行引导, 但这会导致光偏离中心轴, 牺牲重要的光学特性并降低系统的整体性能。

为了解决这个问题, 新的光刻技术通过将两个带有微小中心孔的轴对称镜子排列在一条直线上来实现其光学特性。由于 EUV 的吸收率很高, 每次镜子反射都会使能量减弱 40%。

按照行业标准, EUV 光源能量经过 10 面镜子后, 仅有约 1% 能够到达晶圆, 这对 EUV 光输出的要求非常高。

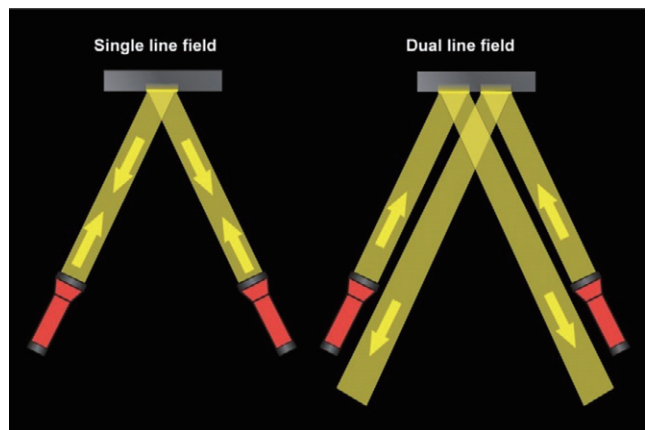
相比之下, 将从 EUV 光源到晶圆的镜子数量限制为总共四个, 可使超过 10% 的能量穿透晶圆, 这可以大大降低功耗。

新型 EUVL 技术的核心投影仪由两面类似天文望远镜的镜子组成, 可以将光掩膜图像转移到硅片上。该团队声

称, 这种配置非常简单, 而传统投影仪至少需要六面镜子。

这是通过重新思考光学像差校准理论实现的, 其性能已经通过光学仿真软件验证, 意味着它可以满足先进半导体的生产要求。

此外, 团队还为此项新技术设计了一种名为“双线场” (dual line field) 的新型照明光学方法, 即利用 EUV 光从正面照射平面镜光罩, 而不会干扰光路。



当今的人工智能处理器、手机等移动设备中使用的低功耗芯片, 以及我们日常生活中不可或缺的各种机器中使用的高密度 DRAM 内存——所有这些先进半导体芯片都是使用 EUVL 技术制造的。然而, 半导体生产受到设备高功耗和复杂性的挑战, 这大大增加了安装、维护和功耗的成本。Shintake 教授说: 这项发明是一项突破性技术, 几乎可以完全解决这些鲜为人知的问题。◆

参考资料

- Innovative EUV lithography technology dramatically increases energy efficiency and reduces capital cost of semiconductor manufacturing <https://www.oist.jp/news-center/news/2024/7/29/innovative-euv-lithography-technology-dramatically-increases-energy-efficiency-and-reduces-capital>



高速高温泵解决了先进原子层沉积工艺的挑战

在进行原子层沉积工艺时，需要解决泵故障、工艺停机和处理速度缓慢等潜在问题。

作者：Allister Watson, Young Chung, EDWARDS VACUUM



半导体器件设计正在朝垂直化方向发展。一些非常令人兴奋的新型器件使用了多层薄膜堆栈，并具有高深宽比（high aspect-ratio, HAR）特性，这些特性本身是通过原子层沉积（ALD）工艺沉积的复杂多层结构。一些 ALD 工艺会产生可冷凝的副产品，这些副产品会积聚沉积在真空泵中。

如果不加以解决，副产品积聚物可能会导致泵故障和工艺停机。即使管理

得当，这些副产品沉积物也需要定期管理维护，这又会增加拥有成本并降低生产率。虽然 ALD 非常精确，但它本身工艺过程缓慢，这在很大程度上受到真空系统的循环能力（即在工艺室中前驱体气体和反应物气体之间循环能力）的限制。这些考量因素共同推动了更高温度、更高转速的真空泵的发展，以延长维护间隔并缩短 ALD 工艺周期。

HAR结构

高深宽比（HAR）特征正变得越来越普遍，其深宽比也在不断增加。在某些情况下，例如 DRAM 中的电容器，

该比率增加是由于在给定的占地面积内封装更多电容器的压力造成的。在其他情况下，压力是垂直方向的，例如在 3D NAND 中，增加内存容量意味着更多的层和更长的通道。在这两种情况下，蚀刻在衬底基板上的高而细的圆柱形空腔被各种材料的同轴层填充，以创建功能器件。

ALD 工艺

大多数传统沉积工艺都是为在浅层特征上沉积均匀的薄膜而开发的。这些工艺过程相对较快，只要表面暴露在工艺中，沉积就会继续。因此，薄膜的厚度是沉积时间的函数。然而，在存在明显地形的情况下，这些传统工艺不能很好地保持均匀的薄膜厚度，尤其是在 HAR 特征的极端地形情况下，对于特征的内部垂直壁和深凹底部，传统沉积工艺不能很好沉积。

ALD 工艺为在复杂的深凹表面上沉积高度保形、精确控制的薄膜提供了一种优质精准的解决方案。当表面暴露在前驱体气体和反应物气体的重复循环中时，沉积物一次积累一个原子层。在第一阶段，前驱体与表面上的特定位点发生反应。

该反应是自限性的——一旦所有位点都被前驱体分子占据，反应就会停止。接下来，去除前驱体气体，引入反应物气体。反应物与先前沉积的前驱体相互作用，同样以自限方式，完成沉积并重建原始的表面化学成分。新沉积的单分子层已准备好进行另一个 ALD 周期。

因为这两种反应都是自限性的，所以膜厚是循环次数的函数，而不是曝光时间的函数。这使工艺工程师可以根据需要决定工艺的每个循环继续进行与否，以确保所有表面都被完全均匀地覆盖。

ALD 的最大缺点是速度慢。它最适合沉积非常薄的薄膜，需要较少的沉积周期。晶圆产量主要取决于从工艺室中去除一种气体并用另一种气体替换它所需的时间，这对真空系统中的高抽速提出了要求。

可冷凝的工艺气体和副产品

一些工艺气体和副产品会在较冷的表面上凝结。在极

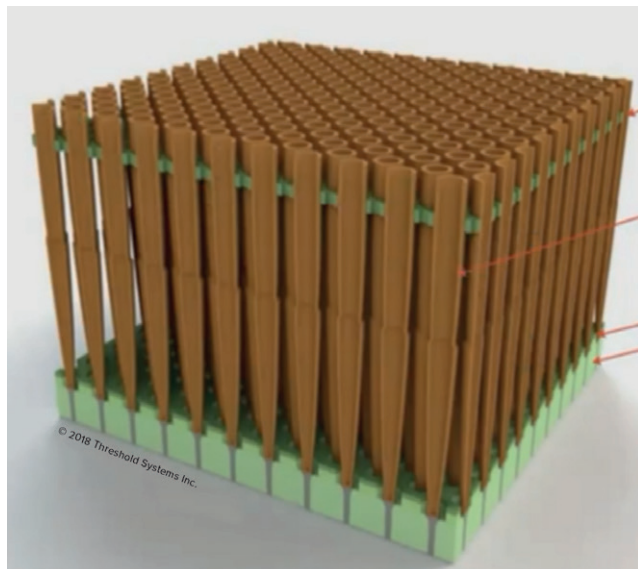


图 1：管状电容器由同轴圆柱形 TiN 板组成，这些 TiN 板被介电材料隔开。当使用 $TiCl_4$ 来原子层沉积 TiN 时会生成 NH_4Cl ，这是一种可冷凝的副产物。随着电容器变高变细，副产物 $TiCl_4$ 的流量将增加。参考资料：Threshold。

端情况下，积聚的凝结物会完全堵塞真空管路并导致真空泵卡住。对于泵本身来说，避免不需要的积聚沉积最为关键，因为快速旋转的部件必须保持非常严格的机械公差。通过在真空系统内保持足够高的温度，可以减少或防止冷凝。通过专门设计的高温泵以及加热前级管路和排气管路，可以很好地解决这一挑战。

DRAM 电容器（图 1）正变得越来越高，越来越细，以增加其密度。预计在未来十年内，电容器阵列的半间距将减少一半。在每个电容器内部，同轴管状板由层状介电材料的复杂结构隔开。ALD 工艺对于沉积电容器的 TiN 电极至关重要。TiN 电极是由 $TiCl_4$ 和 NH_3 反应沉积的。

该反应沉积 TiN，但生成一种可冷凝的副产品 NH_4Cl 。在整个真空系统中，尤其是在真空泵中，精心控制的高温曲线可以减少不需要的可冷凝副产品的积聚及泵卡死的风险。随着深宽比的增加， $TiCl_4$ 流量也会增加。

最新一代的 3D NAND 器件具有近 200 对交替的氧化物 / 氮化物介电层。垂直内存字符串是沿着穿透这些层的通道创建的。层数决定了沿每个通道的存储单元数量，从而决定了 3D NAND 器件的存储密度和容量。

DRAM	2022	2025	2028	2031	2034
Min Half Pitch (nm)	15.5	13	14	11.5	10
Cell Size (μm^2)	0.00165	0.00118	0.00085	0.00062	0.00044

表 1. 预计 DRAM 电容器阵列的单元尺寸和半间距在未来十年内将大幅缩小。(source: IRDS 2022)

Edwards 最新一代高速高温泵(iXH6520HTXS+)是与主要半导体设备供应商合作开发的，旨在应对先进 ALD 工艺带来的挑战。

在这十年中，多层存储器的层数可能会增加到 500 层或更多。为了创建存储单元，通道内排列填充有氧化物/氮化物 (ONON) 三明治。氮化物层成为存储信息的电荷陷阱。需要最外层的氧化层来阻止后续的氮化物蚀刻，因为氮化物蚀刻会从原始 ONON 堆栈的氧化层之间去除氮化物。

ALD 工艺用于在通道内沉积 ONON 三明治。氧化物 (SiO₂) 和氮化物 (SiN) 均通过六氯乙硅烷

(hexachlorodisilane, HCDS) 来生成。对于氮化物层，HCDS + NH₃ 来沉积 SiN，但同时也会产生可冷凝的 NH₄Cl 作为副产品，需要热泵来防止在泵内产生不需要的冷凝。

对于氧化层，HCDS + 氧化剂 来沉积氧化物，不会产生 NH₄Cl 副产品。然而，HCDS 分子本身可能会聚合形成可冷凝凝胶。因此，在沉积氮化物时，需要热泵来防止副产品 NH₄Cl 冷凝，而在沉积氧化物和氮化物两种情况下，都需要热泵来防止 HCDS 聚合凝结。随着层数的增加，HCDS 的流量也会增加，因此需要更热的泵。

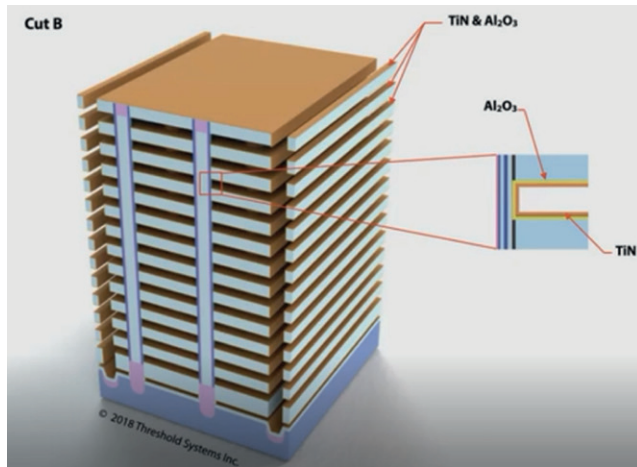


图2: 预计到 2031 年, 3D NAND 内存中的层数将翻一番或更多, 需要更长、更高深宽比的通道。排列在每个通道中的 氧化物/氮化物 三明治通过ALD工艺沉积制造, 而ALD工艺使用六氯乙硅烷 (HCDS) 作为反应物气体。沉积氮化物的过程中会产生可冷凝的 NH₄Cl副产品。HCDS也能凝结成聚合物凝胶。(Source: Threshold Systems 2021)

真空泵

Edwards 最新一代高速高温泵 (iXH6520HTXS+) 是与主要半导体设备供应商合作开发的，旨在应对先进 ALD 工艺带来的挑战。它采用了几种新的关键高温技术，使其能够在高达 260℃ 的表面温度下运行。高温运行可减少关键泵表面的副产品冷凝，从而大大延长了设备的维修间隔。与其前代产品相比，这款新泵的峰值抽速提高了 30%，达到 96,000 升 / 分钟；功耗降低 34%；并且可实现的更好的极限真空压力性能（这对于原子层沉积步骤之间的高清洁度非常重要）。

对于先进 ALD 工艺来说，关注可冷凝的副产品、减少维护频率、缩短工艺周期和降低功耗，可以降低拥有成本和提高生产率，从而实现可观的经济回报。◆

3D NAND	2022	2025	2028	2031	2034
Number of Memory Layers	128-192	256-384	384-576	576-768	768-1024
Number of Tiers	2	2	3	3	4
Bits/mm ²	2T	5.2T	8T	12T	16T

表2. 未来十年3D NAND的层面积、层数和存储密度都将大幅增加。(Source: IRDS 2022)

适用于下一代微电子封装的有效气密密封

一个完美密封的电子封装可以在几十年内实现其预期功能，而不会中断、出错或性能显著下降。然而，设计和现场工程师只有通过应用正确的材料和密封胶，并采用正确的工具、设备和工艺步骤来构建下一代半导体驱动的电子封装，才能达到这种性能水平。密封良好的封装所带来的信心必定能够有效促进开发出具有更多功能的更好芯片。

气密密封 (hermetic sealing) 是封装半导体芯片的重要工艺。在这里，“密封 (hermetic)” 这个词表示无气体泄漏的密封。半导体芯片要经历几个工艺步骤，从晶圆开始，然后被切割成单个芯片，最终形成分立封装。这些芯片通过芯片粘附环氧树脂或共晶焊料牢固地粘合到芯片焊盘上。然后，它们通过非常细的电线与陶瓷封装键合焊盘进行电连接。

陶瓷封装 (实际上是一个“芯片载体”) 通常是多层结构，其陶瓷主体内有电气馈通件。这些层在内部连接到封装的底部或侧面，以便与其他电气元件一起安装在印刷电路板上。有很多种封装可用于芯片键合，包括引线芯片载体 (LCC, leaded chip carrier)；陶瓷四边引线扁平封装 (CQFP, ceramic quad flatpack) 和四方扁平封装 (QFP, quad-flat package) 等。

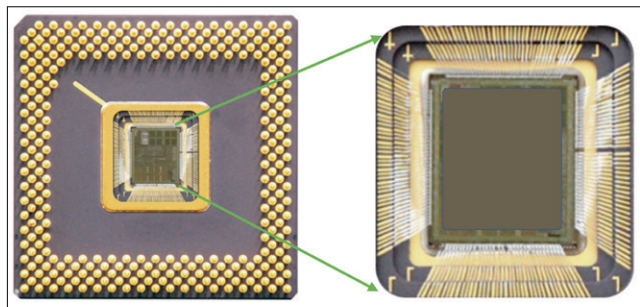


图1: 通过键合材料连接半导体芯片的陶瓷封装。右图显示了焊盘上的细引线键合。每个焊盘都内部连接到封装周围的引脚。

包含引线键合芯片的陶瓷封装最终必须气密密封，以防止湿气或杂散的颗粒等污染物进入。

气密密封工艺对于确定组件在运行中的可行性至关重要。图 1 显示了半导体芯片及其数百个非常精细的引线

键合。半导体芯片的尺寸各不相同从几毫米到几十毫米。较小的芯片可能具有较少的引线键合，而较大的芯片可能具有数百个引线键合。这些键合比人的头发还细，直径小至 0.0007 英寸 (17.78 微米)。

分立芯片包含微机电系统 (MEMS)，MEMS 具有肉眼无法看到的超精细齿轮、时钟和移动执行器。掉落在这些芯片上的任何颗粒都可能干扰其性能。同样，由于键合的细线彼此如此接近，导线之间的导电颗粒或湿气可能会导致故障。这使得组装封装的合适气密密封变得更加重要。

在关注密封过程之前，重要的是要了解用于密封的材料、其局限性、设计指南、存储和处理工艺。

例如，有几种类型的陶瓷封装：

- 表面贴装陶瓷封装
- 陶瓷引脚栅格阵列封装
- 陶瓷四方扁平封装
- 陶瓷混合封装
- 光纤通信封装
- 键合材料或焊料
- 必须连接到封装上的组件，例如芯片、芯片连接材料、焊丝等。

根据所需的密封性水平，封装会进行一个或两个密封工艺：用金属盖接缝密封，或用电镀金属盖焊接密封。

用金属盖接缝密封：

这是一种可靠的气密密封工艺，其中一对圆形电极围绕盖子边缘运行，将其熔化并烧结到封装的密封环区域。接缝密封在以下情况下很有用：

- 半导体芯片不能接受高水平的热量。接缝密封提

供了局部的边缘加热。

- 用户可能没有烤箱回流焊功能。
- 最终应用与射频相关，需要低水平的气密性（即射频封装）。

用电镀金属盖焊接密封：

该工艺还可以实现高水平的可靠、气密密封。密封后可进行多项测试以确认其有效性。

所有封装类型都有一些共同的因素，包括使用芯片键合焊盘、引线键合焊盘和密封圈。图 3 显示了陶瓷封装的一些关键特性。

芯片连接焊盘：这是借助共晶焊料合金或环氧树脂材料连接半导体芯片的领域。环氧树脂基芯片胶粘剂通常由树脂和硬化剂组成，在应用于芯片焊盘之前必须充分混合。然后将芯片放置到位并用压力擦洗以实现润湿，并释放粘接材料中的任何滞留气体。组件在高温下固化以使其硬化，这是一个可能很棘手的工艺，必须得到很好的控制。

88Au12Ge 和 80Au20Sn 均可用作共晶键合材料。它们分别在 361℃ 和 280℃ 下熔化。在考虑进入夹具和其他部件的热损失后，设定温度通常更高些。两种类型的共晶焊料都是纯合金，不含任何粘合剂或键合剂。

芯片连接键合材料的选择取决于芯片和粘合剂可能接触的其他相邻材料的热膨胀系数（CTE）。同时还必须确定熔融和固化的温度和条件。

芯片贴装后密封条件：

验证完善的键合并确保释放滞留气体非常重要。供应商通常会提供固化说明和工艺步骤，以去除有机物和粘合剂。否则，在焊接密封过程中可能会释放氢饱和和碳氢化合物或水分。封装内的滞留气体会对其整体电气性能和使用寿命产生负面影响。

因此，控制良好的芯片贴装工艺对于实现无空隙键合非常重要。不幸的是，密封后的验证可能成本高昂，并可能产生不规则或误导性的结果。因此，必须密切注意储存条件、有效期、混合比、使用时间和每单元每批次所需的体积。并且还有从环境中吸收水分的可能性。

密封圈：

在气密密封方面，这是陶瓷封装中最重要的组件之一。与芯片和引线键合焊盘一样，在焊接过程中整个表面几乎都使用了密封圈。密封圈表面通常是多孔的，并镀有镍和金，这可能导致镍在高温下迁移到密封圈。这反过来又可能导致针孔和焊料空隙。因此，小心处理和温度控制

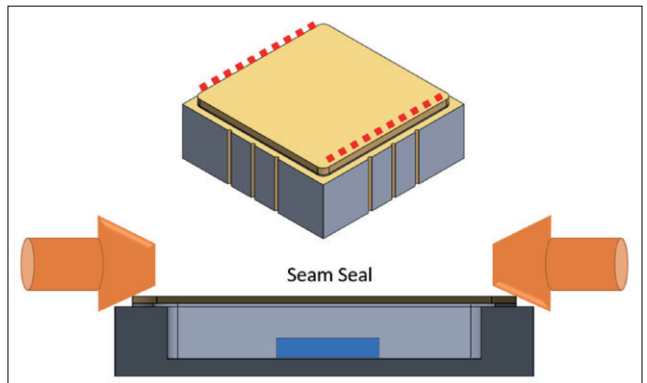


图2：陶瓷封装采用两个平行运行的电极进行接缝密封，以熔化盖子并将其密封到陶瓷或金属封装上。

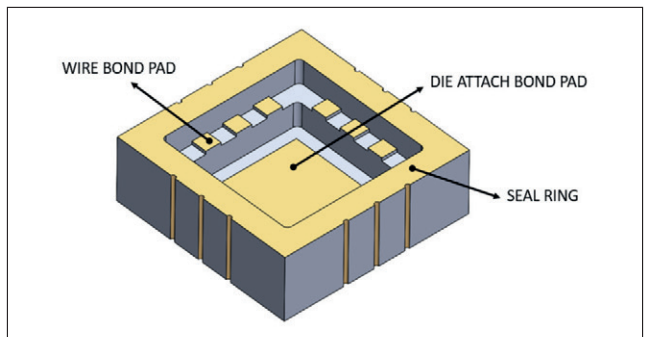


图3：带有密封圈、焊丝和芯片键合焊盘的陶瓷封装。

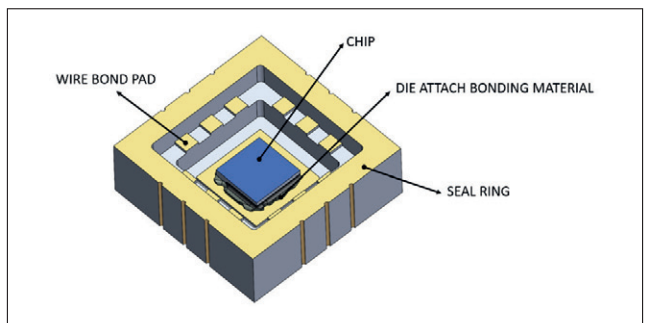


图4：带芯片连接的陶瓷封装。

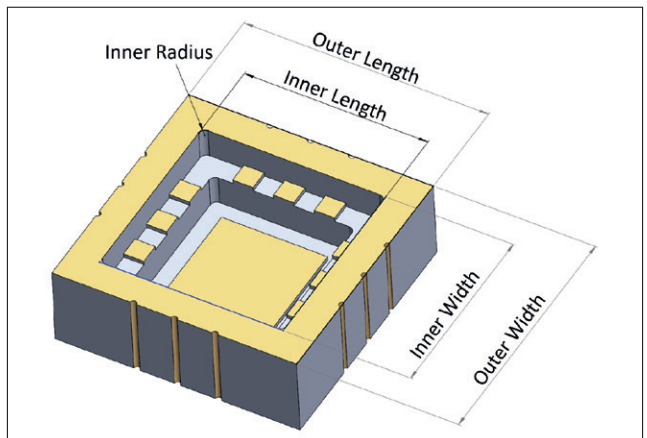


图5：带有密封圈维度的陶瓷封装。

是必不可少的。

有效的气密密封：循序渐进

成功的气密密封取决于几个因素，包括：

- 封装密封圈设计指南
- 密封胶和封盖材料的选择
- 密封方法和工艺控制
- 气密密封后的测试和故障排除
- 下一代封装材料选择

封装密封圈的设计指南：

考虑密封盖及其焊料的尺寸。外密封圈、金属盖和金-锡框架是关键的设计元素。例如，如果封装密封圈的外部长和宽为 0.500 英寸见方，则盖子应为 0.500 英寸 -0.010 英寸 -0.010 英寸，或者说 0.480 英寸见方。

接下来是确定金-锡焊料的内部尺寸。为此，必须同时考虑内部和外部尺寸。如果密封圈内部尺寸为 0.400 英寸见方，则金-锡焊料内部尺寸应为 0.400 英寸 + 0.010 英寸 + 0.010 英寸 或者说 0.420 英寸见方。内半径和外半径对于整体设计也很重要，焊料和盖子的厚度也很重要。这些尺寸将基于最终封装的尺寸。

0.010 英寸的间隙取决于密封圈的可用空间。外间隙可低至 0.002 英寸，如果密封圈较窄，则内密封圈几乎也低至 0.002 英寸。

密封胶材料选择：

有多种合适的焊料合金和共晶焊料用于防漏密封接头。金-锡已被证明在将金属盖键合到陶瓷或金属封装上特别有效。80% 金 /20% 锡焊料在 280℃ 下熔化，在进行温度循环测试时保持良好。

80% 金 /20% 锡合金的制造必须含有很少的杂质，并且必须在其标称重量百分比内才能实现良好的键合。

- 金-锡纯度：导热系数降低
- 金-锡污染：氧化物、有机物
- 金-锡界面接触面积

封盖材料选择：

金属盖是铁、镍和钴的合金，也称为 ASTM F-15。为了使金-锡焊料与封装牢固键合，金属盖必须准备良好。由超过 50% 的铁 (Fe) 元素组成的盖子会随着时间的推移而氧化。裸露的盖子不允许金-锡焊料浸润。因此，可靠的电镀金是必不可少的。

盖子电镀 100 至 350 微英寸的镍，然后是 50 微英寸

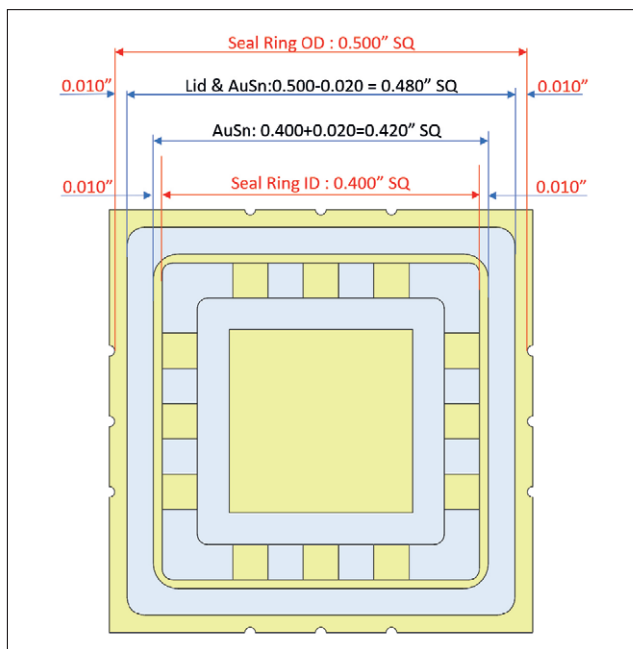


图6：封装盖和焊料的设计指南。

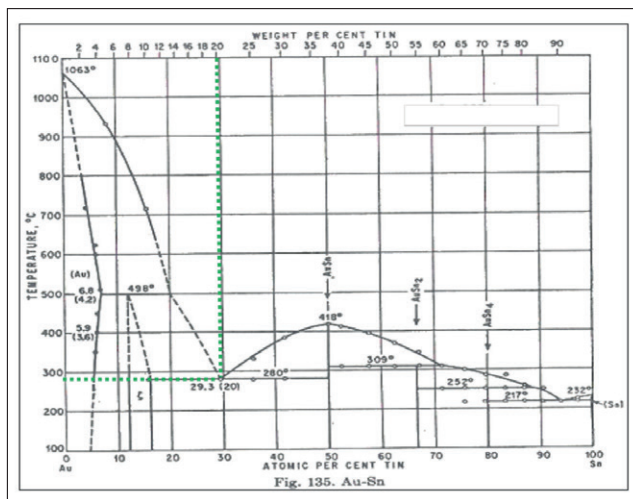


图7：金-锡相图。

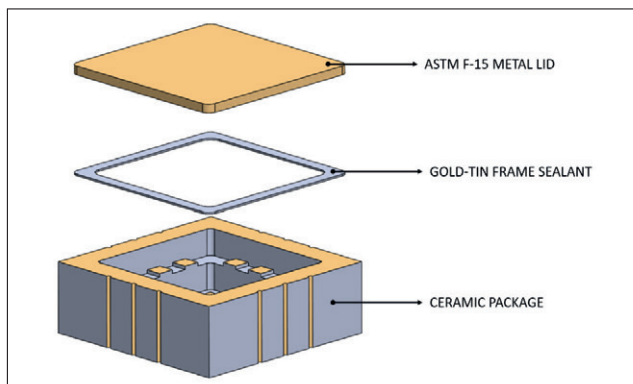


图8：陶瓷封装、焊料框架和电镀金属盖的分解图。

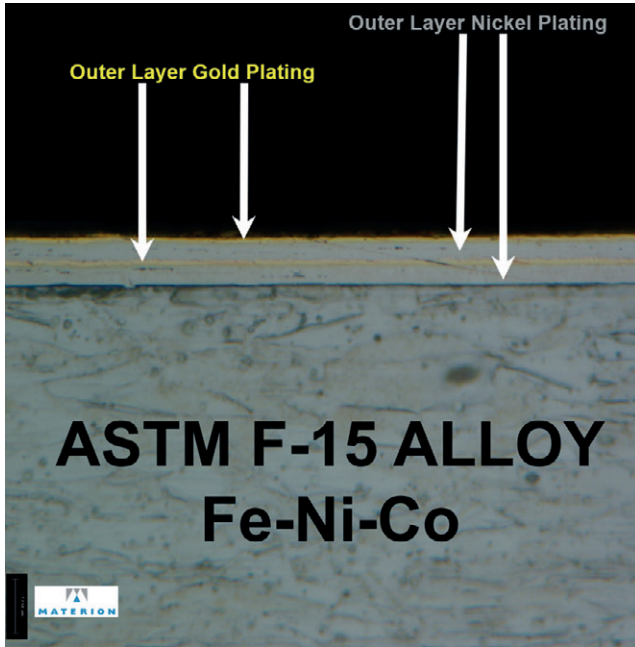


图9: 依次镀四层镍和金的横截面图。

厚度的金。高可靠性应用中需要电镀额外的镍和金，尽管两种镍薄膜不能超过 450 微英寸，而电镀金膜的总和必须至少为 50 微英寸。这个想法是为了防止边缘过度堆积。这最终可能会对气密封产生负面影响。如图显示了四层电镀封盖的横截面。

高效电镀:

电镀工艺非常关键。例如，必须避免边缘堆积。电镀槽和化学品维护都很重要。应该注意的是，这种镀层本质上不是装饰性的，而是为高质量的气密封而设计的，这也需要良好的焊料键合。维护不良的镀层可能会捕获不需

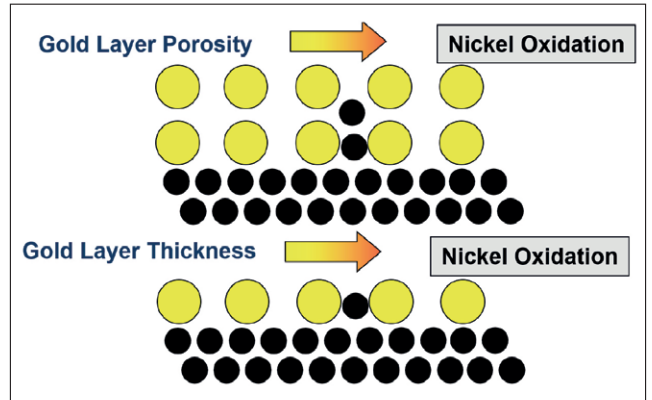


图10: 镍迁移过程。

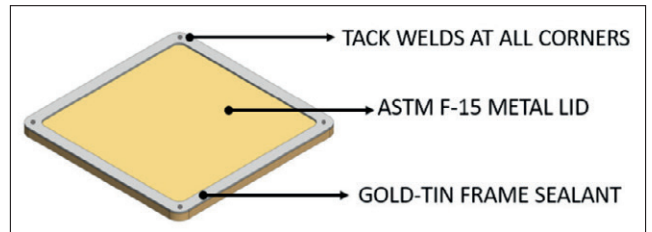


图11: 框架封盖组件。

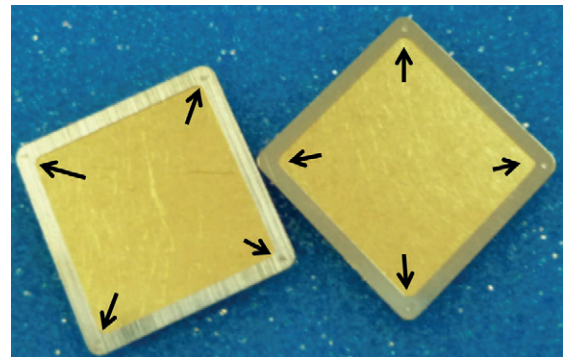


图12: 拐角处的钉焊点。

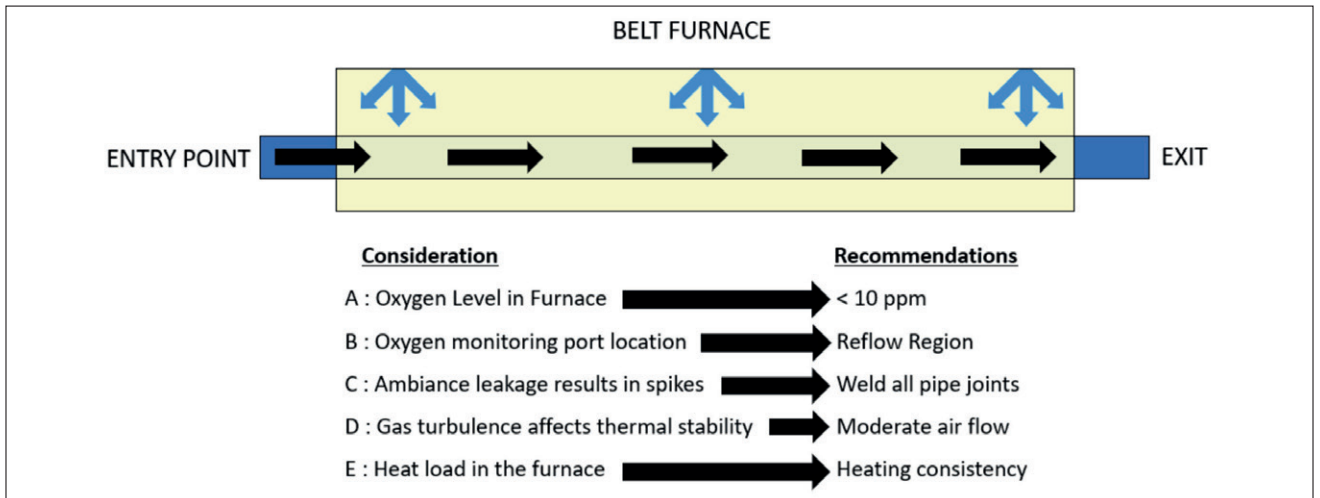


图13: 关键参数控制和使用带式炉进行有效密封的建议。

要的气体。

电镀后测试可用于检查镀层质量，特别是量化镀膜中的氢含量。

出于预防原因，应定期进行电镀槽维护和镀液化学检查。在较低温度（120℃至150℃之间）进行8到12小时最后阶段电镀后，有时也会进行电镀后烘烤。

长时间的高温烘烤可能会导致镍的内层迁移到金层，并干扰焊料浸润。金-锡焊料合金不会被镍浸润。如果镀层太薄或镀层表面的孔隙率高，也可能发生镍迁移。

密封方法和工艺控制

- **钉焊或点焊**：金-锡焊料必须通过点焊或钉焊连接到电镀的封盖上。这个工艺对于避免最终可能影响密封良率的错位和其他缺陷至关重要。它还为最终用户创造了额外的好处，他们必须在最终密封之前将框架和盖子组装为一个组件。点焊在所有四个角上需要非常小部分的共晶金-锡焊料，用于熔化并粘附在电镀的封盖上。
- **回流焊设备和工艺控制**：在密封之前选择合适的回流焊设备非常重要。使用金-锡或其他焊料进行气密密封需要惰性环境；否则，氧化可能会影响密封的完整性。如果使用带式炉，则必须对维护和密封曲线进行良好监控。应跟踪和控制回流焊室内的氧气含量。如果选择真空密封炉，则需要类似的监测，并具有去除不必要的气体的额外好处。在这两种情况下，设备性能将最终决定气密密封的质量。
- **金-锡密封曲线**：以下是金-锡密封曲线的关键考虑因素：
 - **升温速率**：升温速率必须是渐进的、缓慢的。这有助于从各种组件中释放气体，而不会促进镍迁移。这种迁移可能是由于更快的升温造成的，特别是对于多孔镀层。真空炉将排空任何外部气体，而具有一定压力氮气的带式炉也可以做到同样的工作。
 - **峰值温度**：共晶金-锡焊料熔化温度为280℃。除了密封部件、夹具、夹子和其他材料也会吸收热量。一旦焊料和盖子达到峰值温度，目标应该是完全去除气体、完全焊料流动、焊料圆角形成以及消除针孔或去除空隙。暴露在峰值温度下的

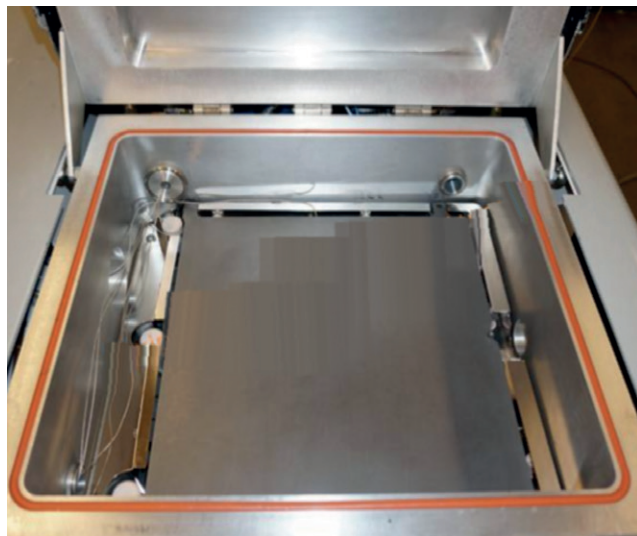


图14：真空炉的内腔室。

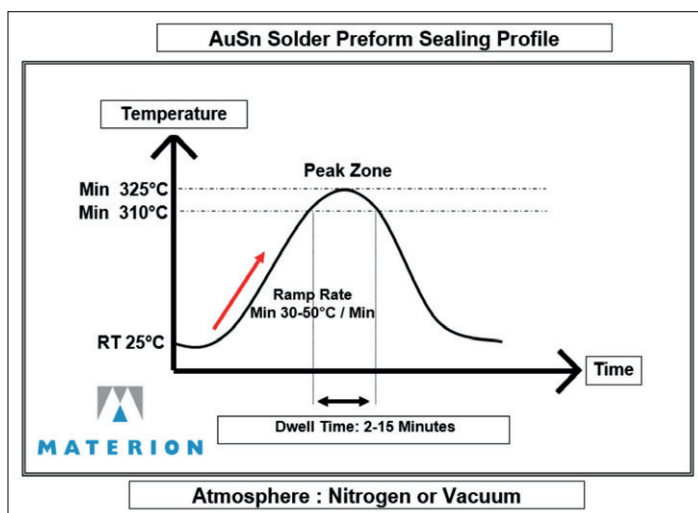


图15：金-锡回流焊剖面。

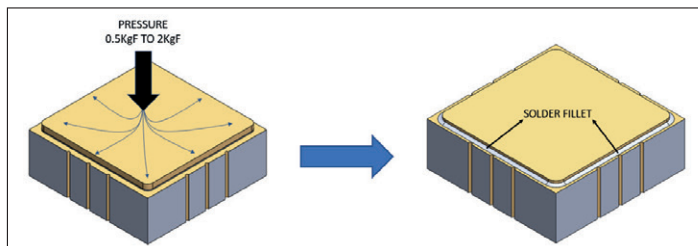


图16：左图，施加压力的组件。右图，用焊料圆角进行的后密封。

持续时间是主观的，取决于产品尺寸、组装工具和条件。在关键过程进行时缩短此持续时间，可以暴露失效模式，这些失效模式可以通过目视、泄漏测试或X射线观察到。

- **从峰值区降温**：产品冷却也必须逐渐进行，因为突然冷却或将产品从烤箱中直接取出可能非常有

No	Reliability Tests	Purpose
1	Gross leak test or die penetrate test	Hermeticity, identify leaks
2	Fine leak test (with helium bombing)	Hermeticity, identify leaks
3	Optical leak test	Hermeticity, identify leaks (mass scale)
4	Krypton leak test	Hermeticity, Identify leaks (quicker than helium)
5	Electrical test	Assembled unit performance
6	Temperature cycle test	Accelerated test for field performance
7	X-ray imaging	Solder joint integrity
8	Salt Atmospheric Test (SAT)	Accelerated test for field performance
9	PIND Test	Sealed unit internal particle identification
10	Visual inspection	Visual assurance of sealed unit, solder flow, etc.

各种可靠性测试。

害。

- 应施加足够的压力以便金 - 锡焊料达到良好的气密连接。有趣的是，只需要大约 0.5 到 4 公斤的力即可。在所有情况下，压力都从盖子向下传递到金 - 锡密封胶（见图 16）。如前所述，在峰值温度阶段，该压力非常有助于按压盖子并挤出熔融焊料以形成圆角。

密封夹具：

有许多不同类型的现成的夹具。根据封装类型和生产量，可以定制和制造压力夹具。如果需要增加产量，也应考虑使用对准夹具。

密封后可靠性测试：

密封后可靠性测试可验证工艺和材料选择。需要按照

顺序执行几个不同级别的测试。所有列出的测试的详细信息都可以在标准 Mil-883 指南中找到。

下一个通用封装材料选项：

这些测试旨在确认气密密封是否成功。同样，有效的封装工艺可以显著延长封装在现场的使用寿命。

许多应用，例如安装在卫星或航天器中的板级模块，无法进行更换或维修。因此，即使在最恶劣的条件下，它们也能经久耐用。

各种新材料和新工艺正在进入市场。例如，对于下一代气密密封应用，现在有一系列创新的封盖可供选择。其中包括用于光通信的密封盖或可见盖、用于电磁鼻控制的非磁性组合盖以及用于容纳从封装中所释放氢气的吸气剂组合盖。◆

无锡迪思国产高端掩模项目通线

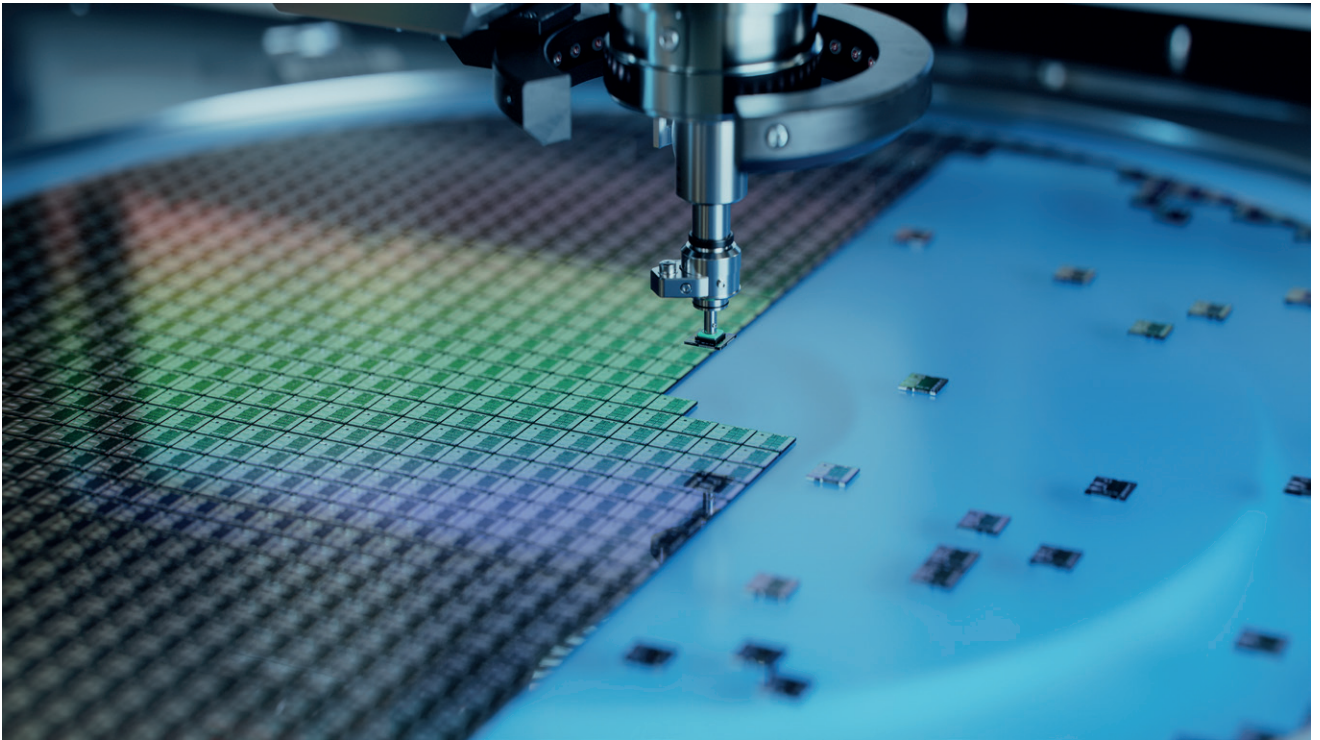
近日，无锡迪思微电子有限公司高端掩模项目完成关键设备安装调试，产线顺利贯通，并于 7 月 12 日完成首套 90nm 高端掩模产品的生产与交付，标志着无锡迪思技术能力实现新跨越，向成为中国大陆技术、产能双领先的开放式掩模公司，又迈出坚实的一步。

据悉，自 2021 年以来，无锡迪思顺利实施两轮融资，在无锡高新区投资约 20 亿元，建设高端掩模项目。项目于 2022 年 11 月开工，历经 18 个月，相继完成厂房封顶、设备搬入、工艺调试、产线贯通等重大里程碑任务。2024 年下半年无锡迪思将聚焦 90nm 制程量产，2025 年完成 40nm 量产，2026 年实现 28nm 升级，持续增强核心竞争力。

项目达产后，将新增 90nm-28nm 高端掩模版产能 2000 片 / 月，总产能达 5000 片 / 月。

在“迪思高端掩模通线暨首套 90nm 产品成功交付”仪式上，无锡迪思总经理吕健表示，掩模版制造是半导体产业链的关键环节，推进高端掩模项目建设有利于充分发挥“补短板”、“锻长板”、“填空白”等重要作用。

无锡迪思微电子有限公司是华润微电子旗下子公司，公司深耕光掩模领域 35 年，是国内最早从事光掩模制造的专业企业。拥有国内领先的光掩模制造设备、技术工艺、质量控制和信息安全保护措施，业务覆盖国内主流 12 寸、8 寸、6 寸线，是众多晶圆厂及设计公司的首选合作伙伴。



如果全面禁用 PFAS，半导体行业将怎样应对？

虽然世界对半导体的依赖不会消失，但是，半导体制造商很可能无法规避有关限制使用PFAS的要求，即使他们的产品至关重要也不能例外。几乎可以肯定的是，他们现在就需要采取行动，以避免随着限制使用PFAS监管法规的收紧，自己的供应链受到严重影响而出现中断。

作者：Neil Smith，ASSENT公司监管和可持续发展专家



从智能手机、笔记本电脑、视频游戏系统到家用电器和汽车芯片，半导体在我们的经济和日常生活中发挥着不可或缺的重要作用。日益增长的全球半导体需求对商业和地缘政治都产生了深远的影响，制造商和政府都在努力保护这些重要材料的供应。

未来半导体生产面临的一个复杂问题是，围绕全氟烷基和多氟烷基物质（PFAS）使用的立法正在和即将发生的变化（尤其是在北美和欧盟地区）。这些变化将导致对PFAS的使用加以限制，因而有可能给半导体行业的诸多

公司带来供应问题。采购专业人员正在积极努力，以确保他们拥有可持续的半导体库存，从而保持业务平稳运行，避免发生供应链中断。

为什么对PFAS的监管会对半导体行业产生如此深远的影响？因为用于制造半导体的设备和技术通常依赖于PFAS，而当今市场上尚没有现成的合适替代品。现实情况是，随着PFAS限制措施的不断收紧，它们将在以下方面对制造商造成严重的干扰：知识产权和保密；机器淘汰、重新设计和减免/豁免裁定（derogation/exemption determinations）；设备维护和修理；以及产品报废/电子垃圾的管理。

保密与知识产权

各国政府和非政府组织 (NGO) 并没有忽视半导体的重要性。在欧盟的 REACH Annex XVII (附录 14) PFAS 限制提案中, 最初的建议是, 根据风险和社会经济评估, 豁免期 (减免) 分别为 5 年和 12 年。半导体制造是一个经常被提及的例子, 用来说明为什么需要这样一个过渡过程。

尽管美国环保署的《有毒物质控制法案》(TSCA) PFAS 报告规则目前并未豁免半导体制造商, 但是, 缅因州和明尼苏达州的州级 PFAS 限制措施允许对不可避免的使用予以豁免。

即使在存在豁免的情况下, 减免 / 豁免期也不可能给半导体行业足够的时间进行调整, 而不造成严重的困难和混乱。这是因为需要从供应链收集大量有关 PFAS 使用情况的数据, 而且, 如果有必要重新设计产品, 还需要很长的交付准备时间。简而言之, 如果企业想提前满足其要求, 那么现在就应该对半导体制造过程中 PFAS 的使用情况进行摸底调查了。

即使获准延长使用期, 也并不意味着企业可以免于提交有关 PFAS 使用情况的数据。而且, 产品级报告要求也给半导体行业带来了新的挑战。一直以来, 下游制造商向半导体制造商索取 PFAS 信息时, 后者都会以数据属于机密商业信息 (CBI) 或知识产权 (IP) 为由予以拒绝。现在, 越来越多的人认识到, 这些调查是基于与 PFAS 相关的监管压力和报告义务。这导致处理这类查询的方式发生了转变。遇到真正知识产权障碍的公司可能必需与其供应商联合申报, 或者供应商需要与客户合作, 以便能够以保护供应商 IP/CBI 的方式履行其义务。

机器淘汰、重新设计和减免

如果不想落后于即将到来的监管法规变化, 还意味着必需认真审视依赖于 PFAS 的半导体制造设备。

即使一家公司获得了 12 年的减免, 但是这些机器的使用寿命很有可能长达几十年, 这就超过了监管规定的淘汰期。因此, 如果有公司在维护和修理过程中需要定期重新供应含有 PFAS 的部件或其他材料, 则可能会面临重大挑战。机器可能比预期更快地早早沦为计划外淘汰的牺

牲品。

减免 / 豁免可允许继续将 PFAS 用于维护和修理市场上已有的设备。但是, 维护、修理和运营 (MRO) 零部件和材料的制造商仍有可能面临市场枯竭的风险, 因为他们现在只为已经存在的机器提供相应的服务, 而这只占市场的一小部分。再加上监管审查的加强和责任负担的增加, 很容易导致他们大幅提高价格, 抑或在某种最坏的情况下完全退出市场。在最差的情况下, 他们的客户将面临计划外的、非限制性的供应链淘汰。在很多情形下, 这将成为现实, 更甚于监管法规上的限制性淘汰。面对 PFAS 被限制使用的局面, 企业需要考虑许多不同的不确定因素。即使允许他们使用, 他们还能接触到这些物质吗?

值得注意的是, 半导体制造的封装环节也可能受到深刻的影响。出于装运目的, 一些半导体制造商使用了薄膜等含有 PFAS 的保护涂层, 这将给他们的生产挑战和潜在的供应链中断平添另一层难题。

产品报废/电子垃圾

欧盟非常致力于打造绿色循环经济, 包括产品生命周期的终结 (即产品报废)。全球许多其他司法管辖区也制定了电子垃圾生产者的延伸责任计划。未来, 企业可能面临的挑战是, 如何在产品报废时从电子垃圾中提取 PFAS 或“永久性化学物质”, 这就提出了一个问题: 在目前没有简易处理技术的情况下, 如何处理和妥善处置这些物质。这个衍生问题必须解决, 但是, 人们现在甚至还没有把它作为一个悬而未决的问题加以考虑。

制造工程师会问: “我如何知道在产品和制造操作中哪里用到了 PFAS?”

产品工程师会问: “怎样清除这些 PFAS? 清除之后又该如何处理它们呢?”

读到这里, 每位读者都会问: “我是怎么卷入这场 PFAS 灾难的?”

归根结底, 虽然世界对半导体的依赖不会消失, 但是, PFAS 的使用面临着监管和限制, 在逐步停用 PFAS 的过渡趋势之下, 半导体制造商需要克服许多障碍。他们必需与客户和供应商进行有效的合作, 并依靠对其供应链的深入了解来保持自身运营的顺利进行。◆

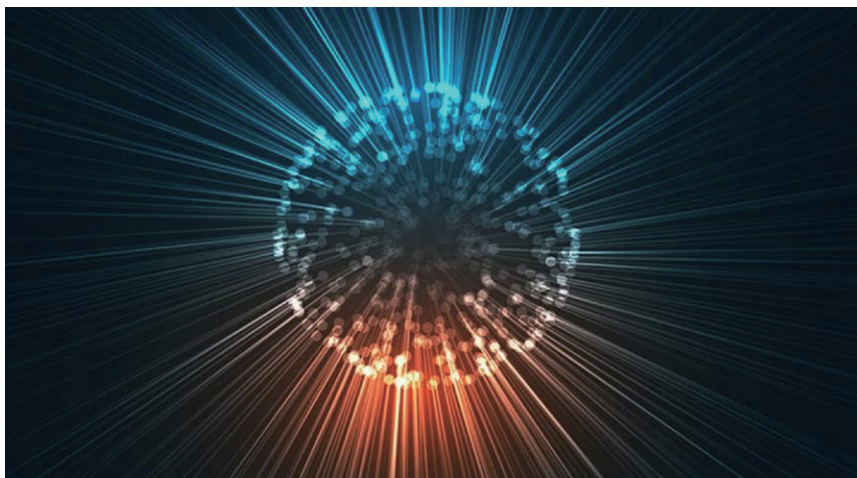


SmartFactory AI Productivity可在更短时间内自动调整派工规则参数

半导体前道工厂和半导体后道封装、测试及包装工厂，都会部署本地派工规则和排程的同时部署全局派工规则，以提高生产效率。通常，全局规则通过部署生产线平衡算法来确保满足交货日期并优化瓶颈解决工具的利用率。这些生产线平衡算法具有不同的参数，需要根据工厂状态对给定的产品组合进行调整。如今，这些参数是手动调整的，或者在某些情况下，使用模拟建模功能。很难计算这些参数对工厂中所有设备、所有产品和工艺步骤的影响。因此，手动调整参数可能会对工厂 KPI 指标产生负面影响，而使用模拟技术找到一组最佳参数又会耗费大量时间。本案例详细介绍我们如何使用 SmartFactory Productivity AI 在大幅缩短的时间内自动调整派工规则参数。

应用材料公司的 SmartFactory™ 解决方案是一个综合解决方案，助力半导体制造商和制药制造商增强生产效率，优化质量，提高产出，降低成本，减少风险以及提高良率。使用应用材料公司 SmartFactory 和 SmartFactory Rx 解决方案可以助您量化 KPI 的影响。了解更多详情可以访问 <https://appliedsmartfactory.com/zh-hans>。

请看图 1 中的示例。根据全局规则，有四个参数用于确定瓶颈解决工具和生产线平衡阈值，以根据在制品 (WIP) 的小时数来判断设备是否处



于不足、充足或高负荷状态。表格显示了这些参数可能的取值范围。要为给定的工厂状态找到这些参数的最佳值，一种方法是运行模拟模型。在每次模拟中，我们选择不同的参数值组合，并测量由此产生的 KPI 指标，这种方法在文献中被称为“网格搜索”。每次运行都是为期 90 天的模拟，而一个模拟模型运行 90 天模拟并衡量按时交付率和生产周期等 KPI 指标，

需要花费数天时间。这在日常运营中并不实用。

为了解决这个问题，我们部署了 SmartFactory AI Productivity 和 Evolutionary Optimization，并结合模拟退火方法来同时找到按时交付和生产周期的最佳参数。图 2 显示如何使用 SmartFactory AI Productivity (包括 Simulation AutoSched 和 Fusion 模块以及 RTD 和 Activity Manager) 部署

BottleneckThreshold	Percentage of capacity to consider STNFAM a bottleneck
LBThreshold1	Category LB1 - Starved
LBThreshold2	Category LB2 - Sufficient
LBThreshold3	Categories LB3 - High

[Discretized parameter values]

BottleneckThreshold	0.5	0.55	0.6	0.65	0.7	0.75	0.8	0.85	0.9	0.95	1	1.05	1.1	1.15	1.2	1.25	1.3	1.35	1.4	1.45	1.5			
LBThreshold1	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20				
LBThreshold2	2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32	34	36	38	40				
LBThreshold3	4	8	12	16	20	24	28	32	36	40	44	48	52	56	60	64	68	72	76	80	84	88	92	96

Example, run #18:

BottleneckThreshold	1.05
LBThreshold1	7
LBThreshold2	12
LBThreshold3	24

Each run is a 90-day simulation

KPIs

On Time %

Avg Cycle Time

图1: 全局规则中的生产线平衡参数。

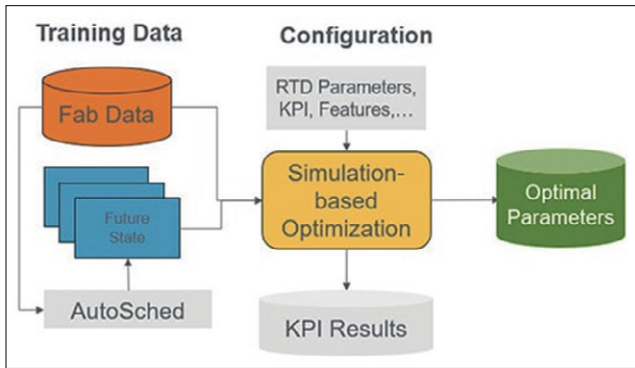


图2：算法部署。

该算法。

使用这种方法，我们能够在几小时内找到最佳参数值，而不是花费数天。在每次迭代中，我们都改变生产线平衡参数值和瓶颈站点系列的组合。如图3所示，以前需要迭代300次网格搜索才能找到86.90%的最佳按时交付率，而我们现在只需迭代10次模型运行就能够达到98.83%的按时交付率。

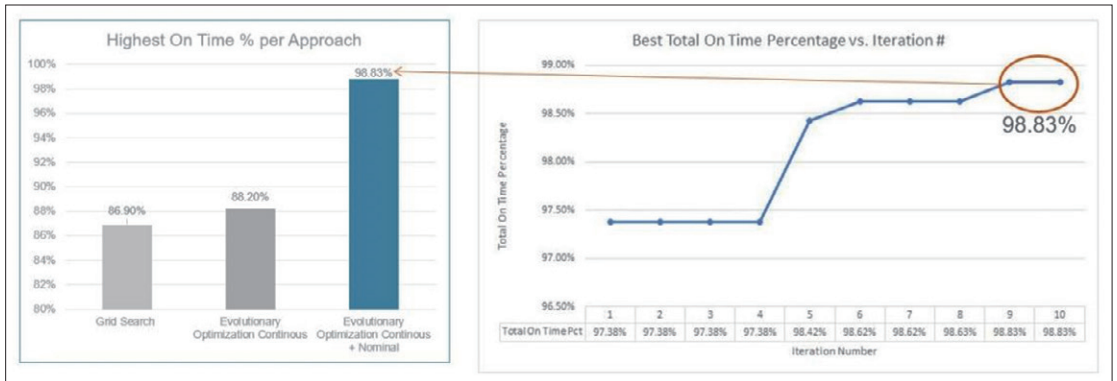


图3：按时交付率建模。

如图4所示，在以生产周期为KPI指标进行迭代时，使用我们的方法运行模型的第四次迭代达到了886小时的生产周期。

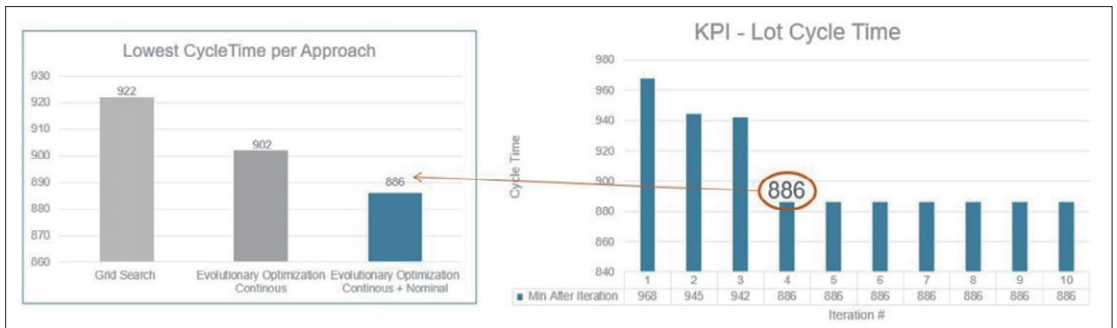


图4：生产周期建模。

KPI指标；相比之下，网格搜索的KPI指标为992小时。

如图5所示，一旦获得最佳设置，就可以将其与现有的派工规则和排程应用程序集成，并在工厂的日常运营中整合和重新计算结果。

在瓶颈设备上运行总搬运量的本地KPI指标，仅用4次迭代就找到最佳瓶颈阈值和生产线平衡阈值，达到20,181次的搬运量。

模拟优化是实现派工和排程参数自动化的第一步；我

们计划进一步改进，通过使用强化学习方法来实现这些参数的自动化。

相关阅读

1. 博客中文原文：SmartFactory AI Productivity 可在更短时间内自动调整派工规则参数：
<https://appliedsmartfactory.com/zh-hans/blog/smartfactory-ai-productivity/>
2. 通用数据模型支持快速部署生产效率解决方案——Dispatching & Reporting（第3部分，共3部分）：
<https://appliedsmartfactory.com/zh-hans/blog/rapid-deployment-part-3/>
3. 提高AI和ML解决方案的开发和部署效率：
<https://appliedsmartfactory.com/zh-hans/blog/improve-productivity/>

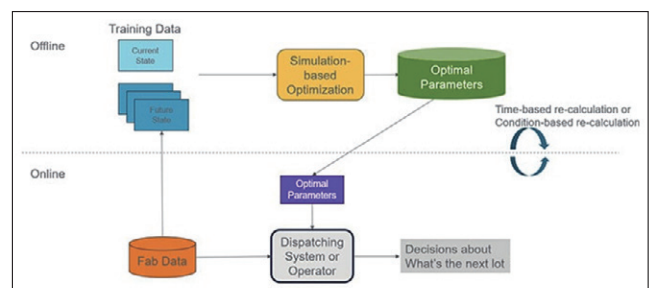


图5：生产部署。

通过工艺建模进行后段制程金属方案分析

由于阻挡层相对尺寸及电阻率增加问题，半导体行业正在寻找替代铜的金属线材料。在较小尺寸中，钌的性能优于铜和钴，因此是较有潜力的替代材料。

随着互连尺寸缩减，阻挡层占总体线体积的比例逐渐增大。因此，半导体行业一直在努力寻找可取代传统铜大马士革方案的替代金属线材料。

相比金属线宽度，阻挡层尺寸较难缩减（如图1）。氮化钽等常见的阻挡层材料电阻率较高，且侧壁电子散射较多。因此，相关阻挡层尺寸的增

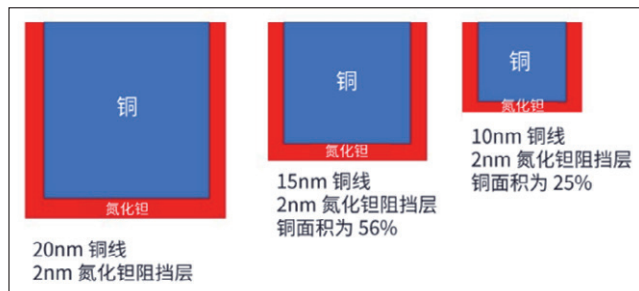
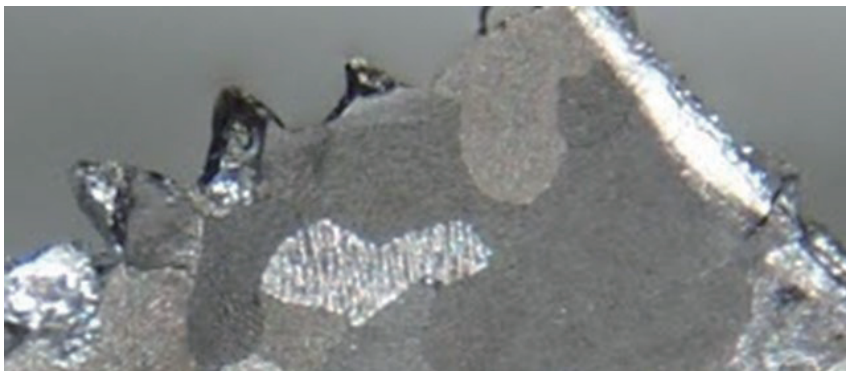


图1: 铜微缩与阻挡层线结构图。

大会导致更为显著的电阻电容延迟，并可能影响电路性能、并增加功耗。

工程师们已经注意到钌和钴等新的替代金属线，并对其进行了测试，这些材料可以缓解线宽较窄和面积较小时的电阻率升高问题。工艺建模可用于比照分析不同沟槽深度和侧壁角度下，钌、钴和铜等其他金属在不同关键尺寸的大马士革工艺中的性能（图2）。

通过建模，可以提取总导体横截面区域的平均线电阻、线间电容和电

阻电容乘积值；随后，可比较铜、钌、钴金属方案的趋势。

为系统性地探究使用不同金属的设计和材料影响，我们通过对三个变

量（关键尺寸、深度和侧壁角度）使用蒙特卡罗均匀分布，进行了包含1000次虚拟运行的实验设计。

图3突出显示了每种金属的电阻与电阻电容乘积的交叉点，并表明在较小尺寸上，无需阻挡层的钌方案优于其他两种金属材料。这一情况分别在线关键尺寸值约为20nm和面积值约为400nm²时出现。这也表明，无需阻挡层的钌线电阻在线关键尺寸小于约20nm时最低；当线关键尺寸值小于20nm时，2nm氮化钽阻挡层的

电阻率占据了铜和钴线电阻的主要部分，造成电阻急剧增加。当线关键尺寸缩减时，也在侧壁和晶界出现额外散射，并导致电阻升高。沟槽刻蚀

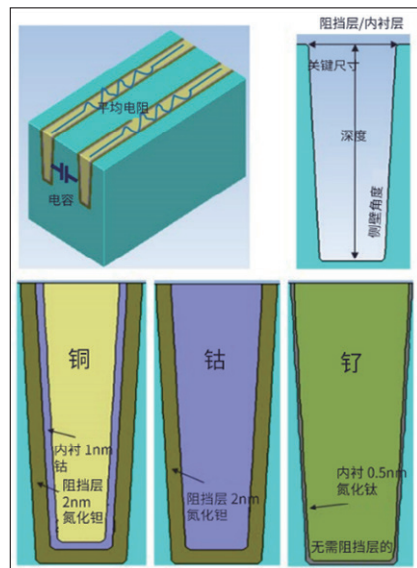


图2: (上) 用于提取电阻和电容的两条金属线3D结构图；(下) 不同金属和阻挡层材料的三种情况图。

作者：Daebin Yim, 泛林集团 Semiverse Solutions 部门半导体工艺与整合部高级经理

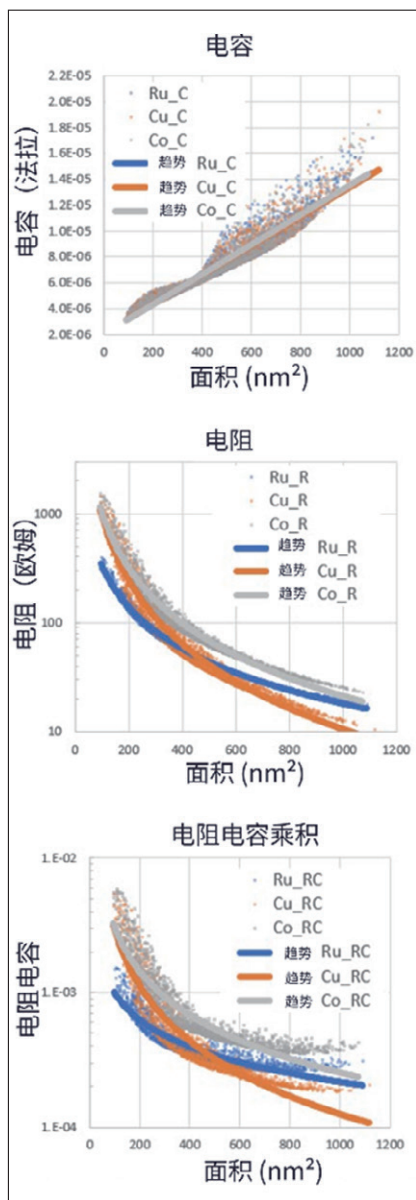


图3: 电阻电容实验设计结果 (点: 实验设计数据; 线: 趋势曲线) 从上至下: 电容与面积、电阻与面积、电阻电容乘积与面积。

深度和侧壁角度与电阻之间呈线性关系; 电阻与线横截面面积成反比例关系。

我们也分析了线边缘粗糙度对电阻的影响。

在图4(下)中, 由于无需阻挡层的结构, 线关键尺寸为15nm时, 钌线电阻电容值对线边缘粗糙度振幅的敏感性远低于铜, 而铜由于高阻力的氮化钼阻挡层非常易受电阻电容乘积变化的影响。

结论

传统的微缩工艺要求阻挡层/内衬厚度低至极小的2-3nm, 极大压缩了现代先进逻辑节点上铜线的空间。无需阻挡层的钌等新金属在满足电磁可靠性需求的同时, 已跻身为有希望替代铜的材料。

该研究表明, 钌的电阻电容延迟显著低于其他材料, 因此可能是先进节点上优秀的金属候选材料。通常, 许多晶圆实验都需要完成这类金属方案路径探索。虚拟半导体工艺建模是研究金属线设计选择更为经济、快捷的方法。◆

参考资料

1. Liang Gong Wen et al., "Ruthenium metallization for advanced interconnects," 2016 IEEE International Interconnect

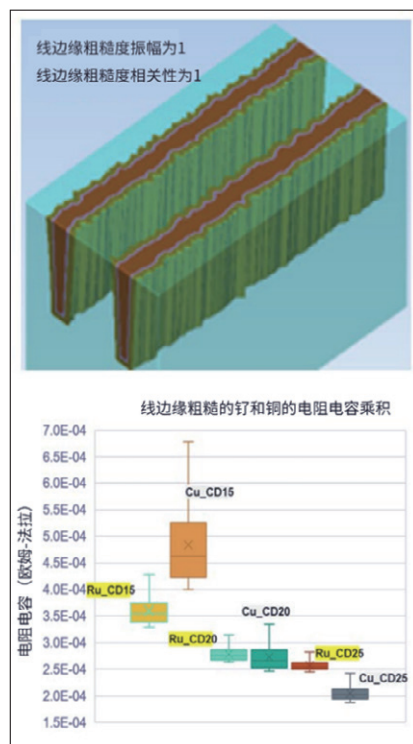


图4: (上) 当线边缘粗糙度振幅为1且相关性为1时, 关键尺寸为20nm的铜线模型图; (下) 钌和铜线(关键尺寸分别为15nm、20nm、25nm)实验设计结果的箱形图。

- Technology Conference / Advanced Metallization Conference (IITC/AMC), San Jose, CA, USA, 2016, pp. 34-36, doi: 10.1109/IITC-AMC.2016.7507651.
2. M. H. van der Veen et al., "Damascene Benchmark of Ru, Co and Cu in Scaled Dimensions," 2018 IEEE International Interconnect Technology Conference (IITC), Santa Clara, CA, USA, 2018, pp. 172-174, doi: 10.1109/IITC.2018.8430407

江苏芯梦TSV先进封装研发中心揭牌

8月8日, 江苏芯梦TSV先进封装研发中心揭牌仪式在中吴润金先进制造产业园隆重举行。

据悉, 江苏芯梦TSV先进封装研发中心由江苏芯梦半导体设备有限公司精心打造, 中心以水平式电化学沉积工艺为核心, 以自主研发为导

向, 构建先进封装产业全工艺流程测试平台, 致力于成为国内先进封装垂直互联技术及装备产业化的行业引领者。中心总面积1232.8平方米, 拥有千级和百级两种测试洁净环境。配备自研生产的Xtrim-ECD电镀设备及全套涂胶、曝光、显影、蚀刻等先进

封装主流程工艺设备, 可实现先进封装中RDL、Bumping、TSV等电镀工艺的打样测试; 同时还配备了Xtrim-FC晶圆盒清洗、Xtrim-SC-CL清洗、Xtrim-SC-BR刷洗、Xtrim-SC-ET刻蚀、Xtrim-SC-BE背面腐蚀等设备, 能够满足各产品新技术开发测试和客户打样需求。



硅的双重作用： 满足人工智能对计算和连通性的需求

作者：Alan Keizer, AFL公司高级技术顾问

硅是超大规模技术的基本构件。纯硅具有高活性，在自然界中总是与其他元素结合，最常见的就是与氧结合生成二氧化硅（SiO₂），即硅石，几乎所有光纤都是用这种材料制造的。鉴于光纤和硅半导体共同的材料构成，它们在创新、小型化和性能提升方面有着相似的时间表。

协同设计（Co-design）是一种跨各类光纤和整个光网络系统架构的协作创新方法。简单点说，当为提高可扩展性、效率和适应力而设置的组件和系统经过互补性改进后，性能优化就会变得更加容易，从而有利于双重技术的实际应用。



人工智能（AI）模型训练需要大规模算力（计算）。人工智能对计算资源的“贪得无厌”使得传统的计算工作量相形见绌。生成式人工智能热潮对无缝数据处理的需求

日益增长，这将研发工作与硅光纤和硅半导体直接联系起来。

硅在受控条件下选择性导电的特性使其成为晶体管制造的首选材料 - 不仅人工智能的连通性依赖于硅基技术的进步，而且晶体管领域在开关、放大和数字逻辑运算方面的进展也在很大程度上依赖于小型化的硅结构，以增加每颗微芯片所包含的晶体管数量。不过，解决这个难题需要遵循摩尔定律。

尺寸不断缩小的晶体管与摩尔定律

1965年，飞兆半导体公司和英特尔公司的联合创始人戈登·厄尔·摩尔（Gordon Earle Moore）注意到了时间推移与每个集成电路所含晶体管数量之间存在的可预测关系。最初，摩尔观察认为微处理器的晶体管数量每年都会翻一番。1975年，摩尔修订了这一指导意见，预测集成

电路的晶体管数量每两年翻一番。

有趣的是，摩尔定律成为了半导体行业长期创新的路线图，在设定和实现技术进步的时间框架方面发挥了自我实现的预言作用。在整个 20 世纪 90 年代，摩尔定律确定了集成电路晶体管数量 18 ~ 24 个月的翻倍周期。

光刻技术的进步实现了晶体管元件制造阶段的精密元件蚀刻技术，使集成电路晶体管数量的翻倍速度能够遵循摩尔定律。通过稳步发展这项工艺，现代光刻技术使制造商能缩小晶体管尺寸并改善其性能。几十年来，创造性的三维设计和集成电路芯片制程层数的增多极大地提高了密度，并降低了单位性能功耗。

我们来看看拥有数十亿个晶体管的芯片随着时间推移不断发展的实际例子：

- **1971 年 - Intel 4004**：内含大约 2300 个晶体管，采用 10 μ m 制造工艺。
- **1995 年 - Intel Pentium Pro**：内含大约 550 万个晶体管，采用 350nm 制造工艺。
- **2020 年 - AMD Ryzen Threadripper 3990X**：内含大约 390 亿个晶体管，采用 7nm 制造工艺。
- **2024 年 - 荷兰 ASML 公司推出了全球首台 2nm 极紫外光刻系统**。英伟达公司推出基于 2nm 技术、拥有超过 1000 亿个晶体管的 B100 加速器。

要无限期地保持这种微型化趋势，所面临的限制和挑战不仅在于硅原子尺寸的明显物理边界，还在于冷却问题 - 在空间缩小的情况下，元件数量的增加引发了相当大的散热难题，这就要求在复杂的冷却技术方面投入研究力量和资金。在原子层面（个位数纳米技术的发展方向），小尺寸的不可预知性会导致量子隧道效应，这种效应在受控的情况下对晶体管运行是极为重要的，但是在没有预料到的情况下则可能会造成不良后果。量子隧穿效应决定了，元件之间的原子尺度接近会因为不受控制的电子共享而产生信号干扰，从而导致处理器失效。

在微型尺度上利用光

全内反射原理是光纤技术的

基础。这种现象只发生在角度较浅的地方，就像在静止的水面上撒石头打水漂一样。

纤芯包层和掺杂等创新技术进一步改善了光纤对相对无损光信号的传输。利用全内反射原理，密度较低的材料在密度较高的光纤周围形成包层。掺杂可用于控制折射率 (N) 数值，以制成 N 值较高或较低的材料，并以此制备单模光纤的纤芯和包层元件。纤芯的 N 值通常略高于包层。掺杂方法是在包层和纤芯中添加元素，以优化性能（尤其是长距离传输性能）。专用光纤类型和掺杂技术有助于最大限度地减少信号损失。过去 40 年光纤传输速度已从数百 Mb/s 提高到数百 Gb/s（甚至 Tb/s）：

- **20 世纪 80 年代**：光纤传输速度为 565 Mb/s 的商用系统是最先进的。
- **21 世纪第一个 10 年**：10 Gb/s 链路成为长距离传输基础设施的标准配置。
- **21 世纪第二个 10 年**：相干传输技术实现了每对光纤 100 Gb/s 和 400 Gb/s 的传输速度。

现今：利用先进的多路复用和调制技术，专注于每根光纤的太比特传输容量。

目前，波长为 1550 nm 的典型单模光纤 (SMF) 的传输损耗约为 0.2 dB/km。专用的超低损耗光纤能够实现 0.15 dB/km 或更低的传输损耗，这一点对于极端化距离是至关重要的。

波分复用 (WDM) 技术使光纤容量成倍增长。WDM 能够在—根光纤上传输 100 多个波长（颜色），每个波长的传输速率达数十甚至数百 Gbps。多种颜色的光可以在





同一根光纤上独立传播，从而显著提高了光纤的带宽。

硅基光学元件

硅光子技术的进步有助于满足日益增长的高速连接需求。该技术可以在同一颗芯片上实现电子信号处理和光信号操作/传输。功耗的降低适用于下一代通信。现代硅光子收发器能在指甲盖大小的封装内实现高达 1Tbps 以上的传输速率。用于电子产品的制造设备也可以用于硅光子学产品，因而有望带来成本优势。

互补金属氧化物半导体 (CMOS) 技术是集成电路制

造工艺的主流。CMOS 兼容性 (如高温阈值、使用硅等非反应性材料、在分层时保持均匀性和性能……) 是硅芯片上的光波导、调制器和检测器等的考虑因素。

在主机印刷电路板上以非常高的数据速率进行电气传输，其距离是有限的。100G 信号在高性能电路板中的最大传输距离为 200 mm 或更短。

协同设计：打破人工智能的界限

半导体可扩展性和光纤容量方面的限制造成了系统级瓶颈。在互连速度不匹配的情况下，即使是最快的 GPU 也会出现数据匮乏。在多台机器上训练机器学习 (ML) 模型对于实现合理的处理时间至关重要，且注重芯片到芯片和节点到节点的通信，以实现高性能。

为了说明这个问题，不妨考虑一下纳秒计算所受到的限制，即芯片之间的电气数据移动成为了人工智能的瓶颈。共封装光学器件 (Co-packaged optics, CPO) 提供了可行的市场解决方案。

CPO 集成了光通信组件和电子半导体芯片，减低了延迟和功耗。通过创建一个集成了硅片和光学器件并具有高容量和低能耗的单封装芯片，有可能实现更广泛的工业

人工智能和机器学习需要海量数据处理和分布式计算系统之间的无缝数据共享。集成光互连，并将更多的计算器件更加紧密地整合在一起，能有助于减少延迟、提高系统性能并加速数据传送。

应用。此外，由于硅并不是某些电光器件的最佳选择，所以提供一种不同的半导体平台（如磷砷化镓或其他 III / V 或 II / IV 族化合物）具有显著的优势。

实例包括：

● 电信 - 6G 无线接入网络 (RAN)

CPO 将加速信号处理、集成电路架构、光通信和封装方面的创新，从而推动 6G RAN 的出现 - 这包括人工智能支持的无线接入网、空中无线接入网 (ARAN) 和开放式无线接入网 (O-RAN)。通过更多地使用无线接入网和太赫兹 (THz) 频谱，6G 可能在 2030 年前投入商用。

● 医疗 - 量子点激光器

共封装光学系统可以实现量子点激光器所需的紧凑、高能效性能。量子点激光器使用的量子点半导体粒子以纳米为单位，比传统激光器中的块状半导体材料 (bulk semiconductor material) 小得多，目前虽然市面上有售，但尚未得到广泛的应用。其应用包括精密激光手术和组织凝固。

● 人工智能 - 训练和推理

人工智能和机器学习需要海量数据处理和分布式计算系统之间的无缝数据共享。集成光互连，并将更多的计算器件更加紧密地整合在一起，能有助于减少延迟、提高系统性能并加速数据传送。

混合交换融电路交换和分组交换的优势于一身，能更好地适应多样化信息流量（例如，数据中心可通过电路交换来发送视频等对延迟敏感的流量，而互联网浏览则可通过分组交换确定发送路线）。实例包括：

● 云网络

混合交换可以加强公共云平台与内部部署的设施之间的连接。

● 互联网服务提供商 (ISP)

互联网服务提供商 (ISP) 采用混合交换技术，通过网络资源分配来优化服务质量。

● 数据中心网络

数据中心混合交换可能涉及用于高速连接的传统核心网络以太网交换，和用于动态流量管理的网络边缘软件定义网络 (SDN) 交换。

整体协同设计方法打破了界限，以支持人工智能系统的进步，并解决带宽、能效和延迟方面的挑战。

例如，硅光子芯片可以直接放置在人工智能处理器的旁边，而不是通过电信号连接片外光收发器，从而减少了

电信号必须传播的距离。

对于各种不同链接距离上的电气互连功耗来说，这种传播距离的缩短都是一个考虑因素。我们以 1 公里范围内的 100 Gbps 链路为例。在这种情形下，电气互连的功耗至少为 20 瓦，而光学互连的功耗则不到 10 瓦。

未来：超越硅的极限

协同设计可以帮助创新者克服硅材料的现有局限性。通过融合新兴技术、材料和设计理念，协同设计将彻底改变我们目前对硅基解决方案固有局限性的看法。实例包括：

● III / V 族材料整合

将硅与元素周期表中的 III 族和 V 族元素整合在一起，制成半导体合金，可以提高载流子的迁移率，降低功耗，并实现以前难以想象的功能。

● 聚合物和陶瓷

将硅与聚合物和陶瓷相结合，以创建多功能、灵活的增强型系统，这在生物电子学和光子集成电路方面具有潜在的商业用途。可以制作波长分束器、梳状滤波器和调制器，并与波导相集成，制成复合光学器件。

● 创新型设计方法

协同设计有利于硅基系统之间的技术整合，实现了用于提高和优化下一阶段可制造性的先进建模和仿真技术。

在这一高级阶段，也许需要对更广泛的材料进行更多的试验（如上所述），以实现改善性能的承诺。

结论

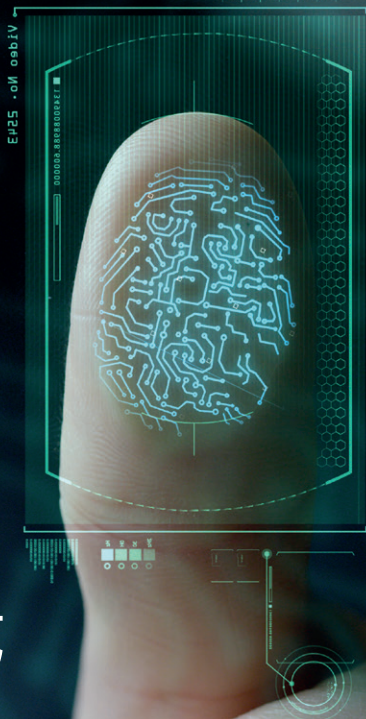
从块状硅到精密光学和计算组件的加工过程涉及多个复杂阶段，包括晶圆准备、光刻和掺杂。硅基通信技术由此实现的高性能突破了人工智能和连接的常规极限。

硅是光纤和半导体的共同元素。硅光子元件、协同设计、共封装光学器件、人工智能、硅基通信……现有材料和新材料之间的协同设计为释放人工智能的潜力提供了顺理成章的下一步。量子通信和光子神经网络方面的进一步创新正亟待业界（实际上是整个世界）的关注。

随着这些新兴技术的不断成熟，它们的融合将带来新的安全水平和更强的处理能力，以及彻底改变和扩展人工智能应用所必需的各种关键能效升级。

从科学好奇心到日常生活，人工智能和推动其不断向前发展的创新无疑将继续存在。◆

开拓半导体新浪潮： 人工智能、信任和信息过载



全球半导体行业将经历快速增长，预计到2030年将成为一个万亿美元产业。伴随着这种增长，人们将不断重新发现应用方法，并逐步改变设计和开发。可以毫不夸张地说，我们将看到重大变化正在以前所未有的速度发生。

这篇文章介绍 MOBICA 公司考察半导体革命并发现增长的机会。我们将看看是什么推动了这些变化，这些变化如何被接纳，以及这些重大变化背后的技术。

变化的规模

在2023年3月的 Embedded World 大会上，一个主题演讲提供了以下关于物联网 (IoT) 业务和安装增长水平的令人瞠目结舌的统计数据：

- 到2030年，物联网可以实现全球价值5.5

万亿美元到12.6万亿美元。

- 在2023年，将有115亿台联网设备出货，从而使得安装量达到400亿台——15亿台家庭自动化、7.5亿仓储和资产跟踪、6亿照明、3亿健康和健身。

由于人工智能、嵌入式解决方案和物联网的迅速采用，随之而来的出现了可以服务于更广泛应用的新一波芯片浪潮。他们之所以能够这样做，是因为在支持安保、安全、身份和隐私方面的能力有所增强，而所有这些领域都是新的架构，并且半导体芯片功能可带来附加价值。

最初，计算机是为特定目的而设计的，例如，破解加密密码。第一台商用通用计算机 Ferranti Mark 1 的到来为政府、商业和科学挑战带来了通用应用。但“专用集成芯片” (ASIC, application specific integrated chip) 仍存在机会。在1980年代和1990年代，LSI Logic 等公司在改变半导体市场方面发挥了重要作用，其 ASIC 可以用于计算器等。



作者：Robert McKenzie, GLOBAL SOFTWARE SERVICES COMPANY 全球软件服务公司硅行业副总裁

在过去50年奠定的基础上再接再厉

当今的行业建立在以前的发明之上，以提供广泛的架构，并提供新应用需要的技术。除了通用的“中央处理器”（CPU）外，这些技术还包括：

- **ASIC**，用于处理几乎所有其他应用，如压缩、加密等功能。例如，英特尔 XEON 基于 SmartNICS 中的 VRAN 加强技术用于加速网络需求。

- **FPGA, fully programmable gate array** 完全可编程的门阵列——支持半导体本身的功能更新，使其像软件包一样可升级。

- **GPU, graphics processing unit** 图形处理单元——通过使单个指令能够并行操作多个数据来加速图形处理。

- **xPU**，为特定应用设计的处理单元。

“片上系统”（SOC, system on chip）方法将半导体设计结合在一起，以处理 I/O、电源管理、通信（包括移动协议 3-5G、WAN 和蓝牙的迭代）。

我们应该说一下 xPU 的概念：这是“处理单元 processing unit”的统称，专为特定应用而设计，例如，大多数 SOC 现在都包含一个 NPU, neural processing unit 即神经处理单元，旨在高效计算神经网络的数学运算，这在英特尔、苹果和高通的新产品中都有。另一个例子是 VPU, visual process unit 即视觉处理单元，用于相机，设计用于图像处理。

扩大规模：趋势和新的发展

除了能够在一个芯片上设计所有系统外，围绕“小芯片”或“芯粒”（chiplet）的标准化，还将增加新的半导体开发的可能性和市场。

“Universal Chiplet Interconnect Express（通用芯粒互连技术）”的 UCIe 规范侧重于构建一个开放的芯粒生态系统，以实现封装创新。这个市场可能需要十年时间发展，但它是半导体创新新浪潮的一部分。

在讨论人工智能、信任和信息过载（AI, trust & information overload）之前，有必要再提供两个扩展的例子。关于数据中心端，在2022年的英伟达 GPU 技术大会（GTC）上，Stephen Jones 回顾了高端硅技术领域发生的性能惊人提升。

数据中心使用的 A100 GPU 或 Ampere 架构以 9.7 TFLOP/s 的双精度性能运行。从这个角度来看，2001 年世界领先的超级计算机是美国劳伦斯利弗莫尔国家实验室

的 ASCI White，其速度为 7.9 TFLOPS/s。因此，A100 芯片具有其同等的性能或者超过其性能。

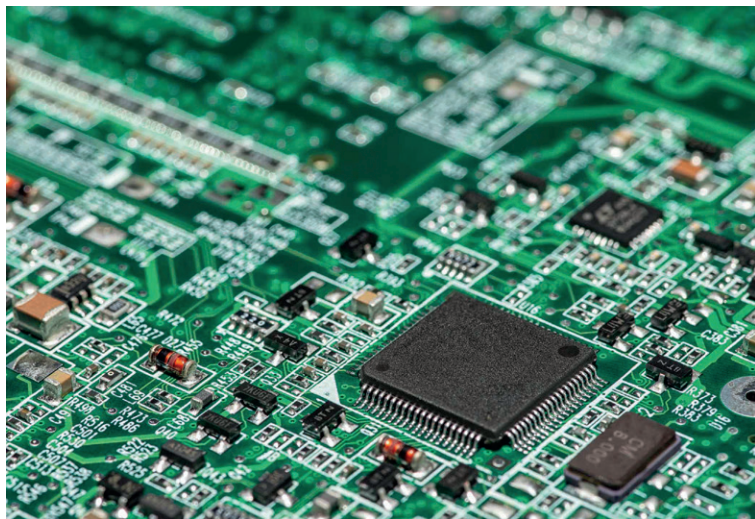
在最近的 GTC 上，英伟达首席执行官黄仁勋 Jensen Huang 宣布将于 2024 年发布新的 Blackwell 架构。虽然没有提供双精度（FP16）性能数据，但新芯片确实在 FP4 上提供了 20k TFLOPS，即在过去 8 年中增加了 1000 倍。

在边缘，微控制器（MCU）变得越来越复杂，并且能够提供更多功能。传统上，它有一些组件，例如 RAM、ROM 和可编程 I/O 端口，主要用于控制和驱动其他电子设备。MCU 被设计为嵌入式，通常在高度限制的环境中。它们通常消耗很少的功率，运行速度可能相对较慢，并且通常执行针对单个任务的特定程序。但现在，它们越来越多地包含确保安全性和提供 AI 服务的功能。

TinyML 就是在这些微型设备上实现机器学习的一项进步。根据 TinyML 基本介绍的说法，它被广泛定义为一个快速增长的机器学习技术和应用领域，包括能够以极低的功率（通常在 mW 范围及以下）执行设备上传感器数据分析的硬件、算法和软件，这使得电池供电的设备能够实现各种始终在线的应用。

恩智浦 MCX N 高级系列微控制器包括智能外设和片上加速器。为了平衡性能和能效，它们采用了恩智浦的 eIQ Neutron 神经处理单元（NPU），专门用于机器学习应用。

英飞凌（Infineon）、意法半导体（STMicro）、索尼（Sony）和乐鑫（Espressif）也在生产类似的器件，它们通常结合 ARM 许可的现成 IP CPU 内核，然后添加这些新功能以支持新的应用。最新的数据中心芯片和电路板的





价格为数万美元，而微控制器大采购量时可以以低于 15 美元或更低的价格购买到。

接下来的更多创新产品将提高性能并进一步降低功耗。EnchargeAI 正在开发一个很好的例子。他们正在设计模拟和数字芯片技术的混合体，将于 2024 年底发货。基准测试显示，该功率效率为 150 TOPS/W，是当前市场功率效率领导者的 20 倍。

推理：用例和应用

EnchargeAI 产品的初始用例将是推理，而不是用于训练 Nvidia 以及 Tenstorrent 和 Cerebras 等新进入者所瞄准的深度神经网络（DNN，Deep Neural Net）和大型语言模型。推理工作将使用这些经过训练的模型进行自然语言处理和图像识别支持。该产品可能会集成到手机或电池供电设备的 SOC 中。目前，安全系统通常是连线的，因为这些组件不能在电池上运行多年。而这些新技术带来了承诺，即它们不仅能够长时间运行，还能够根据更好的培训做出决策。

目前，标准的商业或家用安全系统能识别入侵者，捕获图像，如果入侵者携带武器，则会通知主人。有了价格更优惠的新功能，让系统识别出是您，或是在该场所生活或工作的其他人，然后解除武装并打开门，这是很容易的。

这是第一次，在边缘进行推理然后做出决策的能力，

正在成为现实。也许更重要的是，它在经济上也变得可行。

对于可穿戴技术的预期是如此之多，以至于许多公司，如谷歌的先进项目以及 Levi 和耐克，一直在倡导其使用。对于耐克来说，可穿戴技术在体育领域的价值是，将评估体能和成绩与了解运动员长期健康状况的更重要需求相结合，尤其是在接触性运动中。

MOBICA 公司曾致力于用于手势识别的 Soli（雷达）和用于运动的 Jacquard（陀螺仪）。Levi's 和 Nike 使用了 Jacquard 技术，而 Soli 技术则在 Pixel 手机中得到采用。

半导体构成了这些应用的基石，但还需要基石之上的软件和固件，以便建立一个生态系统，使其成为可用的解决方案。

人工智能（AI）和信任（通常称为安全性）这两个基本技术领域推动了对新的半导体设计和性能的需求。而在整个过程中的软件和固件部分也至关重要。

MOBICA 致力于将硬件连接到软件

将硬件连接到软件的能力是 Mobica（Cognizant 旗下公司）服务的核心。当设备需要驱动程序时，无论是 GPU 还是以太网适配器，Mobica 都会被要求提供帮助，我们通过开发和优化系统、软件和固件来涵盖连接硬件的

Mobica 曾致力于用于手势识别的 Soli（雷达）和用于运动的 Jacquard（陀螺仪）。Levi's 和 Nike 使用了 Jacquard 技术，而 Soli 技术则在 Pixel 手机中得到采用。

所有其他方面。

Mobica 引领半导体革命并发现增长的机会。我们的客户包括汽车行业的宝马、捷豹路虎、Cariad、半导体行业的 ARM、Imagination Technologies 以及三星等行业领导者。

这些客户的客户需要更智能的产品，这意味着现在需要使用人工智能和他们可以信任的产品，也意味着更好的安全技术。

新一波芯片浪潮——隐私、安全和信任

这一波芯片的新浪潮支持对新产品和服务的信任，但包括广为人知的密码学理论作为芯片组或 SOC 的特征。该算法最初是 1970 年代初期由数学家 Clifford Cocks 设计的，在英国政府通信总部 (GCHQ, United Kingdom Government Communications Headquarters) 工作时，Clifford Cocks 开发了公钥密码学 (PKC, public key cryptography)。之后由 Rivest、Shamir 和 Adleman (RSA) 开发成一种称为公钥加密 (PKE, public key encryption) 的解决方案，他们成立了一家公司将其商业化。

自 1990 年代以来，这种算法和数字证书基础设施已被广泛使用——但它已在网络 (IP 层) 实施，以提供具有 IPsec 协议的“虚拟专用网络” (VPN, virtual private network)，并在传输层通过 TLS 实现，为网络浏览器、文本消息和电子邮件提供安全性。问题在于，这些都无法阻止物理介质级别 (即处理器) 的拦截或“中间人”攻击。

因此，半导体行业参与者制定了框架和知识产权，以确保客户信息和数据可以保持私密，不仅在“静止” (即在存储介质中) 或“飞行” (即通过 HTTP 等通信协议时) 时，而且现在在“使用”时。在过去的 3-5 年里，“安全、静止、飞行和使用”这些词已经变得司空见惯。

英特尔和 ARM 这两家公司已经引入半导体技术支持这一点。英特尔最著名的业务是个人电脑和数据中心，而 ARM 则将技术许可给苹果、高通和三星等公司，在这两个生态系统之间，涵盖了从云到边缘的安全性。

英特尔信任机构 (Intel Trust Authority) 为其可信平台模块 (TPM,

Trusted Platform Module) 提供了统一的独立评估。TPM 来自可信计算联盟，用于在 PC 和数据中心领域提供将公钥基础设施 (PKI) 实施到处理器级别。信任机构 (TA, Trust Authority) 提供了一个独立证明框架，确保没有任何东西接触、读取或以任何方式干扰您的数据。

关键是：TA 服务会给用户信心，认为保密信息放置在云中仍然是秘密的，即使对那些操作云的人来说也是如此。在容器、虚拟机管理程序或操作系统级别，操作人员无法做任何事情来使他们有权访问这些内容。这对许多行业来说至关重要，例如银行、制药的药物研究数据、化学工业的产品配方。

ARM 提供其平台安全架构 (PSA, Platform Security Architecture) 作为物联网设备的通用行业框架。PSA 通过提供原则和可交付成果 (包括威胁模型、架构规范和开源固件) 来帮助开发人员定义一致的安全级别。

ARM 对于其 Cortex A 架构 (大多数手机 SOC 的核心) 创建了 Trust Zone，该架构通常用于运行受信任的启动和受信任的操作系统，以创建受信任的执行环境 (TEE, Trusted Execution Environment)。典型用例包括保护身份验证机制、加密、移动设备管理、支付、密钥材料和数字版权管理 (DRM, digital rights management)。

这两个框架将半导体完整性添加到易于理解的信任算法中，从而提供客户信任产品所需的完整性。当然，即使这些基础已经到位，也需要优秀且经验丰富的软件和固件工程才能实施无差错的解决方案。Mobica 与芯片制造商和智能产品制造商合作，确保实施包括所有有效的规范，



并验证规范是否得到准确实施。

对于消费者来说，他们可以有信心这些产品和服务可以防止未经授权进入财产或车辆盗窃。如果用于监控服务，并且如果提供商将唯一的访问权限和数据传输给消费者，那么相同的技术可用于防止“老大哥”越权来访问的情况，无论是来自政府还是组织。

AI PC的未来功能

如今，在新的半导体解决方案中，人工智能功能与信任功能协同工作，以对抗信息过载，因为绝大多数工作活动都需要处理大量信息和数据。

最近在巴塞罗那举行的世界移动通信大会（MWC, Mobile World Congress）上，一个合作伙伴讨论提出了几个例子，说明人工智能助手可以帮助或可能有助于减少过载。第一个例子是办公室生产力，其中正在推广的新型人工智能个人电脑（AI PC）将配备应用程序，这些应用程序可以与 PC 进行对话，总结电子邮件和未来一周的会议，并对其进行优先排序。这或许是可能的，但在此之前还需要进行大量软件工程和 LLM（大语言模型）培训，以及应用程序开发，这样 AI PC 才能比自己做更快、更准确。

随着文档和文件类型以及存储的多样性激增，此类功能将变得非常需要——特别是对于像手机、驱动器（Apple、Gdrive、Onedrive）、邮件（Gmail、Outlook、Thunderbird、Apple）、消息应用程序（Slack、WhatsApp、Messenger）和社交媒体（Snapchat、Facebook、Instagram、TikTok）等应用。

尤其是因为 AI PC 减轻了 CPU 的工作负担，从而提高了电脑的响应速度和能效。例如，测试表明，模糊视频会议背景（AI 任务）会占用高达 20% 的 CPU 周期资源。使用 AI NPU 卸载后，这一比例下降到 1%，使用 ZOOM 测试表明，可节省 38% 的电量。更多的例子包括将手语实时翻译成英语，这在前几代 PC 上是不可能实现的，但现在可以通过 AI PC 中的 CPU、GPU 和 NPU 来实现。

微软已经将 AI 技术嵌入到操作系统和应用程序中，并采用了“Co-pilot”一词。这是一个好词，比“数字孪生”（digital twin）更好，因为它赋予了辅助的概念。由于 Mobica 是一家软件和固件解决方案提供商，因此在编写软件和固件方面协助工作提供帮助，但这并不是万能的，即使对于编程来说也是如此，因为逻辑和算法都记录在 GitHub 和 GitLab 等开源资料库中。

YouTube 上一个受欢迎的科技频道 Fireship 展示了这段尚待探索的旅程的最佳例证。“Devin”是一款来自 Cognition AI labs 的产品，它可以像软件工程师一样访问终端、浏览器、编码器编辑器，并像软件工程专家一样工作。它可以迭代，从需求到与问题相似的代码片段，并生成代码、运行代码，测试代码等，直到满足需求。

作为一款产品，它与 AutoGPT 相当，其中 LLM 也是基础技术，但 Devin 能够执行动作并对这些动作的反馈做出反应。

他们使用“软件工程基准”（SW Engineering Benchmark）来演示产品，该基准更接近真实的软件工程挑战，而不是通常用于演示其他“co-pilot”类型的产品。

该基准提供了一个评估框架，包括 2294 个软件工程问题，这些问题来自真实的 GitHub 问题和 12 个流行的 Python 仓库中的相应拉取请求。给定一个代码库以及要解决的问题的描述，语言模型的任务是编辑代码库以解决问题。

下表显示了结果：

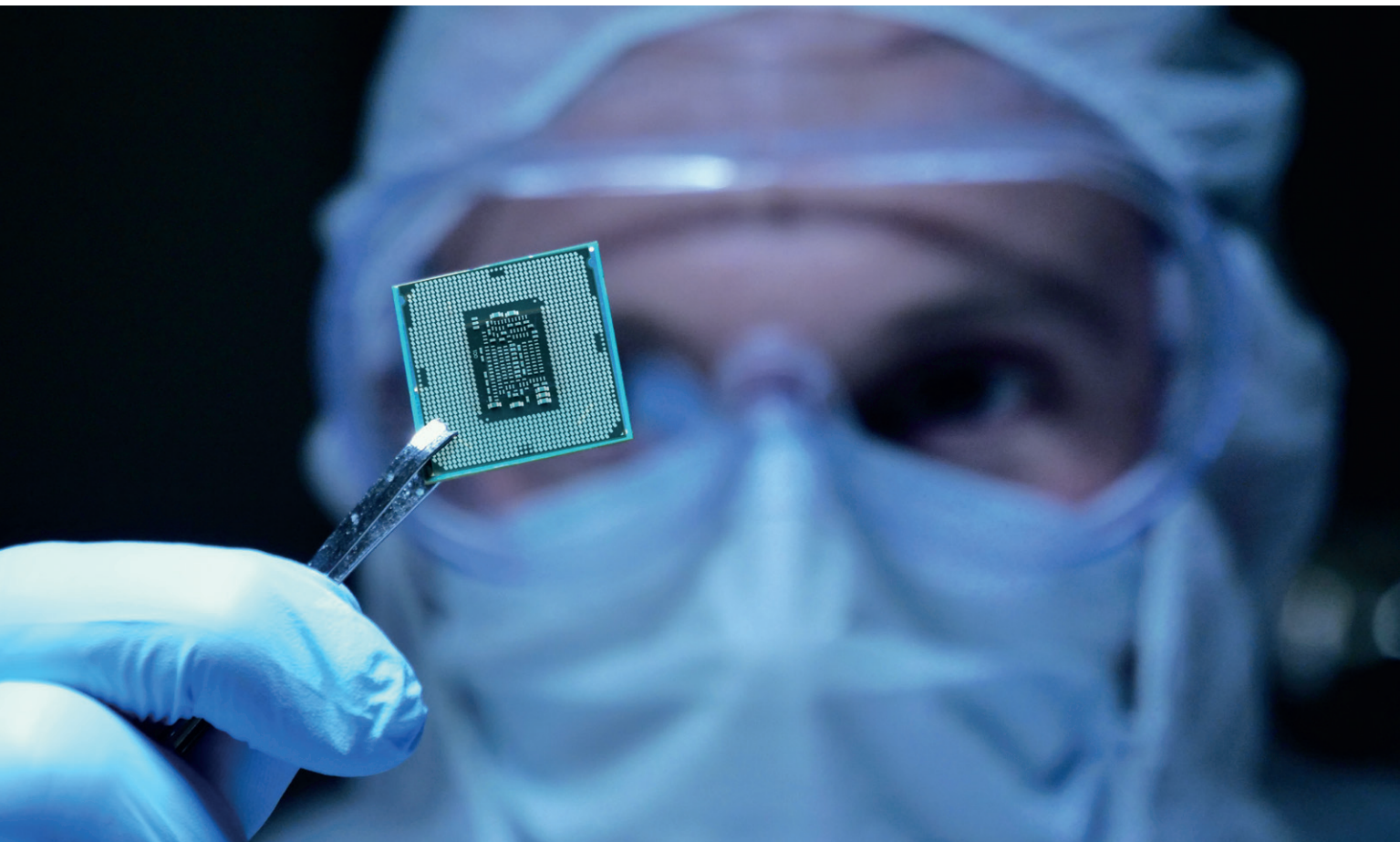
虽然 13.85% 与之前的 LLM 产品基准测试结果相比是一个阶梯式的变化，但这并不是软件和固件工程作为职业的终结。事实上，对有经验的工程师的需求可能会继续增长。

工具	已解决问题%
Claude2	4.8%
SWE Llama 13B	3.97%
SWE Llama 7B	3.01%
GPT-4	1.74%
ChatGPT-3.5	0.52%
DEVIN	13.85%

软件工程的持续重要性

新的高性能半导体产品为这些新的解决方案奠定了基础，无论是在云端（大规模）还是在边缘（小规模），但设计完整的堆栈需要熟练的软件工程服务。

我们必须继续培训和培养了解以下方面的性能参数、优势和特性的工程师：新的和开发中的软件，无论是人工智能技术（LLM、SLM、DNN RNN）、加密、压缩还是性能加速器，这是 Mobica 及其母公司 Cognizant 提供的东西。◆



芯片，芯片，加油！ 解决互联时代半导体和芯片的发展难题

几乎所有行业都在经历一场互联技术革命。物联网（IoT）、人工智能（AI）和 5G 的兴起，开启了一个前所未有的互联和自动化时代。然而，伴随着这股进步浪潮而来的是对那些不起眼的硅片的巨大需求，而这些硅片正是为这个新的互联时代提供强力支持所必需的：半导体。



作者：Michael Cantor, PARK PLACE TECHNOLOGIES 公司首席信息官

微芯片并不仅仅是简单的组件，而是创新和基础设施的基石。现今，各种规模的企业都处于一个关键阶段，此时，竭力应付芯片需求的激增对于自身的发展至关重要。

不少企业和政府对 2020 年的半导体供应短缺依然记忆犹新，这使得半导体生产成为欧洲和英国战略投资的避雷针。在一份意向声明中，英国和欧盟都宣布了提振各自半导体产业发展的宏伟计划。除了已经承诺的 10 亿英镑之外，英国还将斥资 1 亿英镑参与全球人工智能芯片的生产竞赛，欧盟也已通过了《欧盟芯片法案》。这些举措充分体现了半导体对全球经济的重要性。如果某个国家没有为新战略和新挑战做好准备，那么总部设在这个国家的企

业就很可能面临重大的挫败。它们可能被迫推迟或取消产品发布，丢失市场份额，甚至倒闭。幸运的是，我们有机会减轻这些影响，从在公司内部制造芯片，到推动循环经济皆为应对之策。

多样化应对芯片供应紧缺

多样化是一项切实可行的策略，包括从不同的地理位置和供应商那里采购组件。跨政府和跨行业的协作努力，可以通过培养多样化的人才和专业知识库来增强抗冲击能力，从而减少对单一供货源的依赖。

实现多样化有几种途径。其中包括更换芯片供应商、投资芯片库存、制定应急计划以防供应中断，以及在研发方面进行投资以创建新的无芯片技术。

射频识别 (Radio Frequency Identification, RFID) 是无芯片技术领域令人瞩目的发展成果之一。RFID 是一种无线通信技术，它可以利用电磁场识别和跟踪物体。与传统的硅芯片不同，RFID 不需要集成电路 (芯片)，而是依靠天线 (一种印刷或蚀刻的导电材料) 运行。从生产到库存管理，RFID 能够实现关键工艺流程的实时可视化和自动化，在制造业中已经发挥了至关重要的作用。如今的消费者比以往任何时候都更加苛刻，通常，只有先进的 RFID 解决方案才能让企业满足用户这些不断攀升的期望。

这种无芯片技术的发展表明，创新可以带来更高效、更具成本效益、用途更广泛的解决方案，从而满足各种商业和社会需求。

依靠自己的力量解决问题

当今世界最重要的先进技术 - 人工智能芯片 - 几乎都是由英伟达 (NVIDIA) 创造的，而且是由一家公司台积电 (TSMC) 生产的。支持现代人工智能的所有芯片都是由台积电制造的，虽然难以想象，但事实确实如此。

然而，万亿美元规模的半导体供应链和人工智能技术的飞速发展已经将企业带到了一个危机点。如今，要适应不断变化的半导体产业环境和格局，需要的不仅仅是被动的规划。现在，许多大型企业都在寻求建立自己的半导体供应体系。

例如，为了利用新兴技术并减少对英伟达的依赖，AWS 目前正在开发两种类型的微芯片，用于训练和运行人工智能模型。微软也在这样做，它设计了一款代号为“雅典娜” (Athena) 的人工智能芯片，用于支持人工智能聊

天机器人背后的技术。

完全靠公司自己解决各种问题，将使许多企业级技术公司能够通过更有效地响应市场需求来满足客户的需要，而不受国际供应链复杂性的影响，并通过与研究团队更紧密的合作和更方便地获取尖端技术来加速创新。这对于电子和汽车等依赖快速技术进步的产业可能尤为有利。

抓住循环经济

在半导体领域，循环经济思维也是很关键的，因为制造新芯片所需的许多贵金属和矿物质都“藏匿”在抽屉里或电子垃圾堆中。这种思维方式超越了“开采 - 制造 - 废弃”的传统线性生产和消费模式，旨在减少浪费、节约资源和提高供应链的可持续性。这一点尤其重要，因为英国是 2022 年电子垃圾产生量第二大的国家，而且这一问题日益严重，倘若再不立即采取行动，英国将在 2024 年成为电子垃圾产生量最多的国家。

半导体中含有的金、银和铜等元素，这些元素可以通过负责任的回收工艺予以回收。这么做不仅可以节约宝贵的资源，还能减少开采和制造这些材料对环境造成的不利影响。

另外，循环思维还鼓励人们做出一种转变，就是在设计半导体时考虑可持续发展。这包括优化芯片设计，以实现可回收、易拆卸和减少有害物质。通过坚持生态设计原则，企业将能够制造出不仅性能卓越，而且对环境负责的芯片。

企业、消费者和回收设施之间的合作促进了循环半导体管理的发展。建立闭环系统，对使用过的芯片进行收集、翻新、并重新引入供应链，可以最大限度地减少浪费，提高资源效率。闭环方法通过让各利益相关方 (包括制造商、供应商和最终用户) 参与进来，促进形成一个整体和可持续的半导体生态系统。

归根结底，芯片代表着通往未来的旅程，在这个旅程中，创新和实用主义将汇聚在一起，以重塑行业，重新定义连接，并开辟一条通往更智能、更互联世界的道路。随着欧洲站在这一新篇章的风口浪尖，那些以循环思维驾驭创新，同时确保供应链具有抗冲击能力的企业，将成为塑造创新与适应性并存之未来的关键。◆



MESSE
MÜNCHEN

Connecting Global Competence

华南



扫码即刻预订展位



扫码注册免费参观

INTELLIGENT LIGHT
智能制造 洞悉新未来

LEAP^{Expo} | 成员展

华南国际智能制造、先进电子及激光技术博览会

慕尼黑华南激光展
LASER PHOTONICS SOUTH CHINA

electronica South China
慕尼黑华南电子展

productronica South China
慕尼黑华南电子生产设备展

同期举办
Vision China
Shenzhen 2024
中国(深圳)机器视觉展

2024年10月14-16日 OCTOBER 14-16, 2024

深圳国际会展中心(宝安新馆)

SHENZHEN WORLD EXHIBITION & CONVENTION CENTER

www.lasersouth.cn

慕尼黑华南激光展

LASER^{World of} PHOTONICS SOUTH CHINA



Advertiser	广告商名称	网址	页码
东莞市晟鼎精密仪器有限公司		www.sindin.com	3
第十四届中国国际纳米技术产业博览会(纳博会®)		www.chinanosz.com	IBC
苏州智程半导体科技股份有限公司		www.zc-semi.com	1
2024 慕尼黑华南激光展		www.lasersouth.cn	39
2024 厦门国际半导体及集成电路博览会		http://xm.sicexpo.net	9

欢迎投稿

《半导体科技》(Silicon Semiconductor China, SiSC)是面向中国半导体行业的专业媒体,已获得全球知名权威杂志《Silicon Semiconductor》的独家授权。本刊针对中国半导体市场特点遴选相关优秀文章翻译,并汇集编辑征稿、采编国内外半导体行业新闻、深度分析和权威评论等多方面内容。本刊由香港雅时国际通讯(ACT International)以简体中文出版发行。

本刊内容覆盖半导体制造工艺技术、封装、设备、材料、测试、MEMS、mini/Micro-LED等。文章重点关注以下内容:

FAB (Foundry, IDM, OSAT, R&D)

四个环节:晶圆制造(wafer后道)、芯片制造、先进封装、洁净室;深入报道与之相关的制造工艺、材料分析,工艺材料、工艺设备、测试设备、辅助设备、系统工程、关键零备件,以及与particle(颗粒度)及contamination(沾污)控制等厂务知识。

FABLESS

芯片设计方案、设计工具,以及与掩膜版内容和导入相关的资讯。

半导体基础材料及其应用

III-V族、II-VI族等先进半导体材料的科学研究成果、以及未来热门应用。

《半导体科技》欢迎读者、供应商以及相关科研单位投稿,已甄选中文稿件将在印刷版杂志以及网上杂志刊登;IC设计及应用等半导体相关内容将酌情予以网络发表(微信推送、杂志网站)。本刊优先刊登中文来稿(翻译稿请附上英文原稿)。

技术文章要求

- 论点突出、论据充分:围绕主题展开话题,如工艺提升、技术改造、系统导入、新品应用,等等。
- 结构严谨、短小精悍:从发现问题到解决问题、经验总结,一目了然,字数以3000字左右为宜。
- 文章最好配有2-4幅与内容有关的插图或图表。插图、图表按图1、图2、表1、表2等依次排序,编号与文中的图表编号一致。
- 请注明作者姓名、职务及所在公司或机构名称。作者人数以四人为限。
- 文章版权归著作者,请勿一稿多投。稿件一经发表如需转载需经本刊同意。
- 请随稿件注明联系方式(电话、电子邮件)。

新产品要求

- 新产品必须是在中国市场新上市、可在中国销售的。
- 新产品稿件的内容应包含产品的名称、型号、功能、主要性能和特点、用途等。
- 新产品投稿要求短小精悍,中文字数300~400字左右。
- 来稿请附产品照片,照片分辨率不低于300dpi,最好是以单色作为背景。
- 来稿请注明能提供进一步信息的人员姓名、电话、电子邮件。

电子邮箱: sunniez@actintl.com.hk
viviz@actintl.com.hk

行政及销售人员 Administration & Sales Offices

行政人员 Administration

HK Office (香港办公室)

ACT International (雅时国际通讯)

Unit B, 13/F, Por Yen Building, No. 478 Castle Peak Road, Cheung Sha Wan, Kowloon, Hong Kong
Tel: 852 28386298

Publisher (社长) - China

Adonis Mak (麦协林), adonism@actintl.com.hk

Deputy Publisher (副社长) - China

Lisa Cheng (程丽娜), lisac@actintl.com.hk

General Manager-China (中国区总经理)

Floyd Chun (秦泽峰), floyd@actintl.com.hk

Editor in China (中国版编辑)

Sunnie Zhao (赵雪芹), sunniez@actintl.com.hk

Vivi Zhang (张雨薇), viviz@actintl.com.hk

London Office

Hannay House, 39 Clarendon Road
Watford, Herts, WD17 1JA, UK.

T: +44 (0)1923 690200

Coventry Office

Unit 6, Bow Court, Fletchworth Gate
Burnsall Road, Coventry, CV5 6SP, UK.

T: +44 (0)2476 718 970

Publisher & Editor-SiS English

Jackie Cannon, jackie.cannon@angelbc.com
+44 (0)1923 690205

销售人员 Sales Offices

China (中国)

Wuhan (武汉)

Lisa Cheng (程丽娜), lisac@actintl.com.hk

Tel: 86 185 7156 2977

Mini Xu (徐若男), minix@actintl.com.hk

Tel: 86 187 7196 7314

Phoebe Yin (尹菲菲), phoebey@actintl.com.hk

Tel: 86 155 2754 0817

Ron Wang (汪毓神), ronw@actintl.com.hk

Tel: 86 186 9404 8156

Mandy Wu (吴漫), mandyw@actintl.com.hk

Tel: 86 187 7196 7324

Shenzhen (深圳)

Yoyo Deng (邓丹), yoyod@actintl.com.hk

Tel: 86 135 3806 1660

Shanghai (上海)

Hatter Yao (姚丽莹), hattery@actintl.com.hk

Tel: 86 139 1771 3422

Beijing (北京)

Cecily Bian (边团芳), cecilyB@actintl.com.hk

Tel: 86 135 5262 1310

Hong Kong (香港特别行政区)

Floyd Chun (秦泽峰), floyd@actintl.com.hk

Tel: 852 2838 6298

Asia (亚洲)

Japan (日本)

Masaki Mori, masaki.mori@ex-press.jp

Tel: 81 3 6721 9890

Korea (韩国)

Lucky Kim, semieri@semieri.co.kr

Tel: 82 2 574 2466

Taiwan, Singapore, Malaysia

(台湾, 新加坡, 马来西亚)

Regional Sales Director

Floyd Chun (秦泽峰), floyd@actintl.com.hk

Tel: 852 2838 6298

US (美国)

Janice Jenkins, jjenkins@brunmedia.com

Tel: 724 929 3550

Tom Brun, tbrun@brunmedia.com

Tel: 724 539 2404

Europe (欧洲)

Shehzad Munshi, Shehzad.Munshi@angelbc.com

Tel: +44 (0)1923 690215

Jackie Cannon, Jackie.cannon@angelbc.com

Tel: +44 (0) 1923 690205

THE 14TH SESSION
第14届

中国国际纳米技术产业博览会(纳博会®)

时间: 2024年10月23-25日 **地点:** 苏州国际博览中心A1&A2&B1&C1

主办单位:

中国微米纳米技术学会
中国国际科学技术合作协会
国家第三代半导体技术创新中心(苏州)

同期会议:

China MEMS 2024 中国MEMS制造大会
FLEX China 2024全国柔性印刷电子研讨会
第四届纳米大健康-活体测量与精准医学论坛
第二届NTAC 全球纳米压印技术与应用大会
第二届纳米新材料技术与产业论坛
第十二届半导体器件与加工工艺论坛
第六届纳博会分析测试应用论坛
第四届新型纤维材料与应用前沿论坛
第三届先进凝胶材料及产业应用论坛
新加坡国际论坛
2024国家纳米标准化论坛
2024纳博会知识产权论坛
中国MEMS创新创业大赛
第三代半导体创新创业大赛



主题论坛

10+

展位数目

600+

预期观众

27000+

展览面积

24000m²



扫描获取
更多纳米产业讯息



扫码报名
参会观展

参会联系:

张女士
手机: +86-15261825960
邮箱: zhangzx@nanopolis.cn

参展联系:

陆先生
手机: +86-15050142680
邮箱: luw@nanopolis.cn

网址: www.chinanosz.com

—◆ 线下 ◆—

化合物半导体&半导体芯科技 综合论坛

05月苏州 半导体先进技术创新发展和机遇大会

- 化合物半导体材料生长与设备技术 · 功率电子器件及应用 · 高功率电子器件可靠性和失效分析 · 超宽禁带器件:解决方案
- 先进封装工艺与键合技术 · 封装关键材料与创新

化合物半导体先进技术及应用大会

10月常州 化合物半导体先进技术及应用大会

- 化合物半导体材料生长与设备技术 · 功率电子器件及应用 · 光电子器件及应用 · 先进显示与照明取得的进展 · AI趋势下高速光互联演进
- 光子器件可靠性和失效分析 · 超快通信射频器件新应用

CHIP China晶芯研讨会

11月厦门 第二届-半导体先进封测产业技术创新大会

- TGV的封装工艺与技术 · IP/SoC/3D/异构集成 · 封装关键材料与创新 · 应用需求驱动下,先进封测发展进入快车道专场会议
- 系统级SiP芯片,物联网下一个竞争高地 · 赋能光电产业发展新高度

—◆ 线上 ◆—

化合物半导体先进技术及应用大会

- 确保SiC取得巨大成功
- GaN功率应用,厚积薄发
- MicroLED取得的进展
- 超宽禁带材料器件解决方案
- 光互联及光子集成电路

CHIP China晶芯研讨会

- 先进封装工艺与键合技术
- 封装关键材料与创新
- IP/SoC/3D/异构集成
- 先进半导体材料和器件的可靠性和失效分析
- 芯片与器件的测试和可靠性验证

—◆ 定制专场论坛 ◆—

重点依据企业需求定制化会议主题,线上直播与线下执行双向选择,垂直听众定向邀约,充分发挥资源链接优势,突破原有格局,助力泛半导体产业客户实现多元化探索路径。

论坛优势:推介目的性强 会议听众垂直 议题内容聚焦 直击产品核心



线下会议



线上会议

