

半导体芯科技



SILICON CHINA
SEMICONDUCTOR

CHINA

ISSN 2523-1294

www.siscmag.com

2024年6/7月

如何集成硅和 III-V P.13

二维材料 ALD晶圆级集成 P.17

化合物半导体先进封装 P.20

利用AI高效测试AI芯片 P.28

激光器: 可持续的晶圆加热解决方案 P.33

ACT
INTERNATIONAL

Angel
BUSINESS COMMUNICATIONS



微信公众号

国际知名媒体授权 引领全球高新科技信息



服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的专业读者及与会者。

品牌会议



国际代理

CQ Publishing (Japan)

Chomdan (Korea)

Pan Global (Europe)

Endeavor Business Media (USA)

Horizon House (USA)

Angel Business Communications (UK)



中芯博览
ZHONGXIN EXPO

2024世界芯片产业链 博览会暨峰会

2024 WORLD CHIP INDUSTRY CHAIN EXPO & SUMMIT

10月15-17日深圳福田会展中心

同期举办：2024世界功率半导体产业链博览会暨峰会

400+
参展商

40000+
展会面积

100000+
观众

1场
主题论坛

2场
圆桌对话

16场
专题论坛

1000+
参会人员

四大展区

人工智能芯片

芯片制造材料与设备

IC设计与先进封测

芯片终端应用创新成果

指导单位

深圳市人民政府
深圳市工业和信息化局
深圳市商务局

主办单位

深圳市电子行业协会
CIRI芯片产业研究院
中芯博览(深圳)科技有限公司

协办单位

新一代信息技术专业委员会
汽车电子专业委员会
电子封装材料专业委员会
电子元器件专业委员会
电子行业标准专家委员会
前海方舟电子科创产业基金
深圳电子产业战略投资基金

1000+特邀顶级采购团

100+现场媒体采访曝光

参展报名/论坛赞助请联系

田薇

135 0167 3067



扫码报名参展



扫码查看详细资料

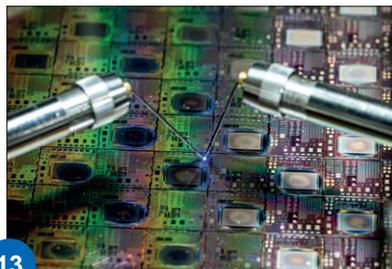
目录 CONTENTS

封面故事 Cover Story

13 如何集成硅和 III-V

How to integrate silicon and III-Vs

为了充分利用晶体管尺寸缩小带来的所有传统优势，必须通过硅代工厂中的外延和加工工艺将硅和 III-V 集成在一起。当化合物与硅结合时，不仅保留了与硅技术相关的优势，而且最有价值的优势还包括新型高密度器件的可能性、通过缩小尺寸增强性能和降低成本。这一结合前景广阔，它提供了最大化双方各自价值的机会，将硅产业的低成本、令人印象深刻的工具集和大规模生产与化合物的卓越性能相结合，前景十分诱人。



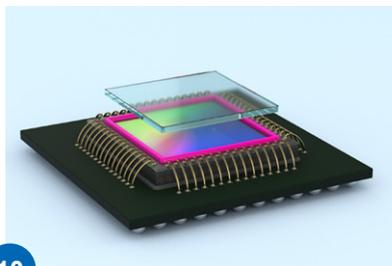
13

编者寄语 Editor's Note

5 全球半导体行业展望

特别报道 Special Report

6 2024 半导体先进技术创新发展和机遇大会圆满收官！



10

行业聚焦 Industry Focus

9 北京中电科交付国内首创的 WG-1220 自动减薄机

9 高端 CIS 需求稳步增长，中国厂商占三分之一份额

10 诺信电子推出 ASYMTEK Select Coat®SL-1040 涂覆系统

10 DELO 推出可靠密封图像传感器的新型粘合剂

11 台积电 2024 中国技术论坛亮点

12 IMEC 推出紧凑型无线供电技术



17

关于雅时国际商讯 (ACT International)

ACT 雅时国际商讯 (ACT International) 成立于1998年，为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品—包括杂志和网上出版物、培训、会议和活动—为跨国公司及中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站，以及各种技术会议，服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港，在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photronics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

关于《半导体芯科技》

《半导体芯科技》(原半导体科技)中文版 (SiSC) 是全球最重要和最权威的杂志Silicon Semiconductor的“姐妹”杂志，由香港雅时国际商讯出版，报道最新半导体产业新闻、深度分析和权威评论。为中国半导体专业人士，提供他们需要的商业、技术和产品信息，帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国半导体产业，包括IC设计、制造、封装及应用等。

About Silicon Semiconductor China

Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology & product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMS, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

高效、先进的成像

EVIDENT半导体行业解决方案



DSX1000

数码显微镜

多角度观察 / 宽放大倍率范围 23X-8220X



MX63+AL120

半导体 / FPD / 工业检测显微镜
12 英寸晶圆搬送机



OLS5100

3D 测量激光显微镜

更智能的工作流程 / 更快速的实验设计



用于整合的显微镜部件

方便集成

特点 1: 组件模块化设计非常便于与其他光学机械系统集成。
特点 2: 结像透镜, 暗场模块, LED 远程控制。
特点 3: 独立模块, 便于设计您的系统。

节省观察时间

特点 1: 高分辨率、长工作距离物镜
特点 2: 超宽视场镜筒透镜, 不断提升的显微镜相机传感器尺寸和分辨率造就了对超宽视场光学器件的需求。

参数公开

专家将帮助您选择合适的组件, 并为您提供诸如尺寸和透光率值等技术数据。



仪景通光学科技(上海)有限公司
EVIDENT(Shanghai)Co.,Ltd.

更多详情请咨询: 400-969-0456 / marketing.cn@evidentscientific.com

www.evidentscientific.com.cn

OLYMPUS

化合物半导体 等离子解决方案

RTP快速退火炉



RTP全自动双腔
快速退火炉

RTP半自动
快速退火炉

PLASMA等离子去胶



ICP PLASMA去胶机

BATCH PLASMA
筒式去胶机

PLASMA等离子活化



微波PLASMA清洗机

在线式真空
等离子清洗机

扫一扫获取更多解决方案



400 9600 662 / 0769 8238 5510
www.sindin.com / www.dynechina.com

东莞市晟鼎精密仪器有限公司
广东省东莞市虎门镇怀雅路235号

苏州晟鼎半导体设备有限公司
苏州市吴江区兴瑞路新时亿科技产业园17栋5层南

目录 CONTENTS

技术 Technology

- 17 二维材料 ALD 的晶圆级集成变化
Wafer-level integration changes of ALD for 2D materials
- 20 先进封装之于化合物半导体——大有用武之地
Advanced packaging is very useful for compound semiconductor
- 28 利用 AI 高效测试 AI 芯片
Leveraging AI to efficiently test AI chips
- 33 激光器：可持续的晶圆加热解决方案
Lasers: a sustainable wafer heating solution

专栏 Conlunm

- 35 半导体工业去碳化和满足芯片需求的挑战
The challenge of decarbonising the semiconductor industry and fulfilling chip demand
- 37 如何利用软开关和碳化硅器件实现更高效的功率转换
How to achieve more efficient power conversion with soft switches and silicon carbide devices

40 广告索引 Ad Index

《半导体芯科技》编委会（排名不分先后）

- | | |
|-----------|----------------------------------|
| 徐冬梅 教授级高工 | 中国半导体行业协会副秘书长兼封测分会秘书长 |
| 于大全 教授 | 厦门云天半导体创始人 |
| 姚大平 博士 | 江苏中科智芯集成科技有限公司总经理 |
| 汤 晖 教授 | 广东工业大学、精密电子制造技术与装备国家重点实验室 |
| 罗仕洲 教授 | 磐允科技总经理 |
| 林挺宇 博士 | 广东芯华微电子科技有限公司总经理 |
| 杨利华 院长 | 两江半导体研究院 |
| 王文利 教授 | 西安电子科技大学电子可靠性（深圳）研究中心主任 雅时国际商讯顾问 |
| 刘功桂 教授级高工 | 中国电器科学研究院股份有限公司威凯技术中心主任 |
| 徐开凯 教授 | 电子科技大学、电子薄膜与集成器件国家重点实验室 |
| 何 进 教授 | 北京大学教授、深圳系统芯片设计重点实验室主任 |

社长 Publisher

麦协林 Adonis Mak
adonism@actintl.com.hk

荣誉顾问 Honorary advisor

刘胜院士 Academician Liu Sheng

主编 Editor in Chief

赵雪芹 Sunnie Zhao
sunniez@actintl.com.hk

出版社 Publishing House

雅时国际资讯 ACT International
香港九龙 B,13/F, Por Yen Bldg,
长沙湾青山道478号 478 Castle Peak Road,
百欣大厦 Cheung Sha Wan,
13楼B室 Kowloon, Hong Kong
Tel: (852) 2838 6298
Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988573 /25988567

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 82201291

UK Office

Angel Business
Communications Ltd.
6 Bow Court,
Fletchworth Gate,
Burnsall Road, Coventry,
CV56SP, UK
Tel: +44 (0)1923 690200
Chief Operating Officer
Stephen Whitehurst
stephen.whitehurst@angelbc.com
Tel: +44 (0)2476 718970

全球半导体行业展望

2024 年上半年全球半导体制造业喜忧参半

SEMI 与 TechInsights 合作编制的《2024 年第一季度半导体制造业监测报告》指出，随着电子板块销售额的上升、库存的稳定和晶圆厂产能的增加，2024 年第一季度全球半导体制造业出现了改善迹象。预计下半年行业增长将更加强劲。

SEMI 首席分析师 Clark Tseng 表示：“一些半导体领域的需求正在复苏，但复苏步伐不均衡。人工智能芯片和高带宽存储器是目前需求最高的设备，这导致了这些领域的投资和产能扩张。然而，由于人工智能芯片依赖少数关键供应商，其对 IC 出货量增长的影响仍然有限。”

TechInsights 市场分析总监 Boris Metodiev 表示：“2024 年上半年的半导体需求喜忧参半，由于生成式人工智能需求激增，存储器和逻辑出现反弹。然而，由于消费市场的缓慢复苏，加上汽车和工业市场的需求回落，模拟、分立和光电子产品出现了轻微的调整。随着人工智能向边缘扩张，预计消费者需求将得到提振，下半年可能会出现全面复苏。此外，随着利率下降和库存下降，汽车和工业市场预计将在今年下半年恢复增长。”

为 1 万亿美元的发展铺平道路

SEMI 总裁兼首席执行官 Ajit Manocha 预测：半导体行业在 2024 年恢复增长，在人工智能、自动驾驶汽车、高性能计算和 6G 等多种颠覆性技术和新兴应用的推动下，未来几年发展更为乐观。展望未来众多的杀手级应用，到 2030 年，全球半导体行业将达到 1 万亿美元的惊人增长。然而，我们的行业也面临着前所未有的挑战。包括：人才缺口、可持续发展压力、供应链中断以及地缘政治和监管格局，它们是行业首席执行官们的首要考虑因素。SEMI 正在引领前所未有的合作和行动，以推动全球半导体行业的发展，为 1 万亿美元及以上的发展铺平道路。

半导体产能扩张和创纪录的投资

最新的 SEMI《世界晶圆厂预测报告》强调，全球半导体行业正在扩大产能，以支持人工智能和各种颠覆性技术和新兴应用的发展，预计 2023-2027 年间将有 103 家新晶圆厂上线。其中 80 个是 300mm 晶圆厂，23 个是 200mm 晶圆成熟技术厂。在 103 座晶圆厂中，43 座正在建设中，22 座处于运营初期，14 座正在装备中。值得注意的是，到 2030 年，将需要更多的晶圆厂来支持行业实现 1 万亿美元收入的芯片预期需求。

SEMI 预计 2024 年晶圆厂设备支出将达到 970 亿美元，年增长 1%，2025 年投资将增长 20% 至 1165 亿美元，2026 年将增长 12% 至 1305 亿美元。预测到 2027 年，全球 300mm 晶圆厂设备支出预计将达到创纪录的 1370 亿美元，这得益于云和边缘、汽车应用和内存市场对高性能计算的需求，设备投资创下新高。

四方合作确保行业增长

晶圆厂的繁荣可能会扩大半导体行业的人才缺口，并减缓可持续发展的进展，但随着越来越多的地区建立其芯片生态系统，也有助于实现全球供应链的多元化。

SEMI 认为，克服增长的逆风需要四方利益相关者之间的空前合作：行业、政府、学术界和民间社会。SEMI 正在多个领域通过四方合作来推动行业发展。通过 SEMI 劳动力发展计划、可持续发展倡议、环境/健康与安全 (EHS) 计划评估来应对半导体行业挑战，为规划未来提供指导。通过行业驱动的项目和工作组，SEMI 正在探索与政府、学术界和民间社会合作的新方法，以释放四方支持的力量，并将半导体行业推向 1 万亿美元甚至更高。

赵雪芹

2024半导体先进技术创新发展和机遇大会圆满收官!

千人盛会“燃”爆全场，60+重要报告，首发最新技术成果!

5月22-23日，“2024半导体先进技术创新发展和机遇大会”在苏州·狮山国际会议中心成功举办。大会由雅时国际商讯 (ACT International) 主办，国家第三代半导体技术创新中心(苏州)、宽禁带半导体国家工程研究中心、宽禁带半导体器件与集成技术全国重点实验室、国家集成电路特色工艺及封装测试创新中心承办。本次会议分为“化合物半导体先进技术及应用大会”和“CHIP China 晶芯研讨会”两个分会，共3场论坛形式进行，由西安电子科技大学、武汉大学院士领衔，众多专家精英携手带来超

60场高质量演讲专题，同时会议还开设有展示专区，有100+参展商、1000+参会代表赴会，向业界展示他们的新技术、新成果。

本次大会是极具规模性的双日多论坛会议，近千人次参加，共襄泛半导体产业的举世盛会。大会虽已落幕，但其学术精华值得细细品味。为期2天的会议学术汇报高潮迭起，展区瞬间亮点不断，整场会议“热”力十足!让我们一起回顾精彩瞬间!



会场合影

大咖云集，精彩绝伦

5月22日上午9时开幕仪式正式开始，由ACT雅时国际商讯旗下《化合物半导体》&《半导体芯科技》杂志负责人程丽娜女士主持开幕仪式。雅时国际商讯总裁麦协

林先生、《化合物半导体》杂志主编陆敏博士分别发表大会致辞。仪式结束后，正式进入演讲环节，由中国科学院院士 & 西安电子科技大学教授郝跃院士率先开场，众多专家精英携手，给大家带来了多场精彩绝伦的专业报告。



此次大会主会场由郝跃 - 中国科学院院士 西安电子科技大学教授；沈波 - 北京大学理学部副主任，长江特聘教授担任主持人。



郝跃 院士



沈波 教授

孙成亮 - 武汉敏声新技术有限公司 董事长



《宽禁带半导体电子器件与材料的发展思考》—— 郝跃 - 中国科学院院士 西安电子科技大学教授



郝跃院士在本次演讲中介绍了半导体市场的发展趋势、技术革新和国际竞争情况，强调了集成电路在半导体市场中的主导地位，并详细分析了宽禁带半导体的发展前景。他还提到

了美国在半导体技术方面的新举措，以及中国在相关领域的追赶和优势。他对未来半导体技术的发展方向提出五大思考，包括紧紧抓住难得的历史机遇，将能做到的做到极致，进一步发挥宽禁带半导体优越的特性，适度竞争、大力协同等，尤其强调了加强创新和前沿布局，比如全球开始 6G 标准制定，到 2030 年全面应用，要在毫米波氮化镓半导体器件方面及早布局。

《压电 AlN 薄膜材料及应用》—— 刘胜 - 中国科学院院士 武汉大学动力与机械学院教授/院长

武汉大学及武汉敏声在氮化铝 (AlN) 及钪掺杂铝 (ScAlN) 薄膜的研究上取得了令人瞩目的成果。面对高端压电 MEMS 传感器领域的严峻挑战，成功制备了高质量的 ScAlN/AlN 薄膜样品，并通过全面的表征测试平台验证了其卓越性能。这些薄膜在射频滤波器、声学传感器等领域展现出巨大的应用潜力。武汉敏声不仅优化了制备工艺，降低了成本，还在 IP 设计和工艺路线上拥有自主知识产权，为我国在 MEMS 传感器领域的自主创新提供了有力支撑。

《GaN基第三代半导体的底层技术：大失配异质外延》—— 沈波 - 北京大学理学部副主任，长江特聘教授



本次报告中，沈波教授在分析大失配异质外延物理本质基础上，重点介绍了北京大学近年来在氮化物大失配异质外延生长及缺陷控制研究上取得的进展，包括：(1) 蓝宝石衬底上 AlN、高 Al 组分 AlGa_N 及其量子阱结构的外延生长和 p 型掺杂；(2) Si 衬底上 GaN 及其异质结构的外延生长和缺陷控制。

《“离子刀” - 半导体材料异质集成解决方案》—— 欧欣 - 中科院上海微系统与信息技术研究所研究员



在智能时代，异质集成技术为微电子领域带来了革命性的新型材料方案。通过“万能离子刀”技术，欧老师团队成功实现了高质量 SiC 单晶薄膜与硅或其他低成本、多晶 SiC 材料的异质集成，这一创新技术不仅大幅降低了单片成本，还为 8 英寸 SiC 技术提供了创新解决方案。在光学领域，异质集成技术也展现出了巨大的潜力，开辟了新的赛道，它将为智能时

代的发展提供强大的动力，推动我国在微电子技术领域实现换道超车，引领未来科技的发展潮流。

《SiC功率器件的关键技术与标准建设》—— 姚晨 - 湖南三安半导体有限责任公司资深SiC应用专家



姚总表示，SiC 功率器件随着近几年新能源汽车市场的快速增长得到广泛的应用，但是 SiC 不像 Si 基器件有数十年的成熟发展，SiC 功率器件在器件开发端以及产品应用端还存在一定的挑战，需要半导体先进技术不断地创新与发展。同时车规半导体的可靠性关系到汽车的安全，所以需要持续更新的、与实际应用紧密相关的标准来进行车规半导体器件的可靠性保证，促进行业的健康发展。湖南三安半导体凭借垂直整合的优势，不仅在关键技术上持续投入，并且与优秀的客户协同创新，促进 SiC 在新能源领域中的应用。

《原子力显微镜在化合物半导体应用》—— 潘涛 - Park Systems应用总监



潘总监表示，随着中国在化合物半导体领域不断的发展和研究，尤其在化合物半导体的晶圆生长技术、器件制造与应用开发都取得了一系列突破。对于相关制备过程中的晶圆生长，衬底及外延等 wafer 亚纳米级微观形貌粗糙度及缺陷检测需求也愈加迫切。相比常规光学检测分辨率低，Park NX20 工业型原子力显微镜 (AFM) 广泛应用在 III - V 族，II - VI 族化合物半导体及 SiC 形貌粗糙度计量及缺陷检测等。他在本次演讲介绍了在化合物半导体的相关应用。◆

更多精彩演讲内容请扫描下方二维码获取：

化合物半导体先进技术及应用大会



CHIP China 晶芯研讨会



扫码回顾现场精彩瞬间



最后，本次大会取得圆满成功背后，更要感谢所有赞助商、产学研机构、媒体们给予的鼎力支持，让我们的会议更加丰富、充实。我们 2025 年再会！

北京中电科交付国内首创的WG-1220自动减薄机

北京中电科公司多台国内首创的 WG-1220 自动减薄机顺利交付。

公司相关负责人介绍：WG-1220 是公司历经多年深耕打磨，自主研发推出的减薄机明星机型之一，是国内首创产品，具有占地面积小、集成度高、适用性强等优势。该产品是一款可对应最新加工要求的万能自动减薄机，广泛适用于硅、环氧树脂、钽酸锂、铌酸锂、陶瓷、蓝宝石等多种硬质和脆性材料以及电子元件产品的磨削加工；单主轴单工位的结构，使其占地面积仅为 1.47m²，根据产线

工艺需求可支持轴向进给（In-Feed）磨削原理和深切缓进给（Creep-Feed）磨削原理，满足多种定制需求。

作为国内重要的半导体设备供应商，北京中电科公司是中电科电子装备集团有限公司的全资控股公司，是北京市专精特新中小企业，是科技部 02 专项、863 计划、重点研发计划等多个重点项目的承担公司，主要从事集成电路、第三代半导体及其他分立器件领域用减薄机、划片机、研磨机等设备的研发生产和销售，覆盖 4 英寸、6 英寸、8 英寸和 12 英寸晶圆的材料加工、芯片制造和封装等工艺段。

高端CIS需求稳步增长，中国厂商占三分之一份额

近日在深圳举行的“全球 CMOS 传感器应用技术峰会”围绕 CMOS 图像传感器的前沿技术应用和市场发展趋势展开精彩讨论。思特威（上海）电子科技股份有限公司工业和新兴芯片部副总裁金方其先生发表了题为“聚焦影像技术，探索光影未来”的演讲，分享了全球 CIS 市场趋势，并深入介绍了思特威先进 CIS 技术与产品发展方向。

金方其表示：得益于手机多摄、车载及新兴机器视觉等领域应用的增加，全球 CIS 需求在经历 2022 年的小幅度回落后已恢复稳步增长态势。全球 CIS 出货量在 2023 年达到约 70 亿颗，2024 年预计达到 75 亿颗。

从细分应用看，2022 年全球 CIS 出货前五大应用分别为：手机、汽车、计算机、安防及消费类。其中，车载 CIS 的应用需求随着智能驾驶技术的发展呈现不断上涨趋势，并在 2022 年已超过安防成为了 CMOS 图像传感器第二大应用领域。此外，值得一提的是，全球智能手机市场展现出强劲复苏势头，2024 年第一季度出货量达到 2.89 亿部，IDC 预测，2024 年全年的智能手机出货量将达到 12 亿部。

CIS 是国产半导体的优势领域，一直备受行业关注。全球排名前十的 CIS 企业中就有包括思特威在内的三家中国公司，占据了全球约五分之一的市场份额。

作为一家从事 CMOS 图像传感器芯片产品研发、设计和销售的高新技术企业，思特威一直专注高端成像技术的创新和研发，并且已在高竞争度的 CIS 市场环境中取得了亮眼的成绩。2022 年，思特威不仅以 33.3% 的市占率

蝉联安防 CIS 市场全球第一，车载 CIS 领域也位居全球第四，并且在无人机图像传感器领域，思特威以 80% 以上的市场占比领先全球。此外，在手机 CIS 领域，思特威从 2020 年开始入局手机 CIS 产品。据潮电智库最新数据统计，2023 年思特威已位居全球手机 CIS 出货量 Top 5。

思特威在全球 CMOS 图像传感器市场取得优异成绩的背后，离不开其深厚的技术积累与创新，至今已推出 10 余项芯片级黑科技。包括像超星光级的高端智能安防 CIS 明星产品，在机器视觉方面的思特威 BSI（背照式）+ 全局快门图像传感器产品，以及取得 AEC-Q100、ISO26262、IATF16949 三大车规级认证，全面覆盖 ADAS 周视 / 前视、全景环视、舱内应用的车规级 CIS 产品。

思特威看好智能手机市场的回温和后续增长，正在加速布局智能手机 CMOS 图像传感器产品业务，特别是高端旗舰级 CIS 产品。如今一些旗舰手机机型，已经实现了对超高速运动物体的疾速闪拍，即使是 F1 比赛中飞驰的赛车也能清晰拍摄。思特威积累了包括 SFCPixel-2、SFCPixel-SL 的小像素技术、AllPix ADAF（100% 全像素对焦技术）和 PDAF（相位检测对焦）等快速对焦技术。思特威推出了全系列手机应用图像传感器产品，包括 SC550XS、SC520XS、SC580XS、SC5000CS 四款面向高端手机应用的图像传感器产品。

金方其先生表示，手机摄像头性能逐渐向专业相机看齐，未来手机 CIS 应具备更好的分辨率、更高的感度和动态范围、更低的噪声和功耗，以及更快速的对焦响应。

诺信电子推出ASYMTEK Select Coat® SL-1040 涂覆系统

诺信电子的 SL-1040 涂覆解决方案适用于印制电路板组装的大批量生产。SL-1040 专为满足电子制造商的动态需求而设计，包含系统级改进，可提升自动化、工艺控制、涂覆精度和预防性维护诸多方面，从而提高产量和正常运行时间，并能同时优化总体拥有成本。其先进自动化设备是提高产量和降低涂覆工艺成本的有效方法，特别适用于汽车电子产品。

密集安装的印制电路板需要更高的精度和更高的产量，SL-1040 具备规避禁



喷区域的良好控制力，同时能为工业 4.0 提供一致的设置、实现闭环反馈、可追溯性和数据记录。非常适合涂覆单个零部件和整个电路板。SL-1040 集成双涂覆头和三涂覆头可最大限度地提高产量，同时能通过高效转换、可追溯性和设置一致性这些灵活特性来进一步提升产量。

当 SL-1040 配备 SC-450 涂覆头时，线宽窄至 1.5 毫米。可重复实现胶体定位、覆盖的均匀性和胶体喷涂厚度。满足高选择性、小批量涂覆精度接近最严苛的 KOZ 品质要求。

SL-1040 将新的预防性维护功能与 SC-450 PreciseCoat® Jet 和增强的 EasyCoat® 软件功能相结合，为大批量生产提供下一代保形涂层解决方案。凭借全新的超声波清洗站（正在申请专利）、更高的平台精度（ $\pm 100 \mu\text{m}$ $\text{Cmk} \geq 1.67$ ）、增强的选择性以及处理电路板上任何应用的灵活性，SL-1040 为用户提高产量和开机准备时间。◆

DELO 推出可靠密封图像传感器的新型粘合剂

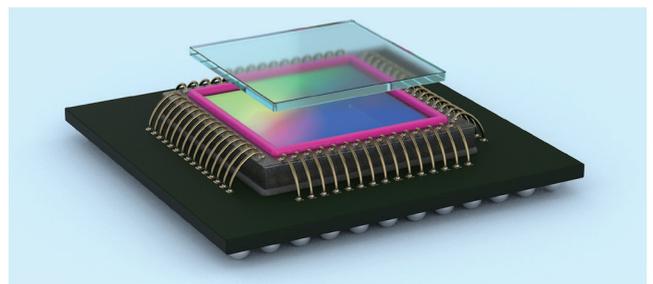
DELO 针对常用于驾驶员监控系统的 CMOS 图像传感器新研发出一款可靠的密封粘合剂 -DELO DUALBOND EG6290，它可将玻璃滤片直接粘接到半导体芯片上。这种电子专用粘合剂能形成窄而高的胶线，可以均衡随温度变化带来的应力，满足汽车工业的标准。

这款新粘合剂是专为 glass-on-die 封装工艺而设计的。将玻璃滤片直接固定在芯片上，是 iBGA 图像传感器封装的典型做法。

与之前的产品相比，DELO DUALBOND EG6290 的杨氏模量明显提高，达到 2350 MPa，粘附力也明显提高。由于玻璃转化温度（ T_g ）超过 $+130^\circ\text{C}$ ，这种粘合剂即使在例如注塑等温度较高的应用中，也能表现出稳定的机械性能，并能均衡随温度变化而产生的应力。DELO DUALBOND EG6290 符合汽车工业 AEC-Q100 2 级标准的要求。

这款粘合剂使用针头点胶，它具有较高的触变指数，因此可以精确地形成窄而高的胶线，再在上面粘接玻璃滤片。

固化需要经过两道连续的工艺步骤：首先，将粘合剂在波长为 365 纳米或 400 纳米的光线下进行照射。玻璃滤片就会在几秒钟内被固定住。随后，粘合剂通常在



DELO DUALBOND EG6290 可将玻璃滤片直接粘接到半导体芯片上（图：DELO）

$+130^\circ\text{C}$ 的温度下用 15 分钟完全固化。由于固化反应快，粘合剂里的基质迅速形成，从而可靠地将图像传感器进行封装。

双固化过程和较低的固化温度都有助于将粘合玻璃滤片时产生的应力降至最低。

CMOS 图像传感器是现代汽车的重要组件，安装在诸如激光雷达和驾驶员监控系统里。它们必须完全密封以防止灰尘和湿气进入，从而确保整个使用寿命期间的功能稳定。

这款新产品扩展了 DELO 的电子粘合剂产品组合，还为封闭腔体封装提供了玻璃盖板与外壳粘接用粘合剂之外的另一种解决方案。

台积电2024中国技术论坛亮点

台积电最近先后在全球多地举办技术论坛，展示其先进逻辑制程技术、TSMC 3DFabric™技术、系统级晶圆(System-on-Wafer)技术和特殊制程技术。5月28日，台积电2024年中国技术论坛在上海举办，向国内业界分享其在工艺、封装、硅光子等领域持续研发取得的突破性进步。

先进逻辑制程技术

N4C 技术：台积电宣布推出先进的 N4C 技术以适用于更为广泛的应用。N4C 延续了 N4P 技术，可将裸晶成本降低多达 8.5%，且使用门槛低，计划将于 2025 年量产。N4C 提供了面积效益更高的基础 IP 和设计规则，能够完全兼容已被广泛采用的 N4P，因此客户可以轻松转移到 N4C；该工艺还通过缩小裸晶尺寸提高良率，可为强调价值的产品迁移至台积电的下一代先进技术提供极具成本效益的选择。

晶体管架构已从平面 FET 演进至鳍片 FET (FinFET)，并将迎来再次变革，向纳米片发展。

除了纳米片之外，还有垂直堆叠的 nFET 和 pFET，即 CFET，它可能是晶体管升级的一个发展方向。台积电一直在积极研究将 CFET 用于下一步技术升级。考虑到布线和工艺的复杂性，CFET 的密度增益可能在 1.5 - 2 倍之间。

除 CFET 外，台积电在低维沟道材料领域也实现了突破，有助于进一步推动尺寸微缩和能耗降低。

台积电还计划引入新的互连技术，以提升互连性能。

- 对于铜基互连，台积电计划引入一种新的通孔方案，从而将业界领先的通孔电阻再降低 25%。
- 台积电计划引入一种新的通孔蚀刻停止层，从而将耦合电容降低约 6%。
- 台积电还在研究一种新的铜势垒，它可以将铜线电阻降低约 15%。
- 除铜互连外，台积电还在研究一种含有气隙的新型金属材料，它可以将耦合电容降低约 25%。
- 插层石墨烯也是一种前景广阔的新材料，可显著缩短互连时延。

TSMC 3DFabric™技术

TSMC 3DFabric 技术组合包含三大平台：TSMC-SoIC®、CoWoS® 和 InFO。

TSMC-SoIC 平台用于 3D 芯片堆叠，并提供 SoIC-P 和 SoIC-X 两种堆叠方案。SoIC-P 是一种基于凸块的堆叠方案，适用于对成本比较敏感的应用，如移动应用。

CoWoS 平台包括成熟度最高的基于硅中介层的 CoWoS-S，以及基于有机中介层的 CoWoS-L 和 CoWoS-R。InFO PoP 和 InFO-3D 针对高端移动应用，InFO 2.5D 针对 HPC 芯粒集成。

SoIC 芯片可以根据产品集成需求整合于 CoWoS 或 InFO。

用于 3D 芯粒堆叠技术的 SoIC：无凸块 SoIC-X 方案，无论是现有的晶圆正面对背面堆叠方案的 9 微米键合间距，还是将于 2027 年上市的晶圆正面对正面堆叠方案的 3 微米键合间距，其裸晶到裸晶 (die-to-die) 互连密度均比 40 微米到 18 微米间距的微凸块 F2F 堆叠方案高出 10 倍以上。SoIC-X 尤其适用于对性能要求极高的 HPC 应用。台积电的 SoIC-X 技术发展势头强劲，预计到 2026 年底将会有 30 个客户流片。

CoWoS 技术：该技术将先进的 SoC 或 SoIC 芯片与先进的 HBM 集成，可助力高规格的 AI 芯片上市。台积电已通过 CoWoS-S 生产线交付 SoIC，并计划开发一种 8 倍光掩模大小的 CoWoS，其中包含 A16 SoIC 芯片和 12 个 HBM 堆栈，预计将于 2027 年量产。到今年年底，台积电将为超过 25 个客户实现 150 多个 CoWoS 产品流片。

台积电与英伟达合作推出了 Blackwell AI 加速器，这一全球首款量产的 CoWoS-L 产品将 2 个 N5 SoC 和 8 个 HBM 堆栈集成于一个模块。

车用先进封装：继 2023 年推出支持车用客户及早采用的 N3AE 制程之后，台积电通过整合先进芯片与封装来持续满足车用客户对更高运算能力的需求，以符合行车的安全与质量要求。台积电正在研发 InFO-oS 及 CoWoS-R 解决方案，支持先进驾驶辅助系统 (ADAS)、车辆控制及中控计算机等应用，预计于 2025 年第四季完成 AEC-Q100 第二级验证。

系统级晶圆 (System-on-Wafer) 技术

系统级晶圆技术 (SoW) 借助台积电公司成熟的 InFO 和 CoWoS 技术来扩展新一代数据中心所需的算力。基于 InFO 的 SoW 已经量产。

台积电计划在 2027 年推出基于 CoWoS 的 SoW, 它将集成先进的 SoC 或 SoIC、HBM 及其他元件。

特殊制程技术

硅光子: 硅光子是共封装光学器件的最佳选择, 因为它兼容半导体, 并且可与 EIC/PIC/ 交换机在封装层面高度集成。

台积电公司的创新型 COUPE 解决方案通过最短路径的同质铜 - 铜接口将 PIC 和 EIC 集成起来, 并可实现超高速射频 (RF) 信号 (200G/λ)。

COUPE 解决方案占用面积最小, 并含有光栅耦合器 (GC) 和边缘耦合器 (EC), 可满足客户的不同需求。

台积电公司计划在 2025 年完成小型插拔式连接器的 COUPE 验证, 然后在 2026 年将其集成于共封装光学器件的 CoWoS 封装基板, 将功耗降低 2 倍而将时延缩短 10 倍。

台积电公司还在探索一种更为先进的共封装光学方案, 将 COUPE 集成于 CoWoS 中介层, 从而将功耗再降低 5 倍而将时延再缩短 2 倍。

IMEC 推出紧凑型无线供电技术

在 2024 国际固态电路会议 (IEEE ISSCC 2024) 上, imec 推出了一种基于超声波的创新概念验证技术, 用于为植入式设备无线供电。该解决方案的尺寸仅为 8mm x 5.3mm, 可实现精确的光束转向 (最大 53 度角) 控制, 功耗降低 69%, 是最先进系统中体积最小、功耗最低的无线超声波供电装置。全局电荷再分布绝热驱动的前沿概念解决了与传统有线连接或电池相关的难题, 为微创、无线 (神经) 植入铺平了道路。

无线供电的需求

皮质内神经记录是了解和治疗神经系统疾病的关键, 但在供电方面却面临挑战。传统的侵入性布线存在疤痕和感染等并发症的风险, 而电池集成 (无需系绳连接) 则带来了体积和化学物质泄漏的问题。

使用全局电荷再分布绝热驱动: 范式转变

在欧洲研究理事会 (ERC) 资助的 "神经元内联网" (Intranet of Neurons) 项目中, imec 和代尔夫特理工大学设计出了可为神经植入物无线供电的超声波技术, 成功实现了从头骨到大脑皮层的远距离供电, 从而避免了侵入性手术或笨重组件的使用。

为了实现这一目标, 研究人员引入了一种基于 "全局电荷再分布" (global charge redistribution, GCR) 概念的独特绝热驱动技术。与传统的绝热驱动方法不同, 这种方法利用了超声波换能器阵列本身的寄生电容并回收电

荷。这样就不需要外部电容器来重新分配电荷, 设计也更加紧凑。该芯片采用 65nm CMOS 制造, 具有完全集成的 $116\mu\text{m} \times 116\mu\text{m}$ 驱动单元, 与传统的 D 类驱动相比, 可节省 69% 的功耗。这种设计使其成为最先进系统中体积最小、功耗最低的超声绝热驱动装置。

在人体内使用时, 大角度 ($>45^\circ$) 的波束转向对于最大限度地提高功率传输和补偿脑部微动和错位 (如手术和呼吸过程中发生的微动和错位) 至关重要。随着光束转向控制器的引入, imec 的 GCR 方案可实现高达 53 度的光束转向。

"尽管许多神经植入技术目前在传感和刺激方面取得了重大进展, 但作为植入物关键组件之一的无线接口仍有很大的改进空间, 尤其是在能效和外形尺寸方面。为了弥合这一差距, 充分释放神经植入物的潜力, 我们正在利用我们独特的无线、供电和遥测技术, 开发为微型植入物量身定制的微创无线系统, 其应用范围将超越皮层内神经植入物。" imec 相关人员说。

文章 "An Ultrasound-Powering TX with a Global Charge-Redistribution Adiabatic Drive Achieving 69% Power Reduction and 53 ° Maximum Beam Steering Angle for Implantable Applications," 详细介绍了该技术进步, 包括拟议的架构、电路设计和性能指标。"神经元内联网" (Intranet of Neurons) 项目获得了欧洲研究理事会 (ERC) 根据欧盟 "地平线 2020" 研究与创新计划提供的资助 (资助协议编号: 101001448)。◆

如何集成硅和III-V

为了充分利用晶体管尺寸缩小带来的所有传统优势，必须通过硅代工厂中的外延和加工工艺将硅和III-V集成在一起。

作者：Eugene Fitzgerald, Fayyaz Singaporewala, Daniel Lepkowski, Johanne Chu; NEW SILICON公司

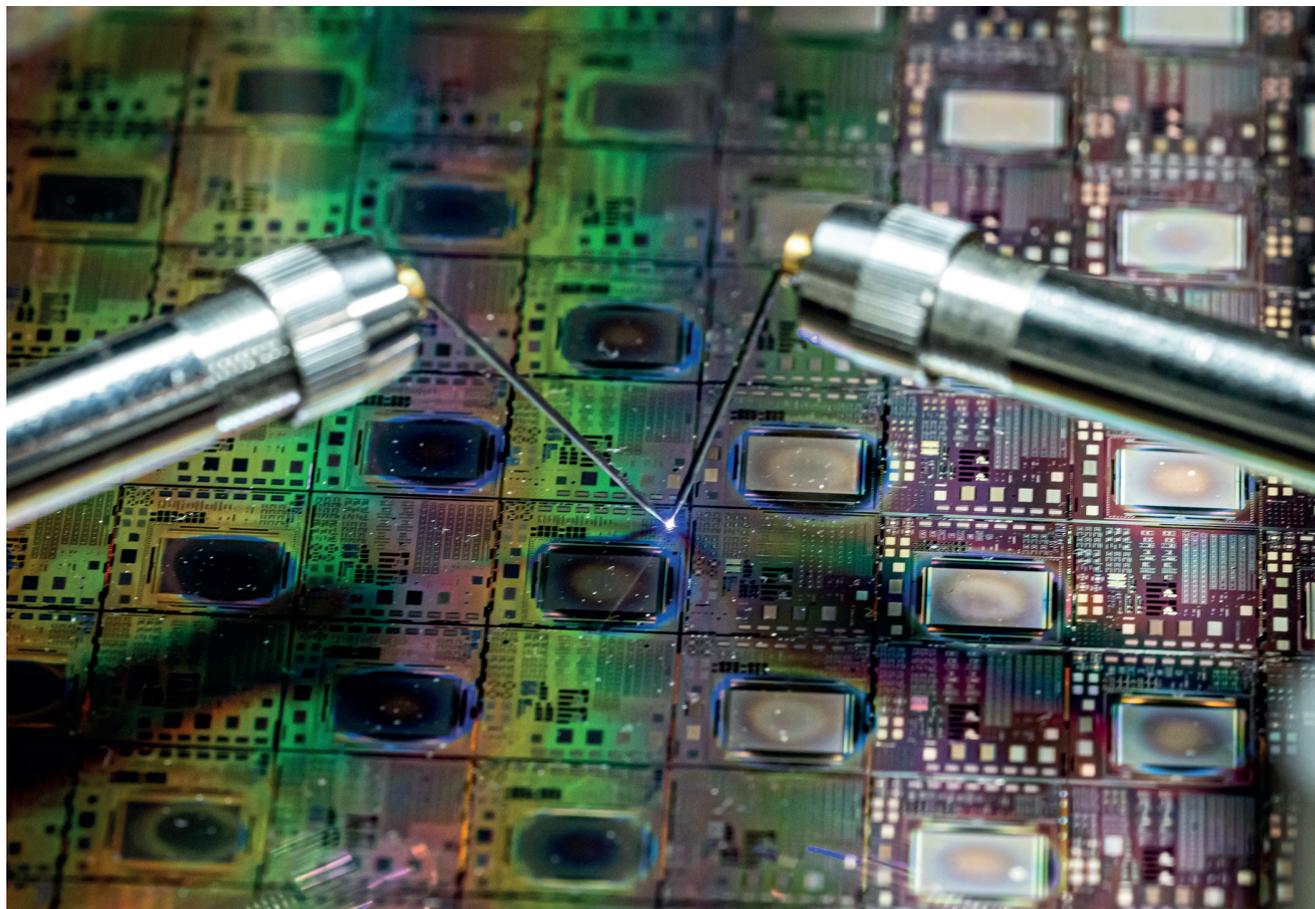
主流半导体产业仍在朝着原先的方向继续发展，硅晶体管的微型化一如既往地始终是重点。如今，这方面的成功使更多的晶体管能够集成在同一块集成电路（IC）上，从而使芯片的功能更加强大。这种方法提高了内存和计算能力，但随着半导体产业的不断成熟，预计此方法的能力也将达到极限。

除了缩小尺寸，硅产业也在探索其他方向。这包括硅与化合物半导体的集成，这一结合前景广阔，因为它提供了最大化双方各自价值的机会。将硅产业的低成本、令人

印象深刻的工具集和大规模生产与化合物的卓越性能（包括强大的发光能力、高阻断电压，以及在射频领域的效率和功率）相结合，前景十分诱人。

至关重要的是，当化合物与硅结合时，保留了与硅技术相关的优势。而其最有价值的优势还包括新型高密度器件的可能性、通过缩小尺寸增强性能，以及降低成本。

从历史上看，器件密度的增加一直是微处理器、多核处理器和硅存储器改进背后的主要驱动力。未来很多应用将同时需要高密度晶体管和高密度LED，例如可容纳数



百万像素的增强现实显示器，以及像素化光源和高效单芯片相控阵列。

一般来说,当化合物与硅结合时,缩小尺寸在增加“性能”的同时在降低“成本”方面也表现出色。缩小尺寸可以实现更高的电路频率、更低的功耗、更低的寄生效应、更低的噪声和更好的散热性能。据预测,缩小尺寸的这些性能增强优势将继续下去,并可能为高密度器件阵列(如LED和HEMT)的数字控制提供新的维度。

缩小尺寸带来的成本削减不仅仅是由于单位面积电路数量的增加,确保降低每个电路的生产成本。还需要考虑器件之间互连的平均成本——这取决于互连长度,互连越短越划算。

自1980年代以来,人们已经了解了芯片级单片集成的经济性(参见图1,该图展示了互连密度、每个互连成本和器件密度之间的关系)。自1984年以来,我们已经取得了长足的进步,当时互连密度低于每平方英寸10,000个,在电路板/封装级别而不是芯片级别实现互连具有经济意义。在过去的几年里,随着芯片中引入了越来越多的布线层,互连已经从板级或封装级迁移到芯片级。

除了前面概述的三个优势——新芯片的可能性、性能的增强和成本的降低——当引入化合物半导体时,还应该保留与硅制造相关的其他优势。这些优点包括高良率、高可靠性和快速的产品设计周期。由于对多种产品使用相同的制造工艺,良率和可靠性稳步提高。在线测量和工艺后测量的低成本自诊断功能也有助于实现高良率——集成设计工艺有助于实现这些功能。

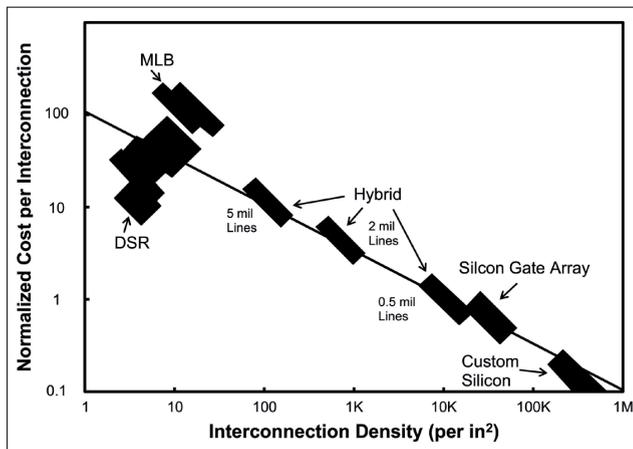


图1: 每个互连的成本与互连密度的关系。图中Custom Silicon (定制硅)和Silicon Gate Array (硅栅极阵列)是单片硅芯片(CMOS的BEOL是互连高密度晶体管)。1984年,当芯片级(以及器件)的互连密度下降到每平方英寸约10,000个时,在板级/封装级别制造的更长的互连有利于成本最优化。[引自W.H. Knausenberger and L.W. Schaper, "Interconnection Costs of Various Substrates- The Myth of Cheap Wire", IEEE Transactions on Components, Hybrids, and Manufacturing Technology, CHMT-7, pp.261-263, Sep.,1984]

另一个优势是使用通用的硅晶圆制造工艺,这增加了通过该工艺的产品数量,并推动了良率、可靠性和成本效益的提高。至关重要是,尽管有共同的方法,但每个客户都可以保留自己的设计知识产权。

与LED集成: 创建单芯片LED显示器

一个有吸引力的集成机会是创建单芯片LED显示器,通过使用数百万个晶体管驱动和寻址数百万个LED像素而形成。在这种情况下,这些显示器中的LED密度与早期微处理器中的晶体管密度相当。因此,与这些微处理器

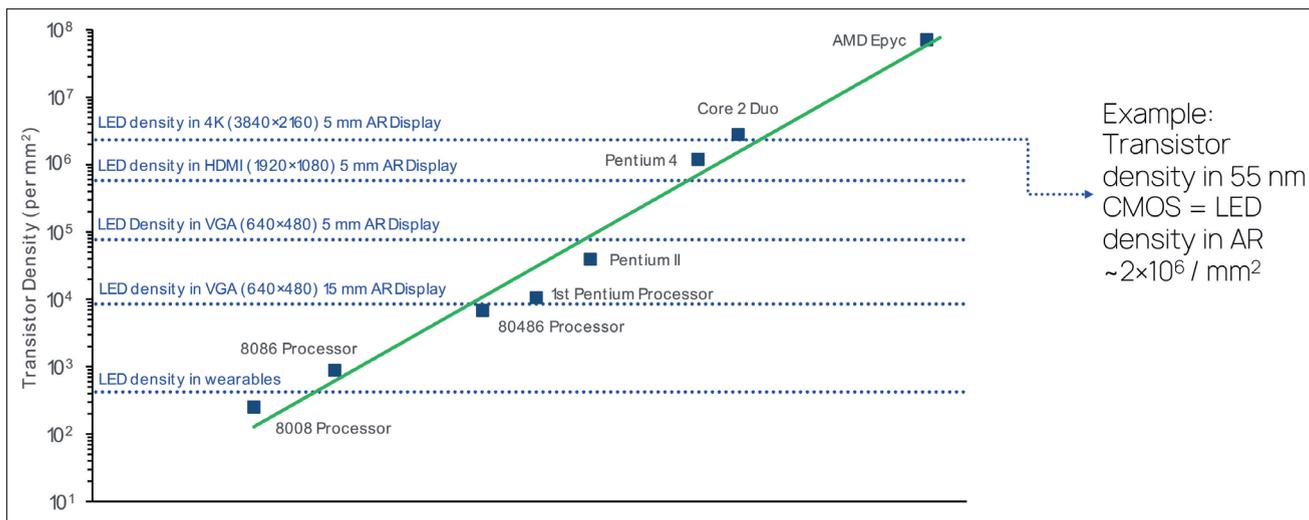


图2: 图中的绿线表示历史上晶体管密度随时间推移的增加。叠加的是当前和未来LED显示屏产品中的LED密度。随着CMOS + GaN LED的单片硅集成电路制造,微型显示器将是单芯片的,并在硅晶圆厂制造。

我们单片工艺的一个关键步骤是将CMOS FEOL转移到硅基氮化镓外延片上。转移后，CMOS FEOL保留在晶圆表面，类似于常规CMOS晶圆。CMOS FEOL表面下的GaN LED外延是隐藏的，但通过蚀刻穿透承载CMOS FEOL的硅的顶部薄表面层，仍然可以在特定区域加工GaN LED。

的情况一样，将所有这些组件封装在一起是没有意义的，因为实现这样的密度是不可行的，成本太高，而且这种方法会抵消单片集成在良率和可靠性方面的优势。

可以将包括可穿戴设备、虚拟现实（VR）和增强现实（AR）在内的一系列产品中的LED密度与历史晶体管密度进行比较（见图2）。在图中显示出，当LED成为硅制造的一部分并使用CMOS后段工艺（BEOL）方法与CMOS互连时，LED显示器的制造可能会彻底改变。请注意，反对这种趋势就像认为奔腾处理器应该通过将单个晶体管封装在一起来构建一样，例如通过巨量转移或拾取和放置技术，都是毫无意义的。

为了支持单芯片显示器的发展，我们在新加坡 New Silicon 公司的团队开发了必要的材料、工艺、结构、器件和软件设计模块，以使用硅集成电路制造来创建集成电路，该集成电路可以将 CMOS 器件和基于 GaN 的 LED 结合起来。我们的第一组产品将是白色或单色 LED，后者有红色、绿色和蓝色可供选择。对于红色和绿色产品，发光将来自蓝光泵浦量子点。未来，我们计划生产集成的全彩显示器，红色和绿色像素上都采用量子点。

我们的 CMOS + III-V 工艺由三个阶段组成（见图3）：CMOS 前端（FEOL）、新型 III-V FEOL 和 CMOS BEOL。第一阶段和最后一阶段直接取自标准硅 CMOS 制造，该制造通过使用 BEOL 中形成的多级金属互连网络，在硅晶圆上连接具有 FEOL 工艺的晶体管来生产完整的电路。对于我们的 CMOS + GaN LED 工艺，我们在 CMOS FEOL 和 CMOS BEOL 之间加入了 GaN FEOL。GaN LED 制造完成后，BEOL 的互连网络将 CMOS 晶体管和 LED 连接起来，形成一个单片集成电路。硅 CMOS BEOL 可作为硅和 III-V 族器件的互连网络。这是一种使用标准集成电路设计软件实现集成设计环境的方法。

将硅的前端和后端工艺用于 III-V 族器件的巨大好处是每个掩模都与前一个掩模对齐，从而保证整个晶圆的良率和可靠性。此外，这种方法消除了分别制造硅晶体管和 III-V 族器件，然后尝试使用晶圆级金属键合和对准互连器件时出现的问题。当 III-V 族器件位于单独的晶圆上时，在具有不同材料堆叠和热膨胀系数的两种类型的晶圆之间实现高密度对准是有问题的，而且良率低，尤其是在 200 mm 或更大的晶圆尺寸时尤其严重。

将 III-V 和硅结合在一起的另一个挑战是优化两个器件层的可用晶圆面积。当采用晶圆键合将硅芯片和 III-V

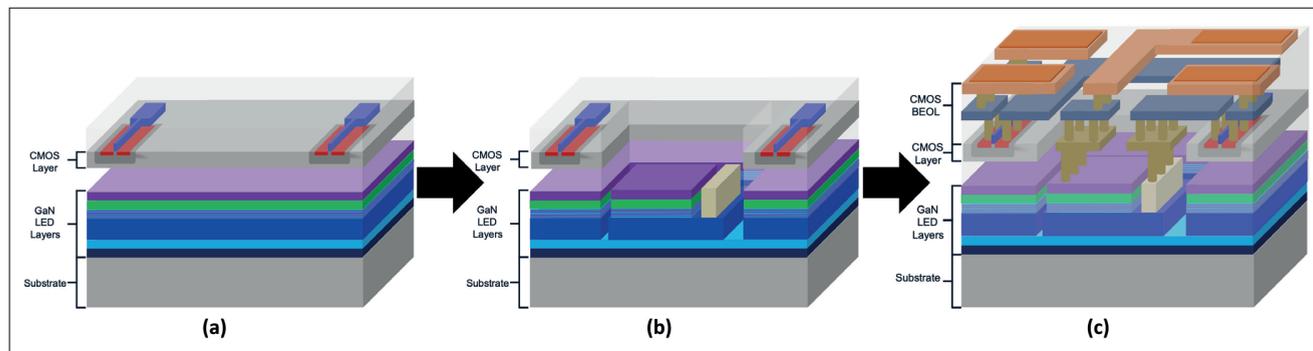


图3：在硅晶体管加工完成后，创建 CMOS + III-V 族电路的单片工艺首先在硅晶体管相同的晶圆上加工 III-V 族器件。采用顺序掩模的硅工艺策略，每个掩模都与之前的掩模保持对准，这对于工艺平台在许多产品领域获得集成和小型化的优势至关重要。(a) 根据设计，在晶圆代工工厂制造标准硅 FEOL，并转移到硅基外延 III-V 族晶圆上。(b) III-V 族器件 FEOL 完成，通过顺序掩模自动对准硅 FEOL。(c) 顺序掩模形成硅 BEOL，根据电路设计将硅晶体管和 III-V 族器件互连。图片未严格符合尺寸比例或准确的纵横比。

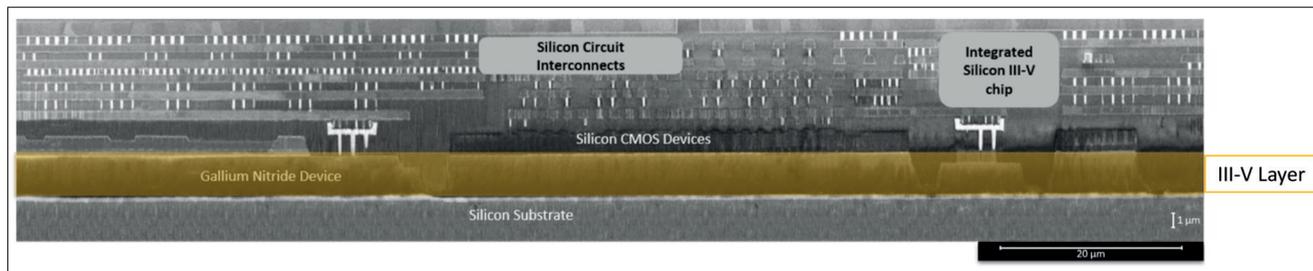


图4：使用硅晶圆代工制造加工的200毫米成品晶圆的透射电子显微镜横截面。用于BEOL的钨塞工艺也用于连接到III-V FEOL。

族芯片组合在一起时，III-V 族器件所占的面积与硅电路所占的面积不同。因此，晶圆（通常是 III-V 族晶圆）上的未使用区域需要分散电路元件，以便与晶圆上的其他芯片对齐。这远非最佳，因为它会降低每个区域的有效芯片并增加成本。不幸的是，这一基本的成本和设计限制经常被忽视，有限的用例和随之而来的更高成本是潜在晶圆销量的不利因素，进一步增加了晶圆键合方法的每晶圆成本。

更好的方法是真正的单片集成。与硅集成电路设计和制造一样，我们使用顺序掩模，使用混合硅和 III-V 器件的集成电路设计。这种方法可实现最紧凑的面积和最高效的设计，无论是电路还是芯片。由于所有设计都采用相同的工艺，因此晶圆体积最大化，有助于确保每片晶圆的成本最低。

采用我们的方法，为 LED 制造保留的区域必须与 CMOS 组件的区域分开。这是通过将 III-V 族器件模型整合到标准 CMOS 设计套件中来实现的，该套件由提供 FEOL 和 BEOL 服务的代工厂提供。工艺设计套件 (PDK) 的开发对于弥合集成电路设计和芯片制造半导体代工厂之间的差距至关重要。

我们开发了集成 CMOS+GaN PDK，为大规模电路模拟、设计和布局验证提供全面的解决方案。该 PDK 允许在我们专有的集成 CMOS+GaN 晶圆技术上进行电路设计和制造。我们的 PDK 库是专门为我们的 CMOS+GaN 产品量身定制的，它们满足传统 CMOS 代工厂或 GaN 代工厂产品组合范围之外的独特应用。

得益于工艺开发和 IC 设计团队之间的密切合作，我们对各个方面都进行了精心的微调，从而确保了集成电路设计和制造之间的稳健、可靠的连接。我们的努力将为显示器、照明和无线系统芯片解决方案的新时代提供催化剂，克服硅上 III-V 族集成电路设计和制造的挑战（参见图 4，了解加工后的 200 mm CMOS + GaN LED 电路的示例）。

到目前为止，我们专注于推出我们的初始平台，

CMOS + GaN LED 平台。然而，我们的单片集成电路工艺可以应用于任何 CMOS + X 平台，其中 X 可以是 III-V，也可以是另一种半导体材料或器件。对于集成，至关重要的是：能够在硅晶圆上生产具有适当直径的外延器件层，用于硅工艺线制造；并且这些外延器件层中的缺陷密度足够低，以确保并保持在整个产品生命周期内电路中的最终集成器件有令人满意的性能。

随着我们增加数控功率放大器的生产，我们正在准备推出下一个产品：面向 5G/6G 的单片相控阵。更快的数据速率导致了无线通信频率的增加，这带来了在大气中吸收程度更高的缺点。因此，需要将高频无线信号的传输集中在蜂窝接收站上。在去年的基础设施中，这会通过可移动的碟形天线来实现。然而，这在消费类设备中是不可行的。在智能手机等类似设备中，以电子方式将无线波束引向接收器的一种方法是使用加载有多个 GaN HEMT 的芯片，这些芯片在平面上彼此精确地布置在特定距离处。我们认为，这些在硅晶圆厂以较低成本制造的单芯片相控阵，对于扩大高带宽消费型无线系统的部署至关重要。

毫无疑问，将 III-V 族材料和器件集成到硅集成电路中，正在为硅产业的集成电路开辟全新的细分市场。对于该产业而言，将新器件集成到硅系统中将定义下一阶段的增长，由集成电路的小型化、集成化和尺寸缩小等来驱动。这将创造新的高增长市场，以极具竞争力的成本生产的高性能系统为目标。

我们目前的重点是 microLED 照明和显示市场。根据 Spherical Insights 和 Straits Research 的分析，该市场在 2022 年的价值为 6.5 亿美元，预计到 2030 年将以超过 80% 的复合年增长率攀升，届时价值将达到 365 亿美元。这个需求是由消费电子设备（包括高端智能手机和可穿戴显示器，如头戴式设备）对更明亮、更强大的显示面板的需求来推动的。◆

二维材料 ALD 的晶圆级集成变化

在晶圆级集成 ALD 生长的二维材料，需要克服先进工艺开发的挑战。

德国“波鸿二维电子系统微电子研究实验室”（Research Laboratory Microelectronics Bochum for 2D Electronic Systems, ForLab PICT2DES）项目旨在实现晶圆级微电子和微系统技术的高级应用。二维（2D）材料（比如过渡金属硫化物（TMD））所具有的独特光学、热学和机械特性，在不断发展的微技术领域（包括高灵敏度传感器、超薄逻辑器件、纳米发电机、电子器件和光电器件）有着极为广阔的应用前景。虽然此类材料会带来一些工艺上的挑战，但是，通过二维材料的层厚控制能够调节电气和光学特性，这一点在未来的应用场合中具有巨大的潜力。

波鸿鲁尔大学（RUB）正致力于建立一个稳定且可扩展的工艺链，该工艺链集成了晶圆级的高良率增材和减材技术，可以转移到工业用途。在电子和传感器领域使用最薄的二维材料，可实现全新、透明、灵活的生物相容性解决方案，并将资源消耗降至最低。

利用二硫化钼（MoS₂）二维材料，弥合晶圆级微电子和微系统技术的研究与应用之间的差距

使用超薄二维材料建立稳定、可扩展的高良率晶圆级工艺，需要应对多项工艺挑战：

- 在低加工温度下实现高质量、大面积的单层精确生长
- 在二维材料上实现无损等离子体沉积
- 对二维材料实现均匀、单层、精确、低损伤、选择性蚀刻
- 电接触

在工业环境中使用二维材料面临的主要障碍之一，材料的生长需具有与硅（Si）相似的稳定性、低缺陷密度和可靠性。从工业角度来看，避免二维材料的转移过程耗费大量的时间和成本是理想的，因此需要一种自下而上的方法，即：在目标衬底上直接沉积高质量的二维薄膜。由于衬底对温度很敏感，所以为二维柔性电子器件开发的自下而上的工艺流程应具有尽可能低的加工温度。因此，必须在晶圆片上实现包括二维材料的层堆栈

（layer stacks）的良好受控和共形生长。

对于实际的器件和系统，有必要与二维材料进行介质集成。

许多二维材料的带隙，以及从直接能带结构到间接能带结构的转变都取决于沉积层数。因此，在不影响底层的情况下实现均匀单层精确沉积的技术至关重要，但是非常具有挑战性。

由于 MoS₂ 表面没有化学键，因此无法与金属结合，从而导致肖特基势垒较高，且载流子注入效率较低。MoS₂ 有两种不同的稳定相，一种是金属 1T 相，另一种是半导体 2H 相，如此一来，虽然新的横向相变触点能够在实验室规模的薄片上成功展示，但是还必需在晶圆规模上予以证实。

项目要求

需要实施一种具有成本效益的创新型单层精确沉积、蚀刻和制备技术。柔性微电子和超灵敏微型传感器的制造工艺需要在低温下工作，并可扩展到 200 mm 晶圆技术。此外，该系统还需要与德国微电子研究中心（Research Fab Microelectronics Germany, FMD）和工业用户兼容。



图1：SENTECH 的集成型多腔室集群设备。

作者：Friedrich Witek，德国森泰科仪器（SENTECH Instruments）公司高级经理



图 2: 定制的等离子体诊断环。

满足项目要求

超薄二维薄膜对环境湿度和氧气非常敏感。为了避免样品在转移过程中发生降解，需要采用一种大型多腔室集群设备 (cluster tool)，该设备能够提供二维材料生长的直接包封，而不会破坏真空。由于要扩展到晶圆级，因此该多腔室集群设备需要研究大规模生产技术的性能、晶圆间一致性、均匀性和可重复性，以及单层原子层沉积 (ALD) 生长。

经过公开商业招标流程，项目最终选择了 SENTECH Instruments 公司的多腔室集群设备 (图 1)。该解决方案为等离子体增强型原子层蚀刻 (PEALE)、电感耦合等离子体增强型化学真空沉积 (ICPECVD)、电感耦合等离子体反应离子蚀刻 (ICP-RIE) 和等离子体增强型原子层沉积 (PEALD) 等各种工艺类型均提供了优良的模块。

对于 PEALD 工艺，使用的是 SENTECH 的真实远端电导耦合等离子体 (True Remote Conductively Coupled Plasma, CCP) 源，从而实现了二维材料的低损伤沉积。另一个关键因素是 SENTECH 平面三螺旋天线 (Planar Triple Spiral Antenna, PTSA) ICP 源，可以在二维材料沉积后对其进行低损伤加工。这些独特的多腔室集群设备为应用等离子体动力学和电气工程教席 (Chair of Applied Plasma Dynamics and Electrical Engineering, AEPT) 要求的所有等离子体诊断提供端口接入。原位 ALD 和原子层蚀刻 (ALE) 监测系统可以在整个过程中对二维材料的单层沉积和蚀刻提供出色的控制。该项目要求高度定制化，而经验丰富的 SENTECH 跨学科领域项目团队能够与波鸿鲁尔大学 (RUB) 的跨学科团队共同完成这一任务。

采用多腔室集群设备的工艺整合

工艺步骤：

- 衬底预处理
- 高介电常数介电材料 (ALD)
- 二次衬底预处理
- 二维材料的单层精确沉积
- 表面钝化和钝化层，

都完全可以在真空条件下进行，因此表面极为洁净，这对器件内部的正常接口至关重要。对于在真空环境之外进行的工艺步骤，通过保护性封装膜和金属化对器件进行钝化处理，因此可以避免二维超薄薄膜的完全降解。

等离子体加工的主要目标

等离子体加工中所需具备的关键因素有：

- 与常用器件材料的兼容性
- 高水平控制
- 能够在不改变二维器件的物理、电子和光学特性的情况下进行高分辨率图案化，即无损加工。

需要进行等离子体表面改性、衬底预处理、单层精确烧蚀和单层精确沉积。在所有的情况下，都必须精确控制等离子体特性，因此需要定制的等离子体诊断环 (图 2)，在 RIE (反应离子蚀刻) 腔室 (用于氟气) 和 ALE (原子层蚀刻) 腔室内都引入了这种诊断环。这些诊断环是可拆卸的，这意味着它们可以用传统的间隔环来替换，从而能对工艺进行比较，并转移到任何 RIE 系统。它们还允许使用不同的等离子体诊断工具 (例如阻滞场能量分析仪传感器阵列)，以确定离子能量分布函数和离子通量。此外，利用光发射谱来获取等离子体成分的相关信息。

支持复杂多腔室集群设备的基础设施配置

由于该项目的复杂性和跨学科性质，且采用了集成型多腔室集群设备，因此需要进行大量的预先规划工作。所有的利益相关方通力合作，以确保从设备交付、安装到正常运行的整个过程中，将复杂性和故障停机时间降到最低。多腔室集群设备的配置非常复杂，因此，作为一所大学，为基础设施提供支持是一项重大挑战。多腔室集群设备需要 14 条工艺气体管线、42 个工艺气体入口和大约 300 米长的气体供应 (主要是在多腔室集群设备内，也用于现场安装) 不锈钢管道，以上这些必须安装在一个房间内 (图 3)。

由于 Cl 基气体、H₂S 和硅烷以及高度易燃和有毒的 ALD 前体具有潜在的危险性，因此必须将多腔室集群设



图3：支持复杂多腔室集群设备的基础设施配置。

备及其外加设备（包括气体供应和废气管理）完全集成到洁净室的安全基础设施中。作为项目的额外组成部分，需要就废气净化装置（作为三柱系统的干床吸收器）额外发布招标公告。这必需较快地完成，以确保与其他机械设备的进度时间表相一致。

SENTECH 应用团队、工程部门、技术服务部门与波鸿鲁尔大学 (RUB) 的专家们经过不到一年的跨学科规划讨论，对多腔室集群设备进行了客户特定的修改。然而，由于多腔室集群设备和所需基础设施的规模和复杂性，事实证明，前期规划对于在规定时间内实现项目目标是非常宝贵的。密切的合作确保了机器配置、基础设施以及气体传感器安全系统与新设备的兼容性和实施问题都提前做好了计划。

集成型多腔室集群设备避免了交叉污染、不希望有的掺杂和暴露在潮湿环境下等不良问题，从而提高了薄膜质量。自 2022 年 3 月以来，此多腔室集群设备一直在运转，初步结果十分喜人。作为由德国联邦教育与研究部 (BMBF) 资助的 ForMikro 项目 FlexTMDsense (“基于二维材料系统的新型柔性传感器系统研究”) 的联合工作的一部分，计划在未来开展合作并进行系统调适。研究课题包括基于 TMD 材料类二维半导体薄膜的超薄 pH 和气体传感器系统。

如需进一步了解多腔室集群设备和定制等离子诊断环、工艺程序、以及该项目的初步研究成果，可以索取完整的案例研究报告副本。请登录 www.sentech.com 获取相关信息。

关于波鸿鲁尔大学

波鸿鲁尔大学 (RUB) 位于鲁尔区 (Ruhrgebiet)，设有 21 个学院，有来自世界各国的 42,600 多名学生。RUB 是著名的国际顶级科研机构，也是由德国教育研究部资助的 12 个“德国微电子研究实验室” (ForLab) 之一。ForLab 项目的设立旨在为微电子学开辟新的研究领域，并充当从科学到产业的过渡中心。

关于 SENTECH Instruments 公司

SENTECH Instruments 公司开发、制造和销售创新设备，专注于半导体技术、微系统、光伏、纳米技术和材料研究领域的薄膜沉积、结构化和特性分析。SENTECH 采用椭圆偏光仪和反射仪为非接触、非侵入式光学特性分析提供先进的解决方案。SENTECH 是使用等离子体工艺技术进行薄膜 ALE 和 ALD 的高水平专业厂家，为许多尖端应用提供支持。◆

先进封装之于化合物半导体——大有用武之地

半导体材料的演进已历经三代，第一代的硅（Si）、锗（Ge）；第二代的砷化镓（GaAs）、磷化铟（InP）；第三代的碳化硅（SiC）、氮化镓（GaN）。目前，全球 95% 以上的集成电路（IC）是基于硅晶圆生产的。随着物联网、新能源汽车及 5G 时代的到来，以第二代和第三代半导体为代表的化合物半导体正逐步渗透更多应用场景，市场规模也在不断扩大。

本文将结合不同半导体材料，特别是化合物半导体的特性，阐述近年来呈爆炸式向各个方向发展的先进封装，在化合物半导体器件制造中的应用。

为什么需要化合物半导体？

虽然硅技术和产业链很成熟，芯片制造成本也低，但材料的物理性质限制了其在光电子、高频高功率器件和高温器件中的应用。三代半导体材料有着不同的特性，这也决定了它们自身的优势适合不同的应用场景。

第一代半导体包括硅、锗，其间接带隙较窄，饱和电子迁移率较低，主要应用于低压、低频（约 3GHz）、中低功率（100W 左右）的晶体管和探测器中，是目前半导体器件和集成电路的主要制造材料；由于产业链成熟、成本较低，渗透率已近 95%。

第二代半导体包括砷化镓、磷化

铟等，为直接带隙，电子迁移率更高，广泛应用于功率在 100W 左右、频率约 100GHz 的卫星通信、移动通信和 GPS 导航领域。不过，砷化镓资源较为稀缺，价格昂贵，且材料具有毒性，对环境危害较大，其渗透率近 1%。

第三代半导体包括碳化硅、氮化镓等，具有禁带宽度大、击穿电场高、热导率高、电子饱和速率快、抗辐射能力强是优点，可满足电力电子技术对高温、高功率、高压、高频以及抗辐射等工作场景的要求，其渗透率近 5%。

事实上，随着硅半导体材料主导的摩尔定律逐渐走向其物理极限，具有高电子迁移率、高临界击穿场强、高导热能力以及直接能隙与宽能带等特性优势的化合物半导体开始崛起，有望成为超越摩尔定律的途径之一。图 1 是第二代和第三代半导体的化合物半导体的应用分类。

值得一提的是，随着化合物半导体器件的日益普及和广泛应用，出于应用需求，对化合物半导体器件和模块的封装也提出了新的要求，如低损耗、低感量、高功率密

度、高散热性能、高集成度、多功能等，正催生出与硅器件封装技术和产品形式不同的发展路线，目的是利用先进封装工艺满足上述要求，同时提升产品的可靠性。

化合物半导体的先进封装

事实上，先进封装的发展起源于业界头部代工厂，例如，近年来，英特尔在先进工艺的研发方面频频“难产”，逐渐与台积电、三星拉开了差距。因此，英特尔愈发看重先进封装的研发，不断发力先进封装技术。相比传统封装，通过采用先进设计理念和先进集成化加工工艺，先进封装有助于提升芯片功能密度、缩短互连距离和实现系统重构。

现阶段，先进封装类别主要包括倒装焊（FlipChip）、晶圆级封装（WLP）、2.5D 封装（Interposer（中

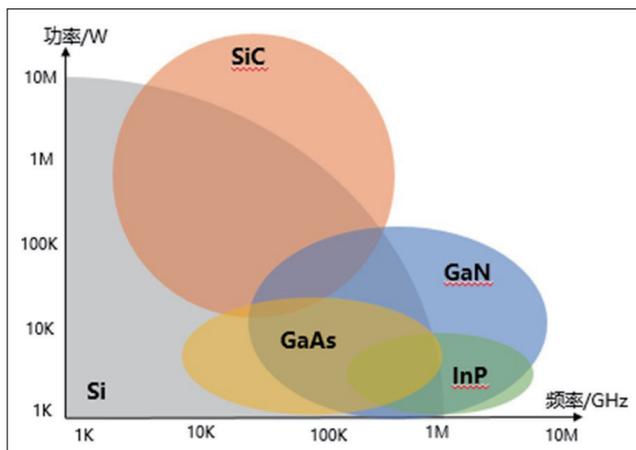


图1：化合物半导体的应用分类。（图源：英飞凌）

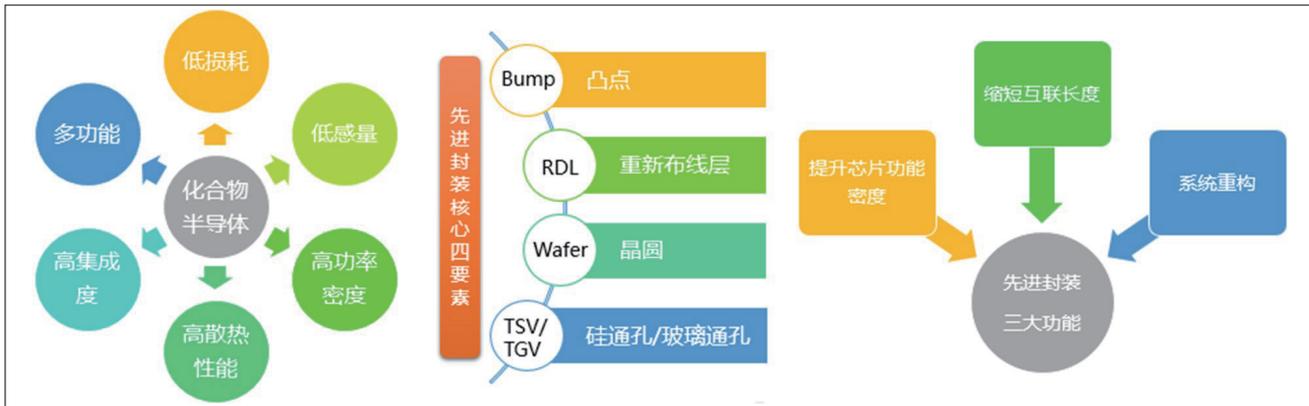


图2: 先进封装的要素和功能。

介层))、3D封装(TSV/TGV/Embedded)、系统级封装(SiP)、小芯片(Chiplet)等。图2显示了先进封装的要素和功能。

功率电子应用化合物半导体的封装

几经迭代,功率半导体正在向低阻抗、高功率、高频率特性演变。高功率密度、小尺寸的特性使得GaN和SiC成为功率半导体的新宠,GaN功率电子器件主要以高电子迁移率晶体管(HEMT)为主,在高频功率应用方面有巨大潜力;而SiC功率器件主要是二极管(SBD/JBS)和金属-氧化物半导体场效应晶体管(MOS-FET),适用于功率在1kW-500kW、工作频率在10kHz-100MHz的场景。两

者都可应用于对能量效率和空间尺寸要求较高的应用。

需要指出的是,要充分发挥化合物半导体材料的优异特性给封装技术带来了一些新的挑战,封装在很大程度上决定了功率半导体器件是否具有更高的功率密度和可靠性,是否能耐受更高的温度,更好地适应恶劣环境。

传统硅基功率器件封装普遍采用引线键合和单面散热技术,存在寄生参数较高、散热效率差的问题。为解决这些问题,无引线互连和双面散热等技术应运而生。

GaN HEMT 器件封装路线

GaN HEMT 器件封装路线技术发展路线图及先进封装应用实例如

图3所示。可以看到,伴随着高频率的升高和功率密度的增加,键合材料和封装方式都在变化,以适应GaN HEMT器件性能的逐步提升。

一个应用实例是EPC公司的晶圆级CSP封装方法,为了优化开关性能,最大限度减小封装寄生效应,它采用在钝化芯片的源极、栅极及漏极上形成Bump(凸点),将其直接贴在PCB上。由于没有键合线,最大限度减小了寄生电感和界面热阻,见图4。

另一个应用实例是GaN Systems的定制化嵌入式封装解决方案,采用了独有的专利技术Island Technology,实现大电流芯片性能和良率,同时用

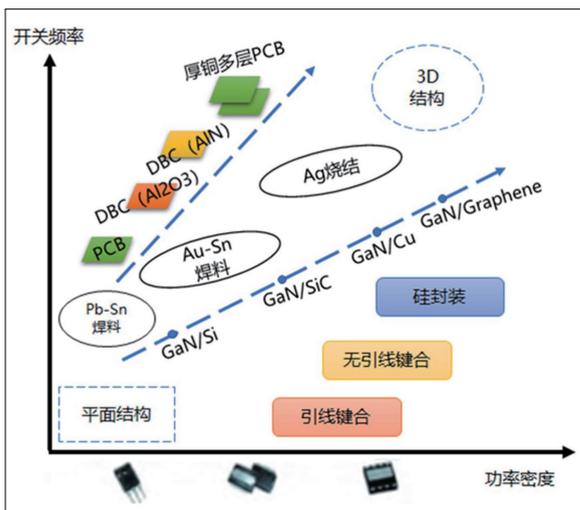


图3: GaN HEMT器件封装路线图。(图源:电子与封装)

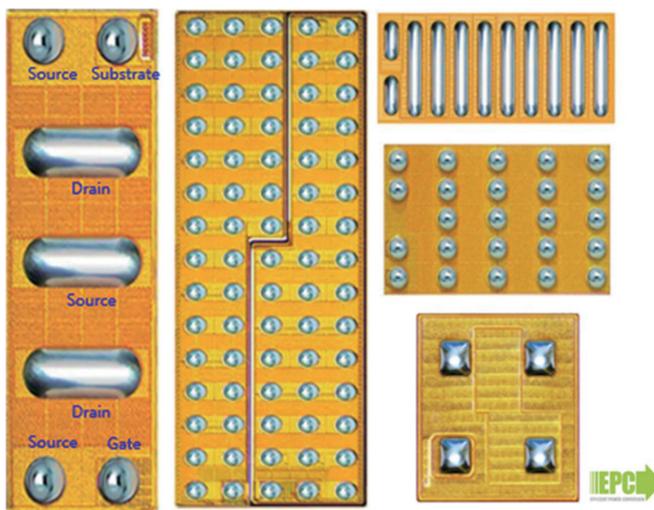


图4: 晶圆级CSP封装。(图源: EPC)

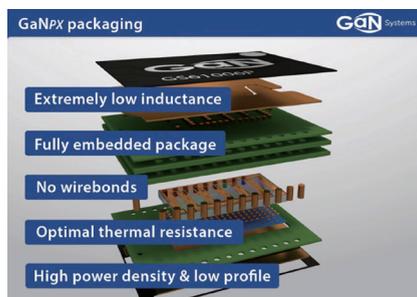


图5: 定制化嵌入式封装。(图源: GaN Systems)
GaNPX® 封装技术实现小型封装中的低电感和低热阻, 见图 5。

SiC MOSFET 新封装结构

SiC 器件的结电容更小, 栅极电荷更低, 因此开关速度极快。由于开关过程中电压和电流随时间的变化率 (dv/dt 和 di/dt) 极高, 会出现驱动电压波形过冲和震荡, 增加器件电压应力、开关损耗及电磁干扰问题, 严重时甚至引起功率器件误开关, 因此, SiC 功率器件对寄生电容和寄生电感更加敏感。针对上述问题, 国内外同行开发了一系列新的封装结构, 用于减小杂散参数, 特别是杂散电感, 如表 1 所示。

以下分别介绍三类 SiC MOSFET 的封装形式。

(1) 单管翻转贴片封装

阿肯色大学团队借鉴 BGA 封装技术, 提出了一种单管翻转贴片封装技术, 见图 6。方法是通过一个金属连接件将芯片背部电极翻转到和正面

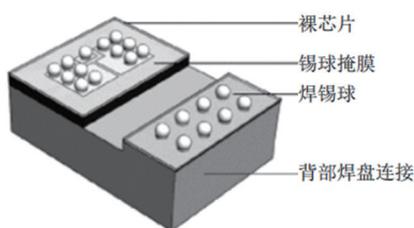


图6: 单管翻转贴片封装。(图源: University of Arkansas)

电极相同的平面位置, 然后在相应电极位置上植上焊球, 以此消除了金属键合线和引脚端子。相比 TO-247 封装, 其体积减小了 14 倍, 导通电阻减小了 24%。

(2) 芯片正面平面互连封装

平面互连方式不仅可以减小电流回路, 进而减小杂散电感和电阻, 还具有更出色的温度循环特性和可靠性。

① Cu-Clip (铜夹片): 是一种新型芯片互连技术, 利用特殊的铜夹片实现芯片与封装基板的连接, 需要采用溅射及电镀或电镀工艺实现芯片表面的金属化处理;

② 嵌入式: 该方法将芯片置于陶瓷定位槽中, 再用绝缘介质填充缝隙, 最后覆盖掩膜两面溅射金属铜, 以实现电极连接。通过选择合理的封装材料可以减小模块在高温时的层间热应力, 并能在 279℃ 的高温下测量模块的正反向特性。平面直连封装工艺通过消除金属键合线, 将电流回路

从 DBC 板平面布局拓展到芯片上下平面的层间布局, 显著减小了回路面积, 还可实现低杂散电感参数。例如 SCHWEIZER 公司的 p² 封装和 ASE 的嵌入式基板都是将功率半导体嵌入印制电路板的技术, 如图 7 所示。

(3) 双面散热封装技术

图 8 是一个典型双面散热封装 SiC 模块, 其上下表面均采用 DBC 板焊接, 可实现上下表面同时散热。该工艺的难点在于, 芯片上表面需要进行溅射或电镀处理使其可焊接, 且在芯片上表面还要增加金属垫片、连接柱等, 以消除同一模块中不同芯片的高度差。由于 SiC 芯片面积普遍很小, 如何保证在有限的上表面面积范围内的焊接质量是该工艺的关键。得益于上下 DBC 的对称布线与合理的芯片布局, 该封装可将回路寄生电感参数降到 3nH 以下, 相比传统封装模块热阻可下降 38%。

光电子应用化合物半导体的封装

目前, 光电子器件及组件与 IC 或 I/O 外引线的连接主要基于陶瓷板载芯片共晶焊, 或采用胶结以及金丝球键合。模块封装采用传统的 SMD 封装, 即将光器件或组件与 PCB 电互连, 然后根据协议或客户指定的外壳实现封装工艺。

表1: SiC器件典型封装结构 (中国电机工程学报)

器件	金属键合线	封装方式	功率等级	杂散电感大小	制造商
分立器件	有	TO247、TO220、TO263 等	650V~1700V/5A~100A	10~20nH	Wolfspeed、Rohm、Infineon 等
	无	翻转贴片	650V~1200V/15A~35A	<5nH	阿肯色大学
功率模块	有	传统封装	1200V~1700V/20A~500A	20~30nH	Wolfspeed、Rohm、Infineon 等
		DBC+PCB 混合封装	1200V~1700V/20A~100A	<5nH	CPES、华科等
	无	SKiN	1200V/400A	<1.5nH	Semikron
		DLB、Cu-Clip、SiPLIT	650V~1200V/100A~300A	<5nH	Silicon Power、IR、Siemens
		双面焊接 (烧结)	650V~10kV/50A~300A	<5nH	橡树岭实验室、中车时代电气、天津大学、CPES 等
		压接	1200V/100A~200A	<10nH	浙江大学、阿肯色大学、阿尔堡大学
	三维封装	1200V/80A	<1nH	格勒诺布尔-阿尔卑斯大学	

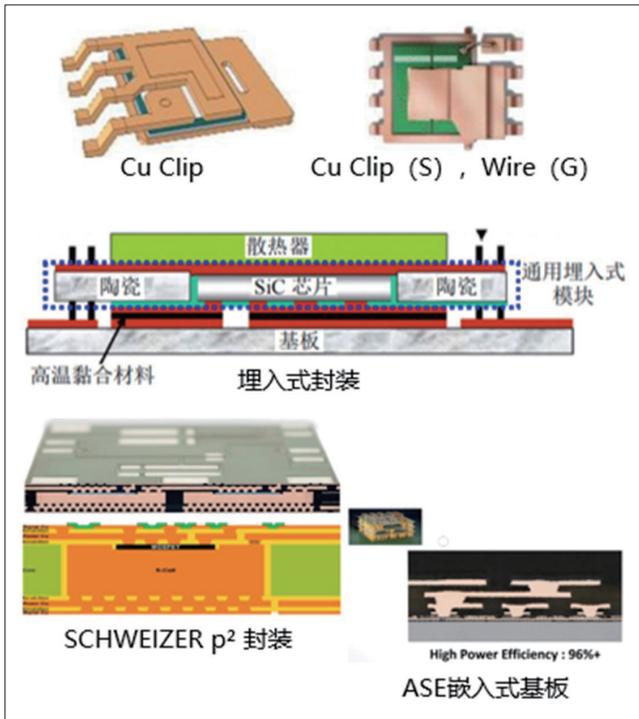


图7: 嵌入式基板封装, (图源: SCHWEIZER和ASE)

术, 背光封装多采用 COB/COG 技术;

(2) VCSEL 激光器封装

传统 VCSEL 采用 COB 封装。为了降低杂散电感, 衍生出了 FlipChip 封装, 其优点包括: 减少封装步骤、降低封装成本、低电感, 实现 2D 阵列可寻址、晶圆级光学集成等。图 9 是几种 VCSEL 激光器封装形式。

(3) 光模块光电合封

光电合封解决了小尺寸可插拔光学收发器带来的一些挑战, 如热管理、功耗、带宽和端口密度, 如图 10 所示。其目的是使光电转换过程尽可能靠近计算、转换或 ASIC, 以获得更高的带宽和能量效率。将有源器件和光收发器安装在同一基板上, 可以消除主板上铜线路造成的所有损耗和失真。

2.5D/3D 封装难点在于高密度光电载板工艺、高精度的光电芯片组装工艺, 以及阵列光纤连接器的耐高温性。

射频通信应用化合物半导体的封装

射频前端器件的工艺技术分类如图 11 所示, 目前 RF SAW 滤波器常用的两种封装结构分别为 BDMP 和 WLP。

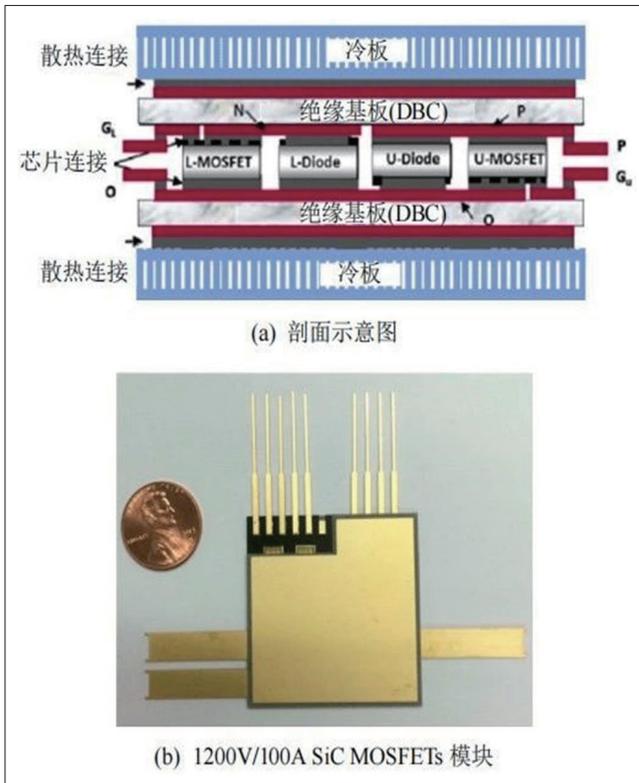


图8: 典型双面散热封装SiC模块。(图源: 中国电机工程学报)

(1) Mini/MicroLED 封装

Mini/MicroLED 主要采用直显封装, 如 IMD/COB 技

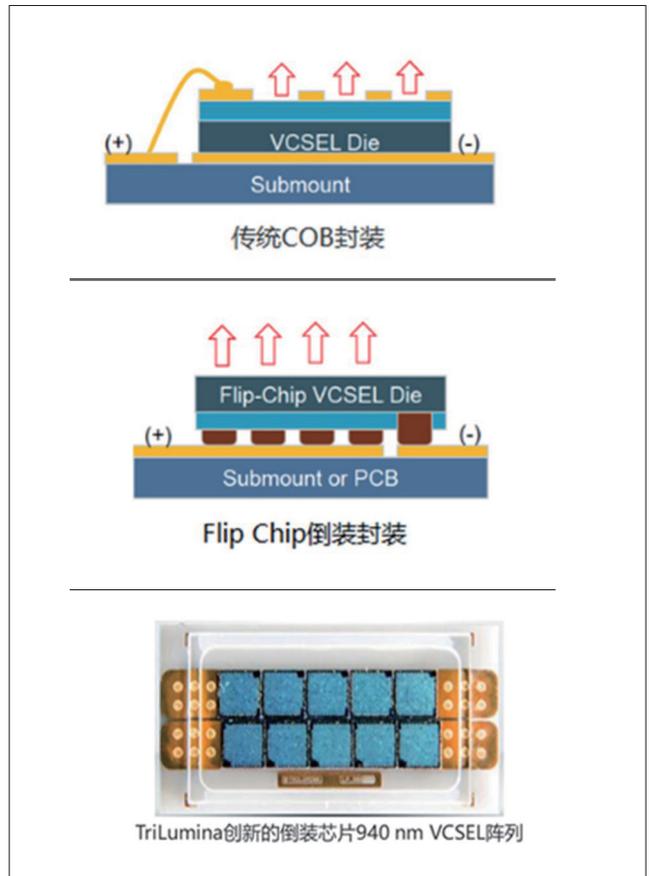


图9: VCSEL激光器封装。(图源: AMS-Osram和TriLumina)

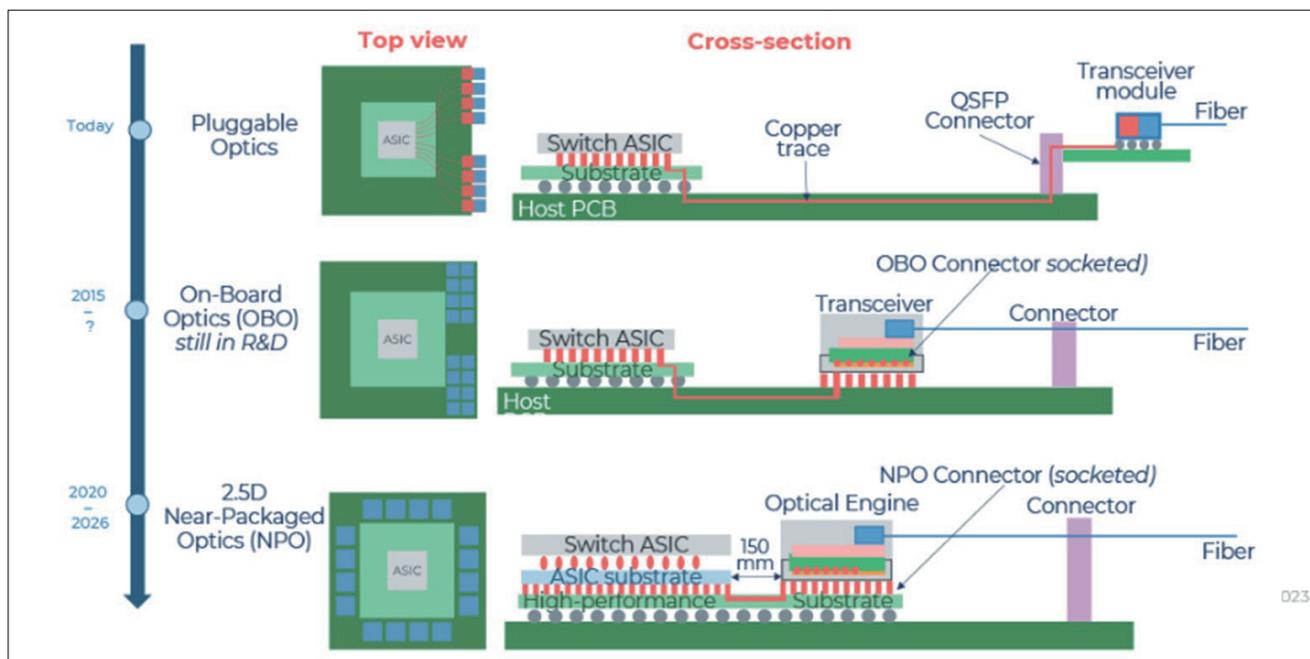


图10：光电封装截面图。（图源：Yole Group）

在射频前端器件工艺技术中，RF 开关的工艺包括 CMOS、硅、砷化镓、氮化镓；RF 滤波器采用 BAW 和 SAW 工艺；高功率放大器的工艺有砷化镓和氮化镓；放大器工艺主要是氮化镓、氮化镓、SOI、硅锗和硅。

云天半导体的先进封装

厦门云天半导体科技有限公司（简称云天半导体）成立于 2018 年 7 月，致力于高速、高频通信等应用的先进封装与系统集成，通过自主研发与持续创新，为客户提供从产品协同设计、工艺研发到批量生产的全流程解决方案和服务。

云天半导体一期厂房建筑面积约为 4500 平米，引入国内稀缺的 4/6 英寸晶圆级 3D 封装平台，特别针对 SAW/

FBAR 等产品应用；二期厂房建筑面积约为 35000 平米，已于 2022 年 9 月通线，引入 4/6/8/12 英寸晶圆级封装平台，总体规划产能 8 万片/月，目前释放产能 1 万片/月，主要聚焦 IPD/WLCSP/FO 等封装。

云天半导体的“特色工艺+先进封装”主营业务涵盖以下四大板块：

(1) WLCSP/Bumping (凸点制作)

云天半导体提供 0P1M、1P1M、2P2M、3P3M 等 SolderBall 及 CopperPillar 工艺，见图 12。三种成熟的 SolderBall 实现工艺包括：Print(钢网印刷)、BallDrop(植球)和 Plating (电镀)。工艺能力包括化镀 NiAu/NiPdAu 以及电镀 Cu/Ni/SnAg。针对 SAW 和 FBAR 产品，具备成熟的 CSP 封装工艺（化镀 UBM+BGA）以及 WLP 双层膜工艺

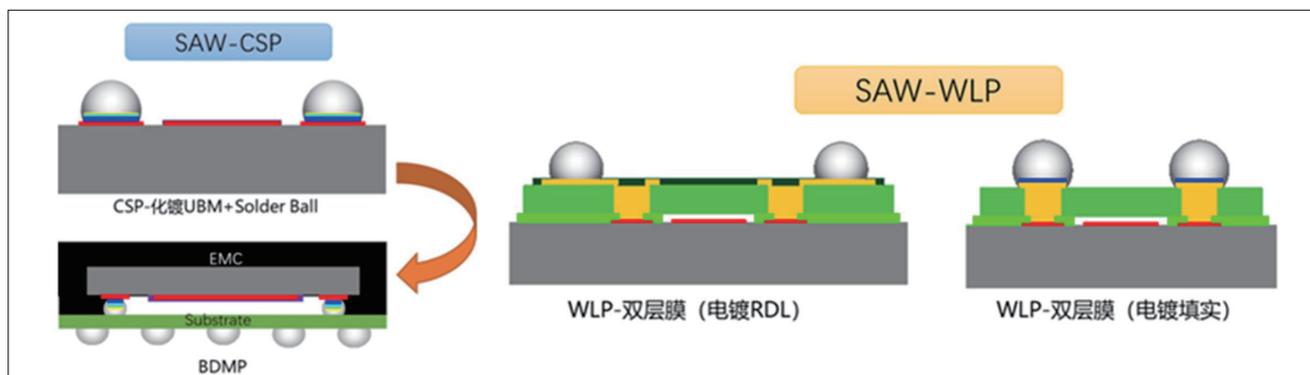


图11：射频前端器件工艺技术分类。（图源：云天半导体）

Bump	结构侧剖示意图	SEM示意图	备注
Copper Pillar			
Solder Ball			UBM: • 电镀 Ni/Pd/Au • 电镀 Cu/Ni/SnAg Solder Ball: • Print-Solder Paste • Ball Drop-Solder Sphere • Plating

※Reflow瞬时最高工艺温度: 265°C左右;

图12: SolderBall及CopperPillar工艺。(图源: 云天半导体)

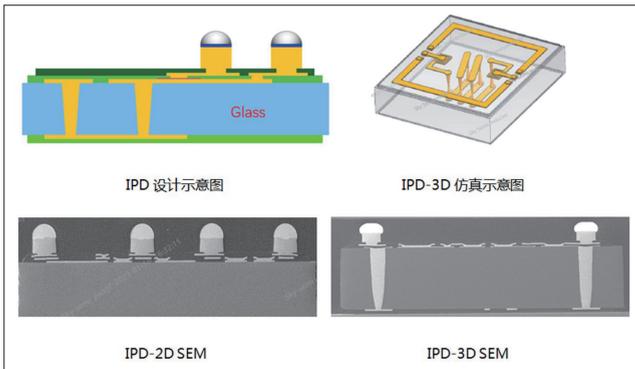


图13: 晶圆级玻璃基IPD产品。(图源: 云天半导体)

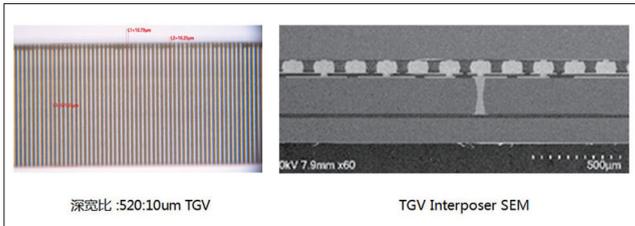


图14: 2.5D玻璃中介层。(图源: 云天半导体)

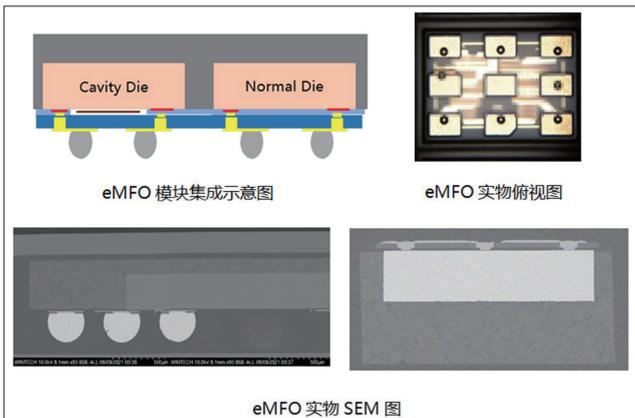


图15: eMFO。(图源: 云天半导体)

(电镀 RDL 结构和电镀填充结构)。

(2) IPD

图 13 是颇具特色的晶圆级玻璃基 IPD 产品，它具有

低成本、高集成度、高 Q 值等特性，适用于高频应用领域。根据不同电感设计方式，IPD 可分为 2D 结构（平面电感）和 3D 结构（3D 电感）。

(3) Interposer (中介层)

图 14 是云天特色的 2.5D 玻璃中介层产品，它采用激光诱导 + 刻蚀方式形成玻璃通孔，具备大规模量产能力，同时配备玻璃通孔及玻璃表面金属化能力，有助于实现信号互连。该产品具有优良的高频电学、机械特性，而且成本低、工艺流程简单，广泛应用于射频组件、光电集成、MEMS 等领域。

(4) SiP

云天半导体的 SiP 封装主要基于新型晶圆级扇出工艺，根据芯片埋入基底材料不同，分为塑封料扇出封装 (eMFO) 和玻璃基扇出封装 (eGFO) 两大类。

① eMFO：用于射频器件模块集成，具有高可靠性、多芯片集成的特点；用于光收发芯片集成，具有性能优异、易于批量生产的特点，见图 15。

② eGFO：是适用于高频领域理想的系统集成解决方案，具有低成本、低损耗、可扩展到方板、以及优良的电学特性及机械性能，可以通过 TGV 集成天线 3D 封装 (AiP)，见图 16。

除了以上四大全流程业务板块外，云天半导体还可承接以下短流程工艺，满足客户的不时之需：

电镀镍金或镍钯金应用涵盖电镀 UBM、电镀金属层、电镀 Bump、电镀 OPM 等，见图 17/ 图 18。

电镀工艺能力支持晶圆尺寸、晶圆衬底、Pad 形状、最小化镀 Pad、阶梯电镀深度、最薄电镀金属层、来料厚度、电镀厚度范围和 Passivation 等，如表 2 所示。

③ DPS (CP 测试 / 研磨 & 切割 / 分选编带)

DPS 的工艺流程包括：分选 → 切割 → 晶圆测试 → 研磨。CP 测试设备构架如图 19 所示。

表2: 电镀工艺能力。

项目	内容	备注
支持晶圆尺寸	4寸/6寸/8寸/12寸	
支持晶圆衬底	Si、LT、SiC、GaN、Glass、Sapphire等	支持晶圆背面贴附保护膜
支持Pad形状	圆形, 方形	
最小化镀Pad	Pad开口: min 20um (圆 pad) Pad间距: min 20um (圆 pad)	
阶梯化镀深度	20um (20um pad, 宽深比>1)	沟槽型化镀
最薄化镀金属层来料厚度	AICu 0.5-5%: > 0.8um (铝基) PVD Al: > 1um (铝基) EVD Al: > 2um (铝基) Cu: > 1um (铜基)	铝 / 铝硅铜同类
化镀厚度范围	Ni: 2~10um Pd: 0.05~0.3um Au: 0.02~0.1um	
支持 Passivation	Silicon -nitride, -oxide, -ox-nitride	其他材料需验证

如表3所示, DPS的研磨工艺适用于单一材质和混合材质, 具备不同的量产能力和工程样品能力。DPS切割工艺目前主要采用机械切割和激光隐切两种, 支持各种晶圆材质。

DPS分选编带设备有两种, 均支持4英寸、6英寸、8英寸晶圆, 表4给出了具体工艺能力参数。

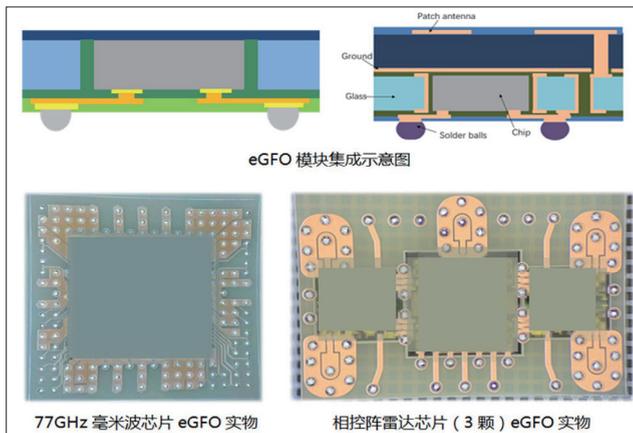


图16: eGFO。(图源: 云天半导体)

应用	产品种类	封装方式	应用实例	金属层厚度
化镀UBM	• Filter • LED • ASIC • CIS	• WLCSP • Flip Chip		• 3~5um Ni; • 薄Au;
化镀金属层	• MOSFET • IGBT	• Wire Bonding • Cu Clip • Sintering		• 1~3um Ni; • 200~300nm Pd; • 薄Au;
化镀Bump	• RFID • Driver IC	• Adhesive		• 10um Ni; • 薄Au;
化镀OPM	• Automotive • ASIC • CIS	• Wire Bonding		• 3~5um Ni; • 200~300nm Pd; • 薄Au;

图17: 化镀应用。(图源: 云天半导体)

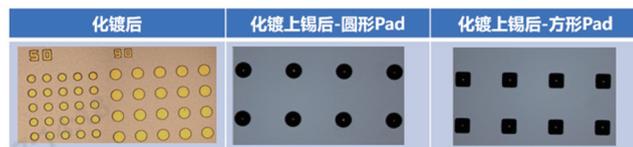


图18: 化镀TestVehicle实物效果图。(图源: 云天半导体)

序号	支持探卡种类
1	悬臂探卡
2	射频探针
3	薄膜探卡
4	Pogo Pin

薄膜探卡示意图

CP测试设备构架

序号	测试项目
1	S参数测试
2	OS测试
3	MOS测试
4	BV测试
5	电阻测试

序号	测试对象
1	封装前 (Pad)
2	封装后 (Bump)
3	整个Wafer
4	单颗Die
5	切割后带Ring环的Wafer

测试设备组合

射频器件Smith圆图

Prober	Tester
1 Wafer Size: 4/6/8 (Inch)	1 支持有源&无源器件的测试
2 支持全自动、半自动上下片	2 频率范围: 100K~20G (分辨率: 1Hz)
3 Wafer Materials: Si/Glass/LT	3 电压: 最高40V, 针对MOS测试最高1000V
4 Wafer Warpage: ≤3mm	4 电源: ±1A, ±10uA
5 测试温度: 常温~150°C	5 Port: 6个

图19: CP测试设备构架。(图源: 云天半导体)

表3: DPS研磨和切割工艺。(图源: 云天半导体)

DPS-研磨工艺简介				
材质	序号	项目	量产能力	工程样品能力
单一材质	1	支持晶圆材质	Si/Glass/EMC/LT	
	2	支持晶圆尺寸	4寸/6寸/8寸/12寸	4寸/6寸/8寸/12寸
	3	支持最薄晶圆厚度	150um	100um
	4	TTV (After Bond)	5um	3um
	5	粗糙度	≤0.025um (Si)	≤0.01um (Si)

材质	序号	项目	量产能力	工程样品能力
混合材质	1	支持晶圆材质	Si+EMC	Si+EMC/Glass+EMC
	2	支持晶圆尺寸	6寸/8寸	4寸/6寸/8寸/12寸
	3	支持最薄晶圆厚度	200um	150um
	4	TTV (After Bond)	5um	3um

➤ DPS-切割工艺简介

- 目前主要采用**机械切割**和**激光隐切**两种
- 支持晶圆材质: **Glass/Si/EMC/LT/LN/SiC/GaN**等
- 机械切割机台主要由以下几大模块构成:
 - 1.图像采集系统 (显微镜)
 - 2.主轴
 - 3.切割工作盘
 - 4.人机操作系统
- 激光隐切面向窄切割道的玻璃和硅片
- 可作业的晶圆尺寸: 4寸/6寸/8寸/12寸晶圆
- 管控: 切割后芯片尺寸/崩边

切割质量SPC图 (MES系统)

表4: DPS分选编带设备参数。(图源: 云天半导体)

DPS-分选工艺能力			DPS-分选设备展示图	
	项目	设备型号A	设备型号B	
能力	加工尺寸	4、6、8、12inch	4、6、8、12inch	 <p>设备型号A</p>  <p>设备型号B</p>
	可加工材质	Si、LT、EMC、Glass	Si、LT、EMC、Glass	
	Barcode scan	可以	可以	
	检测模块	支持芯片6面检验	支持芯片6面检验和返工功能	
	Reel导入数量	Input10 + Output 10	Input10 + Output 10	
	Map功能	支持	支持	
	PCM (Special Bin & pattern)	支持	支持	
	Skeleton map verification	支持	支持	
	Reel Size	7~13inch	最大直径500mm	
	UPH 1*1mm	42K	40K	
	Die size	0.2*0.2 9.0*9.0mm	0.2*0.4 7.0*7.0mm	
	Carrier Tape	8/12/16mm	8/12/16mm	
	崩边管控	深度≤50um; 长度≤芯片短边3/1	深度≤50um; 长度≤芯片短边3/1	
	脏污, 残胶管控	长度≤80um 面积≤3500	长度≤80um 面积≤3500	
精度	识别精度	6um	6um	
	X轴	±30um	±30um	
	Y轴	±30um	±30um	

总结

今天, 集成电路技术已进入“后摩尔时代”, 受成本及技术壁垒等因素的限制, 先进制程短期内突破难度很大, 而通过先进封装提升芯片整体性能并有效降低成本, 已成为集成电路产业发展的热门赛道。

厦门云天半导体在先进封装领域深耕多年, 具备从4寸、6寸、8寸到12寸全系列晶圆级封装工艺能力, 以

WLCSP/IPD/TGV/Fan-out等领先创新技术为客户提供系统封装集成解决方案和量产服务。针对化合物导体材料的成熟的WLCSP/Bumping和FO先进封装技术可以实现全流程的Turnkey交付。未来, 云天团队将继续发扬“创新、卓越、合作、奋斗”的精神, 不断创新, 挑战极限, 为客户提供更具性价比的解决方案。◆

利用AI高效测试AI芯片

业界借助一些半导体器件将人工智能和机器学习引入到云端和边缘，由此也带来了这些半导体器件的重大测试挑战。半导体测试行业通过利用人工智能和机器学习技术来分析和关联整个半导体价值链中的数据，从而能够很好地应对这些挑战。

作者：Ira Leventhal，ADVANTEST美国公司应用研究与技术副总裁



新兴的人工智能（AI）和机器学习（ML）应用正在推动半导体行业的一场革命。传统的中央处理器（CPU）已经让位于图形处理单元（GPU）来处理 AI 和 ML 编程中常见的大规模并行计算，而 GPU 本身也面临着来自新一代 AI 处理器的竞争，这些处理器的架构针对 AI 和 ML 的推理和训练进行了优化。其中许多 AI 处理器是由半导体领域的新进入者开发的，例如超大规模公司和初创公司。

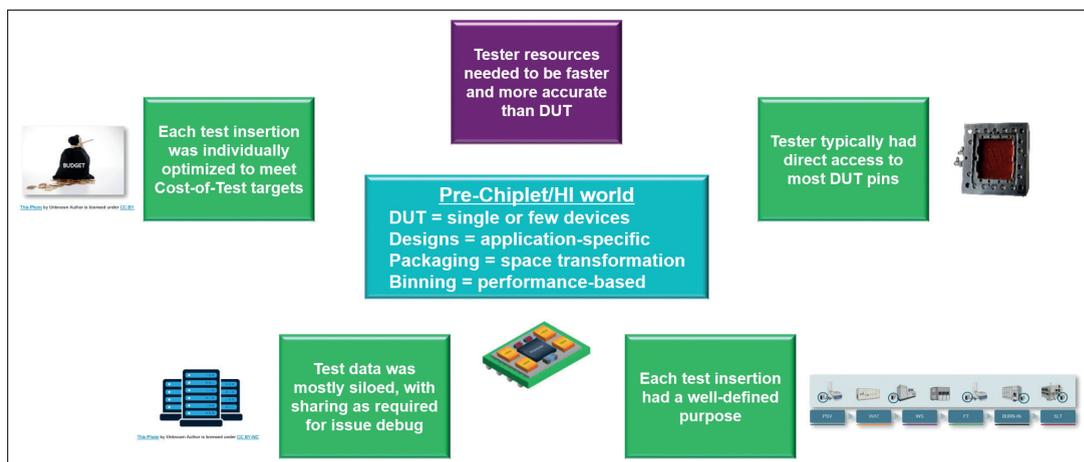
半导体测试行业在帮助客户解决转向专用 AI 处理器和其他高性能计算器件所带来的问题方面发挥着至关重要的作用。测试行业还面临着随之而来的挑战，例如工艺节点缩小、异构集成（HI, heterogeneous integration）封装的激增、先进通信架构的部署，以及芯片制造商不断突破功耗极限。具体的倡议方案包括实时自适应测试、预测性维护、直流参数测试改进、原位热测试和优化以及高效的工作流程平衡。应对挑战的关键是在生产和测试过程中利用 AI 和

ML。Advantest 正在部署多种功能来支持 AI 器件测试，包括硬件、接口、处理、热管理和数据分析（包括 AI 和 ML）方面的进步。

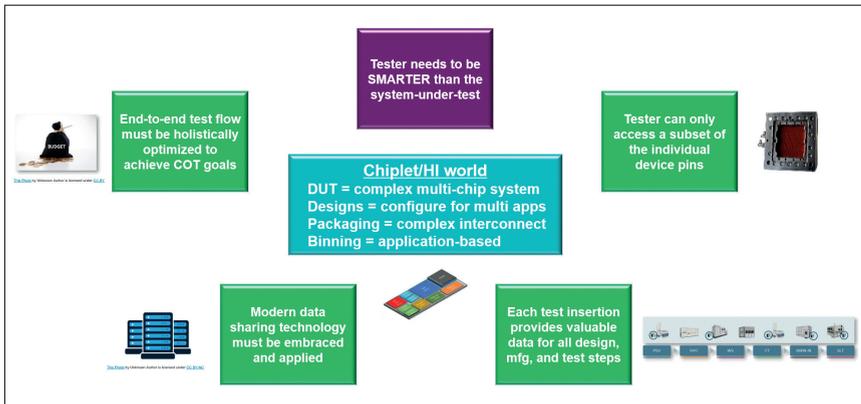
小芯片之前和之后的世界

在小芯片（chiplet）时代之前，传统 CPU 可以被描述为“有目的的”，或者专注于特定的、易于理解的应用。相比之下，新的基于小芯片的人工智能器件，最终可能服务于设计器件之时尚未确定的用例。当出现新的应用时，器件无法以具有成本效益的方式重新设计甚至重新测试。我们需要一种测试策略，在测试完成后生成足够的测试数据，以将这些器件映射到新应用。

在小芯片之前的传统测试领域中，被测器件（DUT，device under test）由包含一个或几个器件的封装组成。在此类应用中，测试仪的性能必须领先于被测器件。分档是基于性能的，要求测试仪的资源比 DUT 更快、更准确。在这个时期，测试仪器通常可以直接访问大多数



为了测试传统器件，测试仪必须领先于被测器件。



在小芯片时代，测试仪必须领先于系统。

DUT 引脚，并且从硅后验证 (PSV, post-silicon validation) 到系统级测试 (SLT, system-level test) 的每个测试插入都有明确的目的，包括收集测试数据。然而，数据通常在没有上下文的情况下存储，并且仅在需要解决重大问题（如重大良率损失）时才会单独拿出来并共享。

业界现在正在转向基于小芯片的模块，使用“类似乐高积木”的方法来集成 CPU、GPU、缓存、I/O、高带宽内存 (HBM) 和其他功能。在小芯片¹ 和异构集成的新时期，DUT 是一个复杂的多芯片系统，在单个 2.5D 或 3D 封装中集成了许多器件。因此，测试仪只能访问单个器件引脚的子集。然而，在每次测试插入时，测试仪必须能够提取有价值的信息，用于优化当前的测试插入以及其他设计、制造和测试步骤。由于引脚访问受限，测试仪必须推断不可

观察节点上发生的情况。为了最好地实现这一目标，当务之急是要从所有制造和测试步骤中可直接收集的数据中提取最大价值，包括来自片上传感器的数据。小芯片领域的测试流程已经包括 PSV、晶圆验收测试 (WAT, wafer acceptance test)、晶圆分类 (WS, wafer sort)、最终测试 (FT, final test)、老化和 SLT，从成本角度来看，为了解决具有多个小芯片的封装的复杂性增加，而进行的额外测试插入是不可行的。除了挑战之外，分档从基于性能转变为基于应用。在这个小芯片时代，测试仪必须领先于系统——测试仪必须比复杂的被测系统更聪明。

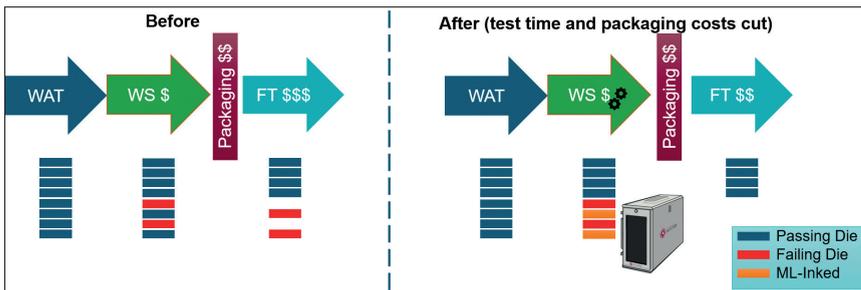
基于应用的实时分档的一个例子是智能配对，也称为芯片匹配。智能配对考虑了电压、速度和功耗等因素，以确保用于特定封装的所有芯片都具有兼容的电气和热特性，从而最大限度地减少与可靠性、信号延迟和功率

不平衡等因素相关的差异。再举一个例子，多核器件可能是为需要内核紧密匹配的应用而设计的。后续应用可能会出现需要更少内核或可以容忍更宽松的匹配要求的应用。实时分档可以为第一个应用选择性能最高、质量最高的器件，同时为第二个不太严格的应用保留其他器件。基于规则的决策模型在小芯片之前的情况下中运行良好，并将继续服务于某些目的。但对于小芯片时代的生产来说，ML 模型是满足复杂的实时决策要求的重要途径。

检测 AI 器件中不易察觉的失效机制需要大范围的输入数据。此外，由于最终封装中的测试访问有限，片上传感器数据、器件设置和传感器数据以及设计和制造的上游数据在识别缺陷方面都将变得越来越重要。机器学习可以利用所有这些数据来充分启用强大的预测性和自适应测试方法。一般来说，目标是使客户能够在调试和处置方面“左移”——例如，在将晶圆组装到封装器件之前，在 WS 中发现缺陷。

在小芯片/Hi 领域，封装成本和复杂性正在急剧增加，因此只有已知良好的芯片 (KGD, known-good die) 才能将其封装成封装至关重要。在 WS 系统上运行的 ML 模型可以根据来自多次插入的数据对 KGD 做出实时决策。先前的研究表明，在 WAT 应用基于高斯过程的异常值检测模型可以防止许多测试逃逸，同时最大限度地减少过度杀伤（好芯片被错误地标记为有缺陷），FT 良率提高，从而节省大量成本。²

但是，请记住，左移规则也有例外。例如，将冗长的测试从 FT 向右转移到 SLT 系统可能是有益的，因为



经 ML 优化的左侧策略转变为有助于确保仅封装确认良好的 KGD 芯片。

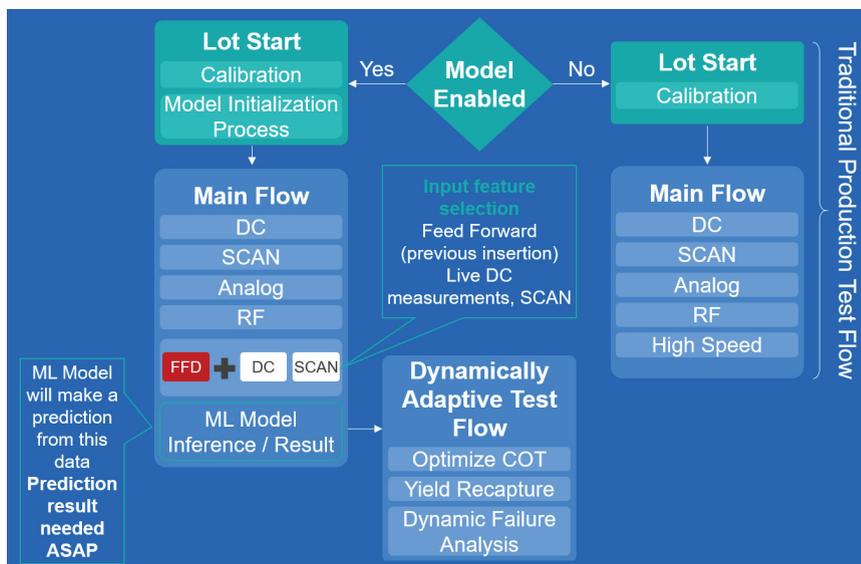
SLT 系统的测试时间成本较低。无论哪种情况，ML 策略都有助于优化测试流程。

在安全的环境中应用AI和ML

在整个测试过程中，关键是利用 AI 和 ML 来测试 AI 器件——分析测试数据，关联多个晶圆上的数据，并准确跟踪每个芯片在组装过程中的实际进行情况。应用于设计、制造、测试和器件数据的大量高级工具和算法将在整个制造流程中提供相关性，以提供有助于流程优化的见解。

不断增长的测试需求将推动对 AI 和 ML 驱动的预测方法的需求，通过实时执行测试代码，在生产过程中实现自动纠正措施以控制成本。一位测试客户指出，基于 ML 的参数预测可以将参数测试时间缩短 50% 或更多，同时成功识别性能匹配的器件，而不会影响质量。³

需要积极采用现代数据安全技术来保护外包制造环境中的敏感知识产权。半导体供应链通常包括合同组装和测试服务，一个设施中的测试设备可能会处理来自多个 IC 供应商的零件，这给希望保护敏感测试 IP 各个方面的供应商带来了挑战。人们可以期望设施提供边界安全，但由于供应链复杂，可能难以定义边界。



启用机器学习辅助的动态自适应测试流程将最大限度减少测试成本，最大限度提高产量，并促进动态失效分析。

一种方法是零信任安全模型。“零信任”意味着产品和服务默认不得信任其他产品或服务。与 ATE 系统结合使用的零信任推理环境可抵御传统网络边界内外的威胁，从而将“信任区域”从网络级别减少到单个节点或应用。信任区域之间的交互需要持续的身份验证。

运行AI/ML工作负载

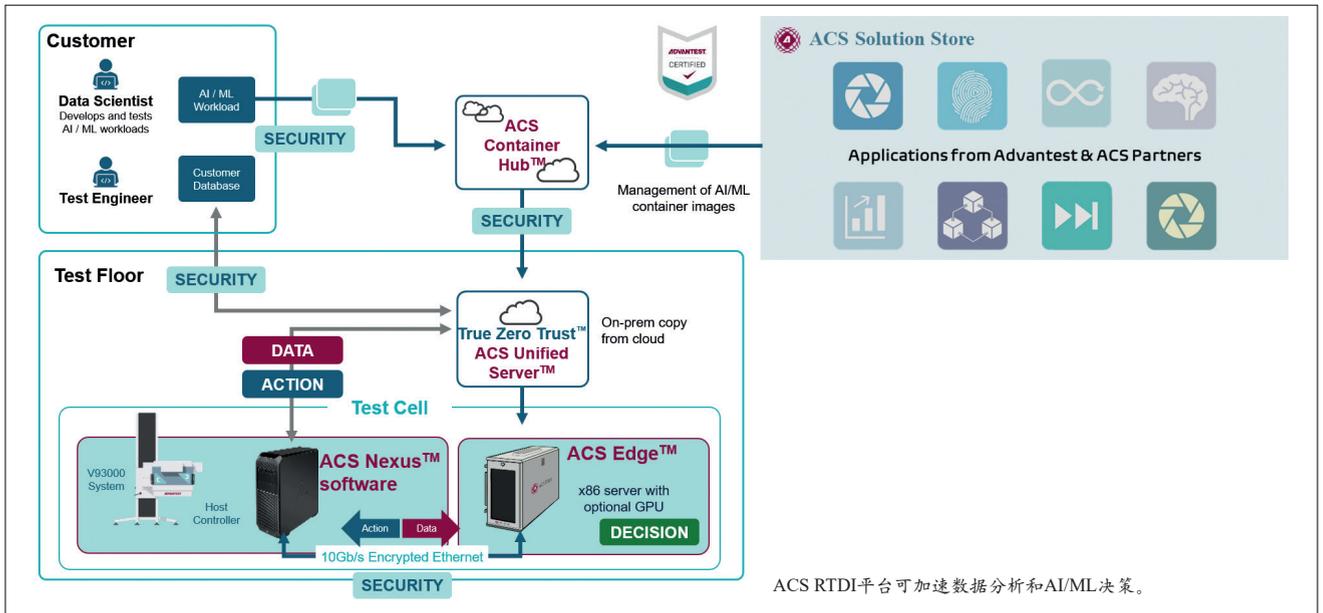
继续前进的一个关键考虑因素涉及及如何在测试环境中运行 AI 和 ML 工作负载。ATE 主机控制器不是一个好的候选者。它忙于执行标准 ATE 控制任务，例如管理硬件资源、运

行扫描测试和记录数据。此外，对主机控制器操作系统或软件配置的任何更改都会触发代价高昂的重新关联练习，并且硬件刷新机会是有限的。主机控制器不太可能使用 ML 优化处理器进行升级，即使有可能，运行 ML 并与 OSAT 和其他第三方共享生成的数据也可能使敏感的测试 IP 容易受到攻击。

边缘计算提供了一种在测试环境中执行基于机器学习的实时决策的有效方法。边缘计算通常为应用提供了几个好处：它提供低且可预测的延迟，提高带宽效率，可扩展，并实现增强的安全性和隐私性。在测试环境

Input Data Streams									Test Point
Material Descriptions In Hierarchy	Meta Data	MES / WIP Equipment History	Fault Detection and Control (FDC)	Defect & Metrology	Equipment and Non-Lot	Assembly / System	ERP / Business / Financial	Data Sources & Connectors	Product
Technology Family Process Product Source Lot Lot Wafer # Die Layout	Equipment Operator Program Recipe Date/Time Process Flow Stages Steps SEMIE142 Traceability	Equipment TrackIn/Out Recipe Operator Chamber QueueTime CycleTime Wfr Counts Rework Reticle	Indicators Summaries Trace Charts Model prediction & Management Real time data collection Sub-fab FDC	Parametric Categorical Lot / Wafer Summaries Defect Summary Kill Ratio Defect Images Bump Msmts	Equipment SPC Fab chemical delivery Equipment counter data Equipment Event / PM Consumables	Die traceability Location of reel/tube Solder paste batch, vendor Equipment parameters Operator logs	Production Order Product Costing Consumables Parts Alarms / Events Split / Merge Scrap / Unscrap Financial EBOM	Other 3 rd party Apps & databases ... Data Lake connectivity BDAPI ... Sapience Manufacturing HUB	Test chip (CV) PCM / WAT Wafer Sort Bin Map Multi-Bin Final Test Module Data MCM Chippets WLA

有效的边缘解决方案应支持半导体制造中可用的各种输入数据流。



中，它可以处理跨越多个时域的零散工作，在晶圆探针上单次接触所需的毫秒内提供处理；例如，在5次或10次接触后，近乎实时处理；并在测试一定数量的晶圆或器件后实现周期性处理。最后，在批次完成后，它可以相关数据传输到云端进行后期处理和离线分析。

有效的边缘解决方案应用分析模型来实现实时动态自适应测试流程。⁴ 目标是 minimized 测试成本 (COT, cost of testing)，最大限度地提高产量，并在需要时执行动态失效分析，以找到与其他测试插入的根本原因相关性，从而促进持续的工艺改进。

该解决方案应与测试供应商的整

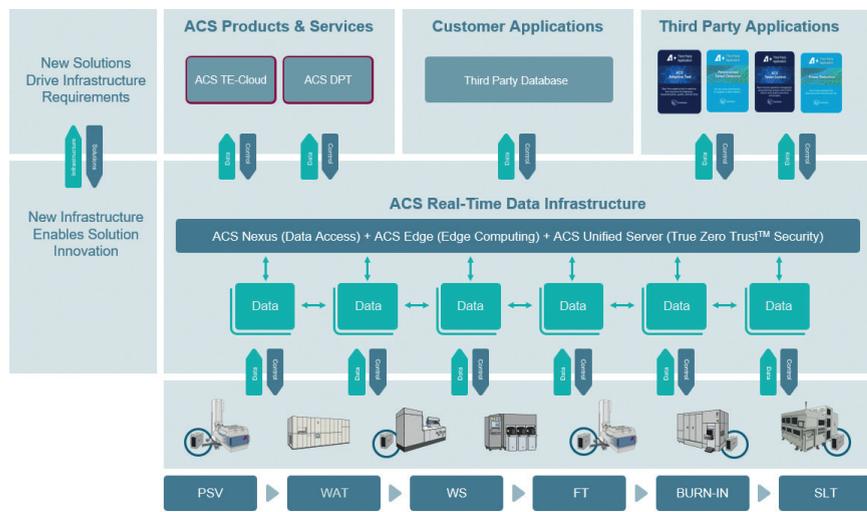
个硬件和软件平台阵容兼容，并且还应具有开放式架构以支持客户拥有的分析模型。它应该可靠、安全且易于更新。此外，它应该能够通过整合整个制造供应链（包括 IDM、代工厂或无晶圆厂半导体公司）的所有数据源来获得见解。

边缘计算在 ML 测试应用中的采用正在顺利进行。Advantest 最近推出的 ACS 实时数据基础设施 (ACS RTDI™, ACS Real-Time Data Infrastructure) 平台在单个集成平台中加速数据分析和 AI/ML 决策。它收集、分析、存储和监控半导体测试数据以及整个 IC 制造供应链的数据源，同时在安全的零信任环境中采用低延

迟边缘计算和分析。ACS RTDI 最大限度地减少了人工干预的需求，简化了多次插入的整体数据利用率，从而提高了质量、产量和运营效率。它包括 Advantest 的 ACS Edge™ HPC 服务器，该服务器与其 V93000 和其他 ATE 系统协同工作，以处理与测试仪主机控制器相邻的计算密集型工作负载。

在此配置中，与数据中心托管的替代方案相比，ACS Edge 提供低的、一致且可预测的延迟。它支持独立于测试仪主机控制器的用户执行环境，以简化开发和部署。它还提供了一个可靠和安全的实时数据基础设施，集成了整个 IC 制造供应链中的所有数

边缘计算在ML测试应用中的采用正在顺利进行。Advantest最近推出的ACS实时数据基础设施 (ACS RTDI™, ACS Real-Time Data Infrastructure) 平台在单个集成平台中加速数据分析和AI/ML决策。它收集、分析、存储和监控半导体测试数据以及整个IC制造供应链的数据源，同时在安全的零信任环境中采用低延迟边缘计算和分析。



Advantest的开放式解决方案生态系统提供了一个可靠、安全的实时数据结构，集成了整个IC制造供应链的数据源。

据源，应用分析模型，在生产测试期间能够帮助实现实时决策。

就其本身而言，V93000为HI和其他器件的测试带来了灵活性和高性能。其广泛的可用仪器使其适用于各种AI、ML、HI和其他基于小芯片的器件的测试，涵盖一系列测试插入。借助PS5000、XPS256和Link Scale等仪器卡，V93000使客户能够左移，例如，使用Link Scale在WS运行类似任务模式的测试。⁵

通过ML减少测试成本

Advantest和我们客户的初步工作涉及通过使用ML来识别测试流程中耗时的部分，通过与以前的插入数据相关联，可以缩短或消除该流程，从而减少测试成本。迄今为止的工作证实，在边缘计算中采用机器学习可以带来可观的投资回报率。未来一到三年的额外工作将连接整个价值链中的更多数据，以开发先进的模型，这些模型可以识别更复杂的相关性并准确预测产量、质量和可靠性。另一项可在五年内实现的举措是，通过前馈和反馈数据流优化前端和后端流程，

通过采用边缘计算资源可实现实时决策和优化，从而双向优化整个半导体价值链。

探头清洁和良率提高

除了ACS Edge和V93000之外，Advantest还提供利用AI和ML来增强AI器件测试的产品。例如，Advantest ACS自适应探针清洁(ACS APC, ACS Adaptive Probe Cleaning)应用AI/ML根据需要安排探针清洁。此外，ACS良率提高的工程AI工作室(ACS EASY, ACS Engineering AI Studio for Yield Improvement)是一种由AI驱动的用户友好型软件解决方案，可自动分析良率问题，减少工程师的工作量并加快校正周转时间。

边缘计算在ML测试应用中的采用正在顺利进行。Advantest最近推出的ACS实时数据基础设施(ACS RTDI™, ACS Real-Time Data Infrastructure)平台在单个集成平台中加速数据分析和AI/ML决策。它收集、分析、存储和监控半导体测试数据以及整个IC制造供应链的数据源，同时在安全的零信任环境中采用

低延迟边缘计算和分析。

结论

采用2.5D/3D封装的Chiplet和HI为新兴的AI处理器和HPC器件在可接受的测试成本水平下实现良率和可靠性目标带来了新的挑战。由于基于规则的单点解决方案不足以完成这项任务，人工智能和机器学习技术已经逐步被采用，来处理测试数据以及来自整个半导体价值链的数据，以确保成功。边缘计算是处理来自芯片传感器IP、设备传感器、参数测试结果和上游数据源的数据，以全面分析结果并对结果做出适当反应的关键驱动因素。Advantest的客户通过采用机器学习和边缘计算，通过一套全面而聚焦的解决方案来应对多方面的挑战，取得了多项成功。

要取得更多进展，就需要整个半导体供应链的“全力以赴”的心态，以利用数据共享来实现更复杂的模型，并加速所有行业参与者获得经济上的收益。◆

扩展阅读/参考文献

1. Hioki, Shinji, "Data Analytics for the Chiplet Era," GO SEMI & BEYOND, November 2023.
2. Shimozato, Kyohei, et al., "Adaptive Outlier Detection for Power MOSFETs Based on Gaussian Process Regression," IEEE Applied Power Electronics Conference, March 2022.
3. Mier, Sergio, "ML in Semiconductor Test (A 'Balanced Approach')," Road to Chiplets: Data & Test, MEPTEC, November 2021.
4. Butler, Ken, and Cortez, Guy, "Deploying Cutting-Edge Adaptive Test Analytics Apps: Innovation Based on a Closed- Loop Real-Time Edge Analytics and Control Process Flow into the Test Cell," GO SEMI & BEYOND, November 2023.
5. Armstrong, Dave, "Device Validation: The Ultimate Test Frontier," GO SEMI & BEYOND, March 2023.

激光器：可持续的晶圆加热解决方案

激光器，尤其是二极管激光器，是满足未来芯片制造需求的有吸引力且可持续的选择。

通往可持续晶圆厂的旅程需要更仔细地研究硅晶圆在芯片制造过程中是如何加热的。退火、外延和蚀刻工艺都需要升高晶圆温度。可持续加热解决方案必须最大限度地减少能耗和耗材，同时提供出色的温度均匀性和具有竞争力的升温时间。红外激光加热在其他行业中已经证明自己就是这样一种灵丹妙药。在本文里，我们描述了使用市售的 975nm 二极管激光器在 200 mm 硅晶圆上的加热实验。通过经验热模型可以推导出 300mm 晶圆的加热场景。实验和理论研究结果，加上二极管激光技术的成熟状态，表明激光加热硅晶圆是一条有吸引力的前进方向。

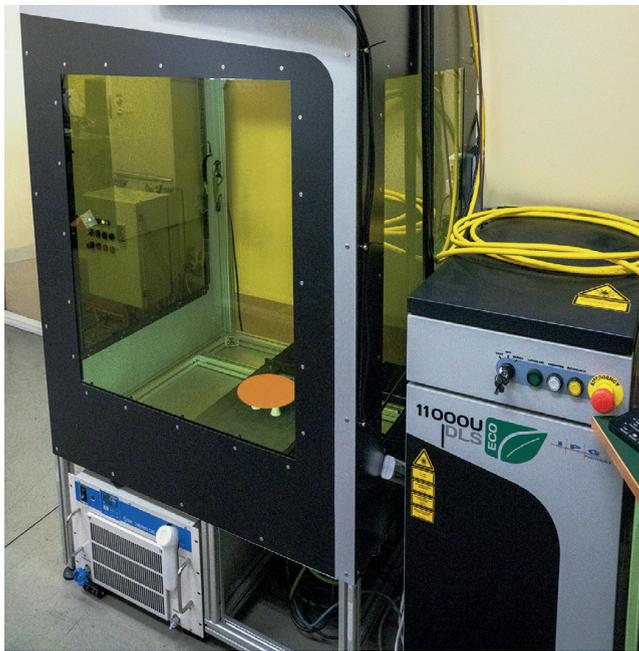


图1：11kW激光器（右）和实验室（左）的实验配置。

我们的实验设备（图1）将11kW的近红外（975nm）二极管激光器投射到一个在常规气氛中热隔离的200mm抛光硅晶圆上。投射光学器件均匀地照亮一个~213mm的

正方形，完全覆盖晶圆表面，并且只有最小的能量溢出到下面的散热器上。晶圆温度使用位于晶圆上方约一米处的奇诺型 IP-CZP0JL 温度计测量。我们的实验中激光器以恒定的输出功率工作，直到达到稳态温度。激光电源关闭后，还记录了冷却曲线。



图2：200 mm硅晶圆通过激光加热到800° C的可见光图像。

最大可用 11kW 激光功率来快速加热晶圆。我们的实验在 9 秒内达到 800°C。~8.1 kW 的稳态激光功率足以维持该温度。图 2 显示了加热在 800°C 下的晶圆。该颜色（均匀性）证明了激光加热在整个晶圆直径上的均匀性。

我们在 0.86 kW 至 8.1 kW 恒定功率的六种激光器设置下收集了数据，使得能够开发一个涵盖各种能量输入、温度和晶圆直径的经验模型。热力学模型包括激光的吸收加热、晶圆的辐射和对流损耗，以及硅的热容，每一个参数都是温度的函数。

图 3 显示了拟合曲线（蓝色 - 升温 and 稳态，黄色 - 冷却）的示例，该曲线与 8.1kW 激光功率下的实验观测结果准确匹配。同样，在其他五种设置下也得到了出色的拟合，从而用于形成我们的温度依赖经验模型。

与潜在客户的讨论表明，与红外灯替代品相比，激光

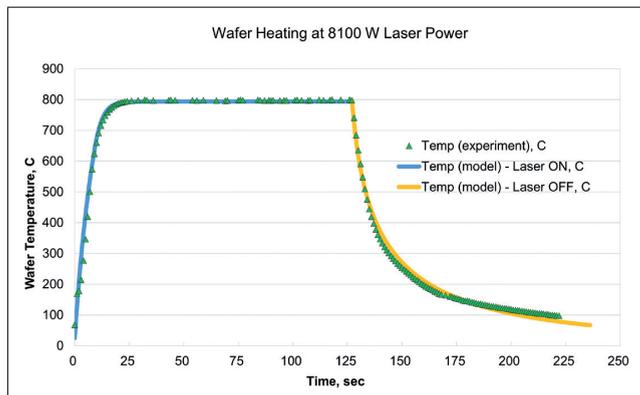


图3: 由 8.1 kW 激光功率加热的 200 mm 晶圆的实验 (三角形) 和建模 (蓝色和黄色) 曲线。

加热器所展示的短上升时间和低稳态功率要求都极具吸引力。快速升温时间可提高工具的吞吐量。这些都是可能的，因为高达 80% 的激光光能可以被硅晶圆吸收。低总功率要求是强吸收的副产品，同时激光的高方向性意味着减少了能量用于加热腔室气氛或外壳的浪费。相比之下，红外灯运行温度高，向各个方向发射能量，并在硅吸收率不高的较长波长时有显著的能量输出。

图 4 显示了将 300mm 硅晶圆加热到各种温度时，通过计算得出的激光要求。计算值使用规则的六边形照射模式进行建模，使得 91.5% 的激光输出照射到晶圆表面。第一列提供在 10 秒升温时间限制内，将晶圆加热到目标温度所需的激光功率。将 300 mm 晶圆保持在目标温度所需的功率更少。稳态所需的值范围在第二列中给出。经验模型包含硅的温度依赖吸收系数，以匹配实验数据。在 400°C 时，我们观察到 62% 的激光能量被晶圆吸收，而在 800°C 时，吸

收的百分比上升到 80%。

商用二极管激光器，如 IPG 光子公司 (IPG PHOTONICS CORPORATION) 的 DLS-ECO 系列，是可持续晶圆厂的有吸引力的选择。硅在 975 nm 处有吸收，因此高达 80% 的激光光能可用于晶圆加热。二极管激光器将 55+% 的电功率输入转换为可用光能。激光输出经过匀光使得能量分布均匀，而其形状则根据晶圆尺寸进行定制。加热基座、腔室气氛或外壳所浪费的能量很少。

高组件冗余确保二极管激光器提供不间断、免维护的七年运行，而且没有任何耗材。15 米或更长的光纤输送线缆可以方便地将激光输送到工具中，而所有散热和电气设施都可以放到洁净室外。由于激光在单个中红外波长下工作，因此在没有加热源干扰的情况下，温度测量非常高效。

虽然与现有的红外灯或感应加热器相比，激光器的前期资本投资更高，但是，当我们考虑了可靠性、免维护和无耗材运行、低能耗和温室足迹的独特组合，以及在洁净室外管理废热的可能性等情况，我们可以通过降低运营费用来收回高投入。激光器，尤其是二极管激光器，是满足未来芯片制造需求的有吸引力且可持续的选择。◆



图5: IPG光子公司的商用DLS-ECO加热激光器，功率水平从几千瓦到100千瓦不等。

300mm Silicon Wafer Heating

	Laser Power, Watts (10sec Ramp Time)	Laser Power, Watts (Equilibrium)	Effective Absorption
400°C	7,300	2,662	62%
500°C	9,800	4,371	67%
600°C	12,500	6,400	75%
800°C	18,800	13,883	80%

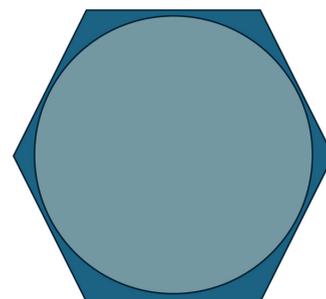


图4: 在十秒内达到目标温度，并保持目标温度情况下，计算得出的激光功率要求的表格。我们模拟了一个六边形激光照射的图案 (深色)，该图案仅从直径300mm的晶圆边缘外溢出8.5%的激光能量。

半导体工业去碳化和满足芯片需求的挑战

半导体行业是我们日益数字化环境的重要组成部分。其技术包括我们用于通信的手机和电脑、让我们能够实现交通运输的车辆和飞机、帮助诊断和治疗疾病的医疗设备，以及为我们的城市提供电力的电网系统，这些都是人们日常生活中必不可少的。没有半导体就没有未来，但是，半导体的广泛应用也带来了日益严峻的环境挑战。



作者：Henri Berthe, 施耐德电气 (SCHNEIDER ELECTRIC) 公司半导体副总裁

半导体的环境成本

为了满足需求，半导体企业正在建设新的制造工厂 (FABS)，这些工厂每小时的耗电量可高达 100 兆瓦时，比许多汽车厂或炼油厂的耗电量还要多。如此庞大的电力消耗将产生大量废物、温室气体排放和巨大的碳足迹。2020 年，该行业的二氧化碳排放量达到惊人的 4100 万吨，相当于 500 万间房屋的年排放量。预计到 2030 年，全球半导体制造业的耗电量将达到 237 太瓦时 (TWh)，这与澳大利亚 2021 年的总耗电量大致相等。

随着电子产品的重要性日益增加，制造商必须解决能源消耗和可持续发展方面的问题。麦肯锡最近的研究发现，主要半导体公司的最新承诺仍未达到 2016 年《巴黎协定》的要求。因此，未能更加环保运营的企业今后可能会面临政府施加的更为严厉的限制和制裁，而且随着客户环保意识日益增强，来自客户的订单也将减少。

与之相反，那些及早优化能源效率的企业将节省大量资源，并为自己带来巨大的发展机遇。

为了保护企业的未来，制造商必须从现在开始确立可持续发展的策略。

以抗冲击能力维护发展的可持续性

除了环境问题之外，许多制造商仍在应对全球半导

体危机产生的冲击和附带影响。在整个疫情大流行期间，全球事件的“完美风暴”几乎使生产陷于停顿：新冠疫情 (COVID-19) 的封锁既加速了对消费电子产品的需求，又关闭了生产所需组件的工厂。与此同时，中美贸易战、俄乌战争、恶劣天气事件、生产设施火灾，以及对半导体进口（而非国内制造）的普遍依赖，也是造成半导体供应持续匮乏的原因之一。

研究显示，在芯片短缺最严重的时候，全球受影响的企业多达 169 家。消费电子和汽车行业首当其冲。PlayStation 5 游戏机一机难求，苹果公司削减了 iPhone 的生产目标，而丰田公司将汽车制造量减少了 40%，通用汽车则暂停了北美工厂的汽车生产。

总体而言，半导体短缺在 2021 年给汽车行业造成了高达 2100 亿美元的收入损失。尽管制造商现在已经适应了半导体供应紧张的局面，但是，日益复杂的产品（如配备先进安全和自动驾驶系统的电动汽车）将继续加速半导体需求，并引发制造业格局的重大变化。

过去 10 年来，半导体生产一直集中在亚洲地区，因此各相关企业和国家现在都希望建立更加多样化、更具抗冲击能力的供应链。2022 年 10 月，美国政府实施出口管制规则，限制中国生产世界上最先进的芯片。

与此同时，欧盟也打算通过《欧洲芯片法案》(European

Chips Act) 而成为重要的参与者。随着投资从亚太地区转向北美和欧洲, 制造商必须做好提供低碳服务的准备, 这样才有机会在竞争中脱颖而出。

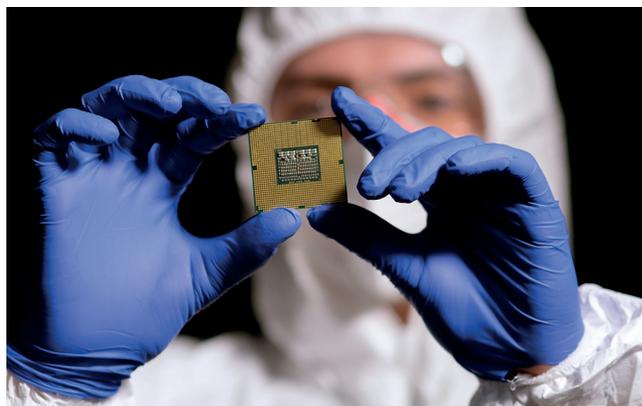
实现抗冲击能力和可持续发展的三步计划

确定环境基线是芯片行业实现去碳化的“必修课”。在施耐德电气, 我们确定了三个关键步骤, 帮助各种类型和规模的半导体企业将可持续发展、净零排放的目标转化为行动。

第一步称为“制定战略”, 包括估量制造商当前的能源绩效和碳足迹, 然后制定一个能产生切实成果的净零耗能计划。在现实中, 这包括确定碳排放基线, 考察数字技术以找出差距并为未来的路线图提供信息, 评估技术和经济可行性以确定行动的优先次序, 以及模拟建筑改造方案以制定路线图和时间表。特别地, 在设计和模拟新的 FABS 电力系统时使用电气数字孪生技术, 将改进其设计并优化网络, 以满足当地的要求和标准。

第二步是“数字化”。这意味着要创建一个数字中心, 对半导体企业的能源和资源使用情况进行监控和可视化, 使领导者能够做出基于数据的可持续发展决策, 并报告实现既定目标的进展情况。这种单一真相来源有助于跟踪碳植入(包括建筑信息建模), 以及能源和碳的测量(包括集中能源供应和公用事业数据), 并实施基于云的人工智能分析。

最后, 第三步是“去碳化”。在这一步, 实际行动将付诸实施, 半导体制造商必须利用从“制定战略”和“去碳化”步骤中获得的洞察力, 实现真正的可持续性改进。具体的升级措施将取决于他们的调查结果, 不过, 实例包括车队车辆电气化、安装可再生能源发电机、购买低碳或无碳产品, 以及使用人工智能实时优化现场能源消耗。



与可靠的顾问公司和专业合作伙伴开展合作

除了“制定战略”、“数字化”和“去碳化”三步走的流程之外, 合作和伙伴关系也是半导体行业在可持续发展方面取得成功的关键。长期可持续发展需要不同领域的专业技术与支持, 因此制造商必须认识到, 任何一家公司都无法凭一己之力实现这一目标。相反, 半导体生产商和供应商必须携手合作, 充分利用来自外部的专业知识和技术。

长期以来, 施耐德电气在协助半导体公司应对可持续发展和去碳化挑战方面发挥了重要作用。例如, 该公司最近与世界领先的半导体设计和制造公司之一 Intel 以及世界最大的半导体和显示设备公司 Applied Materials 合作, 启动了“Catalyze”计划: 这是一项新的合作计划, 旨在加快全球半导体价值链上可再生能源的使用。在 Catalyze 计划的帮助下, 半导体行业的领导者将能够实现一系列可持续发展和抗冲击能力目标, 包括:

- ◎ 整合整个半导体价值链上的能源购买力, 以加速可再生能源项目的部署
- ◎ 参与公用事业规模的购电协议市场
- ◎ 开发用于供应链计划的运作模型, 以缩小净零能耗目标差距
- ◎ 在半导体价值链处于运作状态的全球特定区域, 提高对可再生能源可用性的认识
- ◎ 引领半导体行业推动明确的后续步骤

半导体制造业的可持续动力

归根结底, 积极采取可持续发展措施不仅符合全球环境目标, 而且对半导体制造厂的底线也很有意义。

研究表明, 实施可持续发展策略能够降低成本, 并对运营利润产生高达 60% 的积极影响。此外, 采取可持续发展的做法能降低长期风险, 并在新的市场中带来机遇。

现在, 我们似乎已经从半导体危机中走了出来, 制造商有潜力通过长期的改进实现巨大的增长。它们不仅能节省大量的资金, 还能为提高能源效率带来巨大的可能性。最棒的是什么? 那就是用以实现这一目标的工具就在我们眼前。

在知识渊博的合作伙伴网络的帮助下, 半导体企业现在必须学会去碳化、数字化和制定战略。◆

如何利用软开关和碳化硅器件实现更高效的功率转换

在功率转换中，效率和功率密度至关重要。每一个造成能量损失的因素都会产生热量，并需要通过昂贵且耗能的冷却系统来去除。软开关技术与碳化硅（SiC）技术的结合为提升开关频率提供了可能；从而能够缩减暂存能量和用于平滑开关模式转换器输出无源元件的尺寸及数量，还为转换器构建了减少发热量并由此使用更小散热片的基础。

对于传统的硅基功率晶体管而言，一些效率和频率上的改进得益于功率转换器设计中从简单硬开关向软开关架构的转变。这种工艺技术的变革之所以重要，是由于尽管硅技术在提高开关频率和改善效率方面取得了长足进步，但 SiC 使得软开关技术得以更为有效地应用。

硬开关和软开关之间的主要区别在于，软开关减少或消除了功率晶体管在开通和关断阶段默认电压及电流条件下的损耗。图 1 展示了一个零电压开通（ZVS）技术的典型示例；其用于消除开通时的开关损耗。在电源开关中，其余的主要损耗包括传导损耗和关断时的开关损耗。随着开关频率的增加，电压和电流的同步摆动会导致显著的损耗。从概念上讲，软开关通过调整电压和电流摆动的时序来减少或消除损耗；但“软开关”这一术语实际涵盖了设计师用来限制损耗的多种技术。

零电压开通（ZVS）是开通阶段最广泛使用的软开关形式；它遵循一个简单的核心原理：在电流能自由通过晶体管沟道之前，减少漏极和源极间的电压。在开通之前，输出电容也被充电到与漏-源电压相同的水平；输出电容是漏-源电容和栅-漏电容之和。为利用 ZVS 带来的优势，需要将这些存储的电荷清除至负载中，以避免在开通时漏-源电压下降和漏-源电流上升同时发生而导致的损耗。理想情况下，当晶体管沟道两端的电压较低（已接近零）时，电流开始上升。

尽管 ZVS 的广泛应用解决了开关转换器中最重要的损耗源头问题，但如果设计师要充分利用更高频率的工作优

势，还需要密切关注其它损耗源。一些应用正暴露出传统设计中一些效率低下的问题。诸如大型语言模型等领先 AI 应用对加速器的要求越来越高，导致这些加速器的工作温度接近 IC 封装的承热极限；PCB 上的每个器件都要消耗数百瓦的功率。其结果是，向承载多核微处理器、图形处理单元和专用 AI 加速器的高密度机架所提供的电量急剧增加。

功率需求已达到一个临界点；其中功率转换器需要为机架式系统提供高达 8kW 的电力。在此过程中，它们将从数百伏的交流或直流馈电中取电，并以高电流水平将其转换为 48V 电压，以便分配给各个处理器群。这要求功率转换器兼具高效率和高密度，并需要承受 600V 或更高电压浪涌的故障。由于 ZVS 软开关将开通开关损耗降至接近 0，因此在 ZVS 软开关应用中，功率半导体的主要损耗变为传导损耗。这使得导致下一个关键效率损失的原因成为关注点：即电流通过时晶体管沟道中电阻所引起的传导损耗。

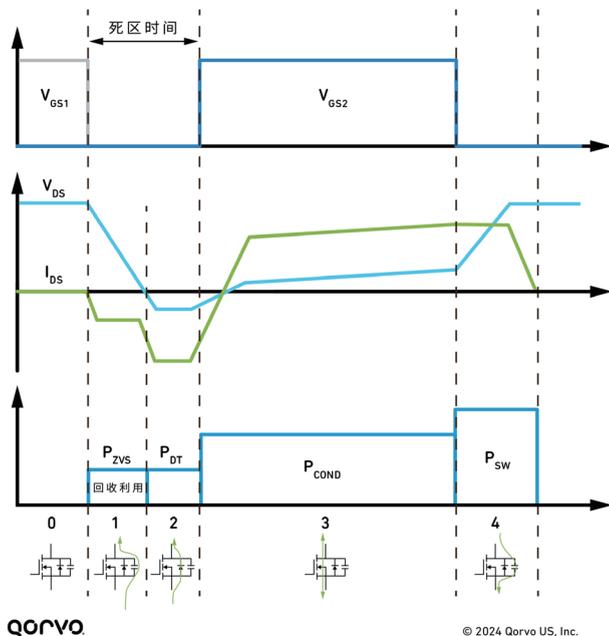


图1: ZVS软开关波形及不同开关阶段半桥电路的主要能量损耗来源。

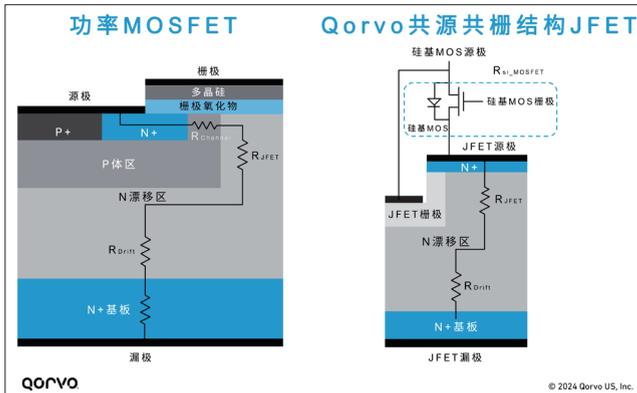


图2: SiC MOSFET与用于共源共栅电路SiC JFET的截面比较。

理想情况下，功率转换器中的导通电阻应尽可能低。工艺上的改进已帮助硅超结器件满足了这些需求；但设计师如今可以利用 SiC 等宽带隙技术，在 400V 至 800V 母线电压的应用中充分利用更低电阻所带来的优势。

SiC 在密度功率转换器中的一个首要优势在于，它能够以极低的 R_{dsA} (单位面积导通电阻) 支持高击穿电压；这对于数据中心的部署十分关键，因为数据中心的配电电压需要足够高，以防止在电源电缆上产生过大的电阻损耗。

然而，并非所有的 SiC 器件都完全相同。用 SiC 的等效器件替换硅超结 MOSFET 以充分利用效率和功率密度方面的改进，似乎是一个诱人的选择。基于 SiC 的设计还带来了其它机会，使得将 MOSFET 结构替换为能够大幅降低导通电阻的结构变得更具价值。对此，结型场效应晶体管 (JFET) 结构提供了关键优势。它具有概念上更简单的结构 (如图 2 中右下部分所示)；此外，得益于载流子无需先通过类似 MOSFET 的沟道再进入连接至漏极的 n 型漂移区，因而能够实现更低的整体电阻。这让导通电

阻更接近由击穿电压所决定的理论极限值；使得 JFET 与 MOSFET 相比，在击穿电压方面能提供更高的安全裕量，同时每单位面积的导通电阻更低。

JFET 在功率电路中应用较少使用的一个原因是它作为一种常开型器件，需要负电压才能完全关断。通过使用共源共栅结构，可以实现更类似于 MOSFET (常关) 的控制。这种结构将 SiC JFET 与低压硅基 MOSFET 串联。在共源共栅结构中采用低电压硅基器件，如图 2 右上部分所示，可最大限度地减小整体运行电阻；均衡的设计使得 MOSFET 对总导通电阻的贡献小于 10%。因此，可以将 MOSFET 和 JFET 融合在单一封装中，以便于集成和设计——Qorvo 将这种设备类型称为 SiC FET；它与 SiC MOSFET 有着明显的区别。

通过使用低电压硅基 MOSFET 将控制栅极与 JFET 分离，可以避免通常会降低基于 MOSFET 设计性能的其它折衷。栅极控制的解耦使得可以在不牺牲 SiC 性能的前提下优化栅极电压及其相关电荷。标准的 SiC MOSFET 通常需要较高的栅极电压，往往接近 20V，以确保在整个工作温度范围内的正确运行。与 JFET 结合的共源共栅架构使得使用较低的栅极电压 (0V 至 12V) 成为可能，这有助于减少栅极电荷，而栅极电荷正是在开关过程中产生损耗的另一个潜在来源，尤其是在轻负载时对于具有高开关频率的软开关应用。

在共源共栅配置中结合使用 JFET 和硅基 MOSFET，进一步带来了通过降低米勒电容 (即栅极到漏极电容, C_{gd}) 来提高效率的机会。高电容会对 MOSFET 的开关速率产生不利影响。共源共栅结构所实现的改进同样提升了密度，因为它们使得开关频率可以高于传统硅基器件的实用水平。

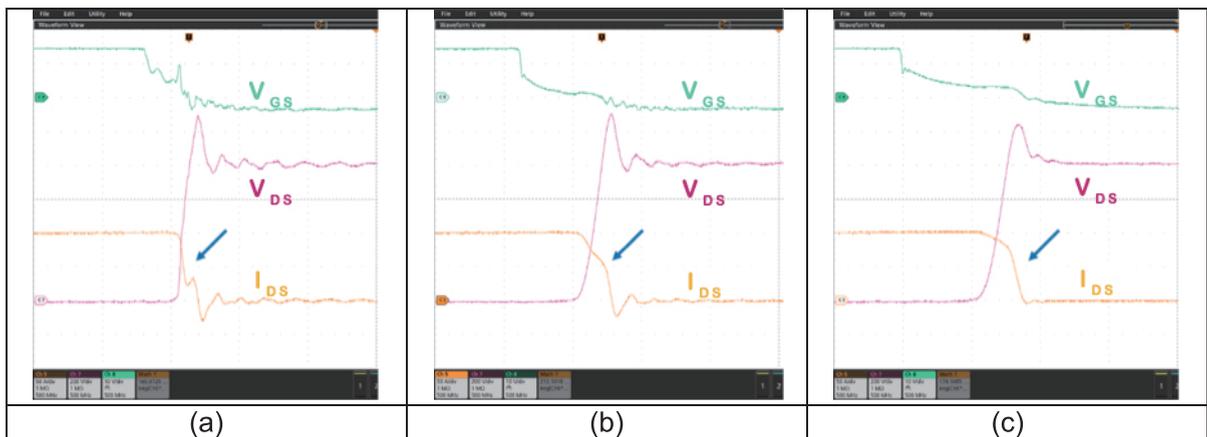


图3: E1B模块在 $V_{DS} = 800V$ 、 $I_{DS} = 100A$ 时的关断波形: (a) Qorvo UHB100SC12E1BC3-N (1200V、100A E1B模块), 带缓冲器 (660pF、4.7Ω、 R_{goff} 2.2Ω); (b) 厂商A的1200V 100A模块, 带缓冲器 (660pF、4.7Ω、 R_{goff} 2.2Ω), (c) 厂商A的1200V 100A模块, 不带缓冲器 (R_{goff} 5Ω)。

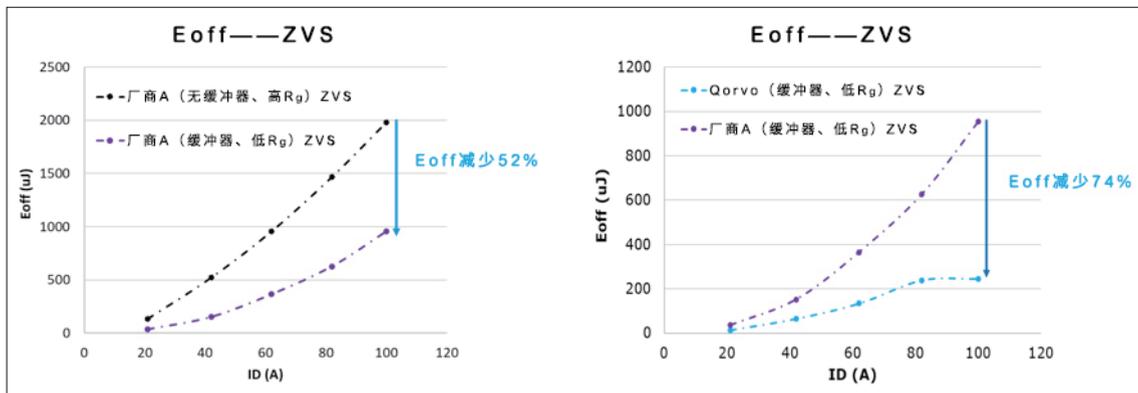


图4：在 $V_{DS} = 800V$ 、 $I_{DS} = 100A$ 条件下，E1B模块关断开关损耗的DPT测试结果：(a) 厂商A的1200V 100A模块，带缓冲器（660pF、4.7Ω、 $R_{goff} 2.2\Omega$ ）和不带缓冲器（ $R_{goff} 5\Omega$ ）的对比；(b) Qorvo UHB100SC12E1BC3-N（1200V、100A E1B模块），带缓冲器（660pF、4.7Ω、 $R_{goff} 2.2\Omega$ ），和厂商A带缓冲器模块（660pF、4.7Ω、 $R_{goff} 2.2\Omega$ ）的对比。

尽管 ZVS 避免了开通损耗，但仍然存在死区时间；在此期间没有功率输出。这种死区时间在硅基设计中可长达 300ns；它减少了每个周期内可用于导通状态的时长比例，从而限制了最大可用开关频率。在 500kHz 的开关频率（周期为 2μs）下，开通和关断边缘的死区时间各为 300ns，占整个开通周期的 30%。相比硅超结 MOSFET，SiC JFET 的输出电容降低了 10 倍，从而显著缩短了所需的死区时间并提高了频率。

十分重要的一点是，不应忽视在关断阶段降低损耗的机会，因为这在转向 SiC 技术后可能更具优势。如果不使用额外的电路，当晶体管关断时，电流和漏-源电压将同时变化，会导致类似于硬开关在开通阶段的损耗。然而，快速关断除了减少关断开关损耗，也会在设备漏-源端引入高关断电压尖峰和振铃。

控制关断漏-源电压尖峰和振铃有两种常见方法。一种是使用高栅极电阻 (R_g) 来降低器件开关速度；另一种方法是利用低栅极电阻和漏-源 RC 缓冲器电路来抑制 V_{DS} 尖峰及振铃。一个常见的误解是认为使用缓冲器的效率很低；然而，对于如 LLC 谐振或相移全桥等经常使用 ZVS 开关技术的拓扑结构来说，采用缓冲器比高栅极电阻更为高效。在 ZVS 软开关应用中，添加的漏-源缓冲电容不会产生任何开通损耗。漏极与源极间额外的缓冲电容与低栅极电阻相结合，在互补续流器件关断时的 dv/dt 转换中提供了

更高的位移电流。这进一步减少了关断电流和电压之间的重叠；相较于仅使用高栅极电阻，可更大幅度降低关断开关损耗。通过这种方法，我们能够在不牺牲器件开关速度的情况下抑制 VDS 振铃；而如果采纳高栅极电阻的设计策略，则需要牺牲器件开关速度。

一项以 800V 母线电压和 100A 负载电流进行的双脉冲测试表明，为厂商 A 的 SiC MOSFET 模块添加缓冲器后，损耗迅速降低了 50%。而结合使用 Qorvo 基于 JFET 的器件与缓冲器，可使关断开关损耗进一步降低 74%。这使得开关速率得以提高三倍，并推动外部无源组件尺寸的减小。以图 5 所示的 50kW PSFB（相移全桥）仿真为例，关断开关损耗减少 74% 使得结温相应降低 10%。最终，更佳的热性能带来更小的散热片和冷却结构；两者的结合，共同实现了转换器体积的缩减。

尽管软开关技术有诸多复杂性，但 SiC 技术为其优化使用创造了机会。对于需要高效率和高密度的设计，则可以跳出基于 MOSFET 经典结构的束缚来实现其目标。◆

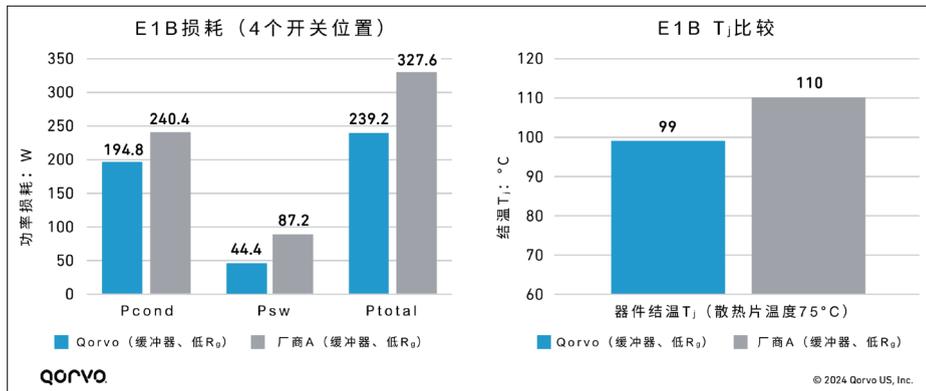


图5：50kW 移相全桥FET损耗仿真；应用条件：50kW、800V Vin、400V Vout、150kHz、死区时间150ns、散热器温度75°C。

Advertiser	广告商名称	网址	页码
东莞市晟鼎精密仪器有限公司		www.sindin.com	4
仪景通光学		www.evidentscientific.com.cn	3
2024 世界芯片产业链博览会		www.smicexpo.com	1
ELEXCON 2024		www.elexcon.com	IBC

欢迎投稿

《半导体芯科技》(Silicon Semiconductor China, SiSC) 是面向中国半导体行业的专业媒体, 已获得全球知名权威杂志《Silicon Semiconductor》的独家授权。本刊针对中国半导体市场特点遴选相关优秀文章翻译, 并汇集编辑征稿、采编国内外半导体行业新闻、深度分析和权威评论等多方面内容。本刊由香港雅时国际通讯 (ACT International) 以简体中文出版发行。

本刊内容覆盖半导体制造工艺技术、封装、设备、材料、测试、MEMS、mini/Micro-LED 等。文章重点关注以下内容:

FAB (Foundry, IDM, OSAT, R&D)

四个环节: 晶圆制造 (wafer 后道)、芯片制造、先进封装、洁净室; 深入报道与之相关的制造工艺、材料分析, 工艺材料、工艺设备、测试设备、辅助设备、系统工程、关键零部件, 以及与 particle (颗粒度) 及 contamination (沾污) 控制等厂务知识。

FABLESS

芯片设计方案、设计工具, 以及与掩模版内容和导入相关的资讯。

半导体基础材料及其应用

III-V 族、II-VI 族等先进半导体材料的科学研究成果、以及未来热门应用。

《半导体芯科技》欢迎读者、供应商以及相关科研单位投稿, 已甄选中文稿件将在印刷版杂志以及网上杂志刊登; IC 设计及应用等半导体相关内容将酌情予以网络发表 (微信推送、杂志网站)。本刊优先刊登中文来稿 (翻译稿请附上英文原稿)。

技术文章要求

- 论点突出、论据充分: 围绕主题展开话题, 如工艺提升、技术改造、系统导入、新品应用, 等等。
- 结构严谨、短小精悍: 从发现问题到解决问题、经验总结, 一目了然, 字数以 3000 字左右为宜。
- 文章最好配有 2-4 幅与内容有关的插图或图表。插图、图表按图 1、图 2、表 1、表 2 等依次排序, 编号与文中的图表编号一致。
- 请注明作者姓名、职务及所在公司或机构名称。作者人数以四人为限。
- 文章版权归作者所有, 请勿一稿多投。稿件一经发表如需转载需经本刊同意。
- 请随稿件注明联系方式 (电话、电子邮件)。

新产品要求

- 新产品必须是在中国市场新上市、可在中国销售的。
- 新产品稿件的内容应包含产品的名称、型号、功能、主要性能和特点、用途等。
- 新产品投稿要求短小精悍, 中文字数 300~400 字左右。
- 来稿请附产品照片, 照片分辨率不低于 300dpi, 最好是以单色作为背景。
- 来稿请注明能提供进一步信息的人员姓名、电话、电子邮件。

电子邮箱: sunniez@actintl.com.hk
viviz@actintl.com.hk

行政及销售人员 Administration & Sales Offices

行政人员 Administration

HK Office (香港办公室)

ACT International (雅时国际通讯)

Unit B, 13/F, Por Yen Building, No. 478 Castle Peak Road, Cheung Sha Wan, Kowloon, Hong Kong
Tel: 852 28386298

Publisher (社长) - China

Adonis Mak (麦协林), adonism@actintl.com.hk

Deputy Publisher (副社长) - China

Lisa Cheng (程丽娜), lisac@actintl.com.hk

General Manager-China (中国区总经理)

Floyd Chun (秦泽峰), floyd@actintl.com.hk

Editor in China (中国版编辑)

Sunnie Zhao (赵雪芹), sunniez@actintl.com.hk

Vivi Zhang (张雨薇), viviz@actintl.com.hk

London Office

Hannay House, 39 Clarendon Road
Watford, Herts, WD17 1JA, UK.

T: +44 (0)1923 690200

Coventry Office

Unit 6, Bow Court, Fletchworth Gate
Burnsall Road, Coventry, CV5 6SP, UK.

T: +44 (0)2476 718 970

Publisher & Editor-SiS English

Jackie Cannon, jackie.cannon@angelbc.com
+44 (0)1923 690205

销售人员 Sales Offices

China (中国)

Wuhan (武汉)

Lisa Cheng (程丽娜), lisac@actintl.com.hk

Tel: 86 185 7156 2977

Mini Xu (徐若男), minix@actintl.com.hk

Tel: 86 187 7196 7314

Phoebe Yin (尹菲菲), phoebey@actintl.com.hk

Tel: 86 159 0270 7275

Ron Wang (汪毓神), ronw@actintl.com.hk

Tel: 86 186 9404 8156

Mandy Wu (吴漫), mandyw@actintl.com.hk

Tel: 86 187 7196 7324

Shenzhen (深圳)

Yoyo Deng (邓丹), yoyod@actintl.com.hk

Tel: 86 135 3806 1660

Shanghai (上海)

Hatter Yao (姚丽莹), hattery@actintl.com.hk

Tel: 86 139 1771 3422

Beijing (北京)

Cecily Bian (边团芳), cecilyB@actintl.com.hk

Tel: 86 135 5262 1310

Hong Kong (香港特别行政区)

Floyd Chun (秦泽峰), floyd@actintl.com.hk

Tel: 852 2838 6298

Asia (亚洲)

Japan (日本)

Masaki Mori, masaki.mori@ex-press.jp

Tel: 81 3 6721 9890

Korea (韩国)

Lucky Kim, semieri@semieri.co.kr

Tel: 82 2 574 2466

Taiwan, Singapore, Malaysia

(台湾, 新加坡, 马来西亚)

Regional Sales Director

Floyd Chun (秦泽峰), floyd@actintl.com.hk

Tel: 852 2838 6298

US (美国)

Janice Jenkins, jjenkins@brunmedia.com

Tel: 724 929 3550

Tom Brun, tbrun@brunmedia.com

Tel: 724 539 2404

Europe (欧洲)

Shehzad Munshi, Shehzad.Munshi@angelbc.com

Tel: +44 (0)1923 690215

Jackie Cannon, Jackie.cannon@angelbc.com

Tel: +44 (0) 1923 690205

WE
INSIDE
INNOVATE
DRIVE

内核创新 智驱未来

elexcon

深圳国际电子展

嵌入式展 电源与储能技术展 半导体展

预登记火热开启



0755-8831 1535

www.elexcon.com

elexcon.sales@informa.com

2 08.27 TUES / 08.29 THURS

2 深圳会展中心(福田)

4 Shenzhen Convention & Exhibition Center

—◆ 线下 ◆—

化合物半导体&半导体芯科技 综合论坛

05月苏州 半导体先进技术创新发展和机遇大会

- 化合物半导体材料生长与设备技术 · 功率电子器件及应用 · 高功率电子器件可靠性和失效分析 · 超宽禁带器件:解决方案
- 先进封装工艺与键合技术 · 封装关键材料与创新

化合物半导体先进技术及应用大会

10月太仓 化合物半导体先进技术及应用大会

- 化合物半导体材料生长与设备技术 · 功率电子器件及应用 · 光电子器件及应用 · 先进显示与照明取得的进展 · AI趋势下高速光互联演进
- 光子器件可靠性和失效分析 · 超快通信射频器件新应用

CHIP China晶芯研讨会

11月厦门 第二届-半导体先进封测产业技术创新大会

- TGV的封装工艺与技术 · IP/SoC/3D/异构集成 · 封装关键材料与创新 · 应用需求驱动下,先进封测发展进入快车道专场会议
- 系统级SiP芯片,物联网下一个竞争高地 · 赋能光电产业发展新高度

—◆ 线上 ◆—

化合物半导体先进技术及应用大会

- 确保SiC取得巨大成功
- GaN功率应用,厚积薄发
- MicroLED取得的进展
- 超宽禁带材料器件解决方案
- 光互联及光子集成电路

CHIP China晶芯研讨会

- 先进封装工艺与键合技术
- 封装关键材料与创新
- IP/SoC/3D/异构集成
- 先进半导体材料和器件的可靠性和失效分析
- 芯片与器件的测试和可靠性验证

—◆ 定制专场论坛 ◆—

重点依据企业需求定制化会议主题,线上直播与线下执行双向选择,垂直听众定向邀约,充分发挥资源链接优势,突破原有格局,助力泛半导体产业客户实现多元化探索路径。

论坛优势:推介目的性强 会议听众垂直 议题内容聚焦 直击产品核心



线下会议

线上会议