半导体芯科技

SILICON SEMICONDUCTOR CHINA

ISSN 2523-1294 www.siscmag.com 2026年 夏季刊（ 6/7, 8/9合刊）



超越 High-NA EUV 光刻 P.11
华为“韬（ τ ）定律”愿景 P.15
硅光技术需要全新封装方案支持 P.18
面向半导体晶圆厂的气体分析技术 P.20
SiC外延工艺中颗粒产生原因及改善方法 P.26

ACT INTERNATIONAL

Angel BUSINESS COMMUNICATIONS

微信公众号

ACT INTERNATIONAL

国际知名媒体授权
报道全球高新科技信息



免费索阅

服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体
半导体制造、洁净及污染控制、电磁兼容等领域的专业读者及与会者

品牌会议

VisionCon 视觉系统设计技术会议

SS OTC

EDI CON Electronic Design Innovation Conference 电子设计创新大会

AI 工业技术及应用研讨会

LaserFocusCon 激光聚会

CS CHINA CON

CHIP China 晶芯研讨会

CleanRooms China

国际代理

CQ Publishing (Japan)　Chomdan (Korea)　Pan Global (Europe)

Endeavor Business Media (USA)　Horizon House (USA)　Angel Business Communications (UK)

KIC® Making Ovens Smarter

KIC HeatMap



可实时监控的X^5智能测温仪

- 智能优化预测参数
- 全程实时监控炉温
- 7, 9, 12 通道可选
- 兼容KIC生态系统
- 2 年超长质保期
- 可升级原有设备

公司总部
10865 RanCho Bernardo Rd,Suite 100 · San Diego, CA 92127 USA
+1(858)673-6050 Phone . +1(858)673-0085 Fax
sales@kicmail.com • tech@kicmail.com

欧洲办事处
europe.sales@kicmail.com • europe.tech@kicmail.com

亚洲办事处
asia.sales@kicmail.com • asia.tech@kicmail.com

中国办事处
客服QQ：8000 66201
www.kicthermal.com • www.kic.cn

KIC产品旨在通过优化您的热处理工艺实现最大价值和快速回报，对KIC产品的投资是迈向全面工艺控制和质量管理的第一步。

版权归KIC所有。专利申请中。规格如有更改，恕不另行通知。KIC和KIC Thermal 是Embedded Design股份有限公司及其关联公司的注册商标及商号。WPI、SRA、RPI i4.0、SPS、Smart Dock、X5、KIC Start2、K2、KIC 24/7、KIC 24/7 Wave、KIC Vision、KIC Navigator Power、KIC Auto Focus、KIC Autofocus Power、KIC RPM、KIC Carrier、Wave Surfer、KIC MVP、RPL、Process Window Index、PWI、无铅功能符号、KIC ON BOARD、KIC HeatMap和KIC徽标是KIC的商标或注册商标。所有其他商标和商号均为其各自持有人的财产。
更多产品或服务信息，欢迎访问KIC官网：www.kicthermal.com or www.kic.cn.

目录 CONTENTS

封面故事 Cover Story

11 超越高数值孔径极紫外光刻：
粒子加速器技术开启光刻全新未来

Beyond High-NA EUV: Particle accelerator technology promises exciting future for lithography

半导体行业正步入深度变革时期。随着极紫外光刻技术逐步逼近物理极限与经济成本极限，同时人工智能相关算力负载对更高集成度、更高能效的计算芯片需求持续攀升，“下一代技术是什么？”这一问题已经从理论猜想转变为亟待解决的现实命题。高数值孔径（High NA）极紫外设备代表着当前光刻技术的前沿，但即便这类设备，也越来越被视作过渡方案，而非技术终点。
TAU Systems 公司通过紧凑型自由电子激光技术来破解半导体行业的发展瓶颈，以远超现有技术的速度制造尺寸更小、结构更复杂的芯片。



11

编者寄语 Editor's Note

5 粒子加速器技术开启光刻新未来

行业聚焦 Industry Focus

6 释放智能革命的力量---台积电 2026 欧洲技术研讨会

8 DELO 超低温固化技术再突破

9 东盛合芯三维集成芯片制造（一期）项目开工仪式举行

10 AMD 为物理 AI 带来领先异构计算能力

10 FormFactor 与启碁微科携手提升探针卡制造能力



6



9

关于雅时国际商讯 (ACT International)

ACT INTE NATIONAL 雅时国际商讯（ACT International）成立于1998年，为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品–包括杂志和网上出版物、培训、会议和活动–为跨国公司及中国企业架设了拓展中国市场的桥梁。 ACT的产品包括多种技术杂志和相关的网站，以及各种技术会议，服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT 亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港，在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photonics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

关于《半导体芯科技》

《半导体芯科技》（原半导体科技）中国版（SiSC）是全球最重要和最权威的杂志Silicon Semiconductor的“姐妹”杂志，由香港雅时国际商讯出版，报道最新半导体产业新闻、深度分析和权威评论。为中国半导体专业人士，提供他们需要的商业、技术和产品信息，帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国半导体产业，包括IC设计、制造、封装及应用等。

About Silicon Semiconductor China

Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology &product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMs, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

工业

测量更精准
工作更安心

LEXT OLS5500

全新一代精准测量激光共聚焦显微镜

高清成像，检测更多
精准测量，结果更准
丝滑体验，效率更高

这款集成了激光显微镜（LSM）、白光干涉仪（WLI）和聚焦变化法（FV）三种表面形状测量技术的一体化系统，能够为从事研发、质量保证及质量控制工作的人员，呈现精准的表面细节，提供具备溯源性的测量精度以确保数据可靠，同时凭借直观的操作体验简化工作流程。

Evidentscientific.com.cn



EVIDENT
奥 伟 登

2026年9月出版

半导体芯科技
SILICON SEMICONDUCTOR CHINA

目录 CONTENTS



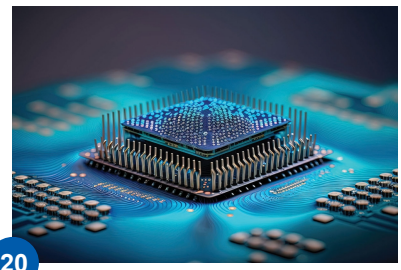
15

技术 Technology

15 华为描绘后摩尔半导体时代的“τ缩放”愿景
Huawei outlines “τ Scaling” vision for the post-Moore semiconductor era

18 硅光技术需要全新封装方案以实现规模化量产
Silicon photonics needs a new packaging strategy to reach volume

20 TDLAS与CRDS：在半导体晶圆厂中哪种气体分析技术性能更优异？
TDLAS vs CRDS: Which gas analysis technology truly performs in the fab?



20

专栏 Column

23 功率密度升至2.4kW/L：拆解11kW矩阵式OBC的实现路径
Power density reaches 2.4kW/L: Disassembling the implementation path for the 11kW matrix-type OBC

26 浅析碳化硅外延工艺过程中颗粒产生原因及改善方法
Analysis on causes and improvement methods of particle generation in silicon carbide epitaxy process



26

32 广告索引 Ad Index

《半导体芯科技》编委会（排名不分先后）

徐冬梅 教授级高工　中国半导体行业协会副秘书长兼封测分会秘书长
于大全 教授　厦门云天半导体创始人
姚大平 博士　江苏中科智芯集成科技有限公司总经理
汤　晖 教授　广东工业大学、精密电子制造技术与装备国家重点实验室
罗仕洲 教授　磐允科技总经理
林挺宇 博士　广东芯华微电子技术有限公司总经理
杨利华 院长　两江半导体研究院
王文利 教授　西安电子科技大学电子可靠性（深圳）研究中心主任 雅时国际商讯顾问
刘功桂 教授级高工　中国电器科学研究院股份有限公司威凯技术中心主任
徐开凯 教授　电子科技大学、电子薄膜与集成器件国家重点实验室
何　进 教授　北京大学教授、深圳系统芯片设计重点实验室主任

半导体芯科技
SILICON SEMICONDUCTOR CHINA

社长 Publisher
麦协林 Adonis Mak
adonism@actintl.com.hk

主编 Editor in Chief
赵雪芹 Sunnie Zhao
sunniez@actintl.com.hk

出版社 Publishing House
雅时国际商讯 ACT International
香港九龙 B,13/F, Por Yen Bldg,
长沙湾青山道478号 478 Castle Peak Road,
百欣大厦 Cheung Sha Wan,
13楼B室 Kowloon, Hong Kong
Tel: (852) 2838 6298
Fax: (852) 2838 2766

北京 Beijing
Tel/Fax: 86 10 64187252
上海 Shanghai
Tel: 86 21 62511200
Fax: 86 21 52410030
深圳 Shenzhen
Tel: 86 755 25988573 /25988567
Fax: 86 755 25988567
武汉 Wuhan
Tel: 86 27 82201291

UK Office
Angel Business
Communications Ltd.
6 Bow Court,
Fletchworth Gate,
Burnsall Road, Coventry,
CV56SP, UK
Tel: +44 (0)1923 690200
Chief Operating Officer
Stephen Whitehurst
stephen.whitehurst@angelbc.com
Tel: +44 (0)2476 718970

ACT INTERNATIONAL

ISSN 2523-1294
© 2026 版权所有 翻印必究

粒子加速器技术开启光刻新未来

半导体光刻技术的发展路线，历来由光源技术的一次次突破所定义——从深紫外（DUV）到极紫外（EUV），如今又迈向高数值孔径极紫外（High-NA EUV）。每一次技术更迭，都得以实现更小的芯片特征尺寸、更高的晶体管集成密度，同时提升单位功耗下的芯片性能。

但如今行业已经来到关键的转折点。随着 EUV 光刻技术逐步逼近物理极限与经济成本极限，同时人工智能相关算力负载对更高集成度、更高能效的计算芯片需求持续攀升，“下一代技术是什么？”这一问题已经从理论猜想转变为亟待解决的现实命题。

High-NA EUV 设备代表着当前光刻技术的前沿，但即便这类设备，也越来越被视作过渡方案，而非技术终点。

TAU Systems 公司首席执行官杰罗姆·佩耶（Jerome Paye）是一位深耕加速器物理与半导体制造交叉领域的资深技术专家，他提出了一套与传统光刻技术路线图大相径庭的构想：采用由紧凑型激光尾场加速（LWFA）驱动的光源，用以取代传统极紫外光源架构。这一技术转变并非简单的迭代升级，它或将重塑先进光刻设备的设计思路、制造方式及其在晶圆制造环境中的集成模式。

从加速器物理走向光刻领域：范式发生转变

杰罗姆·佩耶提出的这套备选技术方案并非脱胎于传统半导体设备设计，而是源自粒子加速与自由电子激光（FEL）科学领域。

激光尾场加速（LWFA）利用超强激光脉冲激发等离子体波，可在极短距离内完成电子加速。这项紧凑型加速器技术原理已经得到验证，工程层面的难点在于实现高重复频率与高平均输出功率。对比传统射频加速器，该方案能够在很小的设备体积内产生高能量、高亮度电子束。

这些电子束可以进一步驱动波荡器或其他辐射发射机制，产生包括 X 射线波段在内的超高亮度辐射源。

该技术思路并不只停留在理论层面。斯坦福直线加速器中心（SLAC）、欧洲 X 射线自由电子激光装置（European XFEL）等大型科研设施，已经证实自由电子激光架构可以实现超高亮度。但这些科研装置体量庞大，需要整片园区级基建、数百米长的加速器隧道。因此难题不在于物理原理是否成立，而在于能否将设备小型化，适配半导体工厂的生产环境。

本期杂志封面故事“超越高数值孔径极紫外光刻：粒子加速器技术开启光刻全新未来”，阐述了 TAU Systems 公司紧凑型自由电子激光技术如何破解半导体行业最棘手的发展瓶颈，以远超现有技术的速度制造尺寸更小、结构更复杂的芯片。

本期杂志更多内容：

华为描绘后摩尔半导体时代的“τ 缩放”愿景

硅光技术需要全新封装方案以实现规模化量产

TDLAS 与 CRDS：在半导体晶圆厂中哪种气体分析技术性能更优异?

浅析碳化硅外延工艺过程中颗粒产生原因及改善方法

……

欢迎广大读者阅读浏览。

赵雪芹

释放智能革命的力量

台积电 2026 欧洲技术研讨会（TSMC’s 2026 Europe Technology Symposium）揭示：人工智能正在重塑半导体行业，推动先进逻辑、先进封装、光子学与系统级集成技术不断进步，同时加速迈向万亿美元市场的进程。



台积电 2026 欧洲技术研讨会核心要点

在 2026 欧洲技术研讨会上，台积电传递出清晰而有力的信号：半导体行业已经迈入由人工智能（AI）定义的新时代，变革的速度超出此前预期。本次大会不仅公布工艺节点与封装技术的最新进展，更完整描绘了硅芯片将如何支撑一场“智能革命”，这场革命覆盖数据中心、自主智能系统，并延伸至物理现实世界。

从先进逻辑、2 纳米级创新，到 3D 集成、光子技术与系统级设计，台积电发布的技术路线图，既反映出前所未有的市场需求，也体现架构复杂度的持续攀升。与此同时，台积电也给出宏观市场判断，阐释人工智能如何重塑半导体产业的经济模式、发展重心与发展轨迹。

万亿级美元产业时代到来

研讨会上最受关注的一项发布，是全球半导体市场预期的更新。此前预测认为行业将在 2030 年达成 1 万亿美元规模里程碑，而台积电最新判断，这一门槛最早 2026 年就将突破。展望更远未来，到本十年末，市场规模预计将达到约 1.5 万亿美元。

这一轮爆发式增长主要由高性能计算与 AI 驱动，二者合计约占半导体总需求的 55%。智能手机依旧是重要赛道，占比约 20%；汽车与物联网各占约 10%；剩余份额由其他新兴及传统应用分摊。

尤为关键的是 AI 工作负载本身正在发生变化：行业正从以模型训练为主的阶段，逐步转向推理主导的阶段——训练完成的模型大规模部署，实时输出业务结果。这一转型意义重大：推理负载分布范围更广，覆盖云端数据中心、边缘设备以及嵌入式系统。

Token（令牌）概念是这场变革的核心，既可以是 AI 生成的文字、图像，也可以是各类数据点。Token 生成量持续上涨，算力资源需求随之水涨船高，形成强大的正向循环：生产力提升推动 AI 基础设施进一步投入，进而拉动先进芯片的需求。

这意味着半导体行业增长不再单纯依附传统计算周期，而是越来越由 AI 本身的指数级扩张特性所驱动。

晶体管技术演进

台积电路线图的根基，是晶体管架构的持续迭代。行业已经从平面晶体管演进至鳍式场效应晶体管（FinFET），如今正全面转向纳米片（全环绕栅极 GAA）结构。即便物理极限带来越来越大的挑战，上述技术依旧持续推动性能、能效与密度的同步提升。

在纳米片架构之后，台积电正在研究互补型场效应晶体管（CFET），将 N 型与 P 型晶体管垂直堆叠。该技术不必继续横向微缩，依靠堆叠提升晶体管密度，有望延续摩尔定律。

台积电已经取得阶段性进展，研发出尺寸极度紧凑的 SRAM 存储单元，面积比同等纳米片方案缩小约 30%；基于 CFET 的环形振荡器也完成验证，证明该技术用于未来逻辑芯片的可行性。

以上创新预示，垂直缩放将愈发重要，不仅体现在晶体管层面，也贯穿整套系统架构。

先进逻辑路线图：从 N2 到 A13

台积电先进逻辑工艺持续拓展技术边界，2nm 及以下工艺是下一代 AI、高性能计算与移动终端的技术底座。



N2 工艺已于 2025 年第四季度实现量产，标志行业正式迈入纳米片晶体管时代。衍生版本 N2P、N2U 依托设计工艺协同优化实现渐进式提升。N2P 预计 2026 年下半年量产；N2U 定于 2028 年落地，将在能效、速度、集成密度上带来进一步升级。

N2U 定位均衡节点，同时面向 AI / 高性能计算与移动场景。对比 N2P，它的提升幅度适中但实实在在：速度提升、功耗下降、密度小幅增加。关键在于兼容现有设计生态，可高效复用知识产权 IP，降低客户迁移难度。

N2 系列之外，台积电推出 A 系列工艺，包含 A14、A13，属于纳米片技术演进的下一阶段，实现完整代际的性能、功耗、面积综合优化。

A14 计划 2028 年投产，相对 N2 提升显著：同等功耗下速度最高提升 15%；同等速度下功耗最多降低 30%；逻辑密度提升约 1.23 倍，整体芯片密度同步增长。早期类产品验证显示性能改善明显，SRAM 良率表现优异，技术成熟度得到印证。

A13 于 2029 年跟进，是 A14 的直接微缩版本。虽然面积缩减约 6% 看起来幅度有限，但核心优势在于向后兼容。A13 与 A14 设计规则保持一致，客户可以快速高效完成设计迁移，缩短上市周期、降低研发成本。

对设计延续性的重视，反映半导体行业一大趋势：生态考量的重要性已经不亚于原始性能指标。

依托先进封装拓展 AI 算力

晶体管微缩依旧不可或缺，但台积电明确表示：未来性能增益将越来越依靠先进封装与系统集成技术。

CoWoS（基板晶圆芯片堆叠）依旧是支撑 AI 负载的核心技术。该方案可将逻辑芯片与高带宽内存 HBM 等多颗裸片集成在同一个封装内部，大幅提升算力密度与带宽。

台积电宣布，5.5 个光罩尺寸的 CoWoS 封装已经实现量产，良率超过 98%，制造能力实现重大突破。未来规划：2028 年 CoWoS 将拓展至 14 个光罩规格，2029 年进一步突破 14 光罩，最多可支持 24 堆 HBM 内存。

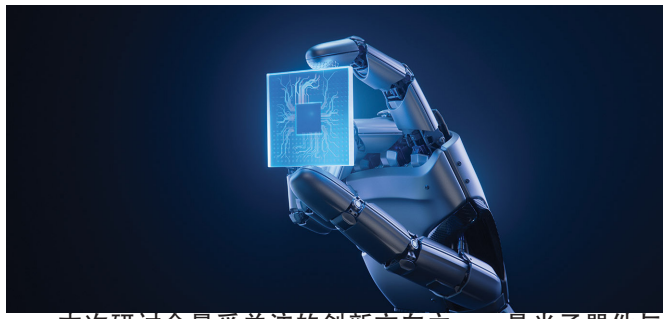
这条演进路线意义重大，单封装内部算力可以实现指数级增长，封装内集成的晶体管数量将大幅攀升，进一步确立封装技术作为性能提升核心驱动力的地位。

与 CoWoS 互补的是台积电 SoW（晶圆级系统），集成度再上一个台阶。SoW 在整片晶圆上集成逻辑与内存，可容纳数十颗计算裸片，最高支持 64 堆 HBM。计划 2029 年推出的 SoWX 平台，专门面向 AI 训练的极端需求。

与此同时，台积电持续迭代 SoIC（集成芯片系统），提供高密度 3D 堆叠能力。对比传统 2.5D 方案，SoIC 互连密度更高、能效更优，后续版本将进一步缩小键合间距，提升性能。

以上整套技术共同推动行业走向系统级缩放：性能提升不再只靠把晶体管做小，更多来自多芯片组件的高级集成。

光子技术与数据传输的未来



本次研讨会最受关注的创新方向之一，是光子器件与半导体系统的融合。

台积电 COUPE 紧凑型通用光子引擎面向共封装光学（CPO），把光通信器件直接集成进芯片封装，直击 AI 系统的核心瓶颈 —— 数据搬运。

对比传统铜互连，搭载 COUPE 的共封装光学方案，能效与时延实现巨大改善。早期实现版本能效最高提升 4 倍，时延降至原来的十分之一；随着技术成熟，指标还将继续优化。

首款量产产品搭载 200Gbps 微环调制器，预计 2026 年落地。台积电后续目标：支持 400Gbps 及以上速率，到 2030 年带宽密度达到约 4Tbps 每毫米。

这类技术对大规模 AI 系统至关重要：芯片之间、机柜之间的数据高效流转，其重要性已经不亚于算力本身。

汽车、机器人与物理 AI

本次研讨会还重点介绍台积电所说的物理 AI，即 AI 系统直接和物理现实交互的各类应用。涵盖自动驾驶汽车、机器人以及人形机器人等新兴场景。这类系统需要融合高性能计算、实时感知、通信与电源管理，整套平台还必须具备极高可靠性。

台积电通过 N3A、N2A 等专用工艺满足严苛的车规级标准。基于纳米片的车规工艺问世是重要里程碑，为安全关键型应用带来更高性能与能效。

系统层面，物理 AI 平台整合多款半导体器件：应用处理器、微控制器、传感器、通信模块。多类器件集成，体现现代电子系统复杂度不断提高，多个技术域在同一套系统内交汇融合。

台积电同时阐述硅芯片在人形机器人中的作用：感知、计算、控制能力融为一体，打造可以和现实世界交互的智能机器。

特色工艺与多元创新

除先进工艺节点之外，台积电持续投入大量特色工艺，支撑丰富多样的应用场景。

射频领域，台积电先进 CMOS 工艺大幅提升无线设备的能效与性能，对 AI 穿戴设备、增强现实 AR 等新兴应用价值突出。

内存技术同样持续演进，磁阻内存 MRAM、阻变内存 RRAM 在新一代设计中扮演越来越重要的角色。这类非易失存储器拥有可扩展性、性能、能效优势，非常适配 AI 与

嵌入式场景。

显示方向，台积电推出高压 FinFET 工艺取得明显进展，为 OLED 屏幕、近眼显示设备提供更高效、更紧凑的解决方案。

以上成果充分说明台积电创新生态的广度，远不止局限于先进逻辑工艺。

制造规模与可持续发展

为应对 AI 催生的需求暴涨，台积电正在大规模扩充产能。仅 2026 年就计划新建 9 座晶圆厂阶段项目，远超历史平均水平。

N2、A16 等先进节点产能高速扩张，20262028 复合年增长率约 70%；同时面向 AI 的大尺寸裸片晶圆、先进封装的需求急剧攀升。

产能扩张依托研发与制造团队深度协同，保障新技术快速大规模落地。

扩产之外，台积电高度重视可持续发展，承诺 2050 年实现净零排放，推进资源回收、水资源管理等举措，体现环保议题在半导体制造中的地位日益提升。

初创企业与生态创新

本次研讨会一大亮点是“与台积电共创创新”展示区，展出初创合作伙伴的前沿技术，覆盖感知、边缘 AI、通信、机器人等领域。

ARIA Sensing、Hailo、Rigpa.AI、VSORA 等企业展示先进半导体技术如何赋能各类新应用，包括实时感知、高能效 AI 推理等。

这些合作体现台积电不只是芯片代工厂，更是整个半导体生态的创新赋能者。通过开放先进工艺与设计工具，帮助初创企业把前沿构想推向市场。

结语：系统级创新的新时代

2026 欧洲技术研讨会清晰传递一个结论：半导体行业正迎来前所未有的增长与变革时期。

AI 不只是带来增量需求的又一类应用，它正在重塑全产业链，从器件架构、系统集成一直到制造策略。当 AI 从生成式模型走向实体物理系统，对硅芯片的要求只会越来越高。

台积电给出完整路线图，覆盖先进逻辑、封装、光子学、系统集成；同时扩大制造产能，强化产业生态，适配行业快速变化。

研讨会传递的核心思想是技术融合：未来性能提升不会来自某一项单点突破，而是堆栈不同层级多项技术的集成融合。

新时代下，成功不只取决于晶体管微缩能力，更在于统筹调度算力、内存、通信与智能的复杂系统构建能力。台积电的路线图表明，它已做好准备引领这场变革，在半导体生态的各个层面释放创新活力。

DELO 超低温固化技术再突破

新一代超低温（SLT）固化粘合剂 DELO DUALBOND LT 系列的出现，使消费类电子组装工艺在低至 45° C 的温度下也能实现可靠粘接，远低于传统工艺的温度范围。该系列产品可在 60° C 下仅需 10 分钟即可固化，或在 45° C 下 1 小时内完成固化。

传统消费类电子热固化工艺通常需要 80° C 以上的高温，或在 60° C 下持续 90 至 120 分钟的漫长等待。DELO 的 SLT 超低温粘合剂彻底改变了这一格局——在提升生产效率的同时，有效保护温度敏感元器件与材料。更低的固化温度为整个产线带来了切实可见的优势。在 60° C 下 10 分钟完成固化，使隧道炉成为替代批量烘箱的可行替代方案。客户项目测试数据已显示，该方案可将生产效率提高 2.5 倍。仿真数据同样表明，相比更高温度，45° C 固化条件下元件形变量显著降低，改善了光学稳定性，并在温度冲击测试中验证了更优异的长期可靠性。

速度、精度和保护，一步到位

更低的工艺温度不仅拓宽了兼容材料的范围，也开辟了全新的装配顺序。例如，小型集成电池等在常规固化温度下会发生性能衰减的元件，现可在粘接过程中保留于组件之中。而纤维素基底材料等以往无法适用于热固化工艺的材料，如今也成为可行的粘接伙伴。



图注：摄像头模组示意图，蓝色箭头代表新型 SLT 粘合剂的超低温固化工艺（图片来源：DELO）

SLT 超低温产品系列可满足不同的工艺优先级需要——及可以在中等温度下尽可能快的固化，也可以实现最低热应力，产品与现有成熟的低温（VLT）固化粘合剂的机械性能高度匹配。

“这些全新的 SLT 粘合剂为客户在组装工艺上带来了全新的灵活性——在满足消费类电子大规模生产需求的同时保护敏感元件。”DELO 消费类摄像头产品经理 Maximilian Baum 表示。

遵循 DELO 一贯的双固化理念，SLT 粘合剂结合了光固定——即短暂的 UV 或可见光照射，可在数秒内将组件固定到位，以及后续的低温固化步骤，以提供完全机械强度和长期可靠性。

东盛合芯三维集成芯片制造（一期）项目开工仪式举行



2026 年 6 月 29 日，东盛合芯三维集成芯片制造（一期）项目开工仪式在上海市临港新片区举行。

当前全球 AI 算力需求持续爆发，3DIC 是后摩尔时代公认的突破芯片性能瓶颈的核心技术路径，通过垂直堆叠、高密度异构集成方式，大幅提升芯片算力密度与数据传输带宽、降低系统功耗。作为盛合晶微布局三维集成制造技术研发与规模量产的核心基地，东盛合芯三维集成芯片制造项目产品面向高性能计算、人工智能、数据中心等应用领域，将为国内高端芯片产业链注入发展动能。

项目一期计划总投资 100 亿元，是执行并落地盛合晶微“致力于发展先进的芯粒多芯片集成封装测试一站式服务能力”发展战略规划，完善公司先进封装技术平台布局的重要一步。

盛合晶微董事、资深副总裁兼首席运营官李建文在仪式上表示，上海临港拥有完善的集成电路产业集群与产业政策优势，本次开工项目建成后将与盛合晶微江阴基地形成技术协同、产能互补的发展格局，有利于公司抢抓先进封装市场发展机遇，强化在 3DIC 等前沿技术领域的规模化交付能力，为客户提供稳定可靠的高端先进封测一站式服务。

未来，东盛合芯将以本次一期项目建设为起点，稳步推进 3DIC 技术研发与产能布局，不断迭代优化三维多芯片集成工艺平台，全力以赴保障项目高质量落地。

为设备制造商提供定制解决方案

精度和吞吐量可满足具体需求



为满足关键性能定制的高级平台

60 多年来，我们的 MKS Newport 运动控制团队一直在开发和制造高精度系统，为半导体行业的一些重要发展做出了贡献。

- 模块化薄型 XY平台，可集成 Z/ZTT 运动单元
- 机械、混合或全空气轴承 XY 系统
- 精确的运动控制，确保过程同步和稳定性
- 高水平的系统集成，保证系统层面性能指标

请扫描二维码了解更多信息

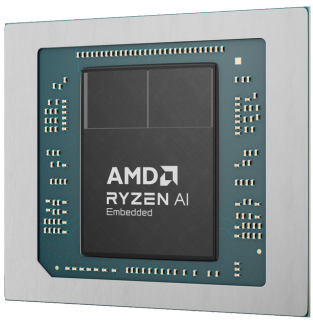
www.newport.com

mks | Newport

AMD 为物理 AI 带来领先异构计算能力

AMD Advancing AI 2026 大会在美国旧金山举行，这一次 AMD 董事会主席及首席执行官苏姿丰博士又为我们带来了 AMD 众多的新产品、新技术，甚至还首次透露了未来的 Zen8 处理器！这里我们来介绍一下这次 AMD 发布的重磅新品 AMD 锐龙 AI 嵌入式 X100 系列处理器。

AMD 扩展锐龙 AI 嵌入式处理器家族，融合 CPU、GPU 与 NPU 加速能力，为机器人、工业自动化和智能嵌入式系统提供强劲动力。



图：AMD 锐龙 AI 嵌入式 X100 系列处理器

AMD 宣布推出 AMD Ryzen（锐龙）AI 嵌入式 X100 系列处理器，为物理 AI 需求提供领先性能。该系列处理器专为加速感知、推理和实时控制工作负载而设计，在单颗嵌入式 SoC 上集成了最多 16 个高性能 AMD“Zen 5”CPU、独立级集成 GPU 以及高能效 NPU。每个计算引擎均可提供卓越的独立性能，而统一的内存架构则可加速实际工作负载，从而提升确定性并降低时延。锐龙 AI 嵌入式 X100 系列针对机器人、工业自动化、医疗健康以及其他智能实时嵌入式系统等物理 AI 应用进行了优化。

为何重要？

物理 AI 系统所需的不仅是理论上的 AI 性能。它们必须在严格的功耗、散热和空间限制内，实现确定性的实时控制、AI 工作负载编排和工业级可靠性。锐龙 AI 嵌入式 X100 系列处理器可支持自主系统在其所处环境中可靠地感知、推理和行动，以足够迅速的相应速度满足人形机器人、智能制造、手术机器人和无人系统等高要求用例的需求。

AMD 嵌入式业务产品、软件与解决方案公司副总裁 Kirk Saban 表示：“锐龙 AI 嵌入式 X100 系列标志着物理 AI 领域令人振奋的新篇章，为广泛的智能实时嵌入式应用开启了释放全新机遇。凭借领先的 CPU、GPU 和 NPU 性能，并结合嵌入式专用功能、开放的软件生态系统以及工业级可靠性，AMD 锐龙 AI 嵌入式 X100 系列可简化开发流程，助力客户更快地将功能日益强大的下一代自主系统推向市场。”

锐龙 AI 嵌入式 X100 处理器提供了哪些能力？

X100 系列处理器在 CPU、图形和 AI 工作负载方面提供了领先的计算能力。该处理器预计可在 CPU、图形和 AI 工作负载方面提供领先的计算能力，其更高的多线程 CPU 性能（CoreMark□）可助力大规模并发，更高的图形性能可提供更具沉浸感的体验，更高的令牌生成吞吐量以及更快的首个令牌生成时间（TTFT）则能加速物理 AI 工作负载。对于需要以低功耗和小尺寸实现高信号处理的应用，锐龙 AI 嵌入式 X100 系列处理器提供了强大的峰值 FP32 性能，能够实现出色的信号处理，并且在诸如高级医疗超声波束成形等工作负载上，其平均性能也十分优异。

锐龙 AI 嵌入式 X100 系列处理器由开放软件栈提供支持，包括用于应用开发的 Linux、用于 iGPU 工作负载加速的 AMD ROCm 软件栈、用于虚拟化的 Xen Hypervisor，以及 PyTorch、ONNX 和 TensorFlow 等行业标准 AI 框架，使开发者能够在熟悉的设计环境中快速构建。借助可将现有代码库从 CUDA 迁移至 ROCm 的工具，开发者可获得高性能与灵活性，以及更加灵活的选择。该系列处理器专为工业应用环境而设计，可支持严苛环境下的高可靠性运行。

锐龙 AI 嵌入式 X100 系列处理器已于 2026 年 6 月开始向客户提供样品，预计将于 2026 年第四季度实现量产供货。客户可利用 AMD 参考平台开展初期开发，并通过 Arbor、Congatec、iBase、IEI、Sapphire 和 Seavo 等首发合作伙伴提供的系统模块快速推进至量产阶段。

FormFactor 与启碁微科携手提升探针卡制造能力

全球半导体测试龙头 FormFactor 与启碁微科（Keystone Microtech，简称 KSMT）正式宣布升级战略合作关系，旨在提升探针卡规模化制造能力、完善区域运营服务体系，加快面向全球客户交付高端探针卡解决方案。

当下先进封装与大芯片浪潮来袭，探针卡供应链迎来新一轮整合，双方合力将壮大探针卡制造与芯片测试能力，全面因应先进半导体研发量产需求。

随着 AI 算力芯片、高性能计算（HPC）、先进封装、存储芯片、高速互联产品飞速迭代，半导体芯片架构复杂度持续攀升，晶圆厂与设计企业亟需适配严苛工况的新一代精密测试方案。本次合作将整合两家企业互补优势，共同推进下一代半导体器件的研发与量产落地：

FormFactor 输出探针卡核心技术、整体方案设计以及半导体测试领域深厚积淀；启碁微科负责合作产品的结构设计、组装、测试、维修与全球分销落地工作。

根据合作协议约定：FormFactor 依旧自主研发、生产独家探针卡核心技术；双方各自保有自有知识产权、技术体系、专利与工艺经验，不存在技术权属让渡。

FormFactor 首席执行官 Mike Slessor 表示：“半导体技术飞速演进，行业测试标准与难度水涨船高。FormFactor 长期凭借高端探针卡与测试技术助力半导体产业创新。本次战略合作是原有布局的延伸，既完善了全球供应链关键区域的运营体系，也大幅提升客户服务响应效率。依托我方技术积累搭配启碁微科的组装测试产能优势，将有力支撑 AI 处理器、HPC 高端芯片等前沿产品持续迭代升级。”

启碁微科董事长 Jim Lee 谈及本次深化合作：“我们十分荣幸能与全球顶尖探针卡厂商扩大合作版图，共同应对先进半导体测试日益严苛的性能、品质诉求。双方技术、产能资源优势互补，秉持创新理念携手前行，既能加速向客户交付下一代测试产品，稳固双方在高增长赛道的市场地位，也将为所有合作方创造长期价值。”

本次合作打通了顶尖探针卡技术、量产制造、组装测试全链条资源，将持续赋能 AI、高性能计算等高端半导体赛道的技术革新。

超越高数值孔径极紫外光刻：粒子加速器技术开启光刻全新未来

TAU Systems 公司首席执行官杰罗姆 • 佩耶（Jerome Paye）阐述了该公司紧凑型自由电子激光技术如何破解半导体行业最棘手的发展瓶颈，以远超现有技术的速度制造尺寸更小、结构更复杂的芯片。



半导体行业正步入深度变革时期。随着极紫外（EUV）光刻技术逐步逼近物理极限与经济成本极限，同时人工智能相关算力负载对更高集成度、更高能效的计算芯片需求持续攀升，“下一代技术是什么”这一问题已经从理论猜想转变为亟待解决的现实命题。

高数值孔径（HighNA）极紫外设备代表着当前光刻技术的前沿，但即便这类设备，也越来越被视作过渡方案，而非技术终点。

杰罗姆 • 佩耶是一位深耕加速器物理与半导体制造交叉领域的资深技术专家，他提出了一套与传统光刻技术路线图大相径庭的构想：采用由紧凑型激光尾场加速（LWFA）驱动的光源，用以取代传统极紫外光源架构。这一技术转变并非简单的迭代升级，它或将重塑先进光刻设备的设计思路、制造方式及其在晶圆制造环境中的集成模式。

极紫外光刻技术的扩容瓶颈日渐显现

半导体行业光刻技术的发展路线，历来由光源技术的一次次突破所定义 —— 从深紫外（DUV）到极紫外（EUV），如今又迈向高数值孔径极紫外（High-NA EUV）。每一次技术更迭，都得以实现更小的芯片特征尺寸、更高的晶体管集成密度，同时提升单位功耗下的芯片性能。

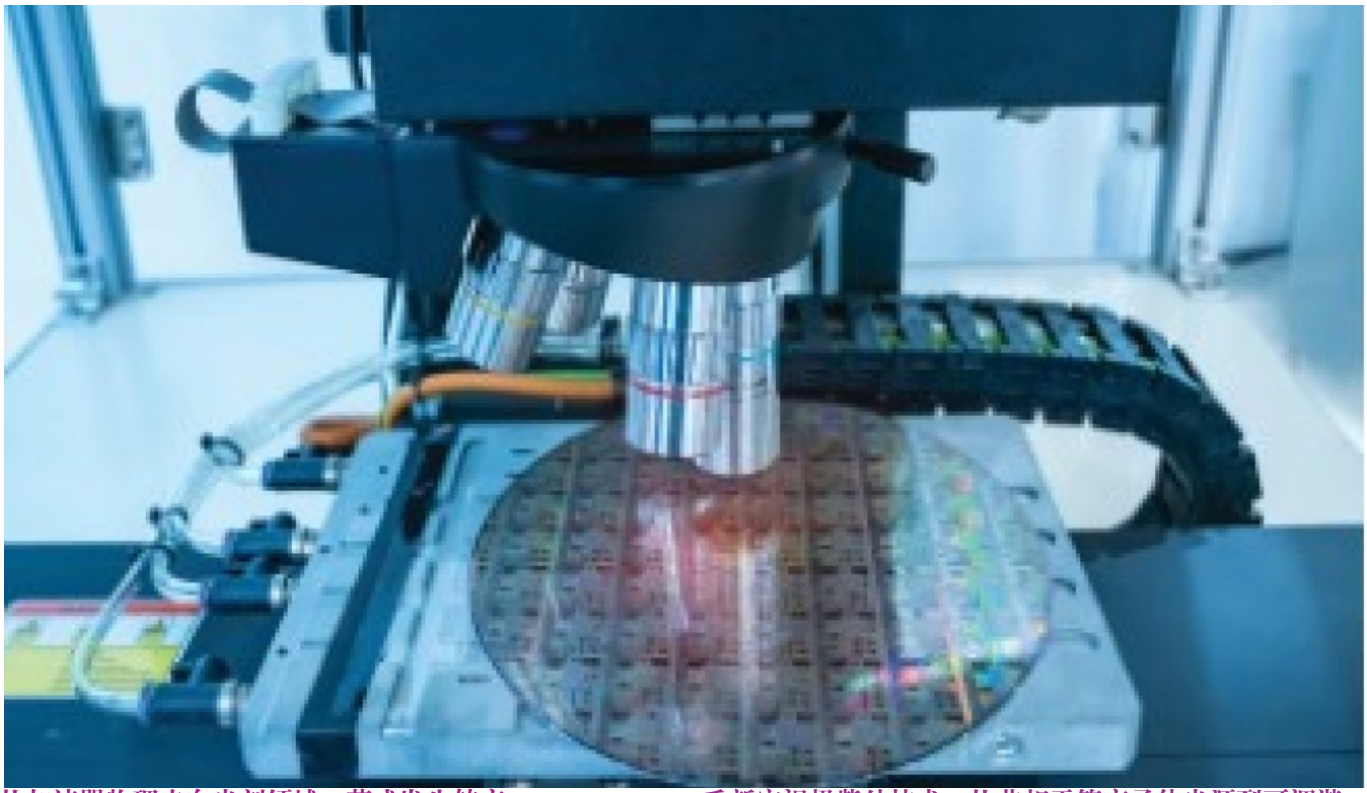
但如今行业已经来到关键的转折点。

当前以 13.5 纳米为工作波长的极紫外整套技术体系，本身就是大量工程权衡取舍的产物。整套系统链路十分复杂：高功率二氧化碳激光器、锡液滴等离子体发生装置，以及能够以极高精度反射极紫外光子的特种多层反射镜。虽然这套架构已经经过深度优化，但想要继续向前迭代也变得愈发困难。

高数值孔径极紫外通过提升光学数值孔径来提高分辨率，代价却是光学系统复杂度与成本急剧攀升。行业由此面临双重约束：波长缩短存在物理上限，而设备迭代升级带来的经济成本也在不断走高。

这并非遥远的远期问题，而是当下就需要面对的工程现实，亟需投入研发。

光刻技术每一代产品都需要漫长的开发周期，这意味着，如果想要在未来十年落地高数值孔径极紫外的后继技术，相关研发工作就必须从现在启动。



从加速器物理走向光刻领域：范式发生转变

杰罗姆·佩耶提出的这套备选技术方案并非脱胎于传统半导体设备设计，而是源自粒子加速与自由电子激光（FEL）科学领域。

激光尾场加速（LWFA）利用超强激光脉冲激发等离子体波，可在极短距离内完成电子加速。这项紧凑型加速器技术原理已经得到验证，工程层面的难点在于实现高重复频率与高平均输出功率。对比传统射频加速器，该方案能够在很小的设备体积内产生高能量、高亮度电子束。

这些电子束可以进一步驱动波荡器或其他辐射发射机制，产生包括 X 射线波段在内的超高亮度辐射源。

光源亮度是这项技术最核心的优势。半导体光刻中，加工出极精细图形的能力，直接取决于光子的亮度与相干性。传统极紫外光源虽然输出功率可观，但本质上属于非相干等离子体辐射源，发光特性更接近普通灯泡，而非激光笔。

与之相比，加速器驱动光源有机会实现高得多的亮度，还可获得更高相干性，为实现更精细的图形控制、提升光刻图形保真度开辟新路径。

该技术思路并不只停留在理论层面。斯坦福直线加速器中心（SLAC）、欧洲 X 射线自由电子激光装置（European XFEL）等大型科研设施，已经证实自由电子激光架构可以实现超高亮度。但这些科研装置体量庞大，需要整片园区级基建、数百米长的加速器隧道。因此难题不在于物理原理是否成立，而在于能否将设备小型化，适配半导体工厂的生产环境。

重新审视极紫外技术：从非相干等离子体光源到可调谐光源

想要理解基于激光尾场加速的光刻光源的价值，就要将其和现有极紫外发光原理做对比。

传统极紫外设备依靠高功率激光轰击锡液滴流，锡液滴被汽化形成等离子体；锡离子发生复合时，就会辐射出中心波长 13.5 纳米的极紫外光。

这个波长并非随意选定，是在反射镜反射率、光刻胶灵敏度、等离子体发光效率之间反复权衡得到的最优结果。

但这套发光机制天生是非相干的，生成的光子相位、传播方向十分分散，后续必须依靠大量光学器件完成光线收集、滤波与光束整形。

除此之外，极紫外光刻还存在一套强耦合的系统约束：光源、反射光学系统、光刻胶材料，全部都要围绕单一波长协同优化。这套“黄金适配区间”既是极紫外工程的重大成就，同时也是它根本性的局限。

基于激光尾场加速的技术思路，希望打破这一约束，打造可调谐光源。不再要求所有子系统迁就固定波长，光源本身的输出波长就可以调节。这就解除了光刻系统设计中一项硬性绑定条件。工程师可以针对反射镜镀膜、光刻胶化学特性分别选择最优波长，而不是让所有元器件去适配一个狭窄的固定波段。理论上，这能够缓解长期制约光刻迭代的材料科学难题。

先进光刻面临的经济与能耗约束

除物理层面之外，经济性直接决定光刻技术能否落地。如今的极紫外光刻机，尤其是头部设备厂商阿斯麦推出的机型，属于人类有史以来结构最复杂、造价最昂贵的设备之一。

高昂成本来自诸多子系统：

- 高功率激光光源，往往需要单独的配套机房
- 高精度等离子体发生系统
- 加工精度接近原子级别多层反射镜系统
- 高速晶圆传输与定位系统

每一套子系统本身都高度复杂，叠加在一起造就了资本投入巨大的整套产业生态。

能耗问题也愈发突出。极紫外设备需要消耗巨量电力才能产出可用光子；随着芯片产能需求提升，能耗增长成为晶圆厂不可忽视的负担。

激光尾场加速技术希望重新平衡这一矛盾。该方案聚焦改造光源模块，借助高效率的激光辐射转换机制，目标是提升光刻链路最核心环节的资本使用效率与能耗表现。

该技术路线并不打算复刻整套极紫外设备的全部复杂结构，而是瞄准其中关键瓶颈：替换光源本身。

紧凑型设备与晶圆厂产线适配

传统加速器光源和激光尾场加速方案最直观的区别就是设备体积。斯坦福直线加速器中心、欧洲 X 射线自由电子激光这类传统自由电子激光装置，需要庞大的隧道基建和专用建筑，而晶圆工厂内部空间寸土寸金，现有条件无法容纳这类大型设施。新方案的设备体积大幅缩小，大约只相当于一个标准集装箱大小。

体积缩减不只是工程层面的便利，更彻底改变设备部署思路。不用在远处大型设施集中生成光束再传输（极紫外光传输损耗大、实现难度极高，该思路并不现实），整套设备可以直接部署集成到晶圆厂内部。

由此可以实现“一台光刻机配置一套光源”的模式，和当前极紫外设备架构类似，但对场地和配套基建的要求大幅降低。晶圆工厂不可能为适配设备而整体搬迁改造，设备必须去适配已有的工厂环境。这一设计理念贯穿激光尾场加速技术的研发路线。

迈向工业级可靠性：重复频率与系统稳定性

把加速器物理成果转化为半导体制造设备，最大挑战在于可靠性与可重复性。实验室装置的运行条件，往往无法直接用于工业化生产。

当前研发的样机采用 100 赫兹激光重复频率，搭载专用工业激光器。对比光刻量产最终所需的性能指标，该数值仍有提升空间，但相比过去学术实验室的演示样机，已经取得长足进步。

重复频率至关重要，它是闭环反馈控制系统运行的基础。足够高的脉冲频率，才能实现实时稳定控制，补偿振动、设备漂移以及其他环境干扰带来的影响。

不过光刻量产最终考验的是平均输出功率。想要达到工业产能，脉冲能量和重复频率必须同步提升。现阶段研发同时面对两大难点：提高单脉冲能量，同时提升重复频率，并且全程保障光束稳定、输出可复现。



AI 算力需求与工艺节点迭代的成本考量

人工智能算力爆发，进一步催生对下一代光刻技术的迫切需求。AI 加速芯片与先进逻辑芯片的图形日趋复杂，不断把现有光刻设备推向性能上限。

现有极紫外工艺一大痛点就是多重曝光。单次曝光不足以完成图形制备时，就需要多次曝光叠加，推高生产成本、降低产能，同时增加工艺复杂度。

借助激光尾场加速光源有望实现更短波长，很多现在需要多步曝光的图形，未来有望通过单次曝光完成。这将从根本上改变制造成本结构，缩短生产周期，降低工艺波动。

这将回归更直接的图形加工模式：依靠物理特性实现工艺迭代，而不是依靠层层叠加多重工艺。当然物理极限客观存在，没有任何光刻技术可以无限逼近原子级分辨率，但对比现有极紫外设备，这套技术仍有可观的性能提升空间。

技术路线：从实验室样机走向工业装备

从实验性加速器技术，到达到半导体生产标准的光刻光源，研发道路漫长曲折。最重要的技术里程碑不只看性能参数，更要完成工业化落地。

核心研发目标包括：

- 提升重复频率，以此提高产能
- 实现脉冲与脉冲之间输出高度稳定
- 验证设备可以长期稳定运行
- 集成诊断与反馈控制系统，实现实时调控

目前开发中的系统就承担着上述能力的验证测试。设备集成大量诊断监测模块与稳定控制机构，目标是把科研实验装置改造成可以量产使用的工业装备。

受访人士坦言，这种转化难度很高，大概率需要数年时间，其复杂程度不亚于当年极紫外技术从研发走向实用。但该技术拥有一项得天独厚的优势：全球各大科研机构数十年积累了大量自由电子激光研究成果，可以为研发所用。

和以往光刻技术革新不同，这项技术的基础物理原理，已经在大型科研装置中得到充分验证。

依托全新光源重新定义摩尔定律

这项技术带来更深层的思考：它能否延续甚至重塑摩尔定律的发展轨迹。半导体下一阶段的进步，或许不能只依靠晶体管尺寸微缩，光刻光源本身的革新将起到关键作用。

如果紧凑型加速器驱动光源可以实现更高亮度、更短波长以及优异的波长可调能力，就能够开辟极紫外、高数值孔径极紫外之外全新的工艺迭代路径。

它并不是用来直接淘汰现有成熟技术，而是拓展技术可能性。研发目标不是宣告极紫外技术过时，而是破除制约未来工艺节点迭代的现存瓶颈。从这个角度看，基于激光尾场加速的光刻技术，有望成为光学光刻的第三次范式变革：继深紫外、极紫外之后，迈向可调谐的加速器驱动光源时代。

光刻产业基建的全新前沿

为维持芯片工艺持续迭代，半导体行业一直在重塑核心制造技术。从传统光学光刻，到浸没式光刻，再到极紫外，每一次技术更迭，都需要物理原理、工程实现、产业经济多方条件共同成熟。

激光尾场加速开辟了一条截然不同的道路，技术根基来自高能物理，而非传统光学工程。它的价值不只体现在性能指标，更在于重新思考光的产生方式。

当然，在性能扩容、设备稳定、产线集成方面依旧存在诸多挑战，但该技术的潜在价值十分可观：设备体积更小、波长可调、能耗改善，同时为分辨率持续提升打开新通道。

人工智能持续拉动算力需求，而极紫外光刻逐步触碰自身架构上限，寻找下一代光刻范式已经不再只是理论探讨，而是决定半导体制造业未来的核心命题。

紧凑型加速器驱动光源最终能否扛起下一代光刻的重任，还有待实践验证。但行业发展方向已经日渐清晰：光刻领域下一次重大变革，未必只是依靠更精良的光学镜片，更可能来自对“光如何产生”这一底层问题的全新思考。

这项技术思路并非只停留在理论层面。斯坦福直线加速器中心（SLAC）、欧洲 X 射线自由电子激光装置（European XFEL）等大型科研设施，已经验证了基于自由电子激光（FEL）架构能够实现超高亮度。

华为描绘后摩尔半导体时代的“τ 缩放”愿景

在 2026 年 IEEE 国际电路与系统研讨会（ISCAS 2026）上，华为公司何庭波发表了半导体行业备受瞩目的主旨演讲，提出了她所描述的后摩尔时代半导体演进的全新发展路径



本次演讲围绕“τ Scaling”即韬（τ）定律 / τ 缩放这一概念展开，介绍了过去六年间在半导体领域华为的技术探索。虽然受到传统几何微缩放缓、先进光刻设备获取受限等诸多因素的制约，华为仍在持续追求芯片性能提升。

演讲完整阐述了华为新一代半导体战略，覆盖手机处理器、先进封装、AI 系统、光互连以及未来芯片架构等多个领域。其中透露出更为重要的内容：这些探索标志着行业理念正在发生重大转变，不再将传统晶体管尺寸微缩视作性能进步的唯一驱动力。

华为认为，未来半导体技术的进步将越来越依赖于在器件、电路、芯片和系统全层级优化时间相关特性，而不仅仅是依靠缩小几何尺寸。

超越摩尔定律

何庭波首先肯定摩尔定律在数十年计算技术发展进程中的历史价值。

过去，几何尺寸微缩推动半导体行业造出速度更快的处理器、性能更强的智能手机，以及算力不断提升的计算系统，同时保持具备商业可行性的成本水平。但如今，晶体管尺寸逼近物理极限，行业正面临越来越严峻的物理与经济层面的挑战。

何庭波表示，受先进制造工艺与光刻设备获取限制，华为更早遭遇了上述难题。

“六年前，我们的几何微缩就已经进入平台期。”她解释道，“于是我们开始重新思考摩尔定律与电子系统的本质。”

由此，华为提出了所谓时间缩放，即 τ 缩放（韬定律），该命名源自半导体系统中支配诸多电气特性的时间常数 $\tau = RC$。

华为的核心观点：半导体技术进步从来都不只是单纯缩小物理尺寸。历史上几何微缩能够带来收益，本质是它同时改善了时序特性 —— 晶体管切换更快、延迟更低、信号路径更短、工作频率更高。

因此华为主张，优化优先级应当从单纯追求几何尺寸缩小，转向降低整个电子系统堆栈内的各类时延。

将时间作为全新缩放度量指标

在工程实践层面，华为认为即便不再激进地推进工艺节点微缩，器件、电路、芯片、系统层面依旧可以实现性能提升。

在器件层面，何庭波称性能增益仍可来自 RC 优化技术，包含前端、后端工艺改进；高 k 金属栅、应变硅等技术已经在华为过往产品中得到成功应用。

其核心思路是：依据时域行为优化

系统，而不再单纯依赖晶体管尺寸。

华为认为这套以“τ 为核心”的方法论适用范围横跨 12 个数量级，从皮秒级的晶体管开关动作，直至秒级的系统级业务运行。

在电路层面，华为通过改进互连设计、降低寄生电阻和电容、缩短信号路径以及优化时钟分布，旨在减少信号传播延迟。

在系统层面，华为认为架构与系统优化正成为未来性能提升的重要驱动力。

“逻辑折叠”技术问世

本次演讲的核心亮点，是华为发布了全新设计方法论——逻辑折叠（LogicFolding）。

何庭波介绍，逻辑折叠是面向数字系统的根本性全新设计方法，基于多层垂直堆叠的有源逻辑层实现。

该技术将关键逻辑路径分布在多个垂直集成层，以此缩短物理信号路径、削弱寄生效应、改善时序性能。

华为称该方案能够同时对功耗、性能、密度与成本实现协同优化。

传统数字电路高度依赖管理时序逻辑级之间的时序关系，关键路径时序始终是限制时钟频率与芯片整体性能的主要约束。

华为逻辑折叠技术试图解决该痛点：在物理上压缩触发器各级之间的信号传输距离。

华为表示，逻辑单元采用垂直堆叠，而非在单片裸片上横向铺展，能够大幅缩短信号布线长度、改善时钟完整性、降低时序裕量，让芯片跑得更快，同时提升能效。

混合键合与先进封装

逻辑折叠技术的落地，离不开混合键合与封装技术的重大突破。

华为表示，该技术要成功落地，需要实现极具挑战性的键合间距微缩：混合键合间距能够降至 2 微米以下，同时保证套刻对准误差控制在 0.5 微米以内。

何庭波指出，要让逻辑折叠高效工作，混合键合间距与顶层金属间距之比必须小于 3。

华为同时介绍了其在硅通孔（TSV）方面相关创新，实现小于 1.5 微米关键尺寸、小于 6 微米间距的结构。通过冗余技术，上述技术实现极低故障率与高修复良率。

华为透露，上述多项技术预计自 2027 年起大规模投产。

麒麟 2026：首款逻辑折叠处理器

在本次主旨演讲中，华为正式发布了业界首款商用逻辑折叠处理器：麒麟 2026（Kirin 2026）。

该处理器计划于 2026 年内晚些时候发布，由传统单层架构升级为双层折叠设计。

华为称这次架构迭代带来晶体管密度大幅跃升：单位平方毫米晶体管数量由 1.55 亿提升至 2.38 亿。

同时 SoC 性能核心功耗效率提升 41%，最高时钟频率提升近 13%。



何庭波强调，此前业界普遍认为经过数代麒麟迭代后，手机处理器性能已经进入饱和阶段，但华为麒麟 2026 依旧取得上述性能收益。

这传递出清晰信号：即便传统晶体管微缩放缓，逻辑折叠依然是一条可行的持续性能提升路径。

SRAM 与电路级折叠

华为还给出技术实例，展示逻辑折叠如何改善具体子系统。

其中一例针对 SRAM 性能：随着 SRAM 阵列规模扩大，互连延迟与通信开销在总延迟中占比越来越高，往往超过晶体管本身的固有开关延迟。

华为表示，现代 1Mb SRAM 阵列中，超过 70% 总延迟来自互连与通信开销。

将逻辑折叠应用于 SRAM 结构，可以缩短存储阵列、外围电路与处理器内核之间的物理距离，同时降低 RC 延迟。

据华为测试结果，存储时延、每比特能耗显著下降，SRAM 工作频率提升超 40%；仅依靠工艺微缩很难达成同等效果。

华为还提到处理器时钟分发的性能提升：折叠架构下，时钟缓冲器数量减少超 50%，时钟偏移降低 25%，时钟树布线长度缩短约 30%。

AI 系统与“τ 系统”

演讲大部分内容围绕移动处理器展开，同时华为也用大量篇幅阐述 AI 基础设施。

何庭波提出，AI 系统的缩放逻辑与智能手机存在本质差异。

现代 AI 系统由成百上千颗异构芯片大规模并行组网而成。在这类系统中，数据搬运同时主导能耗与系统成本。

华为引用测算数据：AI 系统 80% 以上能耗消耗在数据搬运，70% 以上系统成本来自数据存储。

因此华为认为，AI 基础设施的核心挑战不再只是提升原始算力，而是降低通信耗时。

华为 AI 战略围绕超节点



（SuperNode）体系展开，包含昇腾 910C 以及新发布的昇腾 950 平台。

华为介绍，这些系统针对训练、推理两类负载做差异化优化，每一类架构都按照自身 τ（时间常数）特性调优。

推理系统更看重低时延、快速 Token 生成；训练系统优先追求吞吐量，实现通信与计算重叠执行。

统一总线与 “系统即单芯片”

AI 板块的一项重要发布是华为全新统一总线（Unified Bus，UB）架构。

传统多节点 AI 系统往往堆叠多层协议，需要复杂互连转换，带来时延、可靠性隐患与额外成本。

华为统一总线架构采用对等设计，实现机柜内、机柜间互连通信协议统一。

华为称该方案省去大量协议转换环节，简化超大规模 AI 集群部署。

统一总线还引入内存语义通信能力，支持对等节点间直接数据传输，无需高层协议封装。

何庭波表示，这套架构让 AI 系统表现更接近单芯片（System as One Chip，系统即单芯片），降低大规模部署下的整体时延。

光互连与 HiONE

华为同时公布了面向未来 AI 基础设施的光互连路线。

AI 带宽需求迈向数太比特每秒级别，传统电互连受线缆体积、热约束、信号完整性限制，越来越难以满足需求。

为此华为开发 HiONE 高密度光互连引擎，单颗 AI 芯片可实现 8Tbps 带宽。

该技术将电 SerDes 传输距离由约 1 米压缩至数厘米，同时把光通信传输距离拓展至约 100 米。

华为认为，这套分布式光互连方案可以搭建高密度、吉瓦级 AI 数据中心，避免将过高热密度与功耗集中在单个机柜。

重新审视 2.5D 封装

演讲另一大主题，是破解华为所称的“2.5D 缩放困境”。

传统 2.5D AI 芯片封装中，逻辑裸片位于封装中央，内存堆叠、互连与供电结构布置在边缘。

裸片尺寸增大时，算力随芯片尺寸呈二次方增长；但边缘提供的内存带宽、供电、IO 能力仅线性增长。

华为指出这种不匹配，构成未来 AI 扩展的根本性瓶颈。

华为提出的解决方案是系统折叠（System Folding）：内存、供电、光 IO 不再局限于封装边缘，而是垂直布放到芯片表面。

华为认为该架构可以让全部系统资源与算力密度同步按比例扩展。

华为预测，到 2035 年，这套方案可将硬件集成密度提升 100 倍以上。

尚存挑战

尽管愿景宏大，何庭波也坦言仍存在重大技术难题。

一大障碍是开发全新 EDA 工具与方法论，支撑自由形态折叠逻辑设计。

华为称已经着手开发初步工具链，后续将通过技术论文披露更多细节。

热管理是另一项关键挑战。

芯片功率密度持续走高，热优化必须覆盖系统全层级，从单颗器件一直延伸到吉瓦级 AI 基础设施。

华为也介绍了集成电容、热界面优化、先进冷却技术等相关研究工作。

半导体全新叙事

演讲结尾，华为将韬（τ）缩放定位为普适、可持续的后摩尔时代缩放定律。

何庭波介绍，20202026 年间，华为已经基于这套设计理念，面向多行业多场景完成 381 款芯片的设计与量产。

华为相信，即便传统几何微缩变得愈发困难昂贵，韬（τ）缩放依旧可以为未来十年半导体演进提供可行路线图。

华为给出预测：到 2031 年，晶体管密度突破每平方毫米 4 亿颗，CPU 主频突破 5GHz，手机与 AI 系统性能持续提升。

虽然整个半导体行业是否会接纳华为这套 τ 缩放框架，仍有待观察。但本次演讲清晰释放出信号：华为并不只是一家被动应对外部约束的半导体企业，它试图重新定义半导体架构未来的发展方向。

在摩尔定律的物理极限日益显现的时代，华为押注：决定下一代计算技术的，不仅只有几何尺寸，还有时间。

虽然整个半导体行业是否会接纳华为这套 τ 缩放框架，仍有待观察。但本次演讲清晰释放出信号：华为并不只是一家被动应对外部约束的半导体企业，它试图重新定义半导体架构未来的发展方向。

硅光技术需要全新封装方案以实现规模化量产

由于受到人工智能与大型数据中心的需求拉动，硅光技术的发展节奏不断加快。

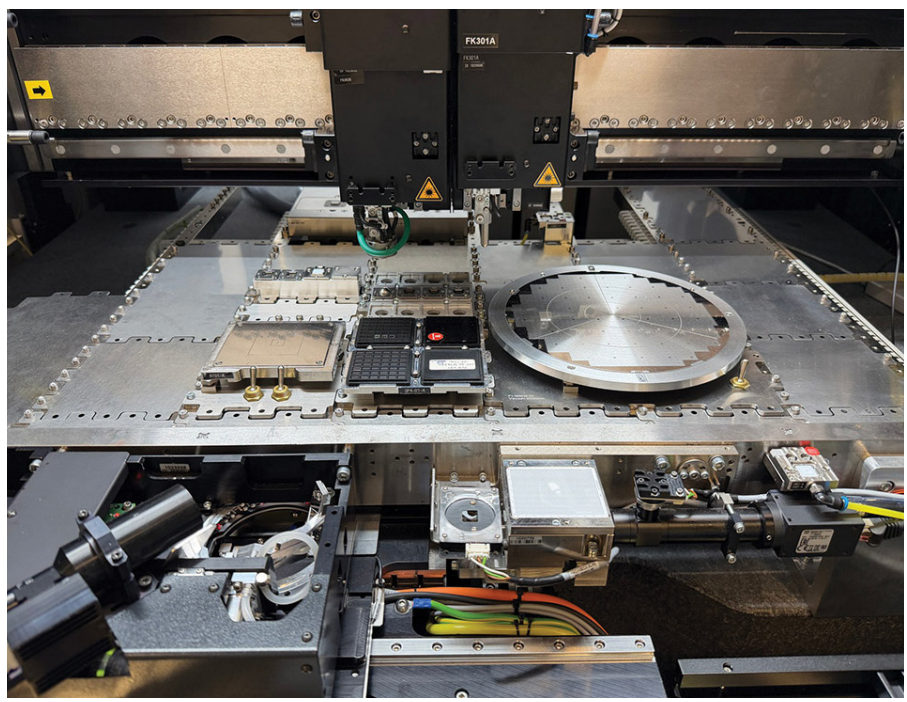
作者：Sylvain Dulphy, Finetech

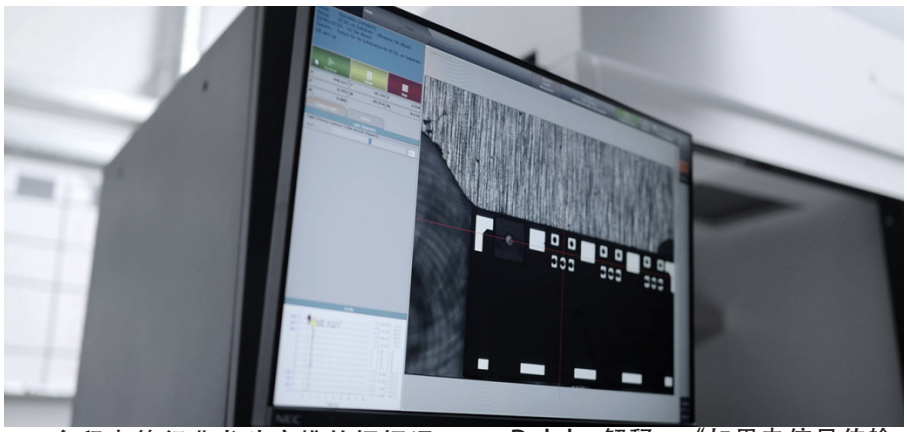


英伟达与梅赛德斯奔驰在 2026 年国际消费电子展（CES）上联合展出商用自动驾驶汽车，这标志着光子器件的大批量应用时代已然到来。然而，行业要实现 2030 年路线图所要求的大规模制造产能，仍面临重大障碍。主要制约因素已发生变化：瓶颈不再仅限于前端光刻工艺，更有封装工艺本身。封装实现 2030 年各项目标，取决于整个行业对“后端工艺”认知的根本性转变。

封装价值占比攀升至 50%

传统上，半导体封装被视作普通配套工序，是放在低成本地区完成的最后一道生产环节。对于普通产品，封装环节大约占产品总价值的 15%。但面向数据中心与 AI 的先进光子器件，这一占比发生反转，封装如今占到终端产品价值的 50%。





台积电等行业龙头主推的铜铜混合键合等先进工艺，正在打破并行组装的传统标准封装与晶圆制造之间的界限。裸片晶圆键合（die to wafer bonding）、芯粒（chiplets）、中介层（interposer）应用等新工艺，正从传统组装产线转移至高等级洁净车间。这类生产对工艺精度有着极致严苛的要求。

德国 Finetech 公司销售经理 Sylvain Dulphy 指出：“一旦封装出现缺陷，整个产品就直接报废。即便内部是 2 纳米高性能芯片，如果封装工艺达不到完美标准，器件就只能丢弃。”封装已经从单纯的防护外壳，变成决定器件性能的核心功能环节。

告别可插拔光模块时代

为满足 AI 业务负载对信号速率的严苛要求，行业正从外置可插拔光模块，向共封装光学方案演进。核心目标是最大限度缩短芯片内部信号传输距离，这里的外部信号为光信号。

Dulphy 解释：“如果电信号传输路径过长，路径本身就相当于滤波器。这类似于物理学中的功率概念，需要力与速度两者兼备。你或许拥有很高的传输速率，但过长的连接会削弱信号强度，整体性能就会受到限制。”

想要同时保障信号完整性与传输速率，信号连接必须尽可能短。这就需要借助中介层与芯粒等先进技术来实现凸点或者金属金属直接接触。

尽管这类集成方案能够实现大批量产品所需的微型化，应用场景覆盖从车载激光雷达到医疗设备，但同时也带来全新制造难题：所有器件单元的三维对准。

借助当前半导体晶圆厂的技术，三维对准这一目标是可实现的，但现在我们正将光学元件和电子元件集成在同一芯片中，并采用多种材料。因此，组装得到的芯片组件热特性并不均匀，无法确保其兼容相同的工艺流程，同时还需要进行光学对准。

攻克光学对准难题

硅光技术想要达到手机零部件级别的量产规模，行业必须解决光学对准痛点。目前光纤与光源的对准大多采用单器件有源对准：这需要反复移动器件、开启激光器、读取信号，然后再次调整。

这套循环流程不能满足半导体量产所需要的速度，而且成本高昂，耗费时间。当前研究方向转向无源对准技术：借助中间结构引导光束，无需对每一颗器件通电检测。掌握无源对准技术，是实现大规模商业化生产所需成本水平的唯一路径。

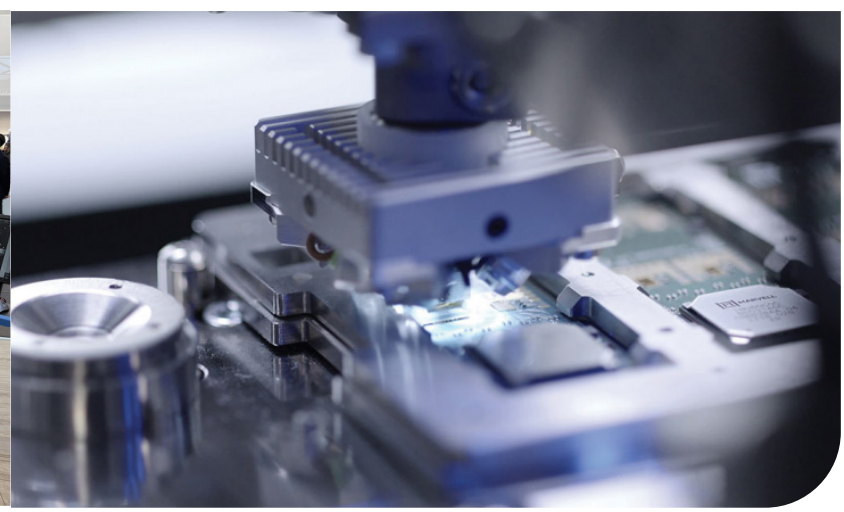
供应链缺口

展望 2030 年，硅光技术供应链配套不足带来的阻碍，甚至超过技术本身。目前该领域缺少统一标准，各家厂商各自开发方案，制约行业整体扩张。

同时硅光设备供给承压。从零研发新一代设备需要数年周期，设备不会凭空出现，必须与技术同步迭代。由此出现产业趋势：传统半导体前端设备厂商开始布局封装工艺。与成熟封装专业厂商开展合作，或是最高效的组合模式。

道理十分明确：硬件约束软件的上限。我们当下解决的硬件瓶颈，决定未来 AI 算法能够发挥多大能力。想要在 2030 年前完成突破，设备厂商、晶圆厂与科研机构必须立刻推进规划。大规模市场需求即将到来，问题在于供应链能否承接住这波需求。

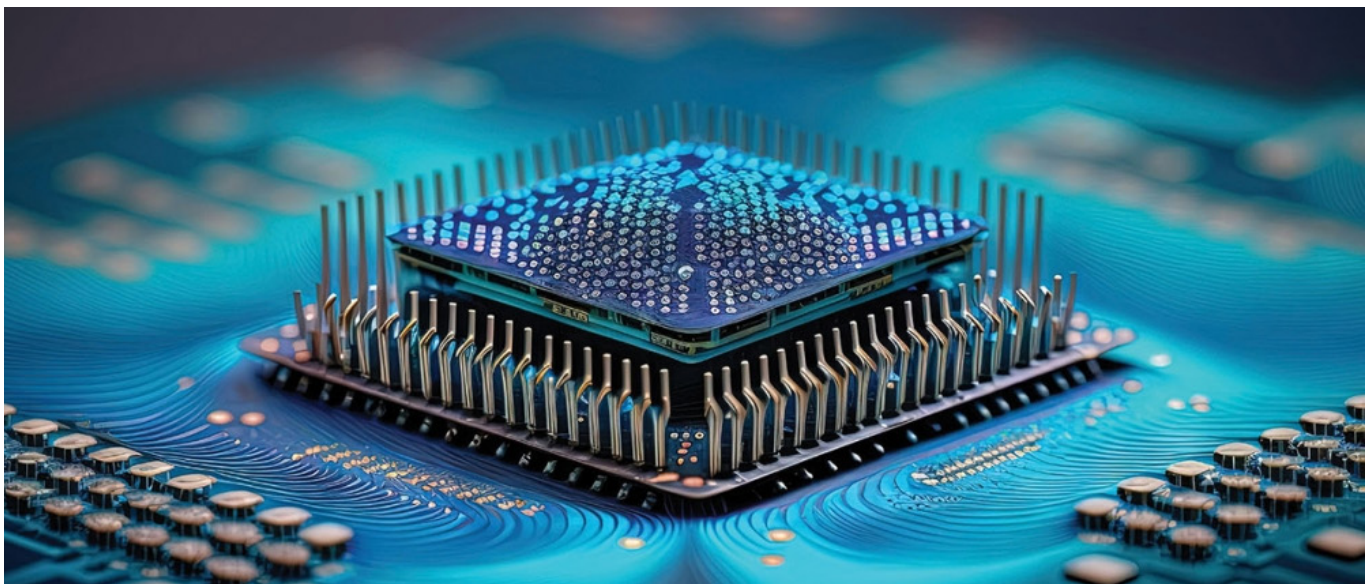




TDLAS 与 CRDS：在半导体晶圆厂中哪种气体分析技术性能更优异？

半导体晶圆厂必须时刻维持洁净无瑕的环境条件，并保证气体品质处于最优状态，因为即便是水汽浓度低至万亿分之一（ppt）级别，也会引发严重的生产缺陷与工期延误。

作者：Joseph Ha，英国仕富梅（Servomex）公司工艺与解决方案业务市场经理



工程师通常依靠气体分析仪器核验气体纯度，以尽早发现异常。目前该领域有两大主流技术，分别是：可调谐二极管激光吸收光谱（Tunable Diode Laser Absorption Spectroscopy, TDLAS）与腔衰荡光谱（Cavity Ring-Down Spectroscopy, CRDS）。本文来分析一下二者在实际中的表现孰优孰劣。

TDLAS 技术将激光调至特定的红外波段，捕捉待测目标气体分子的特征吸收光谱；随后系统通过分别获取气体的温度和压力数据，利用吸收信号计算出气体浓度，从而确保测量精准度。该技术可对关键超高纯度（UHP）气体开展现场实时超痕量检测，助力半导体生产流程精细化管控。

CRDS 技术的检测原理截然不同：它将光束控制在两片高反射镜之间，通过在镜片之间捕捉光线，系统来测量光线信号衰减的速率。光信号衰减常数（也称“衰荡时间”）与气体浓度呈直接对应关系。

为半导体产线挑选气体分析方案时，必须仔细评估这两类技术在各个关键监测点位对工艺气体组分、纯度的表征能力。通过高精度气体分析能够提升生产效率，帮助工程师以最小生产扰动化解污染隐患。

严苛工况下的纯度管控

半导体晶圆厂会使用种类繁多的特种气体，每种气体都承担专属工艺作用。因此合格的气体分析仪既要适配各类工艺特种气体，也要可检测氮气、氧气、氢气、氩气、氦气等吹扫气体（这类气体用于管路吹扫、抑制污染滋生）。所有气体源头就必须达到超高纯度，且从气源到终端整套输配管路全程都要稳定维持该纯度标准。

整套检测节点流程：

1. 大宗气源送入管道网络前，工程师先行抽检分析；

2. 气体进入洁净室前，在气体纯化装置上再次检测；

3. 气体通入车间不锈钢主管路前，在分配集管处完成纯度核验；

4. 在每台工艺设备气柜内（特种气体接入产线节点）再次巡检；

5. 最终在气体使用终端（POU）做最终检测。

在半导体超高精度制造场景下，稳定可靠是硬性底线。哪怕十亿分之一（ppb）级别的微量污染，都会对硅片造成不可逆损伤、拉低良率，甚至导致整厂停工。伴随半导体制程不断向 1.4nm 迈进，晶圆厂已经近乎零杂质容忍度，气体分析对于生产效率与企业盈利的战略意义愈发凸显。

TDLAS 与 CRDS 均为经过市场验证的成熟技术，均

可实现无损精准检测，无需消耗耗材。TDLAS 搭载精密激光光学器件，整机坚固耐用，可实现水汽超痕量检测、响应迅速，非常适合高纯半导体工艺气体的现场监测。反观 CRDS，更适用于检测必须严控的痕量杂质，但对检测速度无严苛要求的场景。

极速响应，守护生产产能

一枚半导体芯片完整生产周期平均长达 12~16 周，气体监测系统绝不能停机。精密制程和昂贵原材料，要求快速检测微量污染物。早期发现，提前预警可规避良率损失和设备损坏，并确保安全。分析工具必须在数秒内发现并定位泄漏与污染，以保护硅片和现场人员，保障产线连续运转，这就要求仪器极速输出 ppb 以下级别的检测结果。

TDLAS 和 CRDS 都属于光学光谱技术，可对高纯电子特种气体开展快速超痕量分析；二者均可非接触式实时检测，响应速度、检测特异性全面优于传统气相色谱。两种技术均依托高选择性激光吸收原理，大幅降低复杂气体体系中的光谱串扰与误报概率。

气体浓度发生波动时，TDLAS 响应速度最快：它将波长调制光谱（WMS）与可调谐二极管激光结合，兼顾超高灵敏度与高速扫描能力。扫描速度可达亚秒级，既能实现万亿分率（ppt）级别超快痕量监测，还可同步实时诊断设备状态。

CRDS 同样具备超痕量检测能力，响应速度偏慢，但依旧可近乎实时监测超高纯气体中的水汽杂质。 如果产线需要高速在线监测、ppb/ppt 浓度波动至关重要，TDLAS 是首选，可快速定量痕量杂质；CRDS 更适合无需极致测速、对极限精度要求一般的痕量杂质分析场景。

两种技术都无需吸湿、干燥预处理流程（传统表面传感器需要吸附 - 脱附样品来校准基线，拖慢检测效率）；仅需将激光穿透样品气室，即可快速完成无创检测。

低运维设计，规避生产延误

在半导体领域，保持无故障运行至关重要，因为设备的运行时间、良率和污染控制会直接影响到本就十分紧张的生产吞吐量。因此，免维护的稳定监测价值极高。

TDLAS 和 CRDS 都采用高精度光学技术实现高性能气体传感检测，但它们的维护需求不同。TDLAS 通常需要较少维护，可连续数月甚至数年无需校准地稳定运行，其系统基于气体光谱的基本物理原理，能够在长时间运行中不受激光漂移、探测器漂移或镜面反射率衰减的影响。此外，TDLAS 技术对气体预处理的要求极低，甚至几乎不需要。

CRDS 则需要精细管控：操作人员必须频繁执行零点校准，抵消背景信号漂移；同时镜面必须时刻保持洁净，才能维持长有效光程、保障检测灵敏度。

二者核心检测原理的差异，直接决定仪器能否满足半导体严苛规范、规避巨额生产事故，深刻影响芯片制造的商业可行性。TDLAS 是采用直接吸收光谱法：激光穿过待测气体，检测光强衰减幅度；CRDS 则是测算密闭双镜腔内光线的衰减常数。

二者检测精度都十分优异，但选型取决于应用场景：CRDS 可满足常规纯度核验，可是响应迟缓、采购成本更高，还极易受机械振动、环境温湿度波动干扰，并不适合半导体核心生产工况。TDLAS 机械结构更稳固、响应更快，在线制程监测性能扎实，尤其适配需要超高灵敏度检测的生产环节。

业内普遍将 TDLAS 称作产线“耐用主力设备”；CRDS 结构复杂，偏向实验室级配置，数据处理流程繁琐。虽说二者稳定性都远优于老式气体分析仪，但晶圆厂自身生产诉求，才是最终选型依据。

抗污染能力：二者最核心分水岭

抗污染性能由光学架构决定，也是 TDLAS 与 CRDS 最直观的性能差距。前文已经提及：TDLAS 机身坚固、灵敏度优异、环境适应性广泛；CRDS 则对环境管控要求严苛，



需要频繁校准与光学对位调试。

TDLAS 几乎不受污染干扰，这也是它响应速度出众的关键原因：开机升温迅速，数分钟内即可投入测量，适配实时制程管控；设计灵活，既可现场定点监测，也支持全天候在线连续监测；捕捉浓度动态变化的效率遥遥领先，完美适配产线常态化监控。

CRDS 更适配实验室分析场景，可接受较长的信号平均采集时间。受腔衰荡检测机制与深度信号滤波影响，它响应速度天然慢于 TDLAS；复杂的光机结构也抬高了安装、校准成本。

灵敏度需满足工业化实际应用

环境噪声对两款设备的影响截然不同：CRDS 只有在超稳定、低振动的实验室环境中才能发挥最佳性能；TDLAS 专为严苛工业现场打造，适配半导体车间现场制程管控。

早期激光光谱设备常会遇到光学干涉条纹与待测气体吸收峰重叠的干扰问题；现代 TDLAS 搭载先进波长调制光谱 + 二次谐波（2f）检测技术，有效抑制干扰，稳定实现 ppt 级精准检测。

CRDS 想要满载运转，必须额外增加运维投入与减震隔离措施：因为工业环境噪声会干扰检测，镜面沾染杂质会降低精度，振动、温度变化会破坏高精细光学谐振腔，进一步拖累响应性能。而 TDLAS 则无惧高温、腐蚀性、多粉尘工况，可以稳定输出非接触式实时检测数据。

TDLAS 更具有产线应用优势

极低检出限是芯片制造的刚需：因为即便是微乎其微的痕量杂质，都能损毁硅片、降低良率、引发安全隐患、削弱芯片性能。半导体制程纯度阈值极窄，微小偏差就会酿成灾难性制程缺陷。

两款技术都能满足芯片生产所需的精度与产能需求，但在复杂工业环境中，TDLAS 具备实打实的运营优势，更适合晶圆厂日常运维：结构简洁、灵敏度超高、机身坚固，设备制造、维保、扩容成本更低。

TDLAS 可极速捕捉气体泄漏，哪怕是 ppt 级浓度波动都能精准识别，还能无缝接入现有晶圆厂整套基础设施。它的灵敏度刚好契合工业真实制程需求，一味追求更低检出限只会徒增不必要的系统复杂度。

仕富梅公司的 DF-700 系列分析仪充分体现了 TDLAS 的固有优势：融合 TDLAS 实用性与半导体级严苛性能，水汽杂质检测稳定高、重复性好，检出限处于行业顶尖水平，广泛用于气体品质管控、气柜泄漏监测。

半导体行业极度看重设备连续运行时长：DF-700 搭载固态存储、无耗材设计，校准状态持久稳定，基线漂移极小；超快响应可实时捕捉杂质与泄漏，有效保护工艺腔体、稳固硅片良率，因此全球各大超高纯气体供应商均信赖这套分析平台。

综上所述，新一代气体分析仪打破了行业长久以来的认知误区。伴随 1.4nm 制程加速落地，纯度标准愈发严苛，晶圆厂需要审慎梳理自身生产优先级。现代气体分析技术助力半导体厂商不断突破精度上限，从容迎接下一代芯片制造的各类挑战。



功率密度升至 2.4kW/L：拆解 11kW 矩阵式 OBC 的实现路径

随着全球电动汽车市场对充电效率与架构灵活性的要求不断提升，OBC（车载充电机）技术正迎来从繁至简的变革。本文将聚焦安森美（onsemi）11kW 矩阵式 OBC 核心技术详解与器件应用解析。



安森美电源解决方案事业部首席应用工程师 Daniel Goldmann

一、11kW 矩阵式车载充电机 – 硬件设计师访谈

1. 安森美针对该设计和拓扑提供了哪些产品？

我们提供符合车规认证的栅极驱动器和辅助电源解决方案，用于驱动碳化硅（SiC）功率器件，并同步供应此类功率器件本身。该单级矩阵式 OBC 在所有工况下均可实现全软开关，这意味着功率器件的开通损耗可以忽略不计。因此，理想的器件应具备快速、低损耗的关断特性以及低导通电阻（RDS(ON)）。安森美的 EliteSiC MOSFET 正是理想之选，例如顶部散热封装的 23mΩ、650V M3S 系列器件 NVT2023N065M3S。M3S 技术采用平面半导体结构，确保器件在整个寿命周期内 RDS(ON)、阈值电压 VGS(TH) 和体二极管压降稳定无漂移，同时保证负栅极驱动电压下的可靠工作。

2. 该演示设计包含哪些主要电子元器件和电路？

该设计可分为两部分：第一部分是矩阵式 OBC，它将电网侧交流电转换为直流电，同时控制功率流实现电气隔离。所有这些功能集成于单一转换级，从而带来前述优势。然而，在单相供电时，矩阵 OBC 输出端会出现 100/120 Hz 的功率脉动。若电动汽车电池可接受该纹波，则无需额外处理；若要求输出纹波较低，则需有源滤波。这就引出了演示设计的第二部分，即“智能电容”，它是一种有源滤波元件，在单相电网输入时用于平滑输出功率，直至达到规定的纹波要求。

3. 您的设计如何同时兼容北美和欧洲充电标准，从而避免为同一款车型开发两种不同的 OBC？

本演示设计可在额定功率下兼容三相（欧洲标准）或单相（北美标准）电网供电。在单相运行模式下，A 相和 B 相连接至电网一侧，C 相连接至另一侧。C 相所用的半导体器件的导通电阻 RDS(ON) 仅为 A 相和 B 相的一半，从而即使在单相电网供电下，也能实现高效功率转换。A 相与 B 相之间的电流则通过电网侧滤波器实现平衡。

4. 针对电动汽车电池，OBC 在应对转换器输出电流纹波方面的主要设计要求是什么？

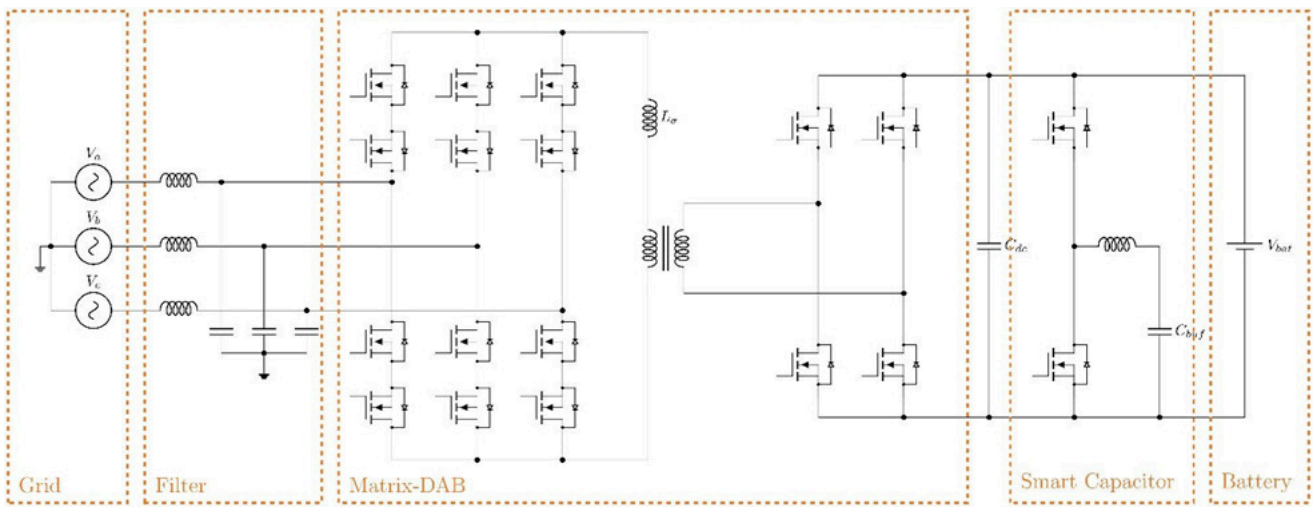


图 1：单级矩阵式 DAB 转换器与智能电容滤波示意图

目前市场上对 OBC 的要求各不相同：有些要求输出纹波非常低，而另一些则相对宽松。然而，大量研究表明，在电池充电过程中，100/120 Hz 的脉动功率流可能对电池造成损害。我们预计未来会有更多整车厂（OEM）接受较为宽松的纹波要求，这将使矩阵式 OBC 无需使用有源滤波器，进一步凸显其相比传统拓扑，在减少元器件数量方面所带来的优势。

5. 矩阵式双有源桥（Matrix-DAB）后端采用智能电容替代传统无源输出滤波器。这种新型电容为何被称为“智能”解决方案？

这是因为 Bulk 电容通过半桥转换器连接。该设计使得电容电压能够在较大范围内波动，同时保持输出电压稳定，能够更充分地利用电容器存储的能量。虽然这种方案需要为物料清单增加额外的半导体器件和磁性元件，但减少了 Bulk 电容后，在重量、体积和成本方面的优势远超这些新增元件。

6. 目前正在测试的演示设计改进版（第 2 版）功率密度高达 2.4kW/L。实现功率密度提升一倍以上的关键设计改进是什么？

实现功率密度倍增的关键设计改进在于元件布局的优化。散热器被设计为多面散热：顶面用于交流侧开关矩阵散热，底面用于直流侧整流开关和智能电容散热，正面则用于集成电感的变压器散热。结合变压器结构的进一步改进，最终实现了更高的功率密度。

7. 您能解释一下在此演示设计中所采用的开环控制概念吗？

这一开环控制概念是我在攻读博士学位期间研发的。它仅需检测交流侧电压和直流侧电压，无需检测流经变压器的高频电流，从而显著降低了对检测的需求。此外，该方法为单级矩阵式双有源桥（Matrix DAB）设计了多种调制策略，确保在所有工作条件下都能实现软开关——即使在需要与电网交换无功功率的情况下也不例外。

8. 能否简要介绍一下您所开发控制算法的核心组成部分？

控制算法在一个包含处理器和 FPGA 的系统芯片（SoC）上运行。处理器负责完成电网同步和 DQ 坐标变换，并执行开环控制——包括矩阵式双有源桥（Matrix DAB）的调制计算，以及与 FPGA 的接口通信。FPGA 负责换相控制，根据开环算法计算出的开关时序对 DAB 进行调制，并管理交流侧开关矩阵（采用多步换流，为原边电流提供续流路径）。

9. 由于该演示设计本质上是一种隔离式 AC-DC 功率拓扑，除电动汽车之外，在其他应用领域是否有潜力？

是的。任何需要隔离式 AC-DC 变换的场合都可以使用这种拓扑。例如，服务器电源、固态变压器等众多应用。

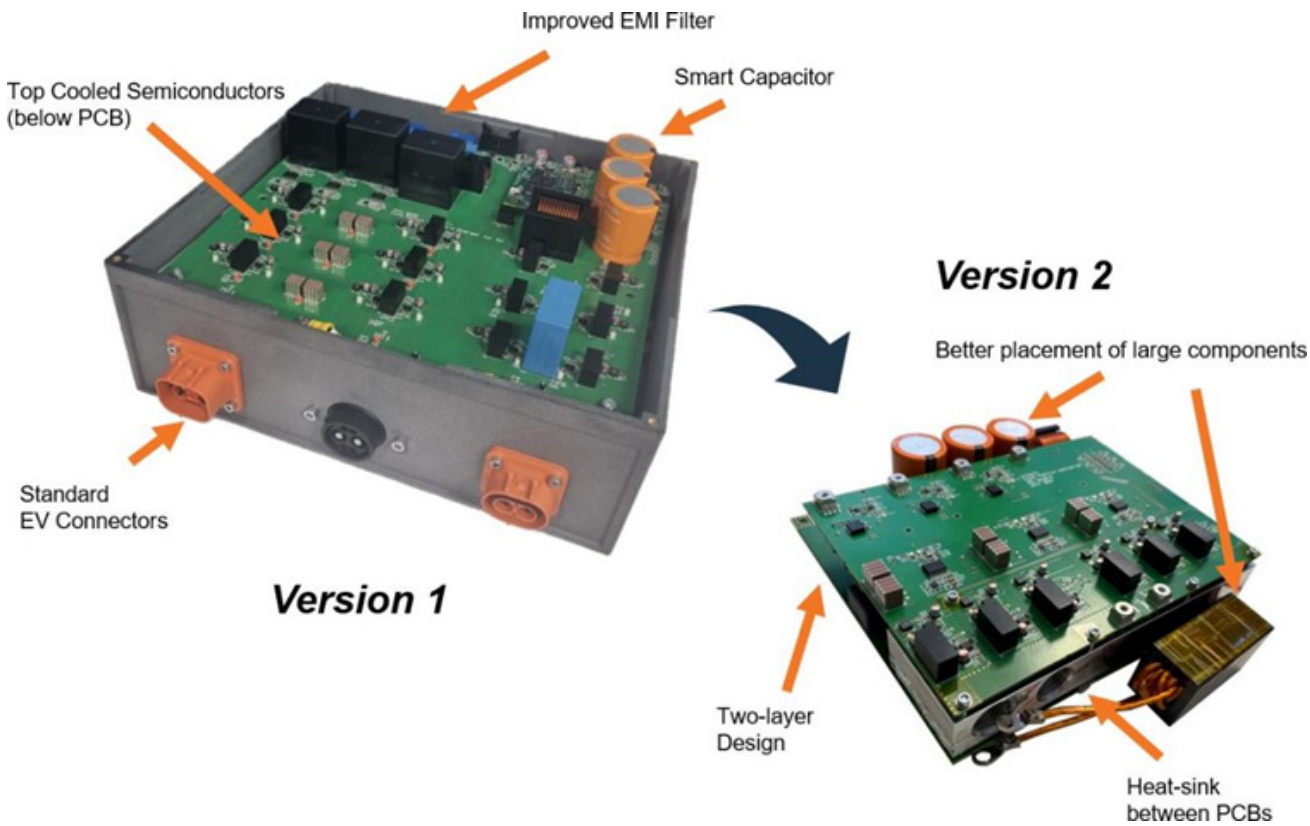


图 2：11 kW 矩阵式 OBC 设计演进：演示设计的新旧版本对比

二、顶部散热封装如何革新 EliteSiC MOSFET 的热性能

为满足 OBC 应用日益严苛的需求——包括更高的功率密度、更低的损耗以及显著提升可靠性——安森美推出了采用顶部散热 T2PAK 封装的全新 EliteSiC MOSFET。

本演示设计在其功率级中采用了 650V T2PAK MOSFET，显著提升了热性能、增加了功率密度，并优化了开关特性。T2PAK 是一种专为满足汽车和工业高压（HV）应用严苛标准而设计的顶部散热封装。可实现与外部散热器或金属外壳的直接热接触，将热量高效导离主印刷电路板（PCB），从而大幅改善整体散热性能。

三、低寄生电感的紧凑型设计

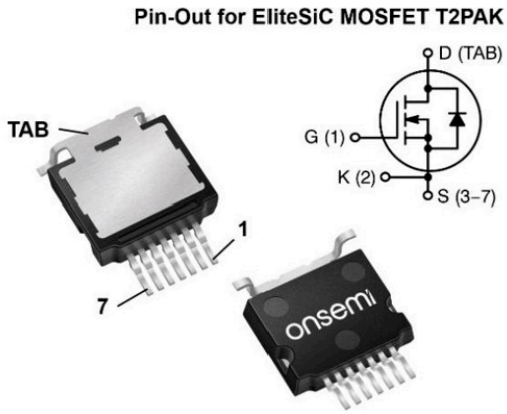


图 3：EliteSiC MOSFET T2PAK 引脚定义

T2PAK 封装通过取消长引脚，相比 D2PAK 或 TO-247-4L 封装实现更紧凑的电流回路，显著降低了寄生电感。这带来了更优的开关性能：电压过冲更低，电磁兼容性（EMC）更好，使其成为 OBC 等紧凑型高性能电源应用的理想选择。

此外，T2PAK 的爬电距离超过 5.6 mm，确保符合 IEC 60664-1 标准。

安森美推出首批四款采用 T2PAK 封装的 EliteSiC MOSFET，依托先进的 M3S SiC 技术实现车规级性能。下方表格汇总了这些器件的关键特性。

四、优化的散热与电气设计

要实现系统峰值性能，需要在外露的漏极焊盘与散热器之间建立稳固的热界面。除了结到外壳的热阻（RθJC）之外，整体热性能还高度依赖于合理的导热叠层以及高导热性热界面材料（TIM）的选用。精确地应用热界面材料能确保一致的散热性能和长期可靠性。

与底部散热封装相比，顶部散热器件在降低换流回路中的寄生电感方面也具有显著优势。这种设计使得 PCB 上的电气布线更加灵活，并能实现更紧凑、更优化的换流回路，从而直接降低开关损耗，提升系统整体性能。

Daniel Goldmann 简介：Daniel Goldmann 拥有电气工程与信息技术专业的工学学士（B.Eng.）和理学硕士（M.Sc.）学位，目前正在攻读博士学位。他曾担任大学研究员，自 2023 年起加入安森美，在分析未来系统应用趋势的同时，致力于开发下一代半导体技术。其主要研究方向包括电力电子系统多域仿真，以及面向各类汽车与工业应用的交流／直流转换器控制技术。

表：采用 T2PAK 封装 EliteSiC MOSFET 的关键特性（符合 AEC–Q101 认证）

Part Number	V_{DSS}	V_{GS_OP} [V]	$R_{DS(ON)}$ [m]	$Q_{G(TOT)}$ [nC]	$R_{\theta JC}$ [℃/W]
NVT2012N065M3S	650 V	–3 / +18	12.7	135	0.35
NVT2016N065M3S	650 V	–3 / +18	16	100	0.45
NVT2023N065M3S	650 V	–3 / +18	23	74	0.52
NVT2011N095M3S	950 V	–3 / +18	11	213	0.18

浅析碳化硅外延工艺过程中颗粒产生原因及改善方法

本文全面介绍了碳化硅外延工艺过程中的颗粒物来源，主要探讨除工艺方法以外的各项影响因素。并针对颗粒物主要来源之一的石墨件，设计了专用设施和人车物分流路线和方法，以及在设备维护的恢复阶段如何更高效处理腔体及管道的方法。连续的跟踪试验证明，此套设施和方法可有效减少因颗粒掉落物导致的缺陷，提高了碳化硅外延片的表面质量，显著提高了设备维护的效率和成功率。
作者：邱孟逊、赵志飞、王克超、王翼；南京电子器件研究所

引言

碳化硅（SiC）作为第三代宽禁带半导体材料，在热导率、临界击穿场强、工作温度、饱和电子漂移速度等方面具有非常优异的材料特性 [1]，因此在高温、高压、大功率器件等领域展现出巨大的应用潜力。

SiC 功率器件不能直接制作在 SiC 单晶材料上，必须在导通 SiC 单晶衬底上额外生长高质量的 SiC 外延材料，而后在 SiC 外延材料上制造各种器件。在 SiC 外延工艺过程中可能产生多种缺陷，目前已知的就有十几种之多。其中，存在一些宏观形貌缺陷，如三角形缺陷、胡萝卜缺陷和掉落物等 [2]。随着衬底质量提升、外延工艺的不断优化，因外来颗粒物直接或间接导致的缺陷已占据了致命缺陷（导致器件直接失效的缺陷）的一半以上，比如掉落颗粒物缺陷、部分三角形缺陷等 [3]，是影响 SiC 外延质量和器件性能的关键因素。

因此，有效抑制 SiC 外延片颗粒物类缺陷的生成，对于提升器件的性能和可靠性具有重要意义。针对上述问题，本文研究了 SiC 外延工艺过程中的颗粒物来源，并针对颗粒物控制提出改进方法。

颗粒物的种类和来源

SiC 外延工艺必须在洁净车间进行，洁净车间内可能产生的污染，按照种类分的话主要有：颗粒污染、金属污染、有机物污染、静电放电等 [4]。

颗粒污染的来源主要包括人员、外延设备、环境、原辅材料和耗材、工艺方法等 [5]。

本文以颗粒污染的来源为脉络（如图 1 的鱼骨图所示），逐个分析探讨 SiC 外延工艺过程中颗粒物类缺陷产生的原因及改善方法。



图 1： SiC 外延颗粒污染的来源示意图

颗粒物来源及其改善方法

（一）工艺方法

本文主要探讨除工艺方法以外的各项影响因素，因此不在这里展开论述。

（二）人员

人员是洁净车间最大的污染源。本文用颗粒测试仪做了一个包含以下四种状态的测试实验：1. 无人走动；2. 半米内有一人缓慢走动，频率大约 1 步 / 秒；3. 半米内有一人快速走动，频率大约 2 步 / 秒；4. 将大拇指裸露在外，裸露部分放置于空气采样口上方约 1 cm 处。

测试数据如表 1 所示。

表 1： 百级洁净车间四种场景下颗粒度测试数据比对

Test Scenario		State 1	State 2	State 3	State 4	Maximum allowable particle count per cubic meter	
FLOW VOLUME（Liter）		140.769	140.794	140.868	140.845	Class 100（ISO5）	Class 1000（ISO6）
Conversion coefficient		7.104	7.103	7.099	7.100		
Test time（min）		5					
SIZE(μm)		Cumulative					
0.3	Value converted to 1 cubic meter	43	99	376	4913	10200	102000
0.5		21	71	213	440	3520	35200
1.0		7	50	92	114	832	8320
5.0		0	0	35	7	29	293
10.0		0	0	28	0	/	/

表 2： ISO 洁净车间分级

Class	Maximum allowable number of particles per cubic meter of air					
	0.1 μm	0.2 μm	0.3 μm	0.5 μm	1 μm	5 μm
ISO 1	10	2				
ISO 2	100	24	10	4		
ISO3	10,00	237	102	35	8	
ISO 4（Class 10）	10,000	2,370	1020	352	83	
ISO 5（Class 100）	100,000	23,700	10,200	3,520	832	29
ISO 6（Class 1000）	1,000,000	237,000	102,000	35,200	8,320	293
ISO 7（Class 10000）				352,000	83,200	2,930
ISO 8（Class 100000）				3,520,000	832,000	29,300
ISO 9（Class 1000000）				35,200,000	8,320,000	293,000

1）状态 3 会导致颗粒明显超标，因此，超净间内应尽量减少走动，如需走动则保持慢速均匀。

2）状态 4 小颗粒明显增多，且 5.0μm 的颗粒超标，因此，要严格遵守穿戴超净服的规定，衣服、手套等不能有破损。

（三）环境

ISO 14644 是国际化标准组织（ISO）关于洁净车间和相关受控环境的系列标准，主要涉及空气洁净度的分级、检测方法以及设计和运行的要求，表 2 是洁净车间分级 [7]。

SiC 外延工艺洁净车间的灰区（gray room）一般要求 ISO 6（FS 209E 中的 class1000，俗称千级），洁净区（clean room）一般要求 ISO 4，不能低于 ISO 5（FS 209E 中的 class100，俗称百级）。

洁净车间要合理规划风淋室、洁净区、灰区等若干区域，设计合理的人流、物流路线。洁净车间的空调送风系统定期检查风管，初、中、高效必须定期更换；调整好每个房间的压差比，压差情况必须定期测试（相邻不同洁净等级的房间压差不小于 10 pa）[8]。

（四）原辅材料和耗材

SiC 外延工艺需要的原辅材料主要有 SiC 单晶衬底、氢气（H2）、氩气（Ar）、硅源（TCS）、碳源（C2H4）、氮气（N2）等，耗材主要有石墨件、石英件、无尘布等。

原辅料和耗材要严把入口关，其次是严把使用关。

1. 衬底：衬底的主要问题是清洗、运输和储存等。半导体外延不仅仅只有一条工艺线，往往还包括清洗工艺线，比如衬底进厂后的二次清洗、外延片终检清洗等等。

2. 工艺气体：工艺气体的纯度要求和管道系统的气密性必须满足。

3. 石墨件：石墨件作为核心部件，不仅是加热元件和衬底载具，在整个工艺过程中直接和衬底接触，或共存于反应腔内。2.5 中会详细介绍清洁维护石墨件的方法。

4. 石英件：清洗石英件目前主要采用混合溶液漂洗的方法，然后在温度设定 110~120℃的烘烤炉内烘烤，烘烤时通入高纯 N2。

5. 无尘布：SiC 外延设备清洁和维护过程中经常用到无尘布。 如下表 3 所示，优质和劣质无尘布的区别 [9] 是比较明显的。

表 3： 优质无尘布和劣质无尘布的比较[9]

Indicator	High-quality cleanroom wiper	Inferior cleanroom wiper
材质与纤维	采用 100%聚酯纤维（PET）或混合超细纤维（0.1-1 丹尼尔），纤维均匀细腻，结构紧密。	多为普通纤维（≥3 丹尼尔），含回收料或杂质，纤维粗细不均，易断裂、起毛。
洁净度等级	符合 ISO4-8 级（Class 10 到 Class 100,000），经多次清洗/灭菌，尘埃粒子（≥0.5 μm）＜100 个/m^2。	洁净度低（ISO 8 级以下），尘埃粒子数超标，可能含油污、金属离子等污染物。
掉毛率	摩擦 50 次后，掉毛纤维≤5 根/m^2（通过 ASTM D3512 标准测试），无肉眼可见纤维残留。	摩擦 10 次即掉毛明显，纤维脱落＞50 根/m^2，易污染擦拭表面（如电子元件、光学器件）。
吸水性与去污力	吸水率≥自身重量 5 倍，快速吸收水性/油性油渍，擦拭后表面洁净无残留。	吸水率＜3 倍，去污力弱，需多次擦拭，易留下水痕或油渍。
耐磨性	耐摩擦次数＞1000 次（马丁代尔耐磨测试），边缘无破损，可重复使用（部分产品）。	摩擦 200 次即破损、起球，边缘易开裂，仅能单次使用或寿命极短。
防静电性能	表面电阻 10^6-10^{10} Ω（抗静电处理），有效防止静电吸附尘埃及损坏精密元件。	未做防静电处理，表面电阻＞10^{12} Ω，易产生静电，导致灰尘聚集或静电放电（ESD）风险。
过滤效率	对 0.3μm 颗粒过滤效率≥99.9%（HEPA 级），媳妇能力强，可捕捉微小粉尘、油污。	过滤效率＜90%，进能去除较大颗粒，微小污染物易穿透或残留。
化学兼容性	耐酒精、IPA 等溶剂，不溶胀、不变形，适用于多种清洁剂。	接触溶剂后纤维膨胀、破损、释放化学残留，可能腐蚀被擦拭物体。

（五）设备

SiC 外延设备复杂性较高，包括涡旋式真空干泵和涡轮分子泵两级真空系统、精确的温度控制系统、精准的气体输送和流量控制系统、先进且种类繁多的监测和反馈控制系统 [10]、高精度的机械机构和运动控制系统等。SiC 外延设备必须定期清洁维护，才能确保设备生长室的洁净。

为了改善 SiC 外延的颗粒问题，针对石墨件清洁，本文专门设计了一套设施，如图 2 所示。

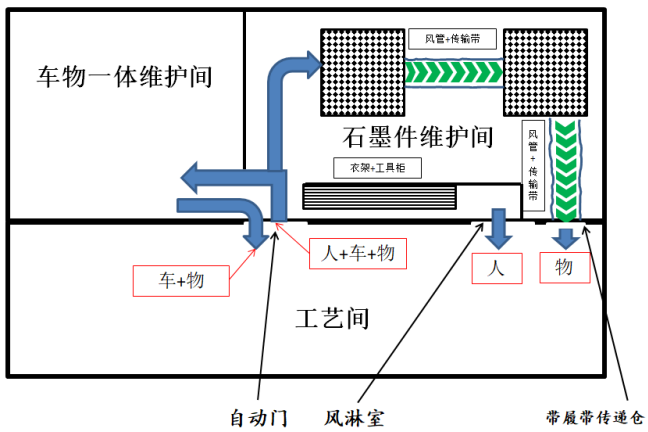


图 2：人车物分流路线和石墨件清洁设施

该套设施特制了一套石墨件清洁和吹扫的装置，做到了人车物的合理分流。这套石墨件清洁和吹扫装置主要包含有 N2 吹扫系统、三级处理腔（刮擦处理、一次吹扫、二次吹扫）、防静电抽风、颗粒回收、传送带、颗粒检测，等等。

设备维护的常规流程如图 3 所示。

从图 3 可以看出，在 PM 前后，系统都需要氩气充抽三次的操作。PM 前后的两次氩气充抽的目的是不同的，

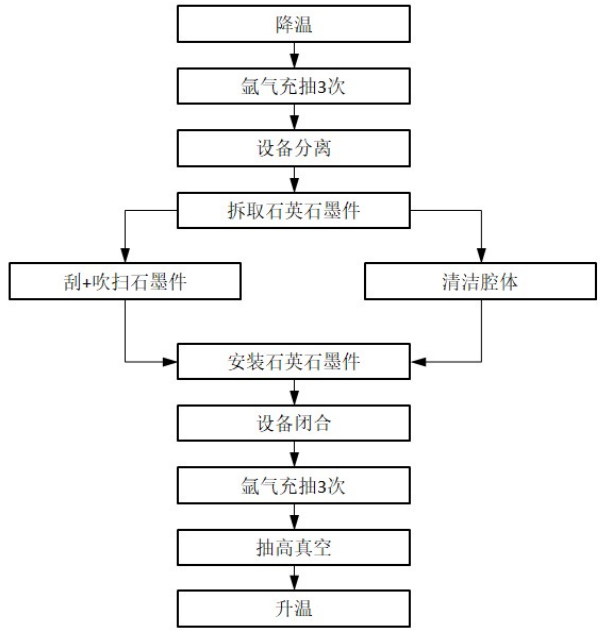


图 3： SiC 外延设备维护流程图

前者是为了将系统内的氢气置换成氩气，降低腔体内的外延生长残留物，便于拆腔作业；后者则是为了将腔体内的空气置换成氩气，同时抽除因维护而滞留在腔体中的大量细小颗粒。

将清洁好的石墨件安装完毕，设备重新合体以后，腔体需要通过第二次氩气充抽，同时为了更好的去除腔体内的颗粒和气密性检测，系统还需要进行抽高真空（High Vacuum）的作业。SiC 外延设备抽高真空管路如图 4 所示。

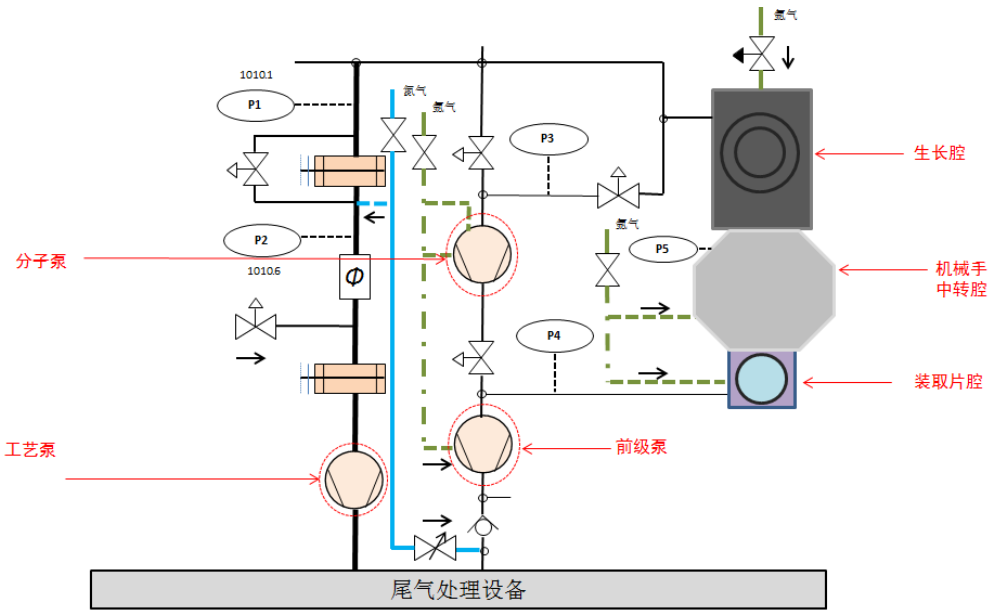


图 4： SiC 外延设备抽高真空管路示意图

抽高真空相对比较耗时，一般要 1 小时左右，设备状况差时甚至需要 2 小时。在满足抽除颗粒的前提下，为了减少 SiC 外延设备每次维护后抽高真空所消耗的时间，结合前面的三次氩气置换进行综合考量，将常规的采用 3 次氩气充抽置换＋高真空（比如 0.002 mbar）的方法（模式 1），改进成 “2 次充抽置换 + 高真空（比如 0.008 mbar）+1 次充抽置换 + 高真空（0.008 mbar）” 这样的两次高真空模式（模式 2，如图 5 所示），设备 DOWN_PM 的时间不仅明显缩短，且颗粒抽除的效果更佳。

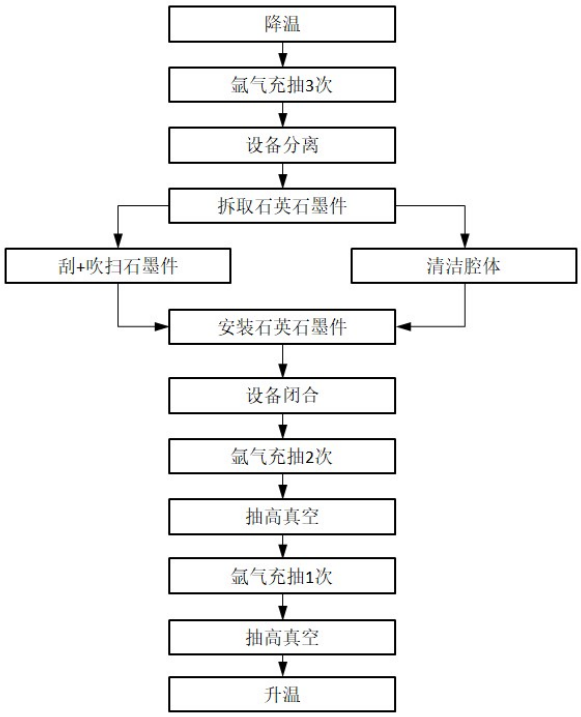


图 5： 改进后的 SiC 外延设备 PM 流程图

下面我们从理论上证明此结论，根据理想气体状态方程：

$$pV=nRT \quad (1)$$

p 是气体压力，V 是气体体积，n 是气体的物质的量，R 是摩尔气体常数（R=8.314 J/（mol・K），T 是热力学温度

因为 V 不变，R 不变，T 不变，所以根据公式（1）可知，气体的物质的量 n 和气体压力 p 成正比。

依照公式（1）可计算出充抽效果的对比数据如表 4 所示。

表 4： 充抽效果对比数据

Mode	Content	Residual Gas
模式 1	氩气连续充抽 3 次+高真空至 0.002 mbar	$2*10^{-5}$atm
模式 2	氩气连续充抽 2 次+高真空至 0.008 mbar+ 氩气充抽 1 次+高真空至 0.008 mbar	$6.4*10^{-12}$atm

抽选某次试验数据如表 5 所示（表中数值单位：mbar），模式 1 达到目标高真空值 0.002mbar 耗时约 57 分钟（min），模式 2 两次达到目标高真值 0.008mbar 共耗时约 36 分钟，两种模式的充抽次数都是 3 次，充抽时间在理想状态下两者所消耗的时间差别就是抽高真空的时间的差别。

表 5： 模式 1 和模式 2 所消耗的时间对比

Mode	10 min	**18 min**	20 min	30 min	40 min	50 min	**57 min**
Mode 1	0.022		0.0073	0.0042	0.0030	0.0023	**0.002**
Mode 2	0.022	**0.008**					
模式 2 比模式 1 节省时间 21 分钟，相比模式 1，高真空阶段的时间节省了（57-18*2）/57=36.8%							

根据自己的实际需要，模式 2 的目标真空值是可以调整的，真空值越高，效果就越好，真空值越低，就越节省时间，但处理的效果均好于模式 1。

当然，模式 2 不可能无限的将抽真空的目标值降低，这时需要考虑系统抽高真空的另一个作用：气密性检查。因为 SiC 外延设备是低压生长设备，对系统密封性要求很高。如果用氦检仪对系统进行检漏，一般要将系统抽到 10 pa 以下（0.1 mbar）才能进行检漏。再考虑到高真空检漏相比氦检仪检漏省略了用氦气检测，要做到其检漏效果可以等同于氦检仪，真空度应比 0.1 mbar 高一个量级，所以本文模式 2 的目标真空度的下限设定是 0.01 mbar。

模式 2 的好处不仅仅是以上提到的。因为高真空目标值的降低，系统对于涡旋式真空泵的要求也降低了，而 SiC 外延工艺产生的颗粒硬度较高，且颗粒比较大，导致涡旋式真空泵保养周期较短。所以模式 2 大大降低了涡旋式真空泵的维护周期，从实际使用情况看，其维护周期至少可以延长 1 倍。

（六）结果与讨论

在按照模式 2 取得表 4 的进步情况下，按照图 2 的内容，在同一台设备上设计了三个不同的维护场景，进行连续跟踪试验：

条件 1 未使用图 2 的设施，按照常规流程更换上下半月石墨件；

条件 2 使用图 2 的设施清洁和吹扫已使用过的上下半月石墨件；

条件 3 未使用图 2 的设施，也未更换上下半月石墨件。

得到的试验数据如表 6 所示。

表 6： 三次试验数据对比

Test Conditions	Particle Count (pcs)	Downfall (pcs)（个）
Condition 1	6.29	5.38
Condition 2	3.67	4.8
Condition 3	13.27	7.36

表 6 数据都是试验期间的区间平均数据，条件 1 和 2 是 30 次左右的测试数据的平均值，条件 3 是 180 多次测试数据的平均值。从数据可得到以下试验结论：

（1）条件 2 与条件 1 相比，使用图 2 的清洁设施可明显改善致命缺陷和颗粒数；

（2）条件 2 与条件 1 相比，即使是已使用过的旧上下

半月石墨件，经过图 2 的清洁设施处理以后，也比更换新的上下半月石墨件效果更好；

（3）条件 1 和条件 2 均优于条件 3，说明不管哪种方式更换上下半月石墨件均比不更换的效果更好；

（4）条件 2 优于条件 1 和条件 3，说明不管是否更换上下半月石墨件，使用图 2 的设施对颗粒有比较明显的改善。

总结

（一）采用模式 2 的充抽和高真空模式，使用专用石墨件维护设施，SiC 外延片的颗粒数从平均 13.27 个降到 3.67 个，Downfall 从平均 7.36 个降到 4.8 个，抽高真空需要的时间从 57 分钟降到 36 分钟，反应腔充抽后的残余气体从 2*10-5atm 降到只有 6.4*10-12atm。而且模式 2 还可以提高涡旋式真空泵运行的稳定性，大大降低涡旋式真空泵的维护成本。

（二）经过本文所述的改进以后，设备维护的效果和效率都明显提升。经过初步的估算，SiC 设备维护成功率从 60%~75% 提高至 90% 以上，SiC 外延产品合格率也有提升。

随着器件需求的提高和外延片尺寸的变大，对产品质量的要求还会越来越高，对于 SiC 外延工艺生产来说，预防颗粒污染，不断提高 SiC 外延产品质量和生产效率，依然是一项充满挑战的长期不懈的持续性工作。

参考文献

[1] 赵志飞，王翼，周平，等 . 基于国产单晶衬底的 150mm 4H-SiC 同质外延技术进展 固体电子学研究与进展 [J]. 南京电子器件研究所：2023,43（2）:148-148.

[2] 王翼，熊瑞，赵志飞，等 . 4H-SiC 同质外延片上三角行缺陷尺寸的控制方法研究 固体电子学研究与进展 [J]. 南京电子器件研究所：2025,45(3): 030104-2-030104-2.

[3] 郭钰，彭同华，刘春俊，等 . 4H-SiC 外延层中堆垛层错与衬底缺陷的关联性研究 [J]. 无机材料学报，2019,34（7）：748-754.

[4] 尤新勇，郭莉，黄旺城 . 功率半导体芯片类项目中工艺管理对厂务系统成本的影响 [J]. 洁净与空调技术，2024，（03）：103-104.

[5] 汪传雷，杨东祥，秦琴 . 集成电路产业风险影响因素及其作用机制—基于扎根理论的多案例研究 [J]. 管理案例研究与评论，2024,17（05）：739-754.

[6] 孙洪文 . 图说集成电路制造工艺 [M]. 化学工业出版社：202306.286.

[7]https://mp.weixin.qq.com/s/IBKgW660Hlrlf7_S85XSGw[EB/OL]. 国显光电 《洁净室系统介绍》第 6 页

https://mp.weixin.qq.com/s/IBKgW660Hlrlf7_S85XSGw[EB/OL].

[8] 陈霖新 . 洁净厂房的设计与施工 [M]. 化学工业出版社：202203.895.

[9] 工业和信息化部最新发布 33 项电子行业标准（SJ/T 11480-2014）[J]. 信息技术与标准化，2014，（10）：76-78.

[10] 戴科峰，仇礼钦，盛飞龙，等 . 碳化硅外延设备控制系统的设计与实现 [J]. 机电工程技术，2022,51（09）：132-136.



广告索引 Advertisers Index

半导体芯科技
SILICON SEMICONDUCTOR CHINA

Advertiser	网址	页码
KIC	www.kic.cn	1
奥伟登光学	evidentscientific.com.cn	3
Newport	www.newport.com	9

欢迎投稿

《半导体芯科技》（Silicon Semiconductor China, SiSC）是面向中国半导体行业的专业媒体，已获得全球知名权威杂志《Silicon Semiconductor》的独家授权。本刊针对中国半导体市场特点遴选相关优秀文章翻译，并汇集编辑征稿、采编国内外半导体行业新闻、深度分析和权威评论等多方面内容。本刊由香港雅时国际商讯（ACT International）以简体中文出版发行。

本刊内容覆盖半导体制造工艺技术、封装、设备、材料、测试、MEMS、mini/Micro-LED 等。文章重点关注以下内容：

FAB（Foundry, IDM, OSAT, R&D）

四个环节：晶圆制造（wafer 后道）、芯片制造、先进封装、洁净室；深入报道与之相关的制造工艺、材料分析，工艺材料、工艺设备、测试设备、辅助设备、系统工程、关键零备件，以及与 particle（颗粒度）及 contamination（沾污）控制等厂务知识。

FABLESS

芯片设计方案、设计工具，以及与掩膜版内容和导入相关的资讯。

半导体基础材料及其应用

III-V 族、II-VI 族等先进半导体材料的科学研究成果、以及未来热门应用。

《半导体芯科技》欢迎读者、供应商以及相关科研单位投稿，已甄选中文稿件将在印刷版杂志以及网上杂志刊登；IC 设计及应用等半导体相关内容将酌情予以网络发表（微信推送、杂志网站）。本刊优先刊登中文来稿（翻译稿请附上英文原稿）。

技术文章要求

1. 论点突出、论据充分：围绕主题展开话题，如工艺提升、技术改造、系统导入、新品应用，等等。
2. 结构严谨、短小精悍：从发现问题到解决问题、经验总结，一目了然，字数以 3000 字左右为宜。
3. 文章最好配有 2-4 幅与内容有关的插图或图表。插图、图表按图 1、图 2、表 1、表 2 等依次排序，编号与文中的图表编号一致。
4. 请注明作者姓名、职务及所在公司或机构名称。作者人数以四人为限。
5. 文章版权归著作者，请勿一稿多投。稿件一经发表如需转载需经本刊同意。
6. 请随稿件注明联系方式（电话、电子邮件）。

新产品要求

1. 新产品必须是在中国市场新上市、可在中国销售的。
2. 新产品稿件的内容应包含产品的名称、型号、功能、主要性能和特点、用途等。
3. 新产品投稿要求短小精悍，中文字数 300~400 字左右。
4. 来稿请附产品照片，照片分辨率不低于 300dpi，最好是以单色作为背景。
5. 来稿请注明能提供进一步信息的人员姓名、电话、电子邮件。

电子邮箱：sunniez@actintl.com.hk
viviz@actintl.com.hk

行政及销售办公室 Administration & Sales Offices

行政人员 Administration

HK Office (香港办公室)
ACT International (雅时国际商讯)
Unit B, 13/F, Por Yen Buiding,
No. 478 Castle Peak Road,
Cheung Sha Wan, Kowloon, Hong Kong
Tel: 852-28386298

Publisher (社长) - China
Adonis Mak (麦协林), adonis@actintl.com.hk

Editor in China (中国版编辑)
Sunnie Zhao (赵雪芹), sunniez@actintl.com.hk
Vivi Zhang (张雨微), viviz@actintl.com.hk

UK Office (英国办公室)
Angel Business Communications Ltd.
6 Bow Court, Fletchworth Gate, Burnsall Road, Coventry, CV5 6SP, UK
Tel: +44 (0)2476 718 970

Chief Operating Officer
Sukhi Bhadal
sukhi bhadal@angelbc.com

销售人员 Sales Offices

China (中国)
Shenzhen (深圳)
Shanghaihai (上海)
Annie Liu (刘映妮), anniel@actintl.com.hk
Tel: 86 135 9024 6961

Bingo Mai (麦镜超), bingom@actintl.com.hk
Tel: 86 133 6020 1191

Beijing (北京)
Cecily Bian (边团芳), cecilyb@actintl.com.hk
Tel: 86 135 5262 1310

Hong Kong (香港)
Taiwan (台湾)
Simon Lee (李若龙), simonl@actintl.com.hk
Tel: 852 9437 2779

US（美国）
Janice Jenkins, jjenkins@brunmedia.com
Tel: 724-929-3550

Tom Brun, tbrun@brunmedia.com
Tel: 724-539-2404

Europe（欧洲）
Shehzad Munshi, sm@angelbcl.co.uk
Tel: +44 (0)1923 690215

Jackie Cannon
Jackie.cannon@angelbc.com
Tel: +44 (0) 1923 690205

ACT INTERNATIONAL

化合物半导体 CS COMPOUND SEMICONDUCTOR CHINA

半导体芯科技 SS SILICON SEMICONDUCTOR CHINA

全媒体整合推广解决方案

专注泛半导体产业二十载 让新技术新产品被看见

始于 **2004**年 深耕不缀

- 国内较早聚焦泛半导体产业的专业媒体
- 沉淀 **20万+** 精准产业数据
- 覆盖材料·设备·晶圆·封测全产业链



我们提供的一站式服务

权威媒体
《化合物半导体》杂志刊登
《半导体芯科技》杂志刊登

高端访谈
线上技术大咖专访
线下展会深度报道

全域推广
公众号头条、社群矩阵、
eDM精准直投、
视频号场景触达

V+ 增值服务
新品发布策划
供需对接
人才招聘发布

会议营销
CS China大会演讲席位
现场展示
线上定制专场直播

数据沉淀
20万+精准工程师与
决策人高校研究机构等
行业数据库精准匹配

资源链接
连接产学研用
全链条精准触达目标客户

效果保障
从内容到传播
提供全链路服务

从内容传播到产业链接，我们提供一站式解决方案

有推广需求？ 请联系您的专属顾问

刘映妮 Annie Liu

Mobile: +86 135 9024 6961 **Email**: anniel@actintl.com.hk

CS CHINA CON

化合物半导体先进技术及应用大会

太仓

Compound Semiconductor Advanced Technology and Application Conference

2026年10月29–30日
Oct 29-30, 2026

太仓玛丽蒂姆酒店
Maritim Hotel Taicang Garden

议题范围

Forum Topics

1. AI算力光互连全栈技术：从InP/GaAs光芯片、硅光CPO到先进封装耦合
2. InP/GaAs光芯片量产攻坚：外延、封测与AI算力基础设施供给保障
3. 碳化硅全产业链自主可控：衬底突破、外延设备国产化与核心工艺创新
4. 氮化镓功率器件：AI电源、具身智能与车规应用的高效能量转换
5. 超宽禁带材料（氧化镓、金刚石、AlN）的制备突破与器件前沿
6. Micro-LED光通信与AR衍射光波导：量产突破与跨界应用
7. 高功率密度封装、高效散热管理与系统级可靠性设计
8. 化合物半导体在具身智能与AI算力基础设施中的融合应用生态

演讲&赞助咨询

刘映妮 Annie Liu　anniel@actintl.com.hk　135 9024 6961

主办单位：雅时国际商讯　　支持单位：太仓市科技招商有限公司

官方媒体：《化合物半导体》《半导体芯科技》《微波杂志》

添加微信咨询