

半导体芯科技

SiS SILICON SEMICONDUCTOR
Connecting the Silicon Semiconductor Community

• CHINA

找寻下一代 芯片之路 14

碳化硅器件的新型
晶圆切割方法 23

刻蚀工艺依赖于特
种电子气体 26

高速系统协同设计 32



半导体芯科技



• CHINA

从中国政府定立的长期目标，与及中国半导体行业的潜在规模，催化了《半导体芯科技》（Silicon Semiconductor China）中国版杂志的诞生。目前，中国的半导体消耗量达全世界的60%，但其中约90%的半导体需要依靠进口。从更广阔的背景来看，中国已经启动了自己的工业4.0计划，以便与欧洲和北美的制造能力相竞争。“中国制造2025”的目标之一是升级和增加包括信息技术、机器人和汽车业在内的十个关键领域的国产零部件含量。

为了提升半导体制造能力，中国政府计划在未来10年至少投资1770亿美元，以建立中国自己的芯片产业。目前，中国正在建设中的晶圆厂有24座。

多年来，面向全球的Silicon Semiconductor英文版杂志也一直为中国半导体行业的专业人士提供服务，但现在是时候推出一本独立的《半导体芯科技》（Silicon Semiconductor China）中文版杂志了。

免费索阅



3M 科技
改善生活™

用于晶圆级芯片封装 (WLCSP) 的 3M™ 载盖带解决方案

越来越多的封测厂选择晶圆级芯片封装 (WLCSP)。然而芯片产品在运输、存储和取放过程中对载带和盖带有更严格的要求,以保护芯片。3M 在设计、模具制造和生产方面拥有丰富的专业技术,随时为您提供载带设计图纸,高精度、带高级保护功能以及无尘室的产品,稳定的性能为芯片保驾护航。



3M中国有限公司

上海市兴义路8号万都中心大厦16楼

电话:021-62753535

邮编:200336

传真:021-62752343

欢迎访问

网址:<http://www.3M.com.cn>

目录 CONTENTS

封面故事 Cover Story

14 找寻下一代芯片之路 Finding the road to next-gen chips

随着传统 CMOS 器件尺寸减小的极限临近，制造商和研究人员几乎都在努力解决复杂性、成本和风险等问题，从而新的晶体管和集成电路技术正在不断涌现。众多制造商和研究人员正在寻求新途径，创新新工艺和材料，为下一代芯片寻找性价比更好、性能更高的解决方案。



观点 Viewpoints

- 11 掌控芯片制造的“火候”，看懂小处用心的美好
Control the "fire" of chip manufacturing, understand the beauty of paying attention to small things
- 朱宇，格芯中国区市场总监

技术 Technology

- 23 碳化硅器件的新型晶圆切割方法
New wafer dicing approach for silicon carbide devices
- Dr. Hans-Ulrich Zuehke, Dr. Mandy Gebhardt 博士，3D-Micromac AG
- 26 赋能电子制造：刻蚀工艺依赖于特种电子气体
Enabling electronics manufacturing: the etching process relies on special electronic gases
- Dr. Paul Stockman, 林德电子及特种气体市场开发负责人
- 29 晶圆背面研磨与湿式刻蚀应力消除工艺
Wafer backside grinding and stress relief of wet etching process
- 许明哲，弘塑科技工程师；黄富源，弘塑科技副总经理；张修凯，弘塑科技产品经理

关于雅时国际资讯 (ACT International)



雅时国际资讯 (ACT International) - 《半导体芯科技》(Silicon Semiconductor China) 的出版商和 Chip China 会议主办方 - 为高速增长的中国市场中广大高技术行业服务。ACT 通过它的一系列产品 - 包括技术杂志 (印刷版和在线版)、网站、电子快讯、会议和活动 - 为跨国公司及中国企业架设了拓展中国市场的桥梁。它服务于超过 150,000 名专业读者，分布于半导体制造、化合物半导体、电子制造、洁净及污染控制、激光/光电子、电磁干扰与兼容、射频/微波和机器视觉等领域。
ACT 亦是若干世界领先技术出版社及展会的中国销售代表。ACT 总部在香港，在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

About ACT International Media Group

ACT International—the publisher of Silicon Semiconductor China and the organizer of Chip China conference—serves a wide range of high-technology sectors in the high-growth China market. ACT delivers proven market-access through a range of media products, including technical magazines (both print and online), websites, newsletters, conferences, and events. It serves more than 150,000 professional readers in the fields of semiconductor manufacturing, compound semiconductors, electronic manufacturing, contamination control, laser/photronics, EMC, RF/microwave, and machine vision.
ACT International is also the China sales representative for several world-leading technical publishers and event organizers. ACT is headquartered in Hong Kong with branch offices in Beijing, Shanghai, Shenzhen and Wuhan.



您的技术信息平台

一系列产品—包括国际专业技术杂志的
中文版、网上出版物、会议、培训和活动

www.actintl.com.hk

雅时国际商讯 (ACT International) 成立于1998年, 为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品—包括杂志和网上出版物、培训、会议和活动—为跨国公司及中国企业架设了拓展中国市场的桥梁。ACT国际的产品包括多种技术杂志和相关的网站, 以及各种会议, 服务于半导体制造、化合物半导体、电子制造、污染控制、激光/光电子、射频/微波、光伏/太阳能、光通信、LED 技术等领域的约十多万专业读者。ACT 亦是若干世界领先技术出版社及展会的销售代表。ACT 总部在香港, 在北京、上海、深圳和武汉设有联络处。

香港
852-28386298

深圳
86-755-25988571

上海
86-21-62511200

北京
86-10-84844007

武汉
86-27-59221554



目录 CONTENTS

专栏 Columns

- 32** 浅析高速系统协同设计
Exploring the co-design for high speed systems (IC-PACKAGE-PCB)
- 毛忠宇, 李方, 深圳市兴森快捷电路科技股份有限公司
- 37** 用于 OLED 封装的 UV LED 固化
UV LED curing for OLED packaging
- Phoseon Technology

科技前沿 Research

- 40** 哥伦比亚大学工程师开发出用于可穿戴电子产品的柔性锂电池
Columbia engineers develop flexible Lithium battery for wearable electronics
- 42** 柔性电子技术迎来突破性发展, 电子皮肤有望成为智能生活的未来
Flexible electronics technology achieves breakthrough, eskin is expected to be the future of intelligent life

- 5** 编者寄语 Editor's Note
- 6** 产业报道 Industry News
- 44** 广告索引 Ad Index

关于《半导体芯科技》

《半导体芯科技》(原半导体科技)中国版(SISC)是全球最重要和最权威的杂志Silicon Semiconductor的“姐妹”杂志,由香港雅时国际商讯出版,报道最新半导体产业新闻、深度分析和权威评论。为中国半导体专业人士,提供他们需要的商业、技术和产品信息,帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国半导体产业,包括IC设计、制造、封装及应用等。

About Silicon Semiconductor China

Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology & product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMs, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

社长 Publisher

麦协林 Adonis Mak
adonism@actintl.com.hk

主编 Editor in Chief

赵雪芹 Sunnie Zhao
sunniez@actintl.com.hk

出版社 Publishing House

雅时国际资讯 ACT International
香港九龙 B,13/F, Por Yen Bldg,
长沙湾青山道478号 478 Castle Peak Road,
百欣大厦 Cheung Sha Wan,
13楼B室 Kowloon, Hong Kong
Tel: (852) 2838 6298
Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200
Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988571
Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 59233884

UK Office

Angel Business
Communications Ltd.
6 Bow Court,
Fletchworth Gate,
Burnsall Road, Coventry,
CV56SP, UK
Tel: +44 (0)1923 690200
Chief Operating Officer
Stephen Whitehurst
stephen.whitehurst@angelbc.com
Tel: +44 (0)2476 718970

不断探索下一代芯片之路

随着传统 CMOS 器件尺寸减小临近极限，传统的 CMOS 尺寸缩小正变得越来越复杂和昂贵，越来越多的行业专家认为，成本和复杂性已经增加到只有最大的晶圆厂和半导体制造商才能竞争的地步，寻找新途径替代现有的尺寸缩小路线图已经势在必行。

半导体制造商和研究人员几乎都在努力解决复杂性、成本和风险等问题，从而新的晶体管和集成电路技术正在不断涌现。本期杂志的封面故事文章探索了针对 10 纳米以下器件的几个领先的、有前景的途径。

包括开发极紫外 (EUV) 光刻来取代多步图案浸没光刻，ASML，英特尔和三星最新的预测表明 EUV 正在达到稳定。英特尔、三星和台积电都表示未来 1-2 年内于 7 纳米和 5 纳米的技术节点上将使用 EUV。但是在此之前，业界预计将转移到 3D 设计。与此同时，主要制造商正在寻求尺寸减小的新的替代方案，可能避免采用 EUV 或延迟其推出时间。

半导体器件的垂直堆叠已成为一种用来实现更高器件密度和更高性能的越来越可行的方法。针对高性能的未来晶体管设计将包括可以使用键合和堆叠器件的各种 3D 架构以及替代技术，比如由 Globalfoundries，意法半导体，CEA Leti 和三星等众多公司领衔的完全耗尽型绝缘体上硅 (FD-SOI)。原子尺度沉积和刻蚀将可能支持这些技术策略，因为材料科学在支持新架构和工艺技术方面将继续发挥更大的作用。

定向自组装 (Directed Self Assembly, DSA) 代表了比 EUV 更低成本和更高产能的解决方案，并且 DSA 和 EUV 是互补的，Brewer Science 公司与 Arkema 集团合作，促成了第一代 DSA 聚合物的大批量生产。

微机电系统 (MEMS) 传感器是不受限于 300 毫米晶圆厂的先进技术。MEMS 设计不依赖尖端硬件，通常使用传统的 200 毫米技术和制造工艺。

研究人员和制造人员还在努力创造融合数种非传统方法的混合技术，包括碳纳米线，FDSOI 以及不同类型的晶圆键合。预期在 7/5 纳米大量采用之前，将有 FinFET 和其他 10 纳米架构的多次迭代。

近日，又有两项新的技术发布值得关注的：一是应用材料公司取得突破性进展：用钴取代钨和铜，性能提升高达 15%。这是 20 年来晶体管接触和互联的金属互连材料首度重大变革，消除了 7 纳米节点及以下的主要性能瓶颈。二是 NetSpeed Systems 推出业界首款以人工智能为基础的 SoC 芯片内部互连解决方案 Orion AI。方案作为下一代 SoC 技术的核心，颠覆了传统芯片的总线互连设计方法，通过“互联网”式的芯片内互连设计，支持多播与广播等先进特性，将人工智能赋能与 SoC 设计与架构，为下一代人工智能 SoC 与加速器 ASIC 的极致性能与效率。

总而言之，众多半导体制造商和研究人员正在寻求新途径，创新新工艺和材料，为下一代芯片寻找性价比更好，性能更高的解决方案。

赵雪芹



中微在南昌建立MOCVD设备制造基地

南昌将成为中微半导体设备（上海）有限公司具有自主知识产权 MOCVD 设备大规模制造基地。南昌市政府和中微公司近日签订战略合作框架协议，中微公司将在南昌大规模制造具有自主知识产权的 MOCVD 设备，并不断扩大生产规模，将南昌高新区打造成为全球最重要、规模最大的高端 MOCVD 装备制造基地；推进在南昌开展 MOCVD 相关的基础科学研究，包括深紫外、功率器件及 Micro LED 等第三代半导体的应用产品开发，逐步将南昌中微打造成为在国内外有重大影响力的研发平台和世界级 MOCVD 研发、制造及创新中心；与南昌大学国家硅基 LED 工程技术研究中心合作，加快推进硅衬底 LED 原创技术产业化；积极促进中微生产基地及上下游供应链企业落户南昌高新区，吸引国际一流的设备和材料厂商落户，形成半导体高端设备制造的产业集群。

中微还与兆驰半导体、乾照光电、聚灿光电、德豪润达、士兰明芯等企业签订了总数超过两百台的 MOCVD 设备销售合同。目前，中微已落户南昌高新区，一期租赁 9000 平方米厂房进行过渡生产，现已经实现部分投产，预计很快可实现全面投产；项目二期将在 2019 年启动建设。

NetSpeed为下一代人工智能SoC带来极致性能与终极效率

NetSpeed Systems 推出业界首款以人工智能为基础的 SoC 芯片内部互连解决方案 Orion AI。该方案支持多播与广播等先进特性，能极大提升人工智能 SoC 与加速器 ASIC 的性能与效率，可广泛应用于数据中心、自动驾驶、AR/VR，以及先进视频分析。Orion AI 由 NetSpeed 经过硅验证的 Orion IP 构建而成，这些 Orion IP 已经授权给地平线机器人、寒武纪、百度以及 Esperanto 等领先的人工智能公司。

人工智能技术在视频、语音、预测、机器人及诊断等应用中正渐入佳境。这些新兴应用对处理能力提出进阶需求，推动计算架构发生天翻地覆的变化，并急剧改变着 SoC 设计模式。

“这些新 SoC 内部体现出的是一种新的数据流，” NetSpeed 首席执行官 Sundari Mitra 说道，“一般来说，想实现快速有效的点对点数据交换，就需要大量的计算单元。传统架构运行方式不同，采用中央存储作为数据交换系统。而人工智能系统需要任意位置数据交换，这可以通过广泛的接口而实现，并需要支持长突发传输。Orion AI 的一个关键优势就是能够支持多重多播请求，并支持非阻塞传输。”

Orion AI 为极致性能而生，片上带宽高达万亿位，并具备支持数千计算引擎的底层架构。它提供超宽数据通路，接口位宽高达 1024 位，内部结构位宽更高，并可支持高达 4K 字节的长突发传输。

Entegris 上海开建中国技术中心，助力中国半导体制造商加速建成投产

业界领先的特种化学及先进材料解决方案的公司 Entegris 宣布正在上海建设中国技术中心，旨在支持所有技术制程，计划于 2018 年底落成运营。该中心选址张江高科技园区，紧邻客户。该中心 2018 年的投资额将超过 2,000 万人民币。Entegris 将密切关注国内客户对实验室支持和研发的需求，考虑进一步投资扩建。

中国技术中心初期将专注于特定应用，以帮助客户加速建成投产，具体包括：测试与应用支持、定制化解决方案开发、携手 OEM 进行合作设计，以及为客户和 OEM 厂商提供培训。Entegris 还计划根据客户需求，与客户联合开发前沿技术。

Entegris 执行副总裁兼首席运营官 Todd Edlund 先生表示：“中国技术中心将成为 Entegris 在亚洲及美国现有全球互联技术中心网络的新成员。在技术要求、质量、安保及环境健康与安全方面，中国技术中心将遵循与 Entegris 全球实验室同样严格的标准。中国技术中心的成立将更好地帮助我们的中国客户在 3D NAND 等先进制程上取得成功，并满足人工智能和物联网等技术趋势对集成电路的巨大需求。”

Entegris 在中国市场拥有超过 25 年经验，在上海、北京、西安和厦门均设有办事处，并在大连、深圳和武汉设有销售处。2017 年，为积极响应中国政府对本地制造的号召，Entegris 与福建博纯材料有限公司及湖北晶星科技股份有限公司签署了合作协议，生产特种气体产品及高纯度沉积产品。Entegris 因此成为第一家在本地生产特种气体产品的国际材料公司，为中国不断增长的半导体市场提供支持。

格芯超高压工艺技术进入量产阶段

格芯近日宣布，其 180nm 超高压 (180UHV) 技术平台已经进入量产阶段，适合各种客户应用，包括用于工业电源、无线充电、固态和 LED 照明的 AC-DC 控制器，以及用于消费电子和智能手机的 AC 适配器。

格芯 180UHV 工艺技术属于采用格芯公司 180nm 工艺节点的模块化平台的一部分，为集成 AC-DC 转换提供的数字密度比前几代产品提高了 10 倍。对于 AC-DC 转换，该平台将高压晶体管与精密模拟和无源器件集成，用于控制 AC-DC SMPS 电路的高输入和输出电压。该工艺经过高达 150°C 认证，适用于电源和 LED 照明产品的高环境温度。格芯 180UHV 平台采用 3.3V 低压 CMOS 基准值，具有 HV18、HV30 和 700V UHV 选项，与传统的 5V 双极 CMOS DMOS (BCD) 技术相比，可显著节省数字和模拟电路模块的面积。

格芯业务部高级副总裁 Bami Bastani 博士表示：“格芯不断扩展 UHV 产品组合，提供具有竞争力的技术功能和精良的制造工艺，让我们的客户能够在实际应用新一代高集成度器件的过程中发挥关键作用。对于打算为新一代集成数字、模拟和高压应用开发高性能解决方案的客户来说，我们的 180UHV 是一项理想的技术。”

格芯公司为其模拟和电源平台提供各种类型的 HV、BCD 和 UHV 技术，帮助客户在广泛的电压范围内 (5V 至 700V) 集成电源和高压晶体管，以满足高低功率应用的不同需求。格芯位于新加坡的 200mm 和 300mm 生产线已成功实现了模拟和电源解决方案的生产。

陶氏新型有机硅导热凝胶为智能手机提供热管理

陶氏高性能有机硅事业部推出用于智能手机部件热管理的新型陶熙™ TC-3015 有机硅导热凝胶，使用新品牌陶熙™ 替换原道康宁™ 品牌的标签，该品牌的基础是新收购的道康宁有机硅技术平台，继承了该平台七十年的创新经验和久经考验的性能。

TC-3015 新产品固化后形成导热凝胶，可实现芯片组的高效散热，还具有卓越的润湿性，可确保低 Rc (接触电阻) 以实现热管理，即便在集成电路 (IC) 和中央处理器 (CPU) 等发热最多的智能手机部件也不会形成产生热点。值得注意的是，该材料可轻易无残留剥离以用于重工，这对消费型设备来说是一大优势。作为可印刷或非必需产品，陶熙™ TC-3015 有机硅导热凝胶可集成到自动化流程中，无需耗费太多时间应用于成品散热垫。

陶熙™ TC-3015 有机硅导热凝胶可通过多种方式进行加工。首先，该导热凝胶使用单组分配方，不需要混合。其次，该材料可在室温固化或通过芯片自身发热固化，无需单独固化流程，有助于提高生产效率。或者，如果客户消费者需要更快的固化速度，可将该材料置于 150°C 的高温下。

陶熙™ TC-3015 有机硅导热凝胶由于粘度低，并且具有良好的润湿性，而且对环氧树脂和金属表面具有低附着力，重工时可完全剥离。

陶熙™ TC-3015 有机硅导热凝胶的导热性能可以描述为： TC (导热系数) = $2W / m.K$ ，粘合层厚度 (BLT) 在 3mm 以下时，热老化不会出现塌落或裂纹，应用于智能手机部件能实现高效的热管理。

用于物联网网络边缘的无电池传感器

物联网无处不在，虽然它功能强大，但也带来了一些挑战。每个感测元件按定义都是个电子器件，而所有电子器件的共通之处就是需要电源才能工作。

当在家中和办公室等小型场所部署时，无论是有线联接还是时而更换的纽扣电池，为传感器供电相对都比较容易。但是，由于环境传感器的部署范围远且广，通常在偏远、大的空间，如工厂和楼宇。因此使用有线电源的效率低，而更换电池往往非常不方便。同样的问题也存在于嵌入在接近但难以进入的地方 (如机器的中心) 的传感器。当前部署的传感器数量已有数以十亿计，这一数字只会继续增长，没有放缓的迹象。那么，这一问题该如何解决呢？

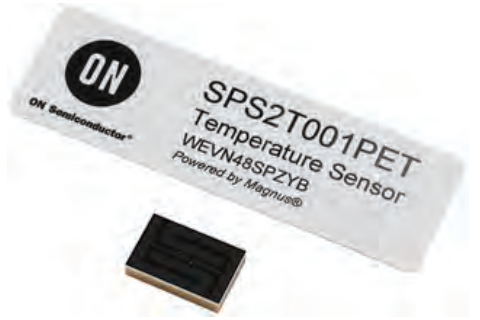
安森美半导体的智能无源传感器 Smart Passive Sensors™ (SPS) 是无线无电池传感器，可在网络边缘监测各种参数，如温度、压力、湿度或距离。当受到一个射频读取器 (如安森美半导体的 TagReader) 监测时，SPS 会从测量信号中“采

集”能源，然后快速且高度精确地读取传感器数据。

将 SPS 技术与最新推出的智能无源传感器开发套件 (SPSDEVK1) 相结合，可提供完整的感测方案，包括一个 UHF SPS 读取器中枢、UHF 天线、温度传感器、一个电源和一条以太网电缆。还包括 TagReader 软件以读取 SPS，并实现标签的全部功能，提供一个全面的系统方案。

TagReader 软件自动检测所联接的标签类型，并在规定时间用图形读取传感器的数据。图形用户界面 (GUI) 可以配置所有与测量过程相关的系统参数，并按需要重新配置。因此，即使是首次使用 SPSDEVK1 的用户，也能快速轻易地配置系统，为多种完全无线、无需电池的 IoT 应用测量、汇总并分析数据。

有了像 SPSDEVK1 这样的方案，无需再从多家供应商采购 IoT 方案；并且由于能够快速配置和修改难以到达的地点的多传感器的 IoT 应用，因此能够省时省钱。



GaN Systems公司与罗姆联手普及GaN功率器件

GaN 功率器件的全球领军企业 GaN Systems Inc. 和功率半导体的领军企业 ROHM Co., Ltd. 为促进电力电子市场的创新与发展，开始就 GaN 功率器件事业展开合作。

此次合作将充分发挥 GaN Systems 公司 GaN 功率晶体管的业界顶级性能与罗姆的 GaN 功率器件技术优势及丰富的电子元器件设计 / 制造综合实力。双方将利用 GaN Systems 公司的 GaNPX™ 封装技术和罗姆的功率元器件传统封装技术，联合开发最适合 GaN 器件的产品。这将能够最大限度地挖掘并发挥 GaN 器件的潜力。另外，双方通过提供兼容产品，将能够为双方的客户稳定地供应 GaN 器件。

以 GaN 市场增长最快的亚洲地区为中心，两家公司全球范围内的客户均可共享其 GaN 产品及其相应的技术支持。此外，双方还将共同推进 GaN 功率器件的研发活动，并面向工业设备、汽车及家电领域推出具有突破性的产品。

双方将通过合作来扩充 GaN 产品的阵容，拓宽客户的解决方案选择范围，为电力电子市场的节能化和小型化贡献力量。

新型优异流动性灌封材料

Panacol 作为德国 Hoenle 集团的成员之一，是一家国际化的胶水供应商，其产品范围非常广泛，包括 UV 胶、结构胶和导电胶等。Panacol 同样也是一家可靠的 UV 处理系统供应商，具有全球领先的工业 UV 技术的 Hoenle 集团为其提供全面的支持，为胶水提供完整的固化技术。

Panacol 新研发了一款中等粘度及更小填料尺寸的灌封材料：Structalit® 5894-1。该胶水是大体积灌封或电力电子密封的最佳选择。

Structalit® 5894-1 是环氧树脂基的单组份胶水。由于其粘度合适，填料尺寸小，在使用过程中其流动性非常好。另一个优点，低填料含量使 Structalit® 5894-1 在使用中减少其粗糙性。

Structalit® 5894-1 可以在加热条件下快速固化，这使其在大体积电子元器件灌封和密封中可以更快的操作。一旦固化，该胶水表面就很光滑和平整，同时也耐冲击和刮擦。



灌封材料Structalit®5894-1表面光滑平整

应用材料公司取得突破性进展： 用钴取代钨和铜，性能提升高达15%

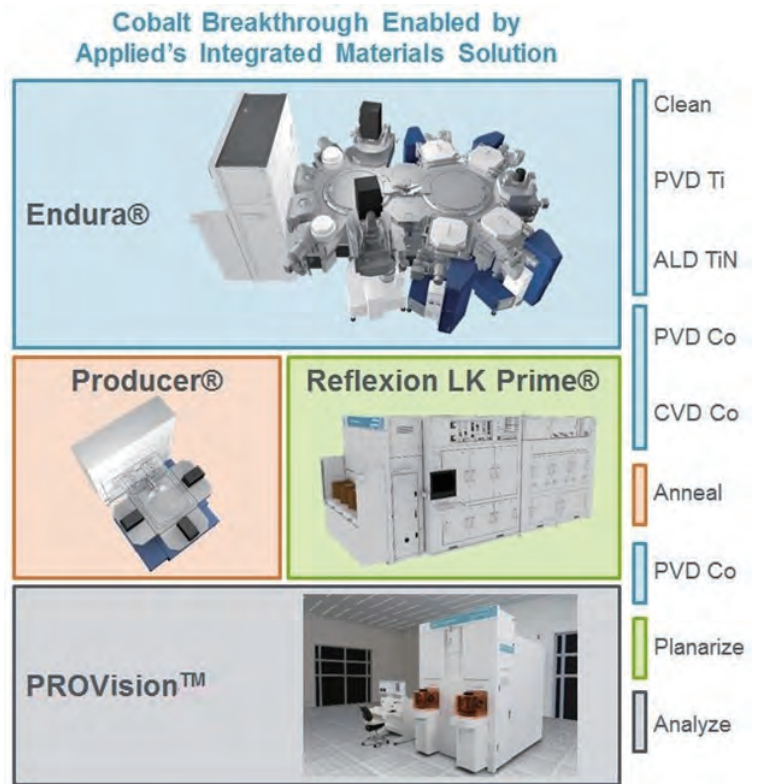
20年来晶体管接触和互联的金属材料首度重大变革，消除了7纳米节点及以下的主要性能瓶颈；应用材料公司独特的集成解决方案在Endura®平台上整合了干法清洁、物理气相沉积（PVD）、原子层沉积（ALD）以及化学气相沉积（CVD），可以帮助客户快速采用钴。

应用材料公司宣布其在材料工程方面取得重大突破，该技术可大幅提升大数据和人工智能时代的芯片性能。

过去，把少量易于集成的材料根据经典的摩尔定律来微缩加工就可以改善芯片性能、功耗和面积/成本（PPAC）。而如今，诸如钨和铜之类的材料已无法在10nm 代工节点以下进行微缩，因为它们的电学性能已达到晶体管通孔和本地互连的物理限制。这已经成为无法发挥 FinFET 晶体管全部性能的主要瓶颈。钴消除了这一瓶颈，但也需要在工艺系统上进行策略的改变。随着业界将器件结构微缩到极限尺寸，材料的性能表现会有所不同，因而必须在原子层面系统地进行工程，通常需要在真空环境下进行。

为了能够在晶体管接触和互联使用钴作为新的导电材料，应用材料公司已在 Endura® 平台上整合了多个材料工程步骤：预清洁、PVD、ALD 以及 CVD。此外，应用材料公司还推出了一套集成的钴套件，其中包括 Producer® 平台上的退火技术、Reflexion® LK Prime CMP 平台上的平坦化技术、PROVision™ 平台上的电子束检测技术。凭借这项经过验证的集成材料解决方案，客户可以缩短其产品投放市场的时间，并提高7 纳米制程及以下的芯片性能。

应用材料公司半导体产品事业部高级副总裁珀拉布·拉贾（Prabu Raja）博士表示：“五年前，应用材料公司就预计晶体管接触和互联会有所变革，因此我们开始开发替代的材料解决方案，借此突破10 纳米制程的限制。应用材料公司汇集其化学、物理、工程和数据科学领域的专家，深入探索应用材料公司的广泛技术，为业界开创突



破性的集成材料解决方案。随着大数据和人工智能时代的来临，这样的变革将会越来越多。我们很高兴能够与客户尽早开展更为深入的合作，从而帮助客户加速其发展蓝图并助力实现那些我们曾梦寐以求的高性能器件。”

虽然在集成方面仍具挑战，但钴为芯片性能及芯片制造带来了显著的好处——在较小的尺寸下实现更低更稳定的电阻；可在非常精细的尺寸下改进材料填充；能提高材料可靠性。应用材料公司集成的钴套件目前正发往世界各地的晶圆代工厂 / 逻辑芯片客户手中。◆

奥林巴斯发布IPLEX G Lite工业内窥镜

为了更好地助力工业发展，奥林巴斯近日发布全新的 IPLEX G Lite 工业内窥镜。相比前一代便携机型，IPLEX G Lite 在便携性、防护性、操控性图像质量以及功能性上都有了更加革新的突破。无论是工业现场制造检测还是工业设备检测维护，IPLEX G Lite 都能轻松应对，助力专业人员轻松获得更准确的检测结果。

在进行工业检测时，检测人员往往需要前往各种具有挑战性的环境中工作。这时，设备的便携性就尤其重要。全新的 IPLEX G Lite 工业内窥镜可以满足这一需求，在各种环境中助力操作人员轻松进行检测。IPLEX G Lite 工业内窥镜的重量仅为 1.15 千克，并且符合人体工学设计，方便操作人员工作时的持握，使检测过程更加轻松。

工业检测有时需要在高湿度、灰尘、电磁环境，甚至是爆炸性环境等特殊的环境中

进行。IPLEX G Lite 工业内窥镜可经受各种严苛工作环境的考验，完全符合 IP65 防尘防水标准，并且通过了美国国防部测试 (MIL-STD)，操作人员可以在任何的严苛环境中利用其进行工业检测，保障产品的生产和使用安全。

IPLEX G Lite 工业内窥镜可以为操作人员提供清晰的画面和简便的操作。全新的 IPLEX G Lite 工业内窥镜具有亮度更强的 LED 光源，即使在大而深的区域中也可提供明亮的照明。可更换的黑光光源和红外线光源更可以拓展内窥镜的功能，使操作人员不仅可以观察细微划痕，更能在黑暗中拍摄图像。同时，IPLEX G Lite 工业内窥镜内置了 WiDER 图像处理系统和降噪算法，不仅能在图像中呈现具有清晰微小细节的图像，还能将图像中的噪点降至最细，确保色彩的还原。此外，IPLEX G Lite 工业内窥镜还能保障清晰流畅的视频获取，即使是观察动态物体，视频画面也不会产生卡顿。借助专用的 APP 软件，IPLEX G Lite 工业内窥镜更能与其他智能设备进行无线数据传输。此外，TrueFeel 电动导向控制，使前端探头的导向十分精准而且灵敏。

作为即将步入百年华诞的光学企业，奥林巴斯始终致力于将先进的光学技术应用到工业领域产品的研发和改进中。从专业的无损检测产品、工业内窥镜产品到光谱仪产品，奥林巴斯一直用更卓越的产品和技术服务中国工业领域。◆



符合人体工学设计的IPLEX G Lite工业内窥镜

纳微在中国开设GaNFast™研发中心以支持创新

纳微 (Navitas) 宣布在杭州开设新的 GaNFast 研发中心，以帮助合作伙伴和客户设计技术领先的电源转换器；相比传统的硅 MOS 管方案，这些新设计能让体积缩小 50%，重量减轻 50%，可为移动应用终端提供快 3 倍的充电速度。

纳微高级应用总监兼新研发中心负责人徐迎春表示：“GaNFast 研发中心拥有产品设计经验丰富的高水平应用工程师团队，将专注于开发高频、高效、高功率密度的电源系统，并协助客户充分发挥 GaNFast 功率 IC 的关键性能和优势。我们拥有开发新型先进电源架构的

工具、技能和资源，同时能够确保开发高效率、优异的热性能和 EMI 性能等关键技术指标符合客户需求的可量产产品。”

纳微旗下的业界第一款 GaNFast 功率 IC 能够同时实现 MHz 级频率和更效率的电源设计，这些优异性能意味着移动快速充电器和适配器、LED 电视、电动汽车 / 混合动力汽车、LED 照明和新能源解决方案可采用更小、更轻、更低系统成本的功率转换技术。纳微的愿景是利用性能出众的氮化镓功率器件创造出高频、高效、高密度的新型电源系统。◆

掌控芯片制造的“火候”，看懂小处用心的美好

在中文里，“火候”一词的使用并不局限在厨房，更能用来评价处世的修养，以及为人的境界。

在芯片制造领域，也是如此。小小的芯片，看似简单，却充满了科技之道。只有真的懂得制造工艺与应用原理，了解每一颗芯片生产背后的艰辛，才能看懂制造商从小处用心的美好。

晶圆制造与未来汽车

在强大的半导体技术推动下，许多曾被认为属于科技幻想的汽车功能正不断被开发出来，例如先进的驾驶辅助系统（ADAS）正在为自动驾驶

汽车铺平道路。可以这么说，汽车电子业务发展缓慢、后续乏力的情况已经一去不返了。

总体而言，从现在到2023年，汽车应用半导体市场预计将出现7%的复合年增长率，市场价值将从350亿美元增加到540亿美元。在ADAS/自动驾驶/车载信息娱乐系统（IVI）/电动汽车动力总成（EV Powertrain）/安全性等应用的推动下，每辆汽车中所包含的半导体芯片价格，将从2017年的375美元增长到2025年的613美元。在此期间，最具代表性的ADAS应用领域预计将会出现CAGR猛增的现象，达到19%。

然而即使这样，在大多数人的印象中，汽车电子与晶圆代工厂之间的关系似乎并不紧密。不过，最近两则与格芯（Global Foundries）相关的新闻，正在改变人们的这一传统观念。

5月23日，格芯宣布22nm FD-SOI（22FDX）技术平台通过AEC-Q100（2级）认证，准备投入量产。这意味着，作为AEC-Q100汽车标准的一部分，格芯22FDX技术的能力已经得到验证，能够满足汽车市场严格的质量和性能要求；另一则消息来自中国，5月18日，第八届松山湖中国IC创新高峰论坛上，由中国公司设计，基于芯原（VeriSilicon）

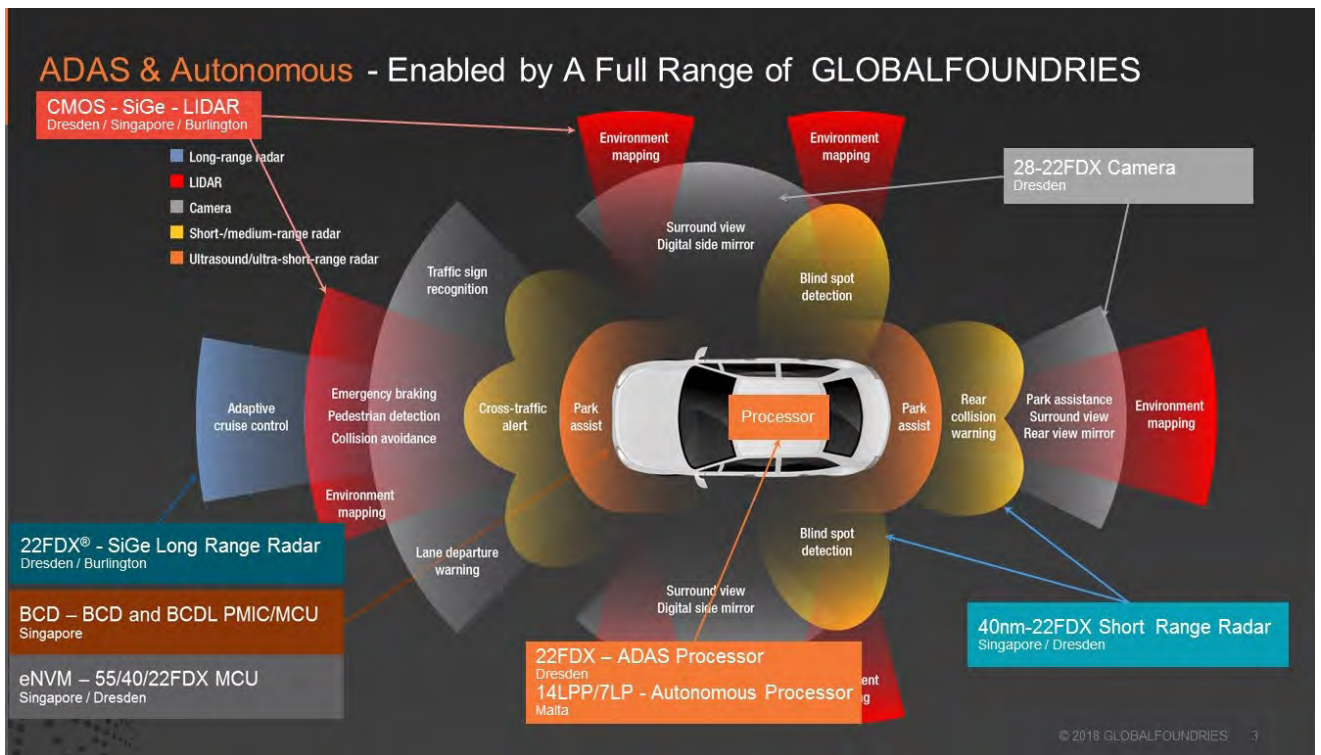


图1. 格芯在ADAS与自动驾驶领域的技术储备。

作者：朱宇，格芯中国区市场总监

VIP8000 架构的全球第一颗对标 Level-4 的基于多传感器的神经网络芯片，采用 GF 22FDX 工艺制造，已于今年 4 月成功流片。

IP、工艺与服务，一个都不能少

提到格芯的汽车电子业务，2017 年推出的 AutoPro 服务包是一个绕不开的话题。这种服务包提供所有格芯汽车技术都具备的体验、质量和可靠性，以质量系统准备就绪、技术平台准备就绪和运行准备就绪三种核心技术为支柱构建，完全满足汽车行业严格的质量和可靠性要求，帮助汽车制造商利用芯片的力量，迈入“智能互联”的新时代。

先让我们花点时间简单了解一下 AutoPro 服务包里所包含的相关技术：

面向汽车的嵌入式存储器

格芯 130nm 至 22nm 技术平台提供了广泛的嵌入式存储器解决方案，例如嵌入式磁性 RAM(eMRAM) 和嵌入式闪存 (eFlash)，这些存储器解决方案能够满足 2 级到 0 级汽车市场的要求。

CMOS 毫米波雷达

40nm 和 22FDX CMOS 毫米波

解决方案能够实现存储器、DSP、模拟和 RF 的片上系统集成，借此优化 ADAS 解决方案的成本和复杂性，特别适合短距离侧面 / 尾部以及中距离前视雷达。22FDX 全耗尽 SOI 可以比肩 SiGe RF 性能，适合长距离雷达，具备 CMOS 的集成优势，并因 CMOS 独特的背栅极偏压功能实现了超低功耗。

SiGe BiCMOS

SiGe BiCMOS 解决方案凭借经由 SiGe HBT 实现的出色 VCO 相位噪声、更高的 PA 输出功率和效率，为汽车 ADAS 雷达 RFIC 提供出色性能，非常适合长距离前视 77GHz ADAS 雷达。

RF SOI

45RFSOI 部分耗尽型式 SOI 技术采用以 RF 为中心的厚金属层后端，此后端被置于含有大量阱的高电阻率衬底上，帮助实现低损耗和出色的谐波性能。它是面向低延迟、新一代 V2V 和 V2X 应用的理想解决方案。该技术提供出色的 RF 性能，具备先进 CMOS 的集成优势。

动力解决方案

130nm BCD 工艺支持客户为电

动、混合动力和内燃机汽车内的多个模块提供单芯片解决方案。符合 1 级和 0 级汽车标准的工艺，适用于电池管理、电池监测、头端 PMIC。其 80V 器件具备转变成 100V 器件的路线图 (适用于 48V 混合规格),NVM (eFlash) 解决方案则可用于获取与电池使用时间和健康状况有关的实时信息。

Autopro 服务包解决方案的重要性，在于它使得格芯在全球的每一个代工厂，无论是德国德累斯顿、纽约马耳他，还是新加坡，甚至包括中国成都工厂，也无论他们采用何种制程工艺 (新加坡的 180nm、130nm、55nm、40nm 成熟工艺，或是纽约马耳他厂的 14LPP/12LP/7LP FinFET，或是德累斯顿工厂的 22 纳米 FD-SOI 技术)，都能够提供通过车规认证的多种汽车客户模块化平台。

比起其他市场的客户，汽车客户对质量和可靠性的要求更高，这无可厚非。因为我们都知道，汽车和卡车在使用周期内，无论是在何种天气、道路条件和交通条件下，都必须正常运行，因此“IATF16949 认证”的重要性不言而喻。

IATF16949 认证是保证整个生产

格芯面向汽车的功能

关键要求	130 BCD/ 180 BCDLite®	55LPX	40LP	28SLP	22FDX	14LPP/12LP	7LP
AEC Q-100汽车级							
2级 (-40°C至+105°C Ta)	●	●	●	●	●	●	○
1级 (-40°C至+125°C Ta)	●	●	●		○	○	○
0级 (-40°C至+150°C Ta)	○	○	●				
存储器							
eFuse	●	●	●	●	●	●	○
eFlash	●	●	○				
eMRAM							低估
毫米波雷达集成			●		○		
封装							
2D (FC BGA)	●	●	●	●	●	●	○
WLP (扇入、扇出)	●	●	●	●	●	●	○
2.5D	●	●	●	●	●	●	○
3D							○
集成: NVM、RF、模拟		●	●	●	●		
核心电压(Vdd)	1.8V/5V/6V (180 BCDLite) 1.2V/1.5V/5V (130 BCD)	0.9V,1.2V	0.9V,1.1V,1.2V, 9V,12V	0.8V,1.0V,1.1V	0.65V, 0.8V	0.8V	0.75V
I/O电压	5V, 6V (180 BCDLite) 5V (130 BCD)	1.8V,2.5V, 3.3V	1.5V,1.8V, 2.5V,3.3V	1.5V,1.8V, 2.5V,3.3V	1.2V,1.5V,1.8V, 2.5V,3.3V	1.2V,1.5V, 1.8V	1.2V,1.5V, 1.8V

图2. 格芯面向汽车的功能。

过程处于可控、可追溯状态的信心源头，能向客户保证格芯在汽车级 IC 的生产、测试、筛选等环节均处于零缺陷状态，这是汽车客户非常在意的指标。目前，格芯位于德累斯顿的 Fab 1 晶圆厂已经完成了首次全面的 IATF16949/ISO9001 核查，这表明工厂的质量管理系统符合汽车生产要求，汽车客户可以从格芯的平台上面获取符合车规的 IC 产品。

为不同的应用选择正确的工艺

与其他晶圆代工企业不同，格芯在 FD-SOI 和 FinFET 这两个领域都有布局。我们始终认为，在 22FDX 的生产工艺中，它的掩膜工艺成本和复杂度要比 14nm FinFET 低不少，RF 器件所需的基体偏压 (Body Bias) 又很难用 FinFET 工艺来做。因此，考虑到可以在功耗、性能和成本方面提供实时的权衡，FD-SOI 将是打造“具备连接能力的新型嵌入式系统所需的理想技术”，物联网 (IoT)、5G 和先进驾驶辅助系统 ADAS 是最为适于导入 FD-SOI 技术的市场领域。而在设计具有最高处理性能的芯片时，采用像 FinFET 这样先进的 CMOS 技术则更为适合。

那么，如何为不同的应用选择正确的工艺？

跟客户进行深入的交流，充分了解他们的产品需求，是格芯一贯坚持的做法。如果有客户想做高性能处理芯片，格芯就会推荐他们使用 FinFET 工艺；如果只想做一个雷达收发器，那么硅锗工艺就足够了；如果想做一个高分辨率雷达，22FDX 工艺则更加合适。而且，在制定方案的同时，格芯还会根据不同的工艺给出相应的 PPA 分析报告，方便客户做出



图3. 格芯面向汽车SoC市场的产品路线图。

正确的选择。

以汽车雷达为例，目前 77-86GHz 的中 / 长距离汽车雷达的射频部分通常基于硅锗工艺，数字部分基于 180nm 和 130nm CMOS 工艺，芯片整体处理能力不强。与之相比，格芯 22FDX 技术则能够提供更出色的毫米波 (mmWave) 性能和数字密度，使得基于 22FDX 的雷达传感器能够提供更高的分辨率和更低的延迟，且总系统成本非常低。很快我们会看到有客户展示基于 22FDX 技术所构建的雷达成像芯片组，此芯片组能够检测 300 米范围内的物体，且具备分辨率极高的宽视场。

而在 77GHz 短 / 中距离雷达模块的开发中，有客户采用的则是格芯成熟的 CMOS 工艺技术来开发。该模块将微控制器、数字信号处理器、SRAM 和闪存和支持组件集成于电路板上，用于替代更大型的雷达阵列。

当然，雷达只是汽车半导体应用中的一种。动力总成控制是另外一种。在近期举办的嵌入式世界大会中，Silicon Mobility 展示了其公司的现场可编程控制单元 (FPCU)，用于控制电动和混合汽车的动力总成。该单元采用格芯的 55LPx CMOS 技术进行构建，能够实时处理和传感器及致动器，在单个半导体 (符合安全标准 ISO 26262 ASIL-D) 中，与标准 CPU 连接。

由此获得的功能更强大、更灵活、更安全的架构，可以提升电动和混合汽车动力总成的控制力和性能。通过在硬件而非软件中快速实施复杂的动力总成控制算法，大幅节省了能源，并延长电池的使用寿命。根据 Silicon Mobility 的反馈，FPCU 可以将电动和混合汽车的行驶范围扩大 32%。

目前，对空调、引擎和油路系统进行控制的 MCU、短 / 中 / 长距离雷达、针对电动 / 混合电动汽车的电源管理 IC、以及用于 ADAS / 自动驾驶的高性能处理器，占据了格芯汽车电子业务的前几位。从我们自己的观察来看，中国汽车客户更倾向于做视觉和自动驾驶处理芯片，欧洲市场比较大的应用来自微控制器、传感器、摄像头和激光雷达，美国则以激光雷达和自动驾驶解决方案最具代表性。

中国是一个很有趣的市场，国际市场里有 30% 的供应商都来自中国。但很多中国 tier 1 的车厂，却还是从比较大型的车用器件公司采购标准的雷达或者处理器芯片，这是目前的现状。不过，格芯仍然相当看好中国层出不穷的创新方案，将视频监控领域所涉及的视觉系统经验运用到汽车领域就是其中一例。除了提供包括 MIPI 接口、Can Bus 等在内的 IP 整体解决方案外，通过在中国成立设计中心，帮助客户更好的利用格芯平台，更是我们的优先战略。◆

找寻下一代芯片之路

随着传统CMOS器件尺寸减小的极限临近，制造商和研究人员几乎都在努力解决复杂性、成本和风险等问题，从而新的晶体管和集成电路技术正在不断涌现。众多制造商和研究人员正在寻求新途径，创新新工艺和材料，为下一代芯片寻找性价比更好，性能更高的解决方案——Silicon Semiconductor杂志的技术编辑Mark Andrews在本文里介绍探索了10纳米以下器件的几个领先的、有前景的途径。



光连世界 领闯未来



CHINA INTERNATIONAL
OPTOELECTRONIC
EXPO

中国国际光电博览会

2018年9月5-8日

深圳会展中心

20年悉心耕耘
全球极具规模及影响力的光电业综合展



关注CIOE官方微信



联系我们:

深圳贺戎博闻展览有限公司

电话: +86-755-86290901

邮箱: cioe@cioe.cn

更多展会详情请登录

WWW.CIOE.CN

CIOE | 中国光博会

寻找新途径

世界上一些最大的半导体制造商、无晶圆厂设计公司、创业公司和材料创新公司都有一个共同的目标：为下一代器件技术创造降低复杂性和成本，同时提供更好性能的路径。

越来越多的供应链行业专家认为，成本和复杂性已经增加到了只有最大的晶圆厂和设备制造商才能竞争的地步，寻找新途径替代现有尺寸缩小路线图已经势在必行。尽管全球晶圆厂领导者可以从与其独特的产品路线图相关的数十亿美元投资中受益，但其他技术的机会也在增长；研究人员不断寻求替代方法和新方法，以避免知识产权和专利问题，同时提供产生更快、更安全技术的手段。

微机电系统 (MEMS) 传感器体现了不受限于 300 毫米晶圆厂的先进技术。MEMS 设计不依赖尖端硬件，通常使用传统的 200 毫米技术，包括翻新工具和完善的制造工艺。这些工厂可以找到充足的高质量，训练有素的操作人才库和急于进入游戏的服务专家库。

MEMS 技术已经充分证明了重要的新市场并不一定需要最新的与 300mm 晶圆结合的晶体管技术。2007 年，随着智能手机的出现，MEMS 市场开始兴起。今天，MEMS 增长包括无人机和物联网网络设备在内的新应用，基本与智能手机保持同步。MEMS 高端传感器 (HES) 支持工业和商业需求，以及五年前并不存在的虚拟助手和其他终端应用产品。MEMS 的理想晶圆尺寸目前为 200 毫米，这已经促成在中国建设了六个新的 200 毫米晶圆厂，用来满足全球的产能需求。

许多专家认为，在如英特尔，三星和台积电等制造商预测的大规模采用极紫外 (EUV) 光刻将在这个十年的后期发生之前，节点迁移将水平或垂直转移到 3D 设计。许多人预计 7 纳米与之前一个节点相比有显著的改善，这可能会延迟对 5 纳米器件的需求到 21 世纪 20 年代末。制造人员还有望创造融合任意数量的非传统方法的混合技术，包括碳纳米线，完全耗尽的绝缘硅 (FDSOI) 以及不同类型的晶圆键合。我们可以预期在 7/5 纳米开始大量采用前，将有 FinFET 和其他 10 纳米架构的多次迭代。与此同时，CEA Leti 的研究人员报告说，他们的 3D 堆叠技术 CoolCube 已经达到了新的性能里程碑，并且现在正在寻求进行试生产的制造合作伙伴。该 CoolCube 方法相对于其他键合技术采用较低的温度，从而在对准和其他工艺步骤期间能够更好地保持晶体管的功能。CoolCube 在早期



晶圆-晶圆键合实现下一代芯片

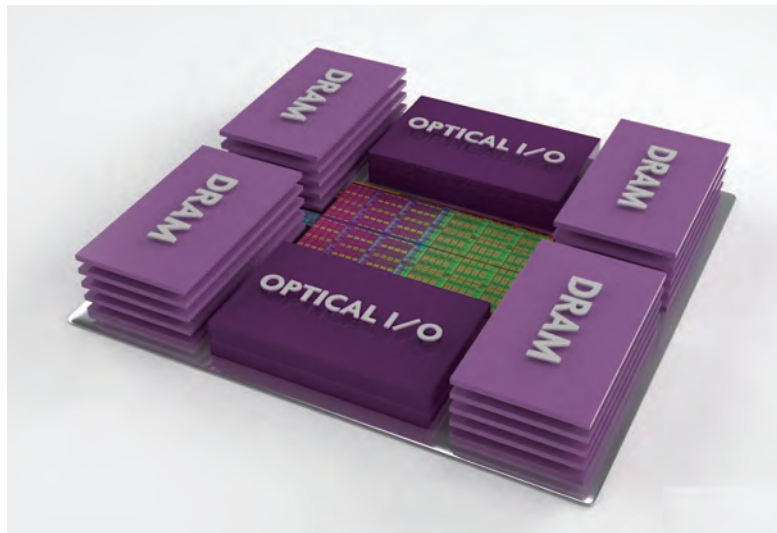
生产阶段获得了 1nm 或更小的偏移间距，而这样的对准精度通常需要某些更高温度的工艺。

寻找器件演进和缩小新方法的驱动力也是设计和制造能力日益不同的产物。传统的节点缩放已经变得非常昂贵，以至于它不再是提高密度和性能的“必要”解决方案。

即使那些全球最大的公司也在探索替代方案。对于无法投入数十亿美元到每个新节点的无厂设计团队尤其如此，因为并不总是有百万级器件市场机会来摊销高达 10 位数的投资。虽然无厂设计人员正在寻求替代方案，但三星和苹果等主要消费设备制造商正着手构建自己的移动设备芯片，而包括亚马逊，Facebook 和谷歌在内的主要数据中心运营商正在构建设计云芯片。这种转变意味着独立开发商的规模量产市场将会减少，而多层次 / 多代产品生命周期内可以分摊低成本设计和工厂成本的情况则会更少。

大多数制造商和供应链供应商都希望有一条充满了全新的应用产品 (如智能手机和笔记本电脑) 的管道，饥渴等待着数百万量级的高价芯片。相反，新机遇只需要数百万个器件，或数十万个芯片来支持汽车，物联网 (IoT)，机器学习，增强 / 虚拟现实，医疗设备，可穿戴和印刷柔性电路应用。即使令人兴奋的新兴市场，例如已经产生数十亿收入的物联网，也会寻求低成本芯片，其中物联网技术中的主要潜在用户正在寻求每芯片低于 1 美元的先进器件。尽管与高价传统处理器相比，显然是“少量的钱”，但是，包括 IoT/IIoT 在内的新兴应用已经在推动市场，2017 年将半导体产量提高了 20%。

预计 2017 年销售额将突破 4000 亿美元，而晶圆厂设备销售额也首次跃升至 500 亿美元以上，这是历史上首次突破的里程碑。2017 年的增长率很不寻常，新兴应用获得了如此多的收益这一事实，促使市场分析师预测



多核处理器再分区原理图

出 2018 年及以后的稳健机遇。SEMI 贸易组织估计，到 2020 年，汽车电子市场（ADAS，汽车自动化，信息娱乐等）将实现 2800 亿美元的销售额，而到 2024 年，电子医疗器件将增长到超过 2 亿美元。如今的 2 万亿美元供应链预计到 2022 年将达到 4 万亿美元。这就是市场巨大的潜力。

替代技术需求不单单是受成本和复杂性限制的驱动。人们越来越认识到，与传统 2D 架构中的 28nm 晶体管相比，在高级节点时设计、检查和测试器件将更加困难。自从工业界进行了下一代集成电路尝试以来，人们对影响器件性能和产品寿命的物理效应现在有了更充分的了解。随着几何尺寸的缩小和芯片通过更薄晶圆制造，从而热量累积、ESD 和信号干扰也逐渐成为更严重的问题；这通常会导致更复杂（和昂贵）的测试协议和解决技术。较小的芯片也经常具有不同的电流要求，从而能够在越来越复杂的电路路径上加速信号，而即使是在微瓦范围内的逐步增加，这仍然是设计人员和制造人员必须克服的障碍。

在越来越多的移动应用中，这些因素尤其令人担忧。一个很好的新挑战例子就是我们在较大节点时可以处理的光刻边缘位置误差（EPE），但随着几何尺寸缩小到 7/5nm 及以下，这种误差会越来越大。EUV 本身并不能解决所有与节点减小和晶体管特征尺寸缩小相关的问题。对于万亿分之一的要求，消除缺陷也变得更具挑战性，这会影响到整个供应链中的多种关键资源，从液体和气体化学品到过滤，次洁净区真空和减排，等等。在原子尺度和变化上，并没有完美平滑线段这样的东西，这些在较大的节点处无关紧要的东西，可能在 10 纳米以下就是“杀手”。

与器件尺寸缩小、性能提升和功耗相关，各种不同大小的问题都正在通过各种各样的新工具 and 材料创新寻找解决方案。此外，对现有技术的产能和精度进行改进的新工艺和技术正显示出前景，不仅适用于新兴的市场，而且还可以降低成本，并允许我们今天在数百万级的器件市场中形成更多的差异化产品。

应用材料公司作为一家长期业界领先的材料创新供应商，正在展望下一代需求，同时支持全球规模制造中心当前的需求。在 2017 SPIE 的先进光刻会议上，应用材料公司刻蚀和图案化战略副总裁 Uday Mitra 共同撰写了一篇关于减少边缘位置误差的论文，报告称通过使用该公司的 Sym3 反应器和专有技术，他们将

关键线条误差率（LRE）从标准的 3.4nm 降至 1.3nm。通过使用最新的、高度先进的 3D 建模程序例如 Coventor 的软件解决方案，设计人员能够在虚拟空间中进行工艺集成实验，从而也可以获得性能提升。这些数据还提供了一种方法，用来估计由于侧壁剖面和 LER 的变化而导致的图案转移中良率的损失。

半导体供应链领导者还瞄准更多元化的国际制造业社区的需求，通过扩展、多样化和综合服务来满足当前和未来设计人员和制造人员的需求。AP & S 国际有限公司（德国多瑙埃兴根）是一家重塑自身，扩大并重新设计其产品以满足全球制造商需求的公司典范。该公司专注于湿法工艺的不同方面，并提供独特的金属剥离方法来支持 3D 器件制造以及前端和后端生产链的解决方案。

为了支持所有具有独特要求的大公司、研究小组和初创公司，AP & S 公司提供各种各样的设备，从手动湿式工作台开始，到全自动化的多腔室系统，同时还有全新的和翻新的设备。AP & S 公司认识到，越小的客户通常需要越多帮助来将新工具整合到他们的运营中，该公司提供广泛的售前和售后支持，其中包括一个功能齐全的演示中心，客户可以在其中试用然后来决定是否购买。现在，AP & S 提供的支持包括全天候客户支持的不增长的物联网接口阵列，让技术人员随时可以访问。在 SEMICON Europa（2017 年 11 月）上，该公司引入了增强现实项目，专门用于诊断和故障排除。这些附加功能和客户服务理念贯穿于他们提供的所有内容中，对于解决生产周期中可能出现的各种问题特别有益。AP & S 还修复设备（包括他

们自己的和其他主要品牌)，从而帮助创业公司和研究机构利用好有限的设备预算资金。

更新更小的半导体通常设计为利用超薄晶圆，这呈现为其独特的拾取和测试要求。在整个生产过程中，特别是在研磨和抛光（CMP工艺阶段）期间发生的缺陷，可能会破坏脆弱的芯片或给定了最终的器件失效阶段。

UnitySC（法国格勒诺布尔）正在扩张，部分原因是其4See系列产品超越了传统的背面晶圆检测，非常受欢迎。他们采用相移偏转（PSD）和共形共焦（CC）检测技术的方法，设计用来发现纳米级缺陷；Unity的系统是独一无二的，并获得了专利授权。许多客户正在使用UnitySC的系统，用于检查双层双极IGBT功率器件。该公司预计，针对每代新器件，

采用单一工具在半导体背面及正面发现更多缺陷将变得越来越重要，公司因而将获得更大的成长潜力。

2017年，Rudolph Technologies 鲁道夫技术公司宣布，其Firefly检测系统在中国销售猛增，并且第一批交付的设备已经认证进入生产，这也是扩大对精密检测和度量工具依赖的另一个迹象。Firefly提供高分辨率的视觉和非视觉检测，从而支持各种先进的封装工艺，包括扇出晶圆级封装，板级和晶圆级CSP。鲁道夫预计2017年第三季度该系统的收入将超过500万美元。

随着各种下一代器件架构从设计转向生产，2017年也经历了传统上不被视为持续创新来源领域的增长：次洁净区。Reno Sub-Systems 里诺子系统公司（美国内华达州里诺市）宣布，其2017年年底的融资计划获得了1120万美元的投资，这本身并不是多大的纪录，但有趣的是主要支持者包括英特尔投资，三星风险投资公司，日立高科，SK海力士（韩国内存芯片强厂），Lam Research（2017年购买高级建模专业公司Coventor）和MKS仪器公司（美国，有亚洲、欧洲和北美办事处）。

里诺专注于两项主要技术：芯片制造中使用的气体流量控制和工艺电气负载的阻抗匹配的射频功率发生。与传统解决方案相比，该公司的两款主要产品的性能均大幅提升，并专门针对了下一代器件制造的要求，相信其中严格控制的性能和更快的生产对公司的成功将是至关重要的。

随着越来越多的半导体制造商对未来市场将他们的路径多样化，这反过来又驱动了供应商的响应能力，



EVG GEMINI自动生产型晶圆键合系统

这些供应商不断面临挑战来开发新的方法以应对未来的需求。一家针对产品线不断增长响应的公司是Brewer Science公司（美国），该公司提供满足关键器件架构需求的材料和工艺，可以在减少晶圆应力，翘曲和高温限制的同时，实现更快的产量和更小的外形尺寸。

Brewer Science公司的临时键合和剥离技术特别适用于扇出晶圆级封装（FO-WLP）。虽然“芯片最先”（chip-first）方法已经一直在用于大批量生产，但“芯片最后”（chip-last）方法仍在发展中。Brewer将其许多产品解决方案视为为客户提供的全面选择，而无论采取的是哪种方式。

就像服务于供应链不同部分的其他公司一样，Brewer公司提供了各种各样的选项以适应全球制造业的多样性。Brewer已经支持跨越多代器件的临时键合/剥离要求，并且是为数不多的支持各种主要类型物理剥离方法的公司之一。他们的产品不断发展，现在包括采用激光系统的第四代解决方案；他们成功地提高了工艺温度范围，目前支持高达350℃。

“我们在制造2.5D，3D，化合物半导体，扇出（fan-out）和其他工艺流程方面拥有近15年的临时粘合材料开发和商业化经验。我们很早就意识到，一种产品甚至一种临时粘合材料的平台可能并不会适用于高级封装应用中所使用的所有工艺。每种工艺流程或器件类型都有一套独特的要求，而我们提供广泛的粘合材料和释放层组合，旨在支持这些单独的工艺。这种做法的结果是使得客户利益最大化，具体说就是在高产能和低拥有成本基础上提供简单

EDI CON

2019

Electronic Design **Innovation** Conference 电子设计**创新**大会

首席赞助商:



钻石赞助商:



企业赞助商:



主办单位:



2019年4月16-18日

国家会议中心

中国北京

mwjournalchina.com/edicon

敬请光临 IMS 1834 展位

的工艺。” Ram Trichur, Brewer Science 公司的晶圆级封装业务发展总监说。

Trichur 说, 公司对最新一代工具越来越感兴趣, 特别是在亚洲, 尤其是中国。“我们所有的客户都从我们提供的优势中受益, 而其中一些客户的成功案例尤为引人注目。一家北美的化合物半导体器件的制造商采用蜡材料来粘合, 由于蜡的热性能和机械性能差, 其背面工艺期间总良率的损失约为 30%。引进了我们一种新的临时粘合材料, 其良率随后增加到 99% 以上,” Trichur 说。

除了能够提高掩模对准精度并能够在较低温度下实现更薄膜工艺的解决方案外, 制造商还在寻求原子级沉积 (ALD) 及其近亲原子级刻蚀 (ALE) 以远胜以往地更精确控制材料去除。目前的刻蚀剂通常用于去除整个晶圆上的材料, 这并不总是我们希望得到的。ALE 提供更高的精度以及在该领域的不断进步, 从而正在重新定义精确刻蚀。应用材料公司认为他们的工艺与 ALE 互补, 为客户提供更多的控制, 包括正在研究的新方法可以在不大幅



AP&S总部的生产间

延迟生产、不实施 EUV 或安装其他前沿光刻工具的情况下“去除”不需要的材料。

定向自组装 (Directed Self Assembly, DSA) 作为支持先进节点缩小的手段, 同时还有助于降低线边缘粗糙度 (LER) 而继续获得关注。Brewer Science 公司于 2015 年与 Arkema 集团合作, 促成第一代 DSA 聚合物的大批量生产。Arkema 是一家总部位于法国的高性能材料专业公司, 其全球业务和 2016 年销售额达 75 亿欧元。Brewer 公司也正在开发第二代聚合物, 这对于在未来的节点中启用 DSA 至关重要。现在 Brewer 和 Arkema 之间的合作关

系正在寻求商业化这些高 k 嵌段共聚物用于 DSA。第一代聚合物支持低至 22nm 的器件, 而第二代聚合物则支持 5nm 及以下的器件, Brewer 公司和大多数行业专家一致认为, 在不依赖 EUV 或复杂的多步图案化方案情况下来扩展到器件缩小是至关重要的。

“DSA 代表了比 EUV 更低成本和更高产能的解决方案, 但另一个巨大的成本优势在于降低了掩模需求。DSA 仍然需要光刻和刻蚀工艺, 但与多步图案化相比, 这些成本更低。EUV 掩模是 EUV 步骤成本的重要组成部分。DSA 还提供了一项技术优势, 现在它就可以达到比其他图案技术更小的特征尺寸,” Brewer 公司的半导体业务发展总监 Hao Xu 说。

除了比 EUV 更具成本优势之外, Brewer 还表示它将探索 DSA, 因为他们认为该工艺与 EUV 互补。已经使用 EUV 的公司可能会得出结论, 将 DSA 与 EUV 相结合可以更好地支持他们实现目标。

“DSA 和 EUV 是互补的, 因为更小的间距可以用 EUV 打印, 而无法用浸没式光刻技术打印。更小的间距意味着两件事情: 使用 DSA 可以降低倍乘因子, 从而降低缺陷的可能性。此外, 存在使用 EUV 时在化学外延流体中消除修整刻蚀台阶的可能性。EUV 还可以提供用于接触孔倍增的制图外延法模板。同样重要的是要注意, 由于 EUV 在较小节点处的分辨率限制, DSA 有可能帮助延缓时间, 甚至消除对高 NA (数值孔径) EUV 工具的需求,” Xu 补充说。

EMP 高性能材料 (Merck KGaA 公司的一个部门, 德国达姆施塔特) 继续发展其对先进半导体工艺材料科学的承诺。Merck 集成电路材料事业部负责人 Rico Wiedenbruch 表示, 他的部门专注于行业面临的许多与尺寸缩小相关的挑战, 提供各种新颖的解决方案来满足这些需求, 并解决挑战物理极限的尺寸缩小障碍。他表示, 该公司用于原子层沉积的先进前驱体材料是生产非常薄、高度可控共形薄膜的交钥匙解决方案。

EMP 产品组合扩展到传统半导体制造的许多领域, 包括前端和后端封装。Wiedenbruch 表示 EMP 最新的解决方案瞄准微处理器、DRAM 和 NAND 闪存, 并且正在扩展用于支持存储器件和 3D NAND 单元的 ALD 前驱体。他注意到客户面临的某些最大问题与图案坍塌有关, 这

个可以通过他们的工艺冲洗材料的 FIRM 生产线来解决；他们还为 DSA 提供嵌段共聚物。他们的 RELACS 收缩材料工艺线设计用于支持制造可能比以前窄得多的器件特征尺寸。

半导体器件的垂直堆叠已成为一种用来实现更高器件密度和更高性能的越来越可行的方法。晶圆-晶圆键合是构建3D堆叠器件的关键步骤。

虽然材料供应商正在为下一代节点开发和验证资源，但其他公司正在利用这些工具来进一步推进 3D 堆叠等技术。CEA Leti（格勒诺布尔）和 EV Group（奥地利圣弗洛里安）于 2017 年末宣布，他们已经实现了两家公司都认为的业界第一：一种成功的 300mm 晶圆-晶圆直接混合键合，间距尺寸连接小至 1 μ m。

半导体器件的垂直堆叠已成为一种用来实现更高器件密度和更高性能的越来越可行的方法。晶圆-晶圆键合是构建 3D 堆叠器件的关键步骤。要求晶圆之间的密切对准和重叠精度，从而实现良好的电接触，同时最小化键合界面处的互连区域。这是一个关键因素，因为实现它以后可以增加每个晶圆上更多可用的芯片空间，从而提高良率。支持组件路线图所需间距的不断减小，正在推动每一代新产品都采用更紧密的晶圆-晶圆键合规范。在法国格勒诺布尔的 Leti 设施的产品演示使用了 EV Group 的 Gemini FB XT 自动生产型键合系统。

“据我们所知，这是第一次报道的 1.5 微米以下的铜线混合键合可行性证明，” Leti 的键合工艺工程主管 Frank Fournel 表示，“这次最新的演示代表了真正的突破和重要的一步，将促进高密度 3D 芯片堆叠实现并最终商业化。”

对晶体管设计和制造的替代方法的研究是 Leti、imec 集团（比

利时鲁汶）和德国以及其他地方的多个弗劳恩霍夫研究所的一项强有力活动。imec 研究人员最近的一个公告涉及栅全纳米线场效应晶体管（FET），其中组织成一种新的垂直配置。这种技术被认为是一个强有力的候选，可以扩展今天的 CMOS 缩小到其极限。imec 指出，由于具有优异的性能-面积比，垂直纳米线似乎特别吸引人们用来制造高密度静态随机存取存储器（SRAM）单元。此外，当用于构建这些 SRAM 单元时，垂直纳米线 FET 可以在混合尺寸缩小中发挥关键作用，这是一种新兴的方法，集成了片上系统中的多个晶体管架构。

纳米线 FET 可以以横向或垂直配置实施。横向配置的器件仍然使用传统的 2D 布局，这意味着它们最终会达到与现有 FinFET 已经遇到的障碍类似的物理限制。在水平组织纳米线的情况下，可用于栅和接触布置的空间将变得非常小，从而可能器件都不能有效运行。

另外，后工艺中，越来越狭窄的空间有太多的金属线会引起互连路有阻塞和电流泄漏的可能性。imec 研究人员认为这些问题为垂直 GAA 纳米线 FET 提供了机会。采用这些器件，设计可以从二维布局转变为三维布局，其中栅极长度在垂直方向上定义。这种颠覆性创新需要早期的工艺设计协同优化，但这也意味着在不消耗更大晶圆面积的情况下，栅极长度可以更加宽松。这还允许纳米线直径的一些弛豫，同时保持对短沟道效应的控制。



AP&S 全自动A系列湿法工作台



AP&S演示中心

结论

传统的 CMOS 尺寸缩小正变得越来越复杂和昂贵，这导致半导体制造商寻求替代来满足在更低成本下的更高性能需求。这种驱动力包括开发极紫外（EUV）光刻来取代多步图案浸没光刻；ASML（荷兰）和大型制造商英特尔和三星最新的 EUV 预测表明 EUV 正在达到稳定。

一旦实施，EUV 可能需要进一步改进，从而扩展每小时能够以可接受良率生产的晶圆数量。英特尔、三星和台积电都表示，他们计划在未来介于 7 纳米和 5 纳米之间

的技术节点上使用 EUV。与此同时，所有主要制造商正在寻求长期器件尺寸减小的替代方案，这可能完全避免采用 EUV 或延迟其推出时间。

缩小尺寸（有或没有 EUV）到低于 5nm 是可能的。越来越多的研究人员，器件制造人员和材料专家正在探索替代先前在向新节点转变时所采用的“暴力”缩小方法，即传统的尺寸缩小过程中相对简单的实施。

毫无疑问，针对高性能要求的未来晶体管设计将包括可以使用键合和堆叠器件的各种 3D 架构以及替代技术，比如由 Globalfoundries，意法半导体，CEA Leti 和三星等众多公司领衔的完全耗尽型绝缘体上硅（FD-SOI）。

原子尺度沉积和刻蚀将可能支持这些策略，因为材料科学在支持新架构和工艺技术方面将继续发挥更大的作用。

全球半导体市场中，在控制成本的同时，多种策略肯定会成为提高性能的有效手段。虽然包括智能手机、计算和娱乐在内的主要消费类产品部分，预计将继续以大批量推动内存和其他高性能应用，但更多的机会正在出现，需要更低的批量方法和快速的定制。

新兴应用，例如物联网、IIoT、汽车电子、医疗和可穿戴电子产品正在形成一个全新的全球半导体市场，并将在未来几年持续发展。◆

大连化物所全固态柔性平面锂离子微型电容器研究获进展


中国科学院大连化学物理研究所研究员吴忠帅二维材料与能源器件研究组团队与中科院院士包信和团队及清华大学深圳研究生院副教授贺艳兵合作，开发出一种具有高能量密度、良好柔性、优异高温稳定性及高度集成化的全固态平面锂离子微型电容器。相关研究成果发表在《能源和环境科学》(Energy Environ.Sci.) 上。

近年来，可穿戴、便携式电子设备以及微机电系统（如微型机器人、微型传感器）正朝着轻薄短小、多功能集成的方向快速发展，极大地促进了现代社会对于高功率密度、高能量密度、柔性化、模块化集成等特征的微型储能器件的需求。传统锂离子电容器由于具有锂离子电池的高能量密度，又具有超级电容器的高功率密度而备受关注。然而，其三明治堆叠结构的器件构型极大地限制了其机械柔性、高温性能以及模块化集成能力。

最近，该研究团队在国际上率先开发出一种新概念的

全固态柔性平面锂离子微型电容器。该微型电容器以高导电石墨烯为集流体，以高电压离子凝胶作为电解质，以纳米钛酸锂为负极和活化石墨烯为正极构筑出高离子电子传导的平面交叉指型微电极，进而在一个基底上组装出全固态锂离子微型电容器。该锂离子微型电容器具有高能量密度 53.5mWh/cm^3 ，高于目前报道的锂薄膜电池和微型超级电容器。同时，该锂离子微型电容器具有优异的循环稳定性，6000 次循环后电容保持率为 98.9%；具有高温电化学稳定性，能在 80°C 条件下稳定工作；以及具有优异的机械柔性，在各种弯曲和扭曲状态下达到性能基本没有衰减。此外，该锂离子微型电容器表现出良好的模块化集成能力，无需金属连接体，可有效调控输出的工作电压和容量。因此，该工作为开发柔性化、小型化、智能化储能器件提供了新的策略。

上述工作得到国家自然科学基金、国家重点研发计划、国家青年千人计划等项目的资助。



碳化硅 器件的新型晶圆 切割方法

随着向SiC等新衬底，以及更薄晶圆，更小特征尺寸和更大尺寸衬底的转变，晶圆切割已经演变成能够提高SiC器件良率的关键工艺步骤。

3D-Micromac AG公司的Hans-Ulrich Zuehlke博士和Mandy Gebhardt博士如是说。

作 为一种宽禁带材料，碳化硅（SiC）由于其宽带隙，高机械强度和高导热性，被认为是电子工业中硅（Si）基半导体的替代材料。例如，SiC功率器件可以在更高的电压，频率和温度下工作，而且能够以更高的效率或更低的功率损耗来转换电力。与此同时，碳化硅是一种非常硬和脆的材料（莫氏硬度达9.2），这可能造成工艺加工的难题。特别是在后端工艺过程中更是如此，此时晶圆必须在封装之前分割成单独的芯片。

从历史上看，晶圆切割已被认为是整个半导体制造工艺中一种相当成熟的过程，这是对整个工艺没有什么价值

的必要步骤。但是，随着向SiC等新衬底以及更薄晶圆，更小特征尺寸和更大尺寸衬底的转变，晶圆切割已经演变成可以增加SiC器件良率的关键工艺步骤了。

已有切割技术的局限性

机械金刚石刀片切割是分离SiC晶圆的传统技术。晶圆安装在蓝膜上，并通过高速旋转的金刚石涂层刀片来进行切割。切割跑道的宽度通常在50到100微米的范围内。由于SiC的硬度，刀片切割的切割速度较低，而且切割刀片的磨损较高，从而导致成本较高。另外，刀片切割可能导致芯片边缘的碎裂和分层。随着碳化硅晶圆尺寸从4英寸直径转变到6英寸，累积的跑道长度增加了一倍以上，超出了标准刀片完成全部切割的能力。结果是，刀片必须在晶圆还处于工作位置时就被更换，并且可能会在切割过程中破裂，从而损坏晶圆。

激光烧蚀是机械晶圆切割的替代方法。激光束聚焦在切割跑道上。材料通过所吸收的激光能量而加热。这导致了显著的热影响区域和微裂纹。蓝膜上也可能会受到热的

TLS切割是一种单步工艺，可以以高达300mm/s的分离速度将整个厚度的晶圆分离。起点是晶圆表面上的局部或连续的浅划痕。由于TLS切割是一个裂片工艺，因此它有可能减少切割跑道的宽度，并增加每个晶圆上芯片的数量。

影响，这可能会影响后续的封装工艺。另外，烧蚀速率非常低，需要多次进行才能用来分离芯片。重复进行的次数取决于晶圆厚度和切割速度。为了避免芯片上的材料残留，晶圆的表面必须涂敷保护涂层。这种切割技术的主要缺点是边缘质量低，产能低。在隐形切割中，穿过 SiC 晶圆的短波长激光束在材料内部进行聚焦。它会在材料内部产生一层局域化的缺陷，从而成为晶圆分离的起点。首先，激光束聚焦在晶圆的下部并逐层向上移动。由于是裂片工艺，因此在切割道中没有材料的去除，从而实现零切口。其次，芯片的最终分离必须通过单独的机械裂片工艺以及蓝膜的扩展来完成。由于激光器加热的是晶圆内部的材料，所以晶圆表面不会有热损伤。具有重叠区域的珍珠项链模式的缺陷只可能发材料内部产生。另外，每次进行的切割速率大约是 200mm/s，而在某些应用中可以达到 300mm/s。

但是，根据材料的厚度，激光器需要进行几次才能够分离芯片。这导致由于所改变的层而产生了芯片侧壁的损伤。为了将激光束聚焦在晶圆内部非常小的点，在切割跑道中的平坦表面上散射的光束需要光滑且最小化。为了避免激光的反射，需要金属的免切割跑道。另一个缺点是开放跑道所需的宽度是晶圆厚度的函数（通常是晶圆厚度的40%），这意味着对于厚度为 350 μm 的标准 SiC 晶圆，必要的最小切割跑道宽度为 140 μm 。

热激光分离

热激光分离 (Thermal Laser Separation, TLS 切割) 是分离碳化硅晶圆的一种快速、清洁且经济高效的替代方

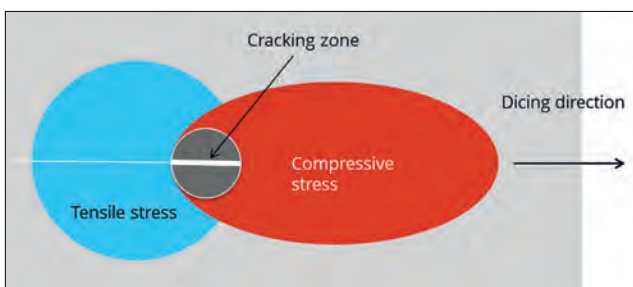


图1. TLS的原理。

案。激光加热材料并产生一个压应力区域，周围是切向拉应力包围的模式(图1)。然后喷射极少量的去离子水喷雾，这在第一个区域附近产生了第二个冷却的区域，导致形成切向拉伸应力的模式。两个应力模式重叠的区域中产生了张应力，这打开并引导裂纹尖端穿过整个材料。

TLS 切割是一种单步工艺，可以以高达 300mm/s 的分离速度将整个厚度的晶圆分离。起点是晶圆表面上的局部或连续的浅划痕。由于 TLS 切割是一个裂片工艺，因此它有可能减少切割跑道的宽度，并增加每个晶圆上芯片的数量。芯片的边缘光滑，无残余应力或微裂纹和碎裂区(图2)。正面跑道上的金属结构 (PCM) 和芯片上的聚酰亚胺是可以接受的。另外，由于分离是源于裂片而不是随后的物理分离 / 断裂，背面金属可以不分层或受热影响而分离。针对背面完全金属化的典型功率器件晶圆上使用 TLS 切割工艺的良率分析表明，在切割跑道上聚酰亚胺和金属结构平均良率值超过 98%。

另外，TLS 切割在每个晶圆的成本方面已经显示出显著的改善。由于 SiC 极高的硬度，典型的机械锯切工艺中每个晶圆都要磨损一个锯片，并且如前所述，一个锯片尚不足以完全切割一个 6 英寸的晶圆。为了匹配 TLS 工艺的产能，需要九倍以上的机械锯切工具投资。与 TLS 切割系统相比，增加的设备投资成本以及诸如耗材成本，工具预估折旧和占地面积增加等额外因素导致每 6 英寸晶圆的机械锯切总成本增加近 15 倍 (图3)。^[1]

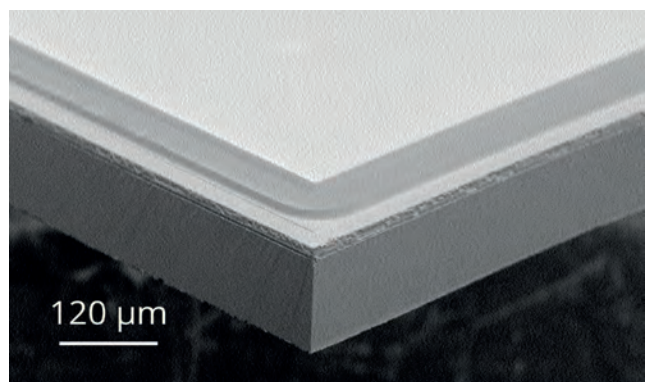


图2. TLS切割工艺后的SiC芯片边缘显示为光滑的边缘，没有微裂纹或碎裂。

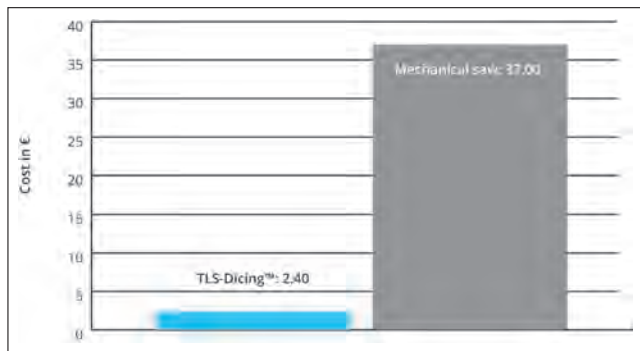


图3. 使用TLS切割和机械切割方法切割6英寸晶圆的产能比较。

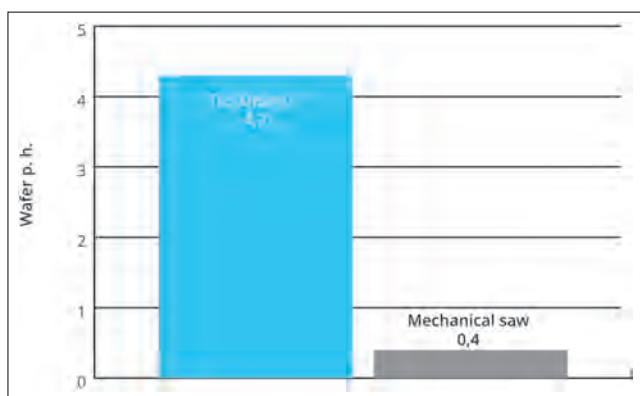


图4. 使用TLS切割和机械切割方法切割6英寸晶圆的每晶圆成本比较。

结论

激光切割工艺是非常有前途的碳化硅芯片高效分离方法。本文中描述的所有激光切割技术都提供比机械刀片切割更高的分离速度。然而，在激光烧蚀中，切割速度取决于晶圆厚度，而且边缘质量并不理想。另一方面，取决于晶圆厚度，隐形切割可能需要几次切割，并且需要额外的断开工艺来分离芯片。采用隐形切割，也不可能将有金属层的晶圆从表面上分开。

TLS 切割已经演示了分离碳化硅晶圆的独特优势。裂片总是一个单次过程，所以切割速度可达 300mm/s。它可以实现没有碎裂的优良侧壁质量，并且与机械刀片切割相比，有着更低的拥有成本。

裂片的原理展示出对于采用背面金属化的 SiC 产品如功率器件的独特优势。◆

参考文献

1. TLS-Dicing™: 一种基于激光的新型碳化硅功率器件切割方法
<http://3d-micromac.com/int/applications/tls-dicing>

业界认证

> 20 0000 0000 (十亿)套

SiP封装

过去2年内使用了钢泰材料的 系统级封装 (SiP) 元器件



免洗、水洗 焊接方案



china@indium.com

From One Engineer
To Another®

©2018 钢泰公司



赋能电子制造： 刻蚀工艺依赖于特种电子气体

自从二十世纪中期第一批商用晶体管 and 集成电路诞生以来，气体一直是电子行业发展的主要推动者。气体特有的性质使它们成为构建更复杂器件的理想材料：易于运输和储存，易于精准地分配，最重要的是，易于控制分子水平上所需的化学反应。

选择性气相刻蚀能够去除特定形状中单一材料的一部分，这是赋能电子制造的工艺之一。在本文中，我们将介绍如何使用简单的气体分子将材

料通过化学方式切割成纳米级尺寸的精确形状。

基线工艺：反应性离子刻蚀

电子制造业同时使用湿式和干式刻蚀，但是对于不同的工艺而言，很像使用粗齿锯和细齿锯来制造不同尺寸和不同质量的切割物。在湿式刻蚀中，使用酸或碱的水溶液来快速除去大量材料或完全去除特定材料。干式刻蚀使用通常含有卤素原子的等离子体活化的刻蚀气体，选择性地去除一

部分材料，其精度和准确度比湿式刻蚀所能达到的要高。本文中要介绍的是干式刻蚀工艺，通常称为反应离子刻蚀或 RIE。

电子器件由许多独立的电路元件组成，如晶体管和电容器。这些元件中的每一个都是通过材料沉积、图形化和刻蚀的一系列离散步骤以三维形式由不同材料构建而成的。这些步骤大部分都是在超洁净的高真空腔体内进行的，以消除对大气环境的污染并改善反应效能。

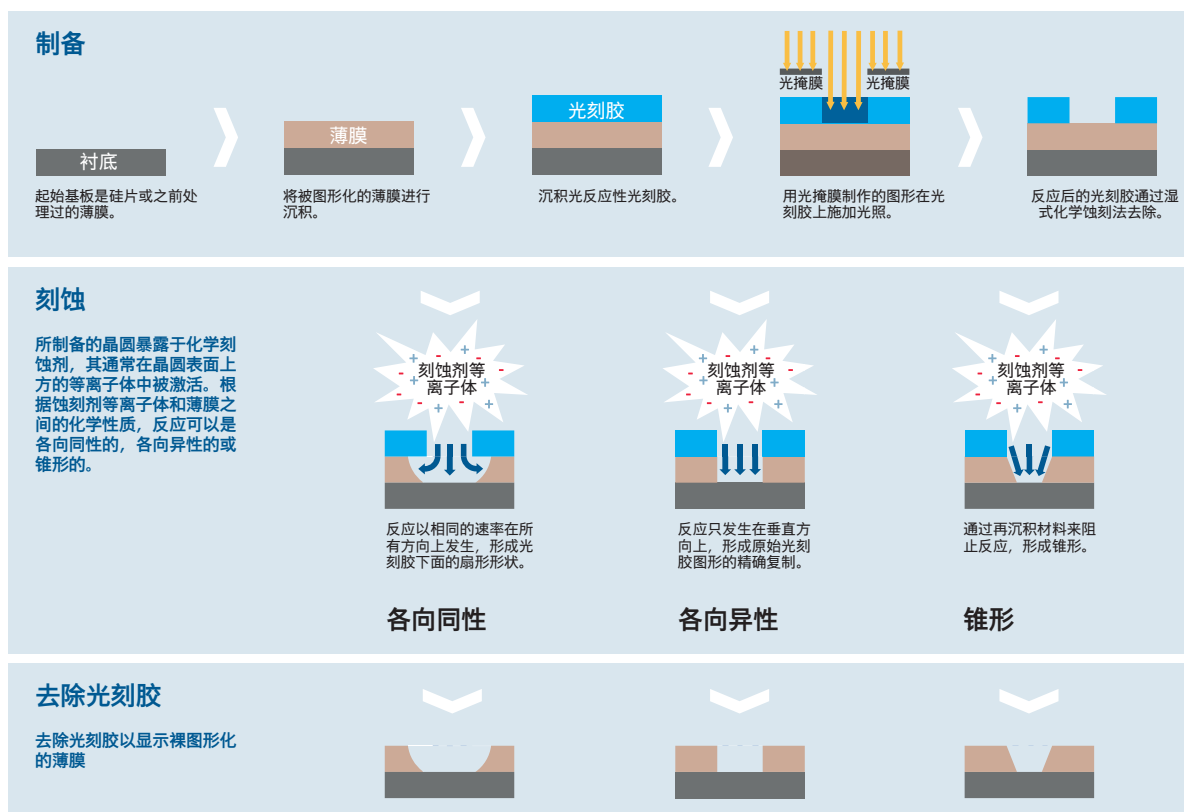


图1

作者：Paul Stockman博士，林德电子及特种气体市场开发负责人

- **制备**：通常的制造顺序从裸露的基板开始，如半导体用硅片、显示器用玻璃板和 LED 照明用蓝宝石晶片。首先，将薄膜这种第一所需材料进行沉积。然后，使用光刻法，在牺牲光敏材料（通常称为光刻胶）的薄膜上制作图形。
- **刻蚀**：由于气体的密度比液体的要低，因此干式刻蚀速率比湿式刻蚀要慢得多。通过激活等离子体放电中的刻蚀气体来提高干式刻蚀速率，其中由中性起始气体产生正离子和负离子。等离子体在电场中，反应性离子被导向准备好的衬底。刻蚀气体选择性地与薄膜发生反应，并且通过真空泵将同样是气体的反应产物从反应腔中排出。
- **去除光刻胶**：通过在高温下氧化，然后进行湿式刻蚀来去除光刻胶。

刻蚀剖面

根据等离子刻蚀气体和薄膜之间的化学性质，会产生不同的物理形状。

- **各向同性**：当反应在所有方向上均匀发生时，将刻蚀光刻胶，形成扇形。
- **各向异性**：当反应仅在垂直于衬底的方向上发生时，图形被完全复制。这通常是优选的形状，并且卤化碳刻蚀剂经常被用于刻蚀，因为一定量的刻蚀反应产物将沉积在刻蚀切割的垂直侧上以防止横向刻蚀。
- **锥形**：反应会受到太多侧壁沉积的阻碍，形成锥形。

虽然通常各向异性形状是期望的结果，但有时更复杂的各向同性或锥形形状有助于成品电路元件工作。

薄膜材料	刻蚀气体
硅	CF ₄ /C ₂ F ₆ /SF ₆ /HBr/Cl ₂
二氧化硅/ 氮化硅	SF ₄ /CF ₄ /CHF ₃ /NF ₃ / CH ₂
钛	Cl ₂ /CF ₄
铝	Cl ₂ /BCl ₃ /HBr
光刻胶	HCl/Cl ₂

图2

标准

电子制造业使用数百种不同类型的薄膜材料。选择最佳的刻蚀气体必须平衡几个不同的标准。以下是一些最重要的标准。

- **刻蚀速率**：时间就是金钱，特别是在电子制造业，一台制造设备可能就要花费数百万美元。在所

有其他标准相同的前提下，最快的刻蚀速率将提高设备的利用率。

- **形状**：如上所述，刻蚀过的某种特征的形状对于器件功能很重要。
- **选择性**：同图形化的光刻胶、底层衬底或之前已经图形化的薄膜与刻蚀气体的反应相比，刻蚀气体必须更快地与薄膜发生反应，从而使整个刻蚀过程更加有效。
- **均匀性**：由于这些器件在非常小的尺寸上进行制造，它们形状的任何变化都会影响其性能。

为了优化以上这些标准，通常将刻蚀剂和其他气体（如氧气、氩气和氢气）的混合物以不同比例混合在制造设备中，以创建工艺或配方，这是某些制造商专有的。在图2中，我们展示了用于普通薄膜的半导体和显示

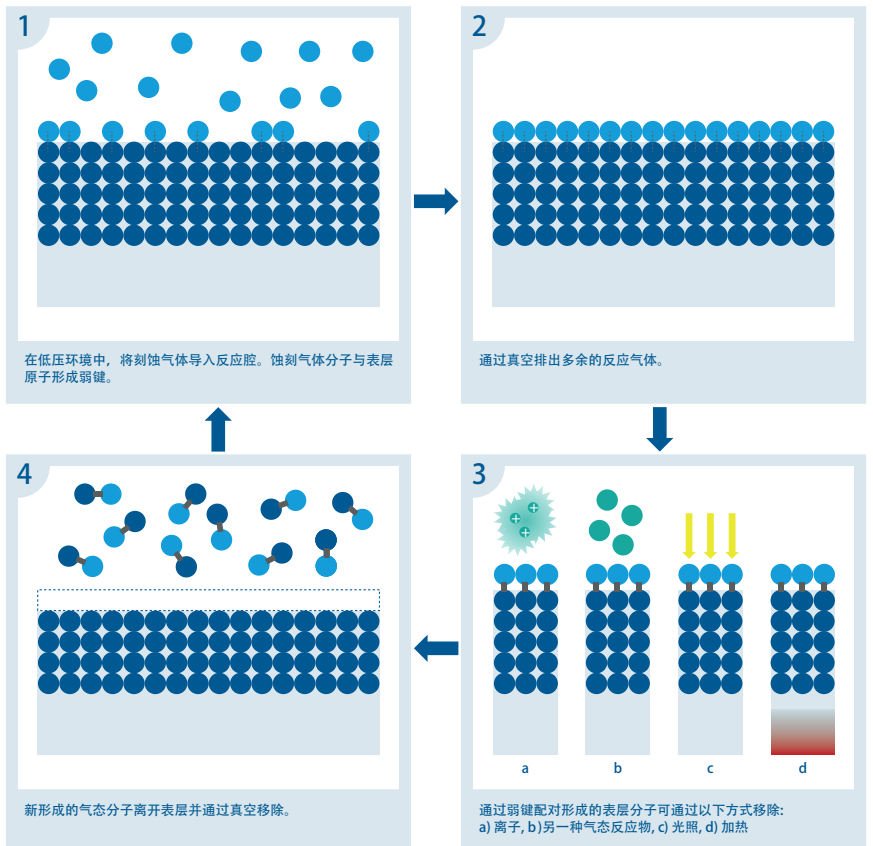


图3



钢瓶



吨级或Y型 储气罐



ISO拖车

图4

制造中的一些刻蚀剂化学物质。

原子层精度：原子层蚀刻

10多年来，原子层沉积（ALD）已被用于半导体的批量制造，使芯片制造商能够精确沉积复杂材料的单原子层。如今，互补刻蚀工艺正在进入商业化。

原子层刻蚀（ALE）通过两个反应过程来实现（图3）。首先，在非常低的压力下将反应物刻蚀剂作为气体导入工艺腔。范德瓦尔斯（弱键）力将单层刻蚀分子结合到晶圆表面，并通过真空泵除去其余的刻蚀气体。然后，在第二个反应中，刻蚀剂表面分子对被激活。激活可以采取各种形式：反应离子轰击，第二种气相化学反应物，热或光。活化的对形成一个新的分子，然后这种气体分子离开表面。净反应是除去一个单层的表面薄膜。

因为只有一个分子层与表面有物理接触，所以反应是自限性的。重复该顺序以去除附加层的表面薄膜，可产生各向同性或各向异性刻蚀，这取决于化学和活化方法的性质。虽然能够提供更好的控制，但相比大批量气相刻蚀，ALE本质上是一个非常缓慢的工艺，因此只用于复杂的形状和单纳米尺寸的工艺。

如今，ALE在先进逻辑的关键金

属化层领域实现了商用。在不久的将来，预计它还可用于平滑EUV图形化特征的线边缘粗糙度，并且还可用于出现在低于5纳米节点的技术路线图中的纳米线或全栅（GAA）晶体管。

市场

几乎所有的刻蚀气体都是按工业规模生产，用于非电子应用。碳氟化合物（ C_xF_y ）通常用作制冷剂。氯（ Cl_2 ）、溴化氢（HBr）和三氯化硼（ BCl_3 ）都作为化学中间体而被大量使用。而六氟化硫（ SF_6 ）被用作高压开关的电绝缘体。只有三氟化氮（ NF_3 ）几乎专门用于电子制造。这些都是在中国制造的工业用气体，且电子级材料的开发能力正在不断提高。

气体纯度是区分电子制造与工业应用中使用的材料质量的关键。通过蒸馏和吸收来精制这些气体，纯度增加至99.99%纯度甚至更高。纯化和分析至关重要，因为这些气体中的任何杂质都会直接与半导体用硅片或显示器用玻璃进行接触。这些原材料可能来自全球各地，材料供应商有责任确保其纯化和分析之品质一致性。

根据使用要求，刻蚀气体可以通过各种储气罐提供，从容纳仅数百克气体的小型钢瓶到可在单个储气罐中提供10吨气体的ISO储气罐。

目前，全球电子刻蚀气体市场规模为40亿元人民币。市场增长受到两方面因素的推动：一是智能手机和电视机等设备的销量，这增加了工艺衬底的面积；二是器件的复杂性，这增加了许多刻蚀的步骤程序。

当今领先的逻辑芯片需要运用超过150种不同的刻蚀工艺。最近，存储芯片已经改变，以增加可存储信息的密度。现在，3D NAND设计在单个晶圆上有许多垂直堆栈的存储电路，而关键的刻蚀工艺需要一次制作数百层薄膜的高剖面孔洞和沟槽。刻蚀过程需要几个小时，并消耗相对大量的刻蚀气体。

总结

制造复杂的纳米级器件需要精确的工艺。通过选择合适的刻蚀气体或刻蚀气体混合物，并优化其他参数，电子制造商可以继续缩小芯片尺寸并增加器件的复杂性。

林德为电子行业的所有应用领域提供一整套刻蚀气体产品。林德将多家原材料供应商与自己的投资和专有技术结合起来，进行净化和包装的品质提升，并通过来源多样性和技术投资确保为其电子客户提供最强大的关键材料供应链。◆

晶圆背面研磨与湿式刻蚀应力消除工艺

1.前言

在许多 IC 工艺后期都会进行晶圆背面研磨 (Backside Grinding, BG), 使晶圆薄形化, 以利后续晶圆切割及封装等。例如: 在智能卡应用上, 必须将晶圆厚度由 700~600 μm 研磨到 200~40 μm 。在晶圆背面研磨之后, 有许多产品需要进行后续工艺, 包括: 离子布植 (Ion Implementation)、热处理 (Heat Treatment) 和晶圆背面金属 (Backside Metal; BM) 沉积等。由于晶背面研磨后会产生应力及翘曲, 如果晶圆应力过大, 将会延伸到正面的组件区域。当晶圆薄形化和变脆时, 晶背研磨所产生之应力及变形将危及后续工艺之良率。例如: 胶膜去除 (De-tapping)、晶圆持取 (Wafer Handling) 和封装 (Packaging & Assembly) 等工艺, 所以必须消除晶圆之应力及损伤层。

当半导体朝向更薄, 更小构装体积之趋势时, 晶圆薄化逐渐成为重要关键技术。使用薄化晶圆, 可减少构装体积, 允许每单位体积内具备更多功能。在一些情况下, IC 构装要求硅晶圆厚度薄化到 30 μm 。一般晶圆薄化目的包括: (1) 晶圆薄化可增加芯片之柔软性; (2) 晶圆薄化可容许更高热膨胀系数的不匹配性; (3) 晶圆薄化可以降低芯片的热阻抗, 所以可加快芯片的散热, 尤其在组件之开关速度持续增加之时; (4) 晶圆薄化可将多个芯片整合在一个构装体内, 进而应用 3D-IC 芯片堆栈之系统级构装 (System In Package; SIP)。

在各种组件应用上, 目前对于晶圆薄化之厚度需求, 如表 1 所示。

晶圆薄化最常使用之方法为晶圆背面研磨工艺, 虽然背面研磨有着相对较低之成本, 但是却会在硅晶圆

元件应用	晶圆薄化之厚度
内存堆栈(Memory Stacking) 构装	70~50 μm
功率组件(Power Device)	200~70 μm
智能卡(Smart Card)	200~40 μm

表1. 不同组件对于晶圆薄化之厚度需求

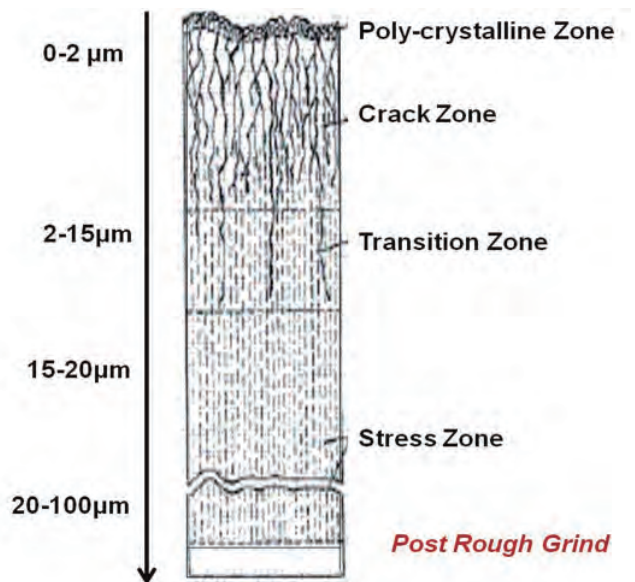


图1. 晶圆在研磨时遭受到机械摩擦力与热应力, 产生损伤层之厚度。

上留下微裂痕 (Micro-Crack) 和晶体差排 (Crystal Dislocation) 等缺陷。这是由于晶圆在研磨时遭受到机械摩擦力与热应力, 导致晶圆表面产生损伤层 (Damage Layer), 引发裂缝产生 (Crack Initiation)、裂缝延伸 (Crack Propagation), 及最后产生晶圆破裂 (Wafer Fracture)。此外, 晶圆翘曲也与晶圆表面损伤层有关。如图 1 所示晶圆在研磨时遭受机械研磨与热应力, 所产生之应力损伤层分布, 一般应力损伤层厚度为 10~25 μm 。

为了消除晶圆应力、去除损伤层及翘曲, 进而增加晶圆强度。一般在晶圆研磨后会进行后续消除损伤层步骤, 例如: (1) 研磨后进行抛光、退火; (2) 研磨后进行抛光、湿式化学刻蚀; (3) 研磨后进行抛光、干式刻蚀等。由于抛光或干式刻蚀均需增加额外的高成本, 而退火处理亦需花费冗长之工艺时间, 在温度 300~500 $^{\circ}\text{C}$ 下, 退火工艺时间为 1~3 小时。

考虑降低成本与缩短工艺时间, 一般使用湿式化学刻蚀来消除晶圆应力损伤层, 尤其为了增进硅晶圆刻蚀之均匀度, 都会采用单晶圆旋转刻蚀法 (Single Wafer Spin



UFO-300(12" Single Wafer Processor) 弘塑科技

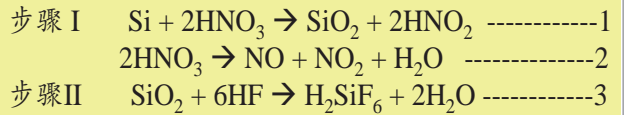
图2. 弘塑科技所设计制造之12自动化湿式单晶圆旋转刻蚀设备。

Etching Method), 以消除晶背研磨所产生之应力和翘曲。单晶圆旋转刻蚀法较易控制晶圆刻蚀之均匀度, 大大提升刻蚀质量。本研究采用弘塑科技所设计制造之自动化 UFO 设备(如图 2 所示), 来进行硅晶湿式刻蚀工艺。经由设备之特殊流场设计与机构改良, 实验结果显示: 12 吋硅晶圆其单一晶圆内 (Within One Wafer) 及晶圆与晶圆间 (Wafer to Wafer) 之刻蚀均匀度均可达到 5% 之内。目前弘塑科技 UFO M3-Type 机型可持取晶圆翘曲度达 $\pm 4\text{mm}$, 在薄化晶圆持取能力方面, 可持取一般晶圆最薄厚度为 $150\mu\text{m}$, Taiko 晶圆最薄厚度为 $50\mu\text{m}$; 可回收三种化学药水, 使刻蚀液循环过滤回收再使用, 一台设备可整合四个工艺腔体, 进而大大提高设备产能与降低生产成本。以下将对于硅晶圆的湿式刻蚀机制进行探讨, 以了解机台设计需要考虑那些因素, 进而达到工艺需求。

2. 硅的湿式刻蚀原理及机台设计考虑

在半导体工艺中, 硅的酸性刻蚀是一种各向同性刻蚀工艺, 也就是说硅晶体的各个方向受到相等速率之化学刻蚀。硅的酸性刻蚀液, 通常由不同比率的硝酸 (HNO_3)、氢氟酸 (HF) 及一种缓冲液(例如: 水、醋酸、磷酸等) 所组成。刻蚀的反应机构, 包含两个步骤: (1) 首先是利用硝酸 (HNO_3) 来氧化硅芯片表面, 如式 1 及式 2 所示; (2) 接下来硅芯片表面所形成的氧化物 (SiO_2), 可被氢氟酸 (HF) 溶解而去除, 如式 3 所示。所以硝酸是扮演氧化剂, 而氢氟酸则为溶剂。在化学反应动力学的考虑上, 以上反应式的刻蚀速率, 系由刻蚀液的扩散或化学反应所控制。当刻蚀液中含有

较高浓度之硝酸时, 刻蚀速率由氧化物的溶解速率所决定; 然而, 当刻蚀液反应含有较高浓度之氢氟酸时, 则刻蚀速率由硝酸浓度所决定。



2.1 扩散反应控制

根据 Fick 扩散定律, 扩散速率正比于扩散系数与氧化剂之浓度梯度。而氧化剂之浓度梯度又与扩散边界层厚度成反比。如图 3 所示为湿式刻蚀之扩散边界层理论示意图, 在进行湿式刻蚀时, 首先反应物利用扩散效应, 通过一层薄薄的扩散边界层, 以到达被刻蚀薄膜表面。然后, 这些反应物将与薄膜表面的分子产生化学反应, 并生成各种反应生成物。这些位于薄膜表面的反应生成物, 也将利用扩散效应, 通过扩散边界层到达溶液里, 而后随者溶液排出。由此观之, 设备必须能够提供: 晶圆转速调整, 喷嘴旋臂摇摆速度与角度调整, 使化学刻蚀液能均匀分布于晶圆表面, 以降低扩散边界层厚度, 进而提高氧化剂--硝酸之扩散速率及最终刻蚀速率。扩散控制的刻蚀反应, 对于微小的温度变化不至于太敏感, 然而对于晶圆转速与刻蚀液分布均匀性则十分敏感。因此在整个刻蚀反应过程中, 设备之晶圆转速与刻蚀液分布, 则必须能够稳定控制。

2.2 化学反应控制

当晶圆转速调整程度已到达一定极限时, 刻蚀反应速率将由扩散控制转为化学反应控制。此时, 维持稳定的温度及正确的氢氟酸浓度就变得非常重要。为了维持稳定正确之氢氟酸浓度, 必须有自动且持续的氢氟酸补充。至于缓冲液功能方面, 其不仅具有缓冲刻蚀速率之作用, 并且

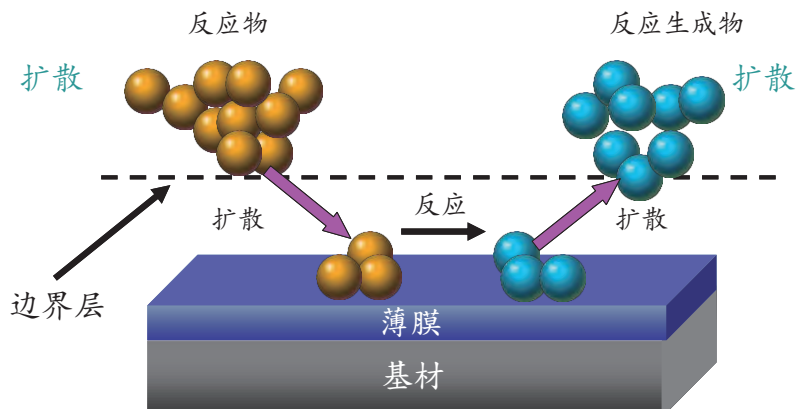


图3. 湿式刻蚀扩散边界层理论示意图。

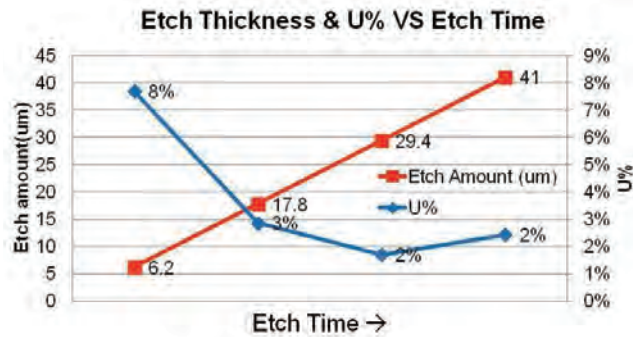


图4. 固定转速 (400rpm) 连续工艺之刻蚀厚度及均匀度与刻蚀时间之关系图。

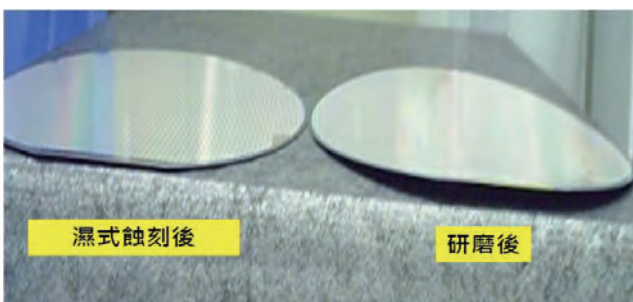


图5. 晶圆刻蚀前后之侧视照片。

可作为改善芯片表面湿化程度之界面活性剂。良好的湿化条件, 可以促进刻蚀反应之均匀性, 避免晶圆表面出现不规则的刻蚀结构。因此应用于湿式刻蚀工艺之缓冲液, 必须具备以下性质: (1) 在 HF/HNO₃ 中, 具有一定的化学稳定性; (2) 在刻蚀过程中, 不会与反应产物发生进一步反应; (3) 可溶解在 HF/HNO₃ 中; (4) 可以湿化晶圆表面; (5) 不会产生化学泡沫。

2.3 表面污染物

与刻蚀有关之表面污染物可分为两方面: (1) 在刻蚀前存在的表面污染物; (2) 经由刻蚀反应所产生之表面污染物。刻蚀前之表面污染物, 其中包括: 颗粒物质、有机残留物、或无机薄膜表面残留物, 而且其不同于被刻蚀之薄膜。因这些表面污染物有可能遮蔽将被刻蚀之表面, 或者与刻蚀化学液产生化学反应, 因而大大影响到刻蚀速率与刻蚀平坦度, 所以必须先做前处理及改善刻蚀液之流场分布, 以去除这些表面污染物。

2.4 刻蚀均匀度

单晶圆旋转刻蚀设备常用工艺步骤:

(1) 预先湿润 (Pre-wet): 先使用 DI 作预先湿润, 如此可以使刻蚀化学品快速均匀涂布于晶圆表面, 以提高刻蚀之均匀性。

(2) 刻蚀工艺: 调整晶圆转速与喷嘴旋臂摇摆速度与移动角度, 使化学刻蚀液能均匀分布晶圆表面。

(3) 去离子水清洗 (DI Rinse): 此步骤必须有效去除化学品, 避免残留于晶圆表面上。

(4) 旋干 (Spin Dryer): 晶圆快速旋转干燥, 防止水痕之形成。

经由流场之设计与机构改良, 目前弘塑科技所设计制造之自动化 UFO 湿式刻蚀设备, 12 吋硅晶圆其单一晶圆内及晶圆与晶圆间之刻蚀均匀度均可达到 5% 之内, 如图 4 所示为固定转速 (400rpm) 连续工艺之刻蚀厚度及均匀度与刻蚀时间之关系图。

2.5. 晶圆应力和翘曲度消除

硅晶圆背面研磨所产生之缺陷, 一般包括: 研磨损伤层、晶体缺陷和微裂纹等, 经由单晶圆旋转设备进行硅湿式刻蚀工艺, 可以大大消除应力及损伤层, 进而增加晶圆与芯片之强度。图 5 为 12 吋晶圆刻蚀前后之侧视照片, 右边为刻蚀前之晶圆, 因其经过晶圆背研磨后而产生翘曲, 所以晶圆无法紧密贴于水平工作台上; 而左边为经过湿式刻蚀后之晶圆, 由于晶圆应力和翘曲度已被消除, 所以晶圆可以密合贴于水平工作台上。

2.6. 晶圆背面金属沉积之特殊刻蚀表面需求

如果在晶背研磨后, 需要进行晶圆背面金属沉积工艺时, 有时为了增加金属沉积之附着力, 则可在湿式刻蚀液中添加一些特殊药剂, 使晶圆在消除应力刻蚀后, 其晶圆表面能够具备微粗糙化特性, 以增加金属沉积时之附着力。图 6 为晶圆经过研磨后与湿式刻蚀应力消除工艺后, 使用 SEM 观察晶圆表面之比较照片。

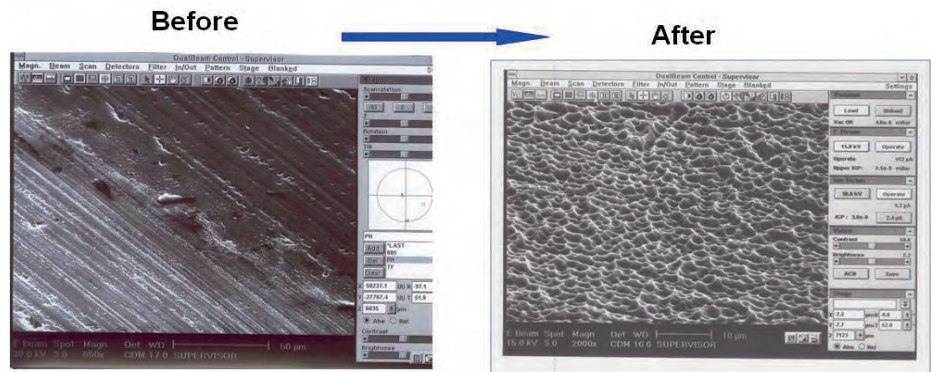


图6. 晶圆经过研磨后与湿式刻蚀应力消除工艺后, 使用SEM观察晶圆表面之比较照片。

浅析高速系统协同设计

摘要：随着国内IC设计服务行业收入的迅猛增长，与之相关的封装、PCB、信号完整性仿真等的设计服务需求也相应增长，而 IC-PACKAGE-PCB 间的协同设计（CO-DESIGN）的需求更是越来越大，提高CO-DESIGN的效率以确保IC从设计完成到其成功应用变得越来越重要。本文对于目前EDA软件商提供的CO-DESIGN设计流程作了优点和不足分析，并提出了一种在现有CO-DESIGN流程基础上更高效的CO-DESIGN设计方法。

背景

国家及企业近年在半导体领域出现了各类资本及整合的大动作，而2017年在行业内最出人意料的惊喜是：国内半导体的收入中第一次出现了设计的收入超过了制造的收入！中国芯片设计行业2017年的总收入将是1946亿元人民币，接近300亿美元，同比增幅为28.15%。这一收入规模占到了全球半导体设计行业的三分之一多。

现在芯片规模越做越大、接口速率越来越高、功耗也越来越大，这对芯片的封装设计及制造也提出了越来越高的要求。如数字类封装尺寸常常有大于60mm×60mm的需求，而用到12(5-2-5)层叠或以上的复杂盲埋孔IC载板需求也应运而生，由于良率的影响及加工难度的提高，使得芯片封装占整个芯片项目的成本比例也越来越大。而大尺寸焊球阵列封装(BGA)管脚由于焊球(BALL)的数量太大及包含的高速信号太多，又会造成应用时PCB需要更多的层数才能完成布线，并且需使用更复杂的加

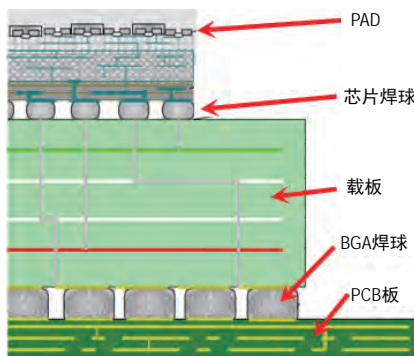


图1. CO-DESIGN结构方式。

工艺（盲埋孔、背钻、大的孔径比、高速板材等），这些技术应用使整体成本产生戏剧性增长。

因而在芯片规划阶段，就必须要把这些因素综合作前期的考虑，使各方面的成本尽量降低（如IC基板层数少，PCB层数少，使用满足性能但

更便宜的板材等），达到一个最佳的项目综合成本，要做到这些就必须把IC设计、封装设计、PCB设计一起进行考虑并进行调整。本文将对目前EDA软件商CADENCE提供的CO-DESIGN设计流程进行优、缺点分析，并提出一种在现有CO-DESIGN流程基础上进行优化的更高效的CO-DESIGN设计方法。

CO-DESIGN简述

我们把这种将IC设计、封装设计、PCB设计进行综合考虑的设计，称之为协同设计或CO-DESIGN。一个CO-DESIGN所涉及到的三方（IC-PACKAGE-PCB）的立体图相互连接图如图1所示。

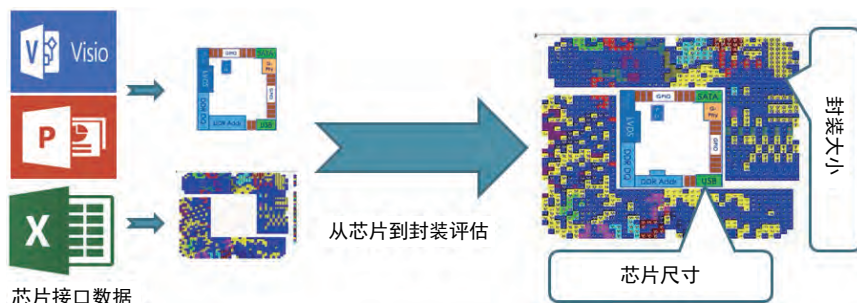


图2. IO到BGA BALL的常用设计。

作者：毛忠宇 李方，深圳市兴森快捷电路科技股份有限公司

图 1 中从 BUFFER → BUMP → SUBSTRATE → PCB 的 CO-DESIGN 流程，充分保证信号在整个系统中链路最优，还能高效评估、权衡产品系统方案、最佳性能、整体成本及设计周期等重要因素。因为在 CO-DESIGN 过程中除了要考虑链路上的走线通顺外还需要要满足如下的因素：功耗、载板层数、PCB 层数、散热方式、封装尺寸、信号完整性、电源完整性、PCB 及载板的可加工性、交付周期、综合成本等等。

一个优秀的 CO-DESIGN 流程与方法不但可以使用封装基板及 PCB 板的层数做到最少，同时在高速信号质量及散热方面都可以满足客户要求从而提升产品的性价比，使产品更具竞争力，因而 CO-DESIGN 的理念及方法在整个 IC 设计流程中都相当重要。

目前国内大多数公司所设计的芯片复杂度不高，芯片的速率也不算高，对封装的性能没有特别要求，很多时候使用 LEADFRAME 的封装就可以满足要求，这类小规模芯片封装相对简单，对 PCB 布线压力相对较小，很多时候都没有考虑管脚排布在应用情景时对 PCB 做成的影响，其实这个低成本方案的芯片使用 CO-DESIGN 会使它的产品更有竞争力。

华为、中兴这类业界大型通讯公司所设计的这芯片规模一般非常复杂，对 CO-DESIGN 是必不可少的一个环节。由于 Hisilicon 很多情况下复杂芯片是按华为的产品线需求而开发，由于这类复杂芯片都是自用，产品经理会在整个芯片开发过程的各个节点聚集“专家”们进行 Reviewed，整个 CO-DESIGN 过程都是通过不同部门间的协作完成，中间也会自开发

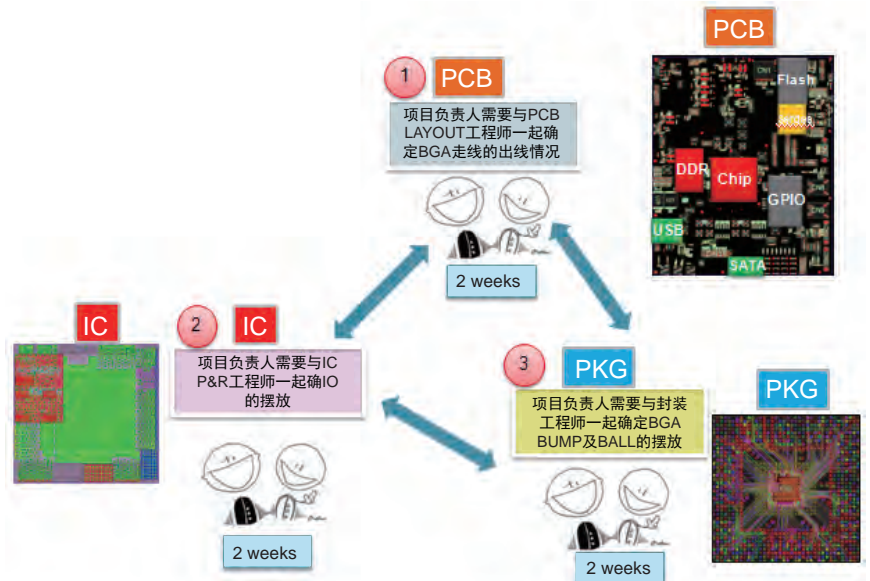


图3. IC-PKG-PCB间设计时遇到的问题。

一些小工具提高交率“实现节点间的 CO-DESIGN”，但是在初期的评估由于没有一个软件合流程支撑，没法一个人自行独立完成从 IC-PACKAGE-PCB 的粗略评估。

常见设计流程与方法

通常没有 CO-DESIGN 流程的情况下，每个节点间协同设计时，不同公司一般都会有适合自身的一套

流程，如使用一些 EXCEL 表格或 VISIO 等工具进行非常粗略的处理。如：

- 1) 通过 PPT 或 VISIO 等画图工具手式摆好 IP 位置的示意图，把这些图再交给下游的封装设计环节。
- 2) 封装设计环节根据此 IO 的位置分布情况，给出一个有利于 BGA 基板布线的信号在 BGA 上的分布图 (PIN MAP)，情况往往如图 2 所示：
- 3) 而封装的 PIN MAP 信号完成

集合到统一平台评估

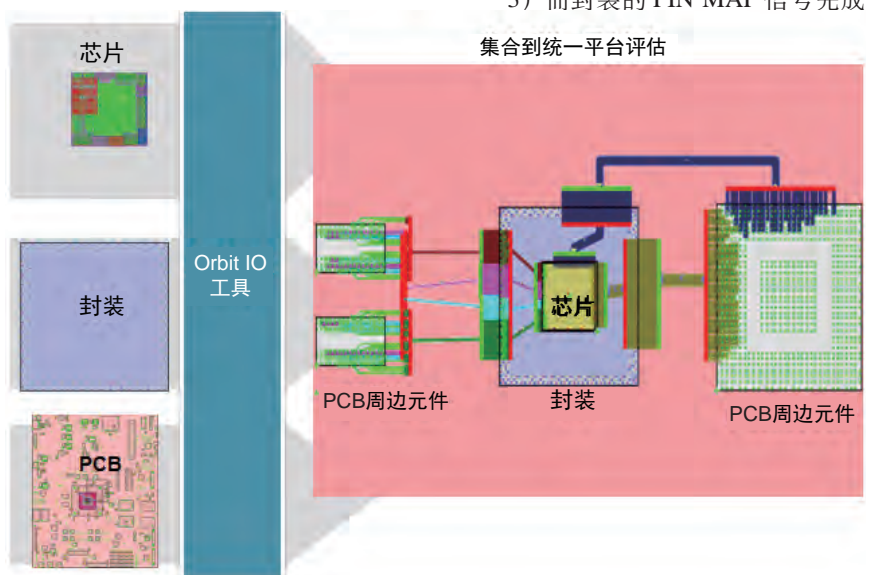


图4. IC PACKAGE PCB 统一到同一平台评估。

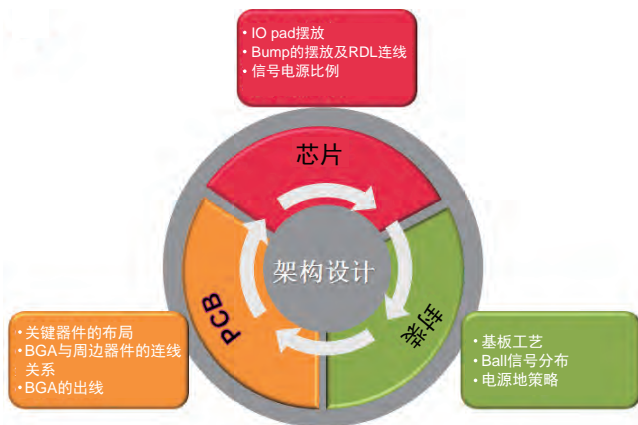


图5. 系统架构定义时涉及的技术。

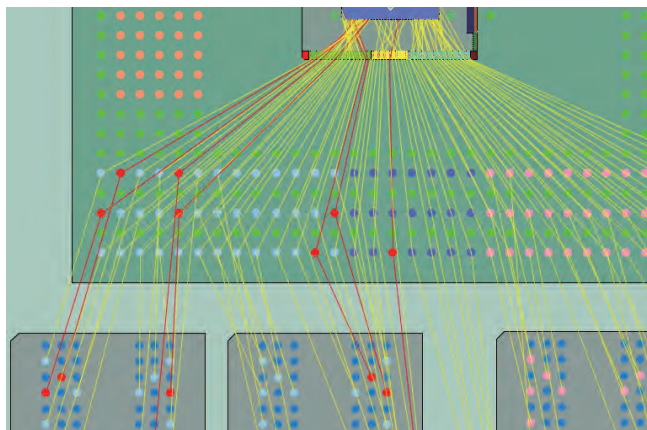


图6. OrbitIO设计样例。

后一般会通过 EXCEL 的形式给硬件工程师，硬件工程师根据此 EXCEL 生成一个连接关系的原理图并提供给 PCB LAYOUT 工程师。

4) PCB LAYOUT 工程师根据硬件工程师提供的原理图对 PCB 板进行粗略设计评估。

如果 PCB LAYOUT 在设计过程中发现出现较多的布线交叉情况时，这时会作 BGA PIN 的调整，并把调整的结果提交给硬件工程师按调整的 PIN 进行修改，再把调整完的 PIN 给封装设计者进行相应的 BGA PIN 调整，当此调整的 PIN 给封装工程师使用后发现原来顺畅的很多线变交叉时，这时会与 PCB LAYOUT 工程师再相互迭代调整，这个一般是通过原理图的方式传递这种交换信息，有的要多次迭代，这就会费时费力工作效率相当低。而再把 IC IO 的布局加进来后，情况就变得更复杂了，大多数情况出现的设计都不会太完美。

虽然一般上面的小环节数据传递可以通过开发一些小脚本来提高效率，但这个相互优化 BGA 的管脚调整的过程由于涉及到不同部门及不同性格的人，往往由于部门墙的存在造成效率较低，需要产品经理经常协调。

由于芯片一般用在较多的应用场合，要求的接口位置也不一样，如 BGA 的 PIN MAP 怎样摆才能满足所有人的要求呢？

如：当某款 ASIC 可能在多个产品场合应用，而不同产品场合使用时此 ASIC 的与周边芯片的连接位置会出现很大的差别，这时在 A 产品上布线很顺畅的布线的方案，在 B 产品上由于产品结构及布局不一样会出现走线交叉的情况。这时会给 CO-DESIGN 时 BGA 管脚信号摆放设计造成较大的困扰，让人无所适从。最终的解决方案是：由产品经理最终确定，以其中性价比最高的一款产品为应用情景进行 PIN MAP，其他应用情况只能在后期通过结构更改及 PCB 优化布局克服。

CO-DESIGN流程

上面提到的从 IC-PKG-PCB 初

期评估时，涉及到 IC、PACKAGE、PCB、硬件、电、热等多方面的知识，架构师或系统工程师很难独立完成这个涉及至太多领域的方案阶段评估，需要协调不同的部门资源完成相应的领域评估后才能得到结果，这个过程往往耗时较长。

有没有办法由一个人在不太需要太强的专业背景的情况下独立完成初期的方案评估，且评估的结果还比较精确呢？答案是：有！EDA 软件商已考虑到这个问题，于是推出了一个新的软件工具 ---OrbitIO，通过这个工具的简单操作架构师 / 产品经理 / 硬件工程师 / 封装工程师 / PCB LAYOUT 工程师可以对一个项目完成综合评估过程，可以在统一的环境下优化系统链路（如图 4），并让软智能调整布线的交叉情况，这样就可以在方案初期大大提高了项目评估的效率和准确性。

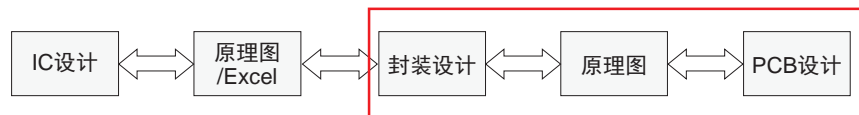


图7. 详细设计阶段CO-DESIGN的现有流程。

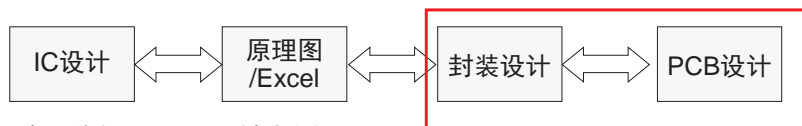


图8. 详细设计阶段CO-DESIGN的新方法流程。

a) 工具优点

IC 设计流程中的 CO-DESIGN 是一个关键及复杂的过程，因为 CO-DESIGN 过程涉及到不同的领域的知识，如图 5。即使在 5000 强企业也难以寻找在 PCB LAYOUT、SI、PACKAGE、IC 等方面都极其少用这些方面全精通的人才，因而一个做不了非常精确的评估，而引入的 OrbitIO 工具则是对上述要求非常好的一个折衷方案。

因为 OrbitIO 在 CO-DESIGN 流程的初期可以由架构师或系统硬件工程师等一个人完成从 IC 到封装到 PCB 的走线及布局是否可行、封装的 PIN 资源是否足够等问题，这样就可以大大缩短前期的评估时间提高评估的可信度，最大限度减少评估过程中的设计迭代。

使用 OrbitIO 的评估后，结果还可以输出给不同的节点进一步精细化设计，如输出 IC buffer 的 IO planning，封装的 Ball Map 详细信息，PCB 的布线规划等。

b) 工具不足

当然程序不是万能的，总会根据实际情况推出逐个优化版本。对于一个好的系统设计不只是简单地把连线布通顺就可以了，即使看起来很顺的布线，在高速信号非常普及的今天，还必须要考虑如下的因素：不同类型信号的相邻情况、高速信号的隔离、电源地的比例、BGA 的信号分配资源、功耗等一系列问题。这些问题的精细设计都是由各领域“专家”最后进行精细设计，并且在精细设计过程在不同的平台进行，数据也要经常在不同的平台间传递，下图则是 BGA 每个管脚摆放时的精细设计效果（实践证明，对于复杂、高速的 BGA PINMAP 不适合软件全自动设计）。

整过 CO-DESIGN 过程中，最耗时的工作节点有：

1) 封装 PIN MAP 优化

2) PCB 与封装 PIN MAP 这两者间的精细调整及数据的交互导入

现有的 OrbitIO 流程对于 PCB 与封装 PIN MAP 间的相互调整及数据的交换还需要原理图的参与，这个过程会耗不少的时间，这也是它不够完美的地方。

基于现有 CO-DESIGN 的改进方法

OrbitIO 在初期评估非常有效，如果本身 IC 及封装不太复杂，这个结果就接近作为最终的结果，优化的地方较好，但对于复杂的、管脚较多的芯片，还有很多精细设计的工作需要处理。由于 IC、PKG、PCB 三都的平台不一

样，如是同一家公司的软件，平台间的数据传递会有不同的接口，但是一些不同平台间需要经常交换数据环节还是相当的耗时，如封装与 PCB 的 BGA 管脚分别调整后需要把调整后的管脚数据想相互传递，这时必须要通过原理图，对于布线资源较多的情况，也许只需迭代 2-3 次有点交叉也不大影响，但是要做到基板及 PCB 都是层数少的情况，需要多次在不同平台进行相互传递，这时再通过原理图的方式进行传递，其中来回折腾产生的“痛并快乐感”只有干活的人最清楚。

利用 CADENCE EDA 软件支持第三方网表的的优势，作者想到了特别的算法，把 PCB 与封装 CO-DESIGN 过程必须要通过原理图的环节去除，只需通过一个小程序把 PCB 与封装设计过程中输出的 2 个文件作了处理即可实现 PCB 与封装设计过程中的数据自由传递，这大大减少了原封装与 PCB CO-DESIGN 时需加入原理图作为传递中介的时间，大大提高了整个 CO-DESIGN 的效率，也是对目前 CO-DESIGN 流程最好的优化补充。现 CO-DESIGN 流程如图 7。

新流程 CO-DESIGN 如图 8，从图 8 中可见原理图的这个步骤在新流程中可以暂时不需要。这个步骤在数据需要大量反复交换传递时非常明显。

上面原方法与新方法比较后会发现：只是优化了其中的封装与 PCB 与封装的 CO-DESIGN 环节，把原理图暂时在需要多次数据交换的环节去除。

程序处理的过程很简单：如 SIP 上 BGA 管脚分布设计完成后，输出一个网络信息文件，程序把此输出的网表进行处理，并转换成 PCB 识别的第三方新网表，然后在 PCB 软件中调入引新网表即可。同理，PCB 上的 BGA 管脚调整完成后也是输出 BGA 信息的文件，程序对此文件进



图9.小软件程序界面示意图。

```

$NETS
AVDD_PLL_GEN_A ; LGA2.394 U1.V23
AVDD_PLL_GEN_B ; LGA2.395 U1.V22
AVDD_PLL_GEN_DDR ; LGA2.398 U1.U20
AVDD_PLL_GPU ; LGA2.401 U1.W20
AVDD_PLL_SYS ; LGA2.387 U1.W24
AVDD_PLL_VGA ; LGA2.402 U1.W21
AVSS_PLL_GEN_A ; LGA2.388 U1.V24
AVSS_PLL_GEN_B ; LGA2.399 U1.V21
AVSS_PLL_GEN_DDR ; LGA2.396 U1.U21
AVSS_PLL_GPU ; LGA2.400 U1.V20
AVSS_PLL_SYS ; LGA2.393 U1.W23
AVSS_PLL_VGA ; LGA2.397 U1.W22
AXI_CLK_SEL_0 ; LGA2.113 U1.AE7
AXI_CLK_SEL_1 ; LGA2.104 U1.AD7
BLANK0 ; LGA2.457 U1.H11
BLANK1 ; LGA2.470 U1.F7
DDRCLK_SELO ; LGA2.103 U1.AH1
DDRCLK_SEL1 ; LGA2.102 U1.AG1
DDR_LV1 ; C63.1 C64.1 C65.1 C66.1 C67.1 C68.1 LGA2.428 LGA2.430 U1.K22 U1.K21 U1.L22 U1.L21
DDR_LV5 ; C8.1 C9.1 C10.1 C11.1 C12.1 C13.1 C14.1 C15.1 C16.1 C17.1 C18.1
U1.U25 U1.U23 U1.T27 U1.T26 U1.T24 U1.T27 U1.R25 U1.R23 U1.P26 U1.P24
U1.N27 U1.N25 U1.N23 U1.M26 U1.M24 U1.L27 U1.L25 U1.L23 U1.K26 U1.K24
U1.J27 U1.J25 U1.J23 U1.J20 U1.J18 U1.J16 U1.J14 U1.H26 U1.H25 U1.H23
U1.H21 U1.H19 U1.H17 U1.H15 U1.H13 U1.G28 U1.G26 U1.G24 U1.G22 U1.G20
U1.G18 U1.G16 U1.G14 U1.F27 U1.F25 U1.F23 U1.F19 U1.F15 U1.E28 U1.E26
U1.E24 U1.E22 U1.E20 U1.E18 U1.E16 U1.E14 U1.E12 U1.E10
C19.1 C20.1 C21.1 C22.1 C23.1 C24.1 C25.1 C26.1 C27.1 C28.1 C29.1
C30.1 C31.1 C32.1 C33.1 C34.1 C35.1 C36.1 C37.1 C38.1 C39.1 C40.1
C41.1 C42.1 C43.1 C44.1 C45.1 C46.1 C47.1 C48.1 C49.1 C50.1 C51.1

```

图10.程序处理后PCB的第三方网表文件。

行处理并生成一个封装设计软件能识别的第三方新网表，封装设计软件把这个新网表导入即可完成管脚的更新，整个过程时间非常快，大大提高了效率。小软件的具体的操界面如图9。

程序的处理过程简单描述如下：

1) 把 IC 封装文件 BGA 引脚对应的网络与 PCB 上对应的 BGA 组件引脚的信号名一一对应起来，供后面的数据交换使用。

2) SIP 的 BGA 管脚优化调整后导入到 PCB 中

把 SIP 上的 BGA 输出一管脚与信号的对应关系的文件，再从 PCB 网表上输出一个第三方网表文件。根据第1)步封装与 PCB 的网络对应表，在 PCB 网表中把网络对应的 SIP BGA 管脚加到 PCB 网表中，最后重新生成一个 PCB 第三方网表。在 PCB 中调入此网表即可完成。

ALLEGRO 常见的第三方网表格式如图 10。

3) PCB 上 BGA 管脚优化交换后导入到封装设计中

Pin IO Information:

Pin	Type	SigNoise Model	Net
A1	BI	CDSDefaultIO_2p5v	VSS
A2	BI	CDSDefaultIO_2p5v	GREEN_O_2
A3	BI	CDSDefaultIO_2p5v	GREEN_O_1
A4	BI	CDSDefaultIO_2p5v	DDR3_VSSQ
A5	BI	CDSDefaultIO_2p5v	DDR3_D_DQS1
A6	BI	CDSDefaultIO_2p5v	DDR3_VSSQ
A7	BI	CDSDefaultIO_2p5v	DDR3_D_DQ9
A8	BI	CDSDefaultIO_2p5v	DDR3_D_DQ8
A9	BI	CDSDefaultIO_2p5v	DDR3_VSSQ
A10	BI	CDSDefaultIO_2p5v	DDR3_D_DQS0
A11	BI	CDSDefaultIO_2p5v	DDR3_VSSQ
A12	BI	CDSDefaultIO_2p5v	DDR3_D_DQ1
A13	BI	CDSDefaultIO_2p5v	DDR3_D_DQ0
A14	BI	CDSDefaultIO_2p5v	DDR3_VSSQ

*更详细的算法及描述请参考专利号为《201711204389.1》的专利说明。

*程序下载请看微信公众号 amao_eda365 上的说明。

图11.程序处理后APD的网表文件。

输出 PCB 上 BGA 管脚与信号的对应的文件后，再从封装设计文件中输出一个封装设计平台的网表文件。根据第1)步封装文件与 PCB 设计文件中 BGA 网络对应关系表，在把封装网表中每个 PIN 对应的网络换成 PCB 中 PIN 对应的网络，再把此网络名根据第1)步的网络名对应关系换成封装的网络名，最后重新生成一个封装设计平台的网表，在封装设计文件中导入此网表即完成。

APD 中的封装常用网表格式如图 11。

总结

本文讲述了 IC-PACKAGE-PCB 协同设计的完整过程，从一般公司的 CO-DESIGN 设计流程到 EDA 软件商提供的基于 OrbitIO 的协同设计流程都做了详比较好的分析。最后在 EDA 软件现有流程的基础上通过局部的 CO-DESIGN 优化从而使现有的 CO-DESIGN 效率大大提高，并对新方法原理进行了简要描述。◆

参考文献

1. 毛忠宇、潘计划、袁正红编着《IC封装基础与工程设计实例》，电子工业出版社，ISBN: 9787121234156，出版时间：2014-07-01
2. 毛忠宇着，《华为研发14载-那些一起奋斗过的互连岁月》，电子工业出版社，ISBN: 9787121284373，出版时间：2016-04-01
3. 毛忠宇、杨晶晶、刘志瑞、李生编着《信号、电源完整性仿真设计与高速产品应用实例》，电子工业出版社，ISBN: 9787121331220，出版时间：2017-12-31

用于 OLED 封装的UV LED 固化

介绍

有机发光二极管 (OLED) 器件正日益受到关注并被称为“显示器的未来”。OLED 显示器与 LCD 相比具有几个优点, 包括更简单的结构以致更优异的功率及更加轻薄, 更好的图像质量和更快的响应时间等。OLED 显示器最令人兴奋的特征之一是柔韧性, 这对于可弯曲 / 可折叠的显示设备至关重要, 极具吸引力。

然而, 实际上即使极少量的大气湿气和氧气也极易将 OLED 材料氧化。因此, 保护敏感的 OLED 材料免受氧气和水侵蚀的阻挡层或密封层是非常重要的。如图 1 所示, 传统上使用盖板玻璃作为刚性玻璃基板 OLED 的封装。玻璃罩必须永久粘合在玻璃基板上以保护活性 OLED 层。这是通过在玻璃边缘上分配环氧树脂并使用 UV LED 灯来固化环氧树脂, 并对两个玻璃表面进行边缘密封来实现的。

工艺

为了使显示具有灵活性, 底部和顶部玻璃板被柔性基板取代, 并且柔性薄膜封装 (TFE) 是必须的。TFE 技术使用薄膜涂层实现更轻, 更薄, 不易破碎的阻隔层, 最重要的是 - 灵活 / 可折叠的显示屏。阻隔层的厚度通常位于亚微米范围内以满足 WVTR $<10^{-6} \text{g} / \text{m}^2 / \text{天}$ 的低渗透要求, 但保留了其柔韧性。(WVTR- 以每天每平方米 g / m^2 为单位测量水蒸气通过基材的量度)

TFE 由连续制造且交替共形的有

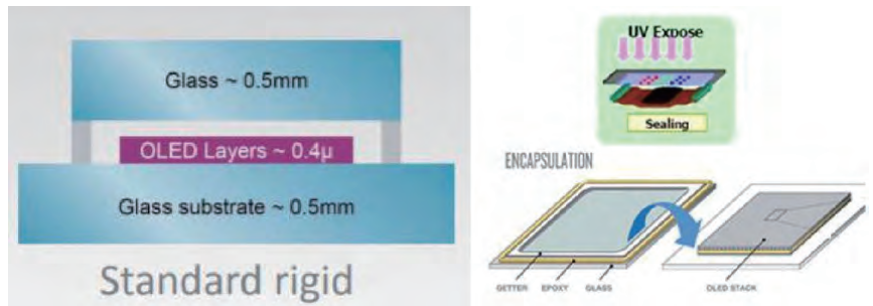


图 1. 传统的 OLED 封装结构和边缘粘合工艺。

机层和无机层组成, 以实现低渗水性和高柔韧性。极薄的无机层用作阻挡层, 有机层用作无机层之间的“去耦”层以改善渗透。另外, 整个结构由于有机 / 无机多层结构中的各个无机层可以保持更薄, 整个结构也更加坚固和柔韧。当有机层充当密封胶缓冲层以平滑基材时, 总体结构也更能抵抗碎裂和开裂。

TFE 制造技术包括: 1. Vitex 真空聚合物; 2. 喷墨印刷 (有机), 溅

射 (无机); 3. 电浆增强化学气相沉积 (PECVD) / 原子层沉积 (ALD) 等。

如图 3 所示, Vitex 工艺由 Al_2O_3 和聚丙烯酸酯层交替组成柔性封装层组成。在通过等离子体将无机 Al_2O_3 层溅射到显示器上的同时, 有机聚丙烯酸酯层通过闪蒸单体沉积, 然后通过 UV 固化。重复交替此过程以形成多层结构。

尽管这种封装解决方案对于柔性器件表现出优异的性能, 但其复杂性

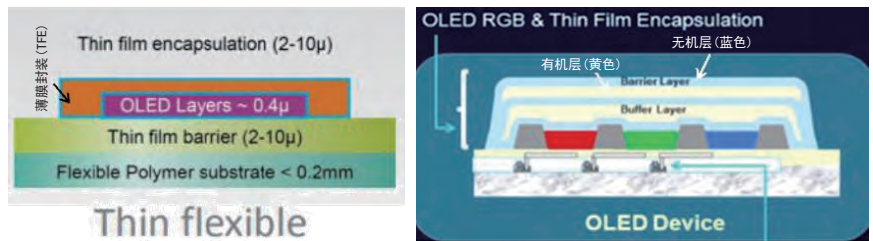


图 2. 用于柔性 OLED 的薄膜封装。

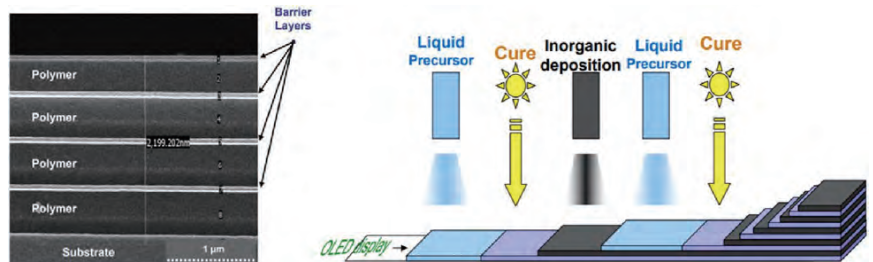


图 3. 在 Vitex 工艺中对无机沉积进行固化。

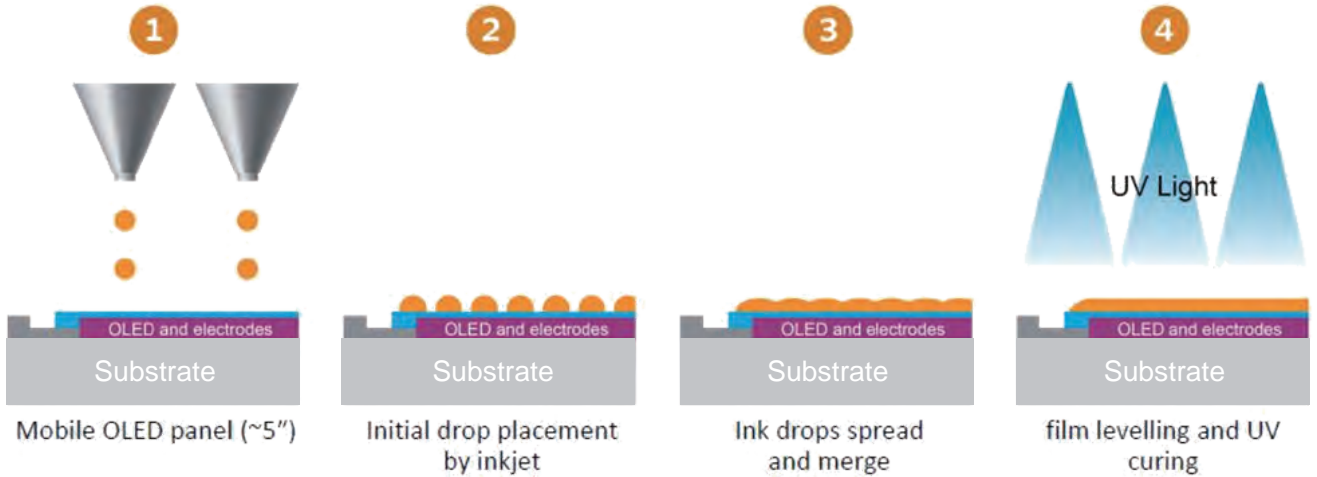


图4. 喷墨印刷薄膜封装工艺中液体有机层的固化。

对制造工艺提出了诸多挑战。

基于喷墨打印的 OLED 封装在工艺优化和精度方面开始取代基于化学气相沉积 (CVD) 的 OLED 封装, 由此生成更优异的性能和生产率。据称, 基于喷墨印刷技术的 TFE 有机夹层具有非常高的均匀性, 消除了对眼睛不均匀的显示 (所谓的 “mura”)。另外, 由于印刷和后印刷处理均在极低的 H₂O 和 O₂ 环境下进行, 通过印刷工艺添加的颗粒更少, 并且有机层顶部的平面化得到显著改善以确保第二无机层的质量。

如图 4 所示, 在通过喷墨喷嘴施加液体有机层之后, 进行 UV 固化步骤以形成交联。

原子层沉积 (ALD) 工艺已经被开发用于生产具有厚度控制的超薄保形膜。这是一个连续的自行终止的化学气相沉积 (CVD) 工艺, 可成行高质量的涂层。它通常由气态化学的交替脉冲与基材顺序反应形成。在每个气体表面反应 (半反应) 期间, 在指定时间内, 前体在真空中由脉冲打入反应室中, 以允许其与基板表面完全反应。随后, 用惰性载气吹扫反应室

以除去任何未反应的前体或反应副产物。该过程循环直达到达到适当的薄膜厚度。

ALD 工艺具有许多有前景的特

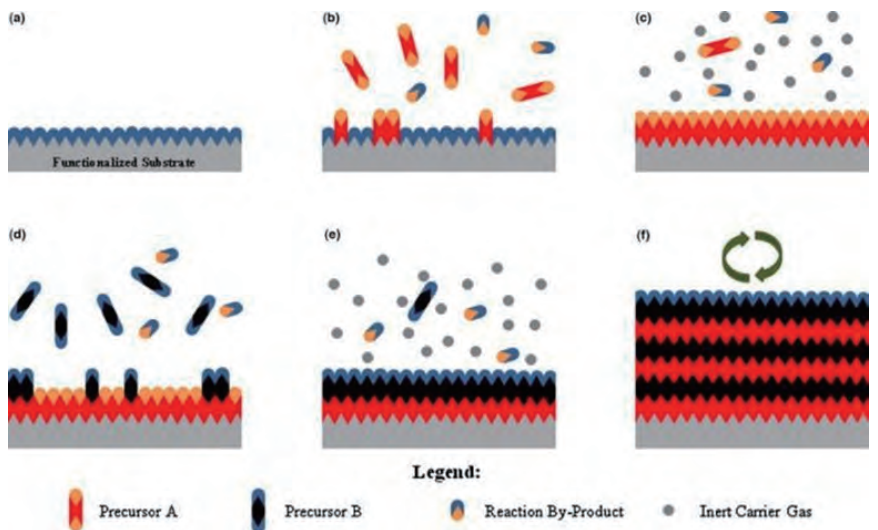


图5. 采用原子层沉积法 (ALD) 的薄膜封装工艺。

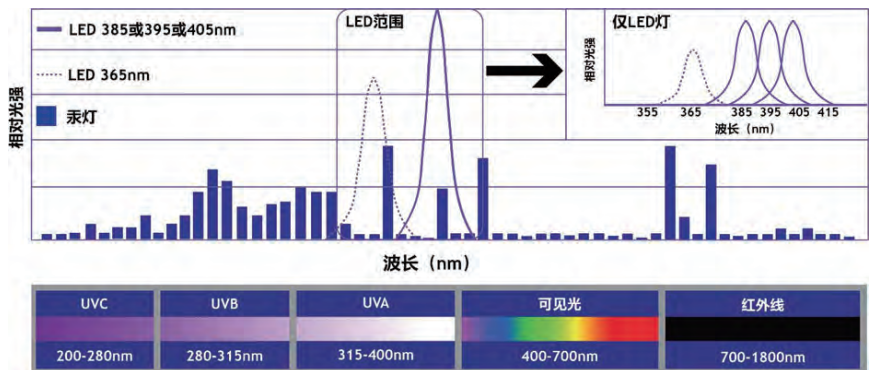


图6. UV LED 与汞灯的输出功率比较: UV LED = 窄幅高功率 UVA 输出。

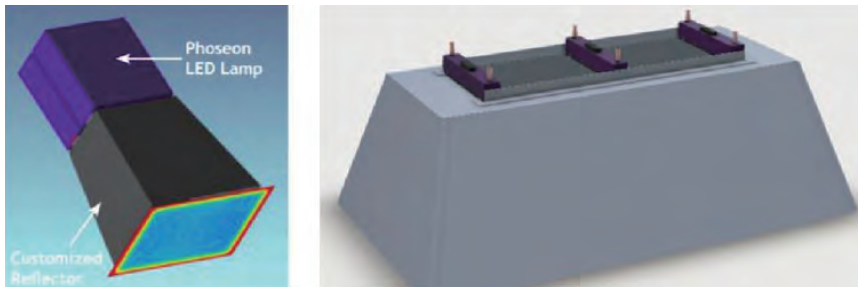


图 7. 区域固化 LED 系统设计。

征，但其沉积速率较慢。在这个过程中不需要 UV LED 固化。

使用 Phoseon 的 UV LED 光源的益处

由于薄膜封装工艺是一个连续的多层制造工艺，较长的 TAKT 时间（从一个单位的生产开始到下一个生产的平均时间）是提高产量的主要障碍，因此缩短工艺时间成为一个衡量工艺成功重要考虑因素。另外，提高工艺产量对于实现制造规模极为重要。所有这些技术和商业因素都促使该行业转向固态 UV LED 光源以固化 TFE 有机层。

首先，窄幅的 LED 光源不包含由微波激发的汞源产生的大量可见光和红外辐射，这消除了可能对衬底有害的大量热量。另外，当为了获得更高的产量需要更高的紫外线功率时，汞灯泡温度持续升高。所产生的撞击在衬底或器件上的红外辐射导致衬底退化并加速器件损坏。用 UV LED 系统代替汞源系统可以提高有机层产量，实现更可靠的系统；这最终转化为成本较低的资本设备。

Phoseon 的 UV LED 光源提供

高辐照度和高剂量以确保所需的固化效果。Phoseon 已经与几家主要的 OLED 封装设备制造商合作，将优化的 LED 固化解决方案集成到薄膜封装工艺中。经加工的 OLED 显示器已经提供给顶级品牌的显示器制造商用于各种显示应用。

如前所述，薄膜封装工艺 TAKT 时间的缩短对提高 OLED 生产量是必不可少的。与 LED 扫描方法相比，面固化到整个基板区域运行速度更快，因为此方法排除了扫描方式时光源的移动时间，因此受到许多设备供应商的青睐。然而，要在整个大面积基板上满足高均匀性要求（通常 > 90%）是一个很大的挑战。根据专业知识和经验，Phoseon 已成功为一家主要设备制造商提供区域固化解决方案，如下图 7 所示。该解决方案包括一个定制的反光器，可在 1400mm x 800mm 的区域内实现 90% 以上的辐照均匀度。整个固化过程可以在几十秒钟内完成。

对于一些其他应用而言当较小的外形尺寸设计是首要任务时，移动 LED 照明系统并采用在基板上扫描的方法更为合适。如图 8 所示，Phoseon 设计了一种多光源一体固化解决方案，可以形成更宽的均匀覆盖范围。光源系统以指定的速度沿着基板行进以完成固化过程。该解决方案沿衬底宽度实现了 90% 以上的辐照均匀度，总面积覆盖范围超过 1000mm x 1500mm。该系统的总高度小于 200mm，以满足严格的空

参考文献

1. Encapsulation of Organic Light Emitting Diodes, Visweswaran, Bhadri, Princeton University, ProQuest Dissertations Publishing, 2014. 3665325.
2. The OLED Handbook, A Guide to OLED Technology, Industry & Market (2017 Edition), Ron Mertens
3. Korea Display Sector, Feb 2016, Credit Suisse
4. Thin film encapsulation for flexible AM-OLED: a review, JS Park, 2010
5. Recent progress on thin-film encapsulation technologies for organic electronic devices, 2014
6. OLED Fundamentals: Materials, Devices and Processing of Organic Light Emitting Diode, 2015, Daniel J. Gaspar
7. Inkjet Printing for Manufacturing of Flexible and Large-size OLEDs, Jeff Hebb, 2017

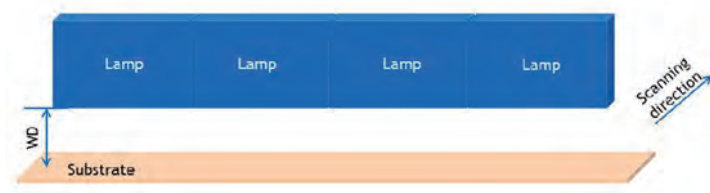
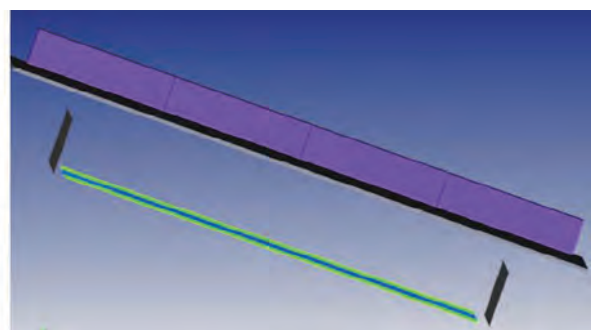


图 8. 扫描固化系统设计。



哥伦比亚大学工程师开发出用于可穿戴电子产品的柔性锂电池

新型锂电池的设计形状有点像人体脊椎，不管如何弯曲或扭曲，它都具有显著的柔性、高能量密度和稳定的电压。

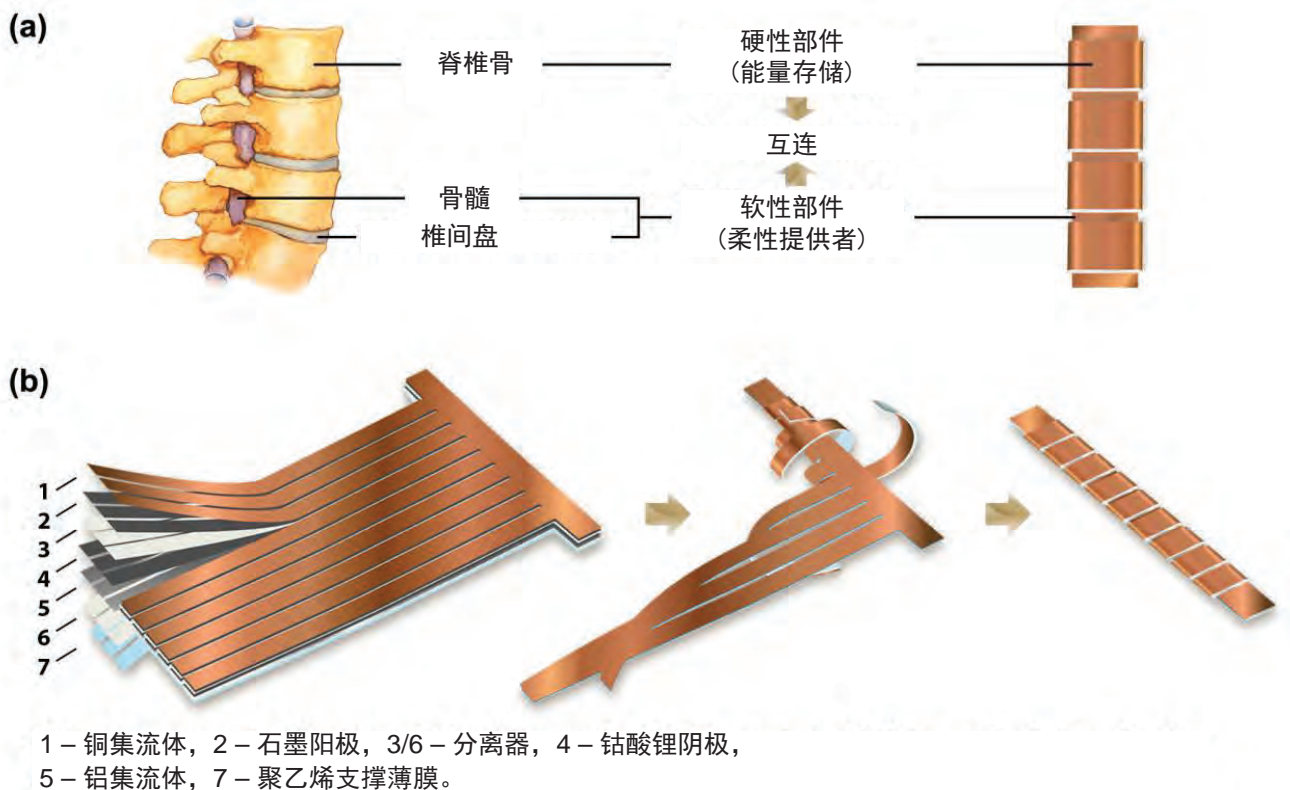
柔性和可穿戴式电子产品的快速发展为我们带来了一系列令人兴奋的应用，从智能手表和柔性显示器（如智能手机、平板电脑和电视）到智能织物、智能眼镜、透皮贴剂、传感器，等等，不一而足。伴随着这种上升势头，对于高性能柔性电池的需求有所增长。然而迄今为止，要想让锂离子电池同时拥有优良的柔性和高能量密度，对于研究人员来说是颇具挑战性的难题。

美国哥伦比亚大学工学院 (Columbia Engineering) 应用物理和数学系材料科学和工程专业助理教授杨远 (Yuan Yang) 领导的团队所开发的原型产品能够应对这一挑战：他们开发的新型锂离子电池形状有点像人体脊椎，无论怎样弯曲或扭曲，它都具有显著的柔性、高能量密度和稳定的电压。这一研究的相关论文发表于《先进材料》(Advanced Materials) 杂志。

杨远说：“在目前为止报道的产

品中，我们的原型所具有的能量密度之高位居前列。我们已经开发出一种简单且可扩展的方案，用于制造这种脊椎般的柔性锂离子电池，此类电池将拥有优异的电化学和机械特性。对于第一代柔性商用锂离子电池来说，我们的设计是非常有前途的候选方案。我们现今正在优化设计并改善其性能。”

杨远及其团队正在探索调整电池材料的成分和结构以实现高性能，他



受到了在健身房里做仰卧起坐运动时人体脊椎柔韧性的启发。人体脊椎具有高度柔韧性、机械鲁棒性且可以扭曲，因为它含有了柔软的骨髓成分，可以与硬的椎骨部分相互连接。

杨远使用脊椎模型设计出一个具有相似结构的电池，它的原型具有厚厚的刚性部分，可通过用薄薄的柔性部件（“骨髓”）缠绕电极（“椎骨”）将脊椎般的电极叠层连接到一起，以存储能量。他的设计让整个电池都具有了优异的柔性。

“由于刚性电极部件的体积明显地大于柔性互连部分，因此这种柔性电池的能量密度可高于标准商用电池的85%。因为整个结构中活性材料占有很高的比例，于是我们设计的这种脊椎般的电池显示出非常高的能量密度，高于任何我们所关注的其他报道中的柔性电池。由于我们受到生物启发进行了合理的设计，所以这种电池还成功地通过了严苛的动态机械负载测试。”杨远解释道。

杨远团队将传统的正极/分离器/负极/分离器叠层剪成若干个长条，让多个“分支”从“脊椎主干”上延伸出90°。然后，他们将每个分支围绕着主干包裹，形成厚厚的叠层用于存储能量，就像脊椎中的椎骨一样。凭借这种集成化设计，电池的能量密度仅受限于脊椎般电极叠层相对于器件总长度的纵向比例（该比例可容易地达到90%以上）。

面对充放电循环，这种电池具有稳定的容量，而且无论怎样弯曲或者扭曲，此类电池都呈现出稳定的电压分布。在循环之后，该研究团队拆解了电池以检查电极材料的形态学变化。他们发现：正电极完好无损，没有从铝箔上开裂或剥落的明显痕迹，从而确认了这项设计具有很高的机械稳定性。

为了进一步展示这项设计的柔性，研究人员在放电期间持续地弯曲或扭曲电池，他们发现弯曲和扭曲都没有打断电压曲线。即使电池在整个放电期间持续地弯曲和扭曲，电压分布也保持完好。另外，处于弯曲状态下的电池也能以高电流密度循环，而且容量保持率相当高（在3C充放电时，三分之一小时内电量可达84%）。电池也能够经受得住持续的动态机械负载测试，而这在较早的研究中鲜有报道。杨远说：“我们的类脊椎设计比传统设计具有多得多的机械鲁棒性。我们预计，采用由生物启发所促成的可扩展方案来制造柔性锂离子电池，能大幅度地推进柔性电池的商用化。”◆

文注：此项研究课题为“具有高能量密度的受生物启发的类脊椎设计柔性可再充电锂离子电池”（Bio-inspired, spine-like flexible rechargeable lithium-ion batteries with high energy density），作者声明没有财务或其他利益冲突。

本文翻译自英文，作者包括杨远及其团队的多名研究人员。

上接第31页

3. 结论

使用硅湿式刻蚀工艺，可以大大消除晶圆背面研磨所产生之应力及损伤层，进而增加晶圆强度。在本文中已针对硅湿式刻蚀工艺原理及设备之设计考虑作一番探讨。本研究采用弘塑科技所设计制造之自动化UFO设备，进行硅晶圆刻蚀工艺，经由设备流场之特殊设计与机构改良。实验结果显示12吋硅晶圆刻蚀均匀度可达到5%。目前弘塑科技UFO M3-Type机型可持取晶圆翘曲度达 $\pm 4\text{mm}$ ，在薄化晶圆持取能力方面，可持取一般晶圆最薄厚度为 $150\mu\text{m}$ ，Taiko晶圆最薄厚度为 $50\mu\text{m}$ ；可回收三种化学药水，使蚀刻液循环过滤回收再使用，一台设备可整合四个工艺腔体，进而大大提高设备产能与降低生产成本。此外，如果在晶背研磨后需要进行晶圆背面金属沉积时，为了增加金属沉积之附着力，则可在刻蚀液中添加一些特殊药剂，

使晶圆在消除应力刻蚀后，晶圆表面能够具备微粗糙化特性，以增加金属沉积时之附着力。◆

参考文献

1. H. Robbins, and B. Schwartz, J Electrochemical Soc. 106, p.505 (1959).
2. S. Ghandi, VLSI Fabrication Principles (1982).
3. M. Heyns, P.W. Mertens, J. Ruzylo, and M.Y.Lee. Advanced wet and dry cleaning coming together for next generation, Solid State Technology, vol. 42, No 3, pp. 37 38, 40, 42, 44, 47 (1999).
4. I. Blech, D. Dang, “silicon wafer deformation after backside grinding”, Solid State Technology, pp. 73-76, August 1994.
5. J.J. Young, A.P. Malshe, W.D. Brown, T. Lenihan, D. Albert, V. Ozguz, SPIE Proc. International Conf. High Density Interconnect and Systems Packaging, Santa Clara CA US, 4428, (2001), 14-21.
6. J. Chen, I. De Wolf I., Semicon. Sci. and Tech., 18, (2003), 267-268.

柔性电子技术迎来突破性发展， 电子皮肤有望成为智能生活的未来

最近，全球健康卫生消费产品领军品牌利洁时集团与硅谷柔性可穿戴生产厂商和远程医疗解决方案供应商 VivaLNK 深入合作，在澳大利亚率先推出了一款柔性温度计产品 Fever Smart，在 Priceline、Guardian 等渠道均有销售。

1. 神奇的柔性电子技术，究竟能有多大市场

2018年2月，英国《自然》杂志上，鲍哲南科研团队宣布他们在柔性电子领域实现了新突破，首次成功开发出量产的高密度、高灵敏度、可拉伸晶体管阵列。鲍哲南是斯坦福大学可穿戴电子中心创始人和主任，同时也是美国国家工程院院士和国家发明研究院的院士，因为在人造电子皮肤上的工作至关重要被选为《自然》杂志2015年十大科技人物。

如鲍教授所说，电子皮肤会是将来电子工业发展的方向和趋势，而其研究虽然实现了突破性进展，但离最终实现在民用级产品中的商业化应用还需要时间，生产工艺、良品率、成本等可能会制约这类技术的快速普及。

上世纪七十年代以来，电子皮肤的发明就引来极高的关注度，比如应用电子皮肤的触觉传感器器件，具有触觉回馈系统的假肢以及触屏等。而相关的柔性电子技术则被认为可能带来一场惊人的电子技术革命。美国《科学》杂志将有机电子技术进展列为2000年世界十大科技成果之一，与人



VivaLNK提供远程医疗解决方案

类基因组草图、生物克隆技术等重大发现并列。

柔性自然是与刚性相对应的概念。柔性材料通常具有柔软、低模量、易变形等属性。常见的包括：聚乙烯醇(PVA)、聚酯(PET)、聚酰亚胺(PI)、聚萘二甲酯乙二醇酯(PEN)、纸片、纺织材料等。电子皮肤具有良好的柔韧性、延展性、可自由弯曲、折叠，而且结构形式灵活多样，可根据测量条件的要求任意布置，能够非常方便地对被测量对象进行检测，甚至是结构非常复杂的对象。

可延展柔性化一直是产业的研究发展方向，尤其在医疗健康领域被寄予厚望。比如在医院中，传统大型医疗器械不仅费用高，且体验也不理想，尤其是对于婴幼儿和老年人而言，传统电子传感器显得过于繁琐和冰冷。让使用者拖着数不清的有线、硬质、

不贴身的医疗监测设备进行各项测试，在当下这个被互联网服务和体验惯坏的时代中，显然有些无奈，甚至可笑。

深耕于柔性电子皮肤的硅谷企业 VivaLNK，已经实现了全球化的医疗级产品推广，并且在医疗机构、保险等领域积极做着相关实践。

VivaLNK 的第一款产品，蓝牙智能测温贴 -- Fever Scout，采用柔性电子皮肤设计，通过生物相容性、防吞咽等各项国际测试，精度达到医疗级水准，并已经通过了 FDA（美国食品药品监督管理局）、CE Medical（欧盟医疗认证）、TGA（澳大利亚医疗用品法认证）在内的多个国内外标准认证。

以 Fever Scout 为例，虽然产品看似简单，但设计中却包含了很多细节与创新。比如在硬件设计方面，需要让柔性电路配合高精度传感器，并要做到微型化，还要能够防水和确保

安全；考虑到使用时间，特地采用了低功耗设计，充满电一次可满负荷工作1个月。产品配合App和平台系统使用，用户将贴片贴在身上，便能观察到当前体温，精准度达到到正负0.1摄氏度；同时还可持续追踪体温变化，实现温度实时预警。通过医疗云平台，在个人、家庭、机构间实现信息共享。

柔性电子产业2018年为469.4亿美元，2028年为3010亿美元，2011年到2028年年复合增长率近30%，处于长期高速增长态势。

诸多跨国企业与研究机构致力于柔性电子技术的研发。IBM、飞利浦、LG、索尼、夏普、三星、通用等公司投入了大量的人力和资金开发相关的产品，计划将其普及到家庭和个人应用。

2. 智能医疗成巨头新战场，数字医疗有望实现突破

与教育等其他行业已经有多个上百亿美金估值的公司不同，医疗领域中独角兽还相对少见，但这个方向大有可为。

2015年谷歌公司架构重组，新集团名为Alphabet，其中旗下有三个子公司专注于医疗健康领域，包括Verily、Calico和Deepmind。Verily的业务方向是基于分析工具、辅导、调研等方式运用数据来提升医疗服务；Calico主要研究衰老和与衰老相关的疾病；DeepMind深耕人工智能领域。谷歌不仅将自己的眼镜针对医疗场景进行了定制，其Pixel手机将被赋予新的诊断和扫描功能，类似于iPhone + ResearchKit，还布局了智能家居系统Google Home。

但其实早在2014年6月，VivaLNK就和谷歌共同发布了第一款无源的“电子纹身”，可以称得上

是电子皮肤的第一代产品。它使得电子器件和人体表皮更紧密地结合在一起，成为人体的一部分，像刺青一样粘在皮肤上，可随意地拉伸、弯曲和旋转，还能记录相关信息。

继柔性蓝牙智能测温贴Fever Scout引发了全球媒体的广泛报道后，在2017年的CES展会上，VivaLNK的另一款产品Vital Scout的Demo首秀更是让人眼前一亮，期待Vital Scout的正式发布及未来市场表现。

Vital Scout依靠多传感器持续监测心率变化、呼吸率、压力指数及恢复情况、睡眠状态、运动状态等生理指标，并通过蓝牙传递报告到用户的移动端设备中。以柔性透气的电路为特点，依靠VivaLNK的电子皮肤专利技术和医用级黏胶，不仅防水而且在再次充电前有理想的续航时长。

VivaLNK的电子皮肤平台形成了专利保护体系，分别在美国和中国拥有多项发明专利、实用新型和软著，目前看来，在短时间内很难被其他公司山寨和对手超越。当然不能被复制和山寨的，还有平台型解决方案、供应链的强大赋能及其潜在的巨大品牌价值。

3. 全球化的供应链及未来影响

根据Havas Worldwide之前的调查显示，美国将近一半或者45%的消费者喜爱用数字设备全方位监测他们生理健康。

设想一下未来的生活，早晨醒来，身上的电子皮肤温柔地将你唤醒，并告诉你昨晚深度睡眠的时间长短，体征数据的具体情况；你可以对着镜子查看今天的日程安排，浏览新闻；上车之后，不再需要低头看手机导航，车窗的玻璃上就有地图显示。

这一切，柔性电子技术在未来都可以帮我们实现。而实现上述场景，不仅需要完整的产品体系和生态，更需要有全球化的供应链。

VivaLNK曾首次提出电子皮肤的概念，花了近3年时间落地，一方面公司需要完善医疗级可穿戴的技术积累，形成系统性的产品和服务远程医疗解决方案，一方面更需要大力打造自己的生产和供应链体系。

全球科技飞速发展的当下，贸易成本被进一步降低。产业供应链可拆分为不同环节并散布在全球不同地区进行模块化生产，既能节省成本，又能提高研发效率，但这对跨国公司来说依旧是极大的挑战和管理上的考验。跨国公司需要根据实际情况及各国生产要素，布局价值链和供应链，比如美欧提供研发和终端消费市场、日韩提供精密零部件、东亚发展中经济体提供加工组装服务的全球生产网络。

在这方面VivaLNK有自己独特的优势，此前CEO李江博士有多年全球企业中产品工程、工艺工程的经验，并且VivaLNK已经完成世界首条柔性医疗级产品量产生产线。

而在销售策略上，VivaLNK有自己的理解。CEO李江博士认为，虽然VivaLNK的产品直接为C端用户所使用，但在该领域，C端市场还未完全成型，消费者对医疗级产品、医疗级品牌的接受，依然主要通过专业机构。VivaLNK在国内外与多家合作伙伴接洽，为他们提供产品服务的同时，参与他们在数据库建设和移动端的产品体验。凭借与专业医疗认证机构及和利洁时等大型客户的合作经验，VivaLNK已能够提供稳定的量产。

VivaLNK期待电子皮肤对于未来能创造巨大影响。◆

Advertiser	广告商名称	网址	页码
CIOE	中国光博会	www.cioe.cn	15
EDI CON China	电子设计创新大会	www.mwjournlchina.com/edicon	19
Indium Corporation	镭泰公司	indium.com/SiSHI	25
OLYMPUS		www.olympus-ims.com.cn	BC
3M		www.3M.com.cn	1

欢迎投稿

《半导体芯科技》是针对中国半导体市场出版的行业杂志，用简体中文出版。为了满足中国半导体产业对技术信息的需要，本刊报道工艺、设备、材料、封装、测试方面的最新技术和信息，帮助读者解决他们遇到的问题和挑战。本刊的读者是半导体产业界的技术管理人员、技术经理、工艺工程师、科学研究人员、从事开发和制造的专业人士。

本刊针对中国市场的特点，选登国际知名品牌杂志《SolidStateTechnology》的文章，并在国内采编业界新闻和技术稿件。本刊欢迎读者和供应商投稿，采用的稿件将在印刷版本或者网上刊登。

文章投稿指南

1. 文章主题突出、结构严谨、短小精悍，中文字数不超过 3,000 字；
2. 文章最好配有两幅至四幅与内容相关的插图或表格；插图与表格分别用图 1、图 2 或表 1、表 2 的次序编号，编号与文中的图表编号一致；

3. 请注明作者姓名、职务及所在公司或机构的名称。作者人数以四人为限；
4. 请勿一稿多投；
5. 请随稿件注明联系方式（邮编、地址、电话、电子邮件）。

新产品投稿指南

1. 新产品必须是中国市场新上市、可以在中国市场上买到；
2. 有关新产品来稿的内容应包含产品的名称、型号、功能、主要性能和特点、用途；
3. 短小精悍，中文字数不超过 300 字；
4. 来稿请附产品照片。最好是在单色背景下简单的产品实物照片，照片的分辨率不低于 300dpi；
5. 注明能提供进一步信息的人员姓名、电话、电子邮件。

优先刊登中文来稿（翻译稿请附英文原稿）。来稿请用电子邮件寄到：sunniez@actintl.com.hk。

行政及销售人员 Administration & Sales Offices

行政人员 Administration

HK Head Office (香港总部)

ACT International (雅时国际商讯)

Unit B, 13/F, Por Yen Buiding,
No. 478 Castle Peak Road,
Cheung Sha Wan, Kowloon, Hong Kong
Tel: 852 28386298

Publishing Director (出版总监)

Adonis Mak (麦协林), adonism@actintl.com.hk

Editor-in-Chief (总编辑)

Sunniez Zhao (赵雪芹), sunniez@actintl.com.hk

Sales Director (销售总监)

Steven Gan (干辉), steveng@actintl.com.hk

General Manager-China (中国区总经理)

Michael Tsui (徐旭升), michaelt@actintl.com.hk

London Office

Hannay House, 39 Clarendon Road
Watford, Herts, WD17 1JA, UK.
T: +44 (0)1923 690200

Coventry Office

Unit 6, Bow Court, Fletchworth Gate
Burnsall Road, Coventry, CV5 6SP, UK.
T: +44 (0)2476 718 970

Publisher & Editor-SiS English

Jackie Cannon, jackie.cannon@angelbc.com
+44 (0)1923 690205

销售人员 Sales Offices

China (中国)

Shenzhen (深圳)

Jenny Li (李文娟), jennyli@actintl.com.hk
Gavin Hua (华北平), gavinH@actintl.com.hk
Tel: 86 755 2598 8571

Shanghai (上海)

Steven Gan (干辉), steveng@actintl.com.hk
Hatter Yao (姚丽莹), hattery@actintl.com.hk
Helena Xu (许海燕), helenax@actintl.com.hk
Amber Li (李歆), amberL@actintl.com.hk
Amy Ma (马能能), amyM@actintl.com.hk
Tel: 86 21 6251 1200

Beijing (北京)

Cecily Bian (边团芳), cecilyB@actintl.com.hk
Tel: 86 135 5262 1310

Wuhan (武汉)

Sky Chen (陈燕), skyc@actintl.com.hk
Tel: 86 137 2373 9991/ 86 27 5923 3884/1564
Eva Liu (刘婷), eval@actintl.com.hk
Tel: 86 138 8603 3073
Grace Zhu (朱婉婷), graceZ@actintl.com.hk
Tel: 86 159 1532 6267

Hong Kong (香港特别行政区)

VP of Sales & Marketing (销售副总裁)
Mark Mak (麦协和), markm@actintl.com.hk
Tel: 852 2838 6298

Asia

Japan (日本)

Masaki Mori, mori-masaki@ics-inc.co.jp
Tel: 81 3 6721 9890

Korea (韩国)

Lucky Kim, semieri@semieri.co.kr
Tel: 82 2 574 2466

Taiwan, Singapore, Malaysia (台湾, 新加坡, 马来西亚)

Mark Mak (麦协和), markm@actintl.com.hk
Tel: 852 2838 6298

US (美国)

Janice Jenkins, jjenkins@brunmedia.com
Tel: 724 929 3550
Tom Brun, tbrun@brunmedia.com
Tel: 724 539 2404

Europe (欧洲)

Shehzad Munshi, Shehzad.Munshi@angelbc.com
Tel: +44 (0)1923 690215
Jackie Cannon, Jackie.cannon@angelbc.com
Tel: +44 (0) 1923 690205

化合物半导体

HS COMPOUND SEMICONDUCTOR • CHINA
Connecting the Compound Semiconductor Community

《化合物半导体》中国版（CSC）于 2005 年创刊，是全球最重要和最权威的杂志 Compound Semiconductor 的“姐妹”杂志。

《化合物半导体》中国版旨在通过对于全球化合物半导体工业的深度分析、实时信息报道和评论，扩展中国地区读者的专业焦点和全球视野。《化合物半导体》中国版以简体中文按季度出版。编辑内容由 Compound Semiconductor 的专业记者提供，他们具有研究背景，其技术文章和专栏文章得到来自化合物半导体协会主要成员公司的认可。全球电子业领先的独立市场研究咨询机构 IHS IMS Research 也在杂志开设定期栏目。

除了 10,000 名经过审查认证的合格读者，我们亦会在各个地区重要业界活动中免费派发杂志，对于希望在中国市场加强影响的化合物半导体公司，《化合物半导体》中国版是最有效的平台和目标媒体。

免费索阅

化合物半导体

HS COMPOUND SEMICONDUCTOR • CHINA
Connecting the Compound Semiconductor Community

季刊 2018年 第2期

化合物半导体

HS COMPOUND SEMICONDUCTOR • CHINA
Connecting the Compound Semiconductor Community

季刊 2018年 第2期

GaN 跻身主流市场
GaAs 为 5G 手机
提供关键组件

化合物半导体

HS COMPOUND SEMICONDUCTOR • CHINA
Connecting the Compound Semiconductor Community

季刊 2018年 第2期

GaN 跻身主流市场
GaAs 为 5G 手机
提供关键组件

GaAs 为 5G 手机
提供关键组件



www.compoundsemiconductorchina.net

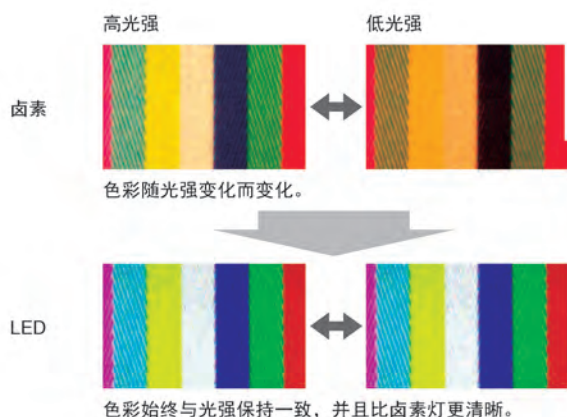
OLYMPUS®

奥林巴斯

高效、先进的成像

LED光源保持始终如一的色温

MX63 系列采用高强度白色 LED 光源进行反射和透射照明。无论光强度如何，LED 光源均可保持始终如一的色温，从而实现可靠的图像质量和色彩复现。LED 系统可提供非常适合材料科学应用的高效率、长寿命照明。



所有图像均采用自动曝光采集



NEW
MIX63

半导体 / FPD / 工业检测显微镜

LED 光源 / MIX 观察与采集 * / 两个系统多种规格 **



奥林巴斯(北京)销售服务有限公司
更多详情请咨询:400-996-0456
SSBD.Marketing@olympus.com.cn

* 通过暗场与明场、荧光或偏光等其他观察方法结合使用，MIX 观察技术能够获得特殊的观察图像。
** MX63 系统能够检测尺寸达 210mm x 210mm PCB 板，而 MX63L 最大可检测 356mm x 305mm PCB 板。

www.olympus-ims.com.cn