

# 半导体芯科技



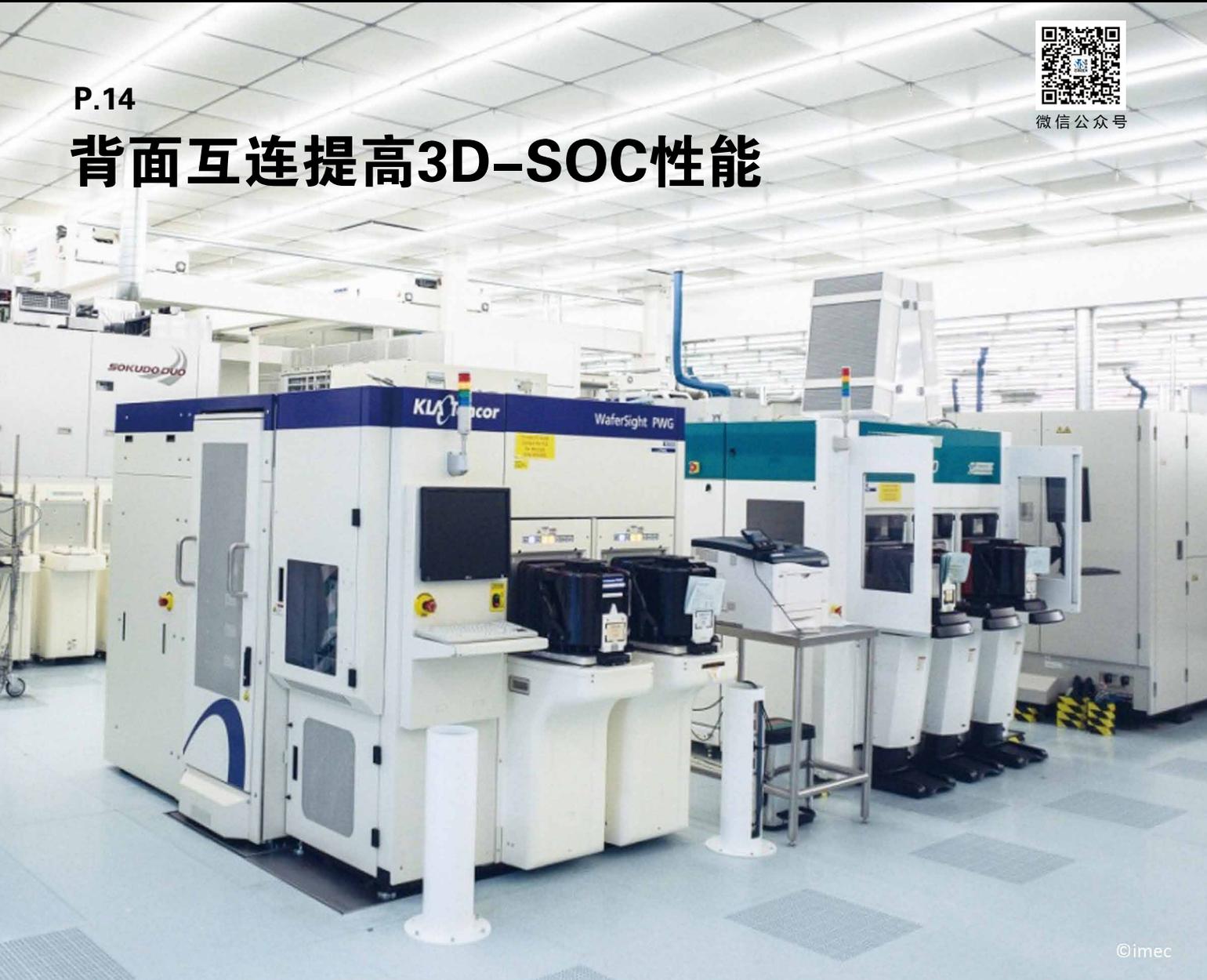
**SILICON · CHINA**  
SEMICONDUCTOR  
CONNECTING THE SILICON SEMICONDUCTOR COMMUNITY



微信公众号

P.14

## 背面互连提高3D-SOC性能



©imec

ISSN 2523-1294

[www.siscmag.com](http://www.siscmag.com)

2022年 2/3月



P.17  
先进MES延长晶圆厂生命周期

P.22  
ALD助力解决5G射频滤波器挑战

P.25  
外包SAM检测解决方案

P.28  
芯片自主可控深度解析



国际授权翻译  
国内发行高新科技杂志

8本杂志免费送一年  
(6期/印刷版)

包揽全年行业资讯



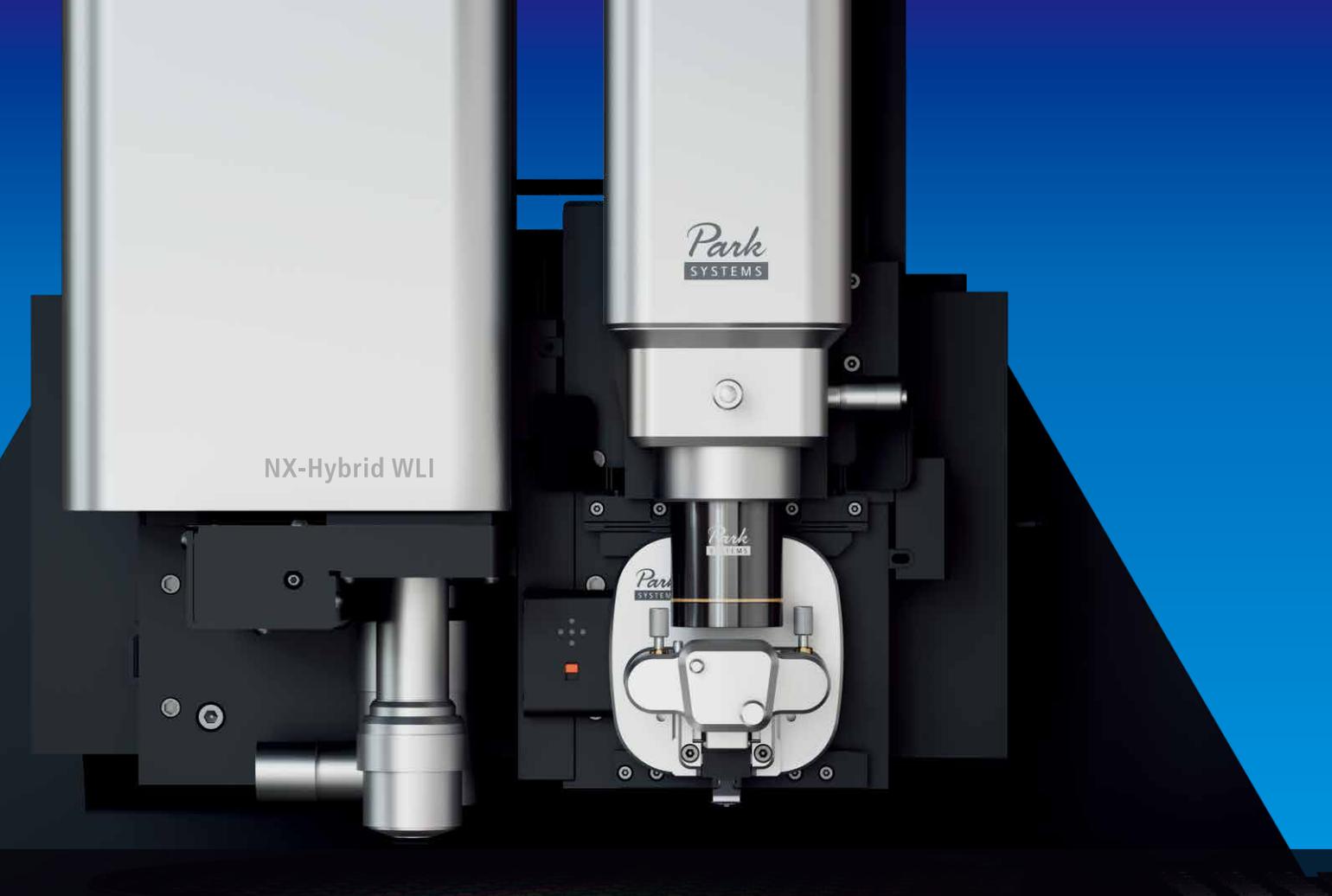
[www.actintl.com.cn](http://www.actintl.com.cn)



免费  
订阅

扫一扫添加  
ACT读者服务号免费订阅

雅时国际商讯 (ACT International) 成立于1998年, 为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品 - 包括杂志和网上出版物、培训、会议和活动 - 为跨国公司及中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站, 以及各种技术会议, 服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制等领域的约二十多万专业读者及与会者。



NX-Hybrid WLI

Park  
SYSTEMS

Park  
SYSTEMS

实现白光干涉测量和AFM测量的完美融合  
更好地服务半导体计量

## Park NX-Hybrid WLI

AFM和WLI联用技术，Park NX-Hybrid WLI应运而生！

Park NX-Hybrid WLI是迄今为止世界首台内置WLI轮廓仪的工业自动化计量型原子力显微镜。

Park NX-Hybrid WLI产品集成了白光干涉仪(WLI)成像区域宽、速度快和原子力显微镜的纳米级分辨率测量的优点，将WLI和AFM技术无缝融合，开创半导体测量的新时代！



Park原子力显微镜  
电话：400-878-6829  
[www.parksystems.cn/hybrid-wli](http://www.parksystems.cn/hybrid-wli)

Park  
SYSTEMS

帕克  
原子力显微镜

# 目录 CONTENTS

## 封面故事 Cover Story

### 14 IMEC 通过背面互连显著提高 3D-SOC 的性能

IMEC demonstrates significant performance gains utilizing backside 3D-SOC interconnects

3D-SOC 是一种极具吸引力的异构集成方法，可以超越 chiplet 实现多芯片异构系统集成，用于解决高性能系统中的内存墙问题。IMEC 的研究人员利用背面互连的新方法提高 3D-SOC 性能，当将集成晶圆之一的背面用于供电、信号路由或两者兼具时，可以在系统级实现进一步的性能提升。他们深入研究探讨了迄今为止各种有前途的方法，并在 2021 年 IEEE 国际电子器件会议 (IEDM) 上介绍了 3D-SOC 设计和特定电路中背面互连的优势。



14

## 编者寄语 Editor's Note

### 4 芯片自主可控的路有多长？

- 赵雪芹

## 行业聚焦 Industry Focus

### 5 上海微电子交付中国首台 2.5D/3D 封装光刻机

### 5 普莱信发布亚微米级固晶机 DA403

### 6 盛美新型化合物半导体系列设备加强湿法工艺产品线

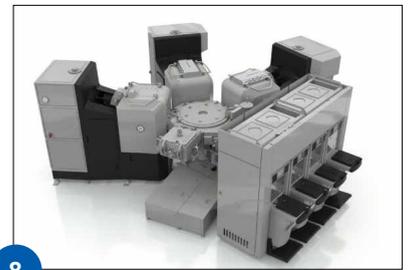
### 7 中电科二所 SiC 激光剥离设备取得突破性进展

### 7 新思 3DIC 完整解决方案助力 SoC 创新

### 8 思锐智能 ALD 新品满足超摩尔应用需求

### 9 DNP 开发出新一代半导体封装用中介层

### 10 泛林集团选择性刻蚀设备组合支持芯片 3D 路线图



8



10

## 科技前沿 Research

### 11 研究人员改进晶体管缺陷检测技术

Researchers resurrect and improve a technique for detecting transistor defects

### 关于雅时国际商讯 (ACT International)



雅时国际商讯 (ACT International) 成立于1998年，为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品—包括杂志和网上出版物、培训、会议和活动—为跨国公司和中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站，以及各种技术会议，服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港，在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

### About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photronics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

### 关于《半导体芯科技》

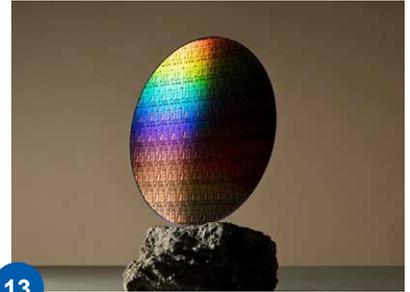
《半导体芯科技》(原半导体科技) 中国版 (SiSC) 是全球最重要和最权威的杂志Silicon Semiconductor的“姐妹”杂志，由香港雅时国际商讯出版，报道最新半导体产业新闻、深度分析和权威评论。为中国半导体专业人士，提供他们需要的商业、技术和产品信息，帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国半导体产业，包括IC设计、制造、封装及应用等。

### About Silicon Semiconductor China

Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology & product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMS, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

# 目录 CONTENTS

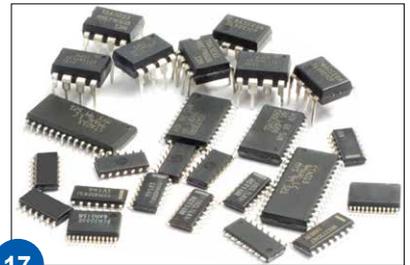
- 12 空腔嵌入绝缘体上硅 (VESOI) 为 GAA 器件提供新方案  
VESOI with embedded cavities successfully applied in the fabrication of GAA devices
- 13 IBM 和三星宣布颠覆传统设计的半导体突破  
IBM and Samsung unveil semiconductor breakthrough that defies conventional design



13

## 技术 Technology

- 17 先进 MES 能力可以延长半导体晶圆厂的生命周期  
Advanced MES capabilities can extend semiconductor fab lifetimes
- 22 ALD 助力解决 5G 射频滤波器挑战  
ALD can help solve 5G RF filter challenges
- 25 外包 SAM 检测为测试和失效分析提供具有成本效益的解决方案  
Outsourced SAM testing provides a cost-effective solution for testing and failure analysis
- 28 芯片自主可控深度解析  
A depth analysis on autonomous and controllable chips



17

## 厂商特写 Vendor View

- 34 普发真空面向半导体制造的解决方案  
Semiconductor solutions from Pfeiffer Vacuum
- 36 为当今技术提供动力，气体净化技术需考虑四个重要方面  
Four ways to properly purify the gases that power today's technologies
- 38 ULVAC ENVIRO™ 等离子体去胶系统  
ULVAC ENVIRO™ plasma ashing systems
- 40 广告索引 Ad Index



34

### 《半导体芯科技》编委会 (排名不分先后)

刘胜 教授  
武汉大学 工业科学研究院执行院长  
郭一凡 博士  
日月光集团工程副总经理  
姚大平 博士  
江苏中科智芯集成科技有限公司总经理  
汤晖 教授  
广东工业大学、精密电子制造技术与装备国家重点实验室

于大全 教授  
厦门云天半导体创始人  
须颖 教授  
中国仪器仪表学会显微仪器分会副理事长  
罗仕洲 教授  
磐允科技总经理  
林挺宇 博士  
广东芯微电子技术有限公司总经理  
杨利华 院长  
两江半导体研究院

王文利 教授  
西安电子科技大学电子可靠性(深圳)研究中心主任  
雅时国际资讯顾问  
张昭宇 教授  
香港中文大学(深圳)理工学院  
深圳半导体激光器重点实验室主任  
刘功桂 教授级高工  
中国电器科学研究院股份有限公司威凯技术中心主任  
云星 总经理  
深圳安博电子有限公司

张弛 总裁  
深圳贝特莱电子科技股份有限公司  
乔旭东 博士  
深创投集团投资发展研究中心总经理  
徐开凯 教授  
电子科技大学、电子薄膜与集成器件国家重点实验室  
何进 教授  
北京大学教授、深圳系统芯片设计重点实验室主任

社长 Publisher

麦协林 Adonis Mak

adonism@actintl.com.hk

主编 Editor in Chief

赵雪芹 Sunnie Zhao

sunniez@actintl.com.hk

出版社 Publishing House

雅时国际商讯 ACT International

香港九龙 B,13/F, Por Yen Bldg,

长沙湾青山道478号 478 Castle Peak Road,

百欣大厦 Cheung Sha Wan,

13楼B室 Kowloon, Hong Kong

Tel: (852) 2838 6298

Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988573 /25988567

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 59233884

UK Office

Angel Business

Communications Ltd.

6 Bow Court,

Fletchworth Gate,

Burnsall Road, Coventry,

CV56SP, UK

Tel: +44 (0)1923 690200

Chief Operating Officer

Stephen Whitehurst

stephen.whitehurst@angelbc.com

Tel: +44 (0)2476 718970



## 芯片自主可控的路有多长？

作为现代高科技发展的核心与基础，半导体产业越来越受到重视，成为各国政府战略竞争的关键。近两年受疫情和国际贸易局势的影响，特别是美国对于中国高科技企业的各种限制不断加码，使中国半导体产业发展面临更为严峻的形势。

半导体是一个高度全球化的产业，没有哪个国家能够独自拥有完整的产业链。然而，中国又是全球最大的集成电路市场，面对严峻复杂的国际环境，中国需要自给自足。为支持中国半导体产业发展，实现更大程度的“自主可控”，减少被别人“卡脖子”，中国政府在与有关国家和地区加强沟通合作的同时，一直鼓励国内外的骨干企业加大投资，提升本土的全产业链供应能力。

虽然近几年来，中国在半导体研发和晶圆厂建设上投入数十亿美元的资金，以扶持国内半导体产业。但现实的情况依然困难重重，我们尚没有14纳米及以下高端工艺技术的规模生产，要实现高端芯片的生产还有一段距离。中国最重要的芯片制造商中芯国际有能力支持28纳米工艺的芯片生产，并已经开始对14纳米进行采样。但中芯国际仍然需要更多国际高端客户来提高生产能力和技术水平，才能有效地提升这项技术，从而降低他们的成本结构。中国仍需要从ASML、AMAT、Lam Research、TEL、Synopsys、Cadence、Mentor (Siemens EDA)……这样的国际供应商获得生产高端芯片所需的软件和设备，而有些对于我们是限运的，有钱也无法买到。

当然，我们也看到中国半导体生态系统正在蓬勃发展，中国半导体公司在为电源管理、微控制器、传感器和其他消费相关领域生产各种相对“不那么先进”的芯片，以满足不断增长的本地需求。这些芯片对于整个供应链非常重要。中国本土的设备、材料、工具……也在积极逐渐突破，开始一点一点进入半导体生产线。

IDC负责技术和半导体的集团副总裁Mario Morales近日在接受媒体采访时说：中国大陆半导体可能落后于全球领先技术三到四代，中国可能需要十多年的发展后才能真正变得更有竞争力，至少在最前沿的技术方面来说是这样。

只有真正认识到自身的不足，一步一个脚印，并持之以恒，才能在激烈的竞争中不致落后。本期杂志发表了奥肯思（北京）科技有限公司SiP技术专家李扬先生的文章“芯片自主可控深度解析”，从芯片设计、芯片制造、封装测试三大领域，对我国集成电路产业的自主可控情况逐一进行分析。

本期杂志更多精彩：

IMEC 通过背面互连显著提高3D-SOC的性能

先进MES能力可以延长半导体晶圆厂的生命周期

ALD助力解决5G射频滤波器挑战

……

赵雪芹

## 上海微电子交付中国首台2.5D/3D封装光刻机

2022年2月7日，上海微电子装备（集团）股份有限公司举行中国首台2.5D/3D先进封装光刻机发运仪式。先进封装光刻机是上海微电子目前的主打产品，全球市场占有率连续多年排名第一。此次发运的产品是新一代的先进封装光刻机，主要应用于高端数据中心高性能计算（HPC）和高端AI芯片等高密度异构集成领域，可满足2.5D/3D超大芯片尺寸的先封装应用需求，代表了行业同类产品的最高水平，对丰富公司的产品种类有着重



要的意义。

上海微电子于去年9月发布了新一代大视场高分辨率先进封装光刻机，主要应用于高密度异构集成领域，具有高分辨率、高套刻精度和超大曝光视场等特点，可帮助晶圆级先进封装企业实现多芯片高密度互连封装技术的应用，满足异构集成超大芯片封装尺寸的应用需求，同时将助力封装测试厂商提升工艺水平、开拓新的工艺，在封装测试领域共同为中国集成电路产业的发展做出更多的贡献。

## 普莱信发布亚微米级固晶机DA403

东莞普莱信智能发布亚微米级固晶机DA403，贴装精度达到 $0.3\mu\text{m}@3\sigma$ ，采用高精度光学多次校准，适用于8英寸及以下晶圆级封装，广泛应用于硅光、光器件、晶圆级封装等亚微米级封装领域，该设备打破国际厂商垄断，实现亚微米级固晶设备的国产替代。

硅光是一种基于硅光子学的低成本、高速的光通信技术，用激光束代替电子信号传输数据，是将光学与电子元件组合至一个独立的微芯片中，以提升路由器和交换机线卡之间芯片与芯片之间的连接速度。硅光子技术是基于硅和硅基衬底材料（如SiGe/Si、SOI等），利用现有CMOS工艺进行光器件开发和集成的新一代技术，结合了集成电路技术的超大规模、超高精度制造的特性和光子技术超高速率、超低功耗的优势。在硅基底上利用蚀刻工艺可以快速加工大规模波导器件，利用外延生长等加工工艺制备调制器、接收器等关键器件，最终实现将调制器、接收器以及无源光学器件等集成，具有集成度高、成本低及传输性能更优的特点。硅光技术将是实现大规模光子集成的最有效方案，在光通讯技术史上，无疑是一场里程碑式的技术变革，也是应对摩尔定律失效的颠覆性技术。

但是由于材料晶格匹配的原因，激光光源的III-V族材料还是很难与硅基材料混合集成制造。光子集成一般是需要将III-V族光源芯片采用共晶方式正装或倒装工艺与硅波导进行无源耦合封装，而硅波导的模场直径非常小，需要较大功率的激光光源以非常高的精度，通常是1微米

左右的精度进行贴片，才能保证将光源高效耦合进硅波导中，而晶圆级的封装必须是要在亚微米级别的封装，这对封装设备提出了更高的要求。普莱信推出的DA403，是国内唯一、全球极少数有能力将封装精度做到亚微米级的产品，将为硅光技术在中国未来的发展打下坚实的



亚微米级固晶机DA403

设备基础。

普莱信成立于2017年，经过4年的发展，已经在多个领域打破国外技术垄断，是国产半导体封装设备领军企业之一。目前为半导体封装、光通信封装、MiniLED巨量转移、功率器件及第三代半导体封装、先进封装等提供高端设备和智能化解决方案。在光通信封装领域，普莱信已经量产的高精密固晶机DA402，贴装精度达到 $\pm 0.3\mu\text{m}@3\sigma$ ；普莱信的高精度无源耦合机，解决Lens贴装有源耦合成本高、良率低等痛点，已获得立讯、昂纳、埃尔法等光通信行业客户的认可。在半导体封装领域，普莱信的8寸和12寸IC直线式超高速固晶机，覆盖QFN、DFN、BGA、LGA、SiP等封装形式，已获得华天、甬矽、华润微等封测巨头的认可。在MiniLED巨量转移领域，普莱信的超高速倒装固晶设备XBonder，采用倒装COB刺晶工艺，打破MiniLED产业的量产技术瓶颈。

## 盛美新型化合物半导体系列设备加强湿法工艺产品线

盛美半导体设备(上海)股份有限公司为半导体前道和先进晶圆级封装(WLP)应用提供晶圆工艺解决方案,近日推出了支持化合物半导体制造的综合设备系列。公司的150-200毫米兼容系统将前道集成电路湿法系列产品、后道先进晶圆级封装湿法系列产品进行拓展,可支持化合物半导体领域的应用,包括砷化镓(GaAs)、氮化镓(GaN)和碳化硅(SiC)等工艺。化合物半导体湿法工艺产品线包括涂胶设备、显影设备、光阻去胶设备、湿法蚀刻设备、清洗设备和金属电镀设备,并自动兼容平边或缺口晶圆。

“随着不同市场的需求增长,化合物半导体行业正在迅猛发展。”盛美上海董事长王晖博士表示,“通过对这个行业的调研,我们意识到,应利用现有的前道集成电路湿法和后道先进晶圆级封装湿法系列产品中重要的专业知识和技术,来提供满足化合物半导体技术要求的高性价比、高性能产品。我们认为,化合物半导体设备市场为盛美上海提供了重要的增长机会,因为GaAs、GaN和SiC器件正成为未来电动汽车、5G通信系统和人工智能解决方案日益不可或缺的一部分。”

**Ultra C 碳化硅清洗设备:**采用硫酸双氧水混合物(SPM)进行表面氧化,并采用氢氟酸(HF)去除残留物,进行碳化硅晶圆的清洗。该设备还集成盛美上海的SAPS和Megasonix™技术实现更全面更深层次的清洗。Ultra C碳化硅清洗设备可提供行业领先的清洁度,达到每片晶圆颗粒 $\leq 10\text{ea}0.3\mu\text{m}$ ,金属含量 $< 1\text{E}10\text{atoms}/\text{cm}^3$ 水平。该设备每小时可清洗超过70片晶圆,将于2022年下半年上市。

**Ultra C 湿法刻蚀设备:**可为砷化镓和磷化铟镓(InGaP)工艺提供 $< 2\%$ 的均匀度, $< 10\%$ 的共面度及 $< 3\%$ 的重复度。该设备可提供行业领先的化学温度控制、刻蚀均匀性。该设备将于2022年第三季度交付给某重要客户,并由其进行测试。

**Ultra ECP GIII 1309 设备:**该设备集成了预湿和后清洗腔,支持用于铜、镍和锡银的铜柱和焊料,以及重分布层(RDL)和凸点下金属化(UBM)工艺。设备实现了晶



盛美上海的化合物半导体设备系列

圆内和模内小于3%的均匀度和小于2%的重复度。该设备已于2021年中交付给客户,并满足客户技术要求。

**Ultra ECP GIII 1108 设备:**该设备提供金凸块、薄膜和深通孔工艺,集成预湿和后清洗腔。设备采用盛美上海久经考验的栅板技术进行深孔电镀,以提高阶梯覆盖率。它可达到晶圆内和模内 $< 3\%$ 的均匀度和 $< 2\%$ 的重复度。腔体和工艺槽体经过专门设计,可避免金电镀液的氧化,且工艺槽体具有氮气吹扫功能,可减少氧

化。该设备已于2021年年底交货给关键客户。

**Ultra C ct 涂胶设备:**采用二次旋转涂胶技术,可实现均匀涂胶。设备拥有行业领先的优势,包括精确涂胶控制、自动清洗功能、冷热板模块及每个腔体的独立过程控制功能。

**Ultra C dv 显影设备:**在化合物半导体工艺中,该显影设备可进行曝光后烘烤、显影和硬烤的关键步骤。设备利用盛美上海的先进技术,可按要求实现 $\pm 0.03\text{LPM}$ 的流量和 $\pm 0.5$ 摄氏度的温度控制。

**Ultra C s 刷洗设备:**以盛美上海先进的湿法清洗技术为基础,实现优秀的污染物去除效果。该设备通过氮气雾化二流体清洗或高压清洗实现高性能,以更有效地清洗小颗粒。此外,设备还可兼容盛美上海专有的兆声波清洗技术,以确保优良的颗粒去除效率,且不会损坏精细的图形结构。

**Ultra C pr 湿法去胶设备:**利用槽式浸泡和单片工艺,确保高效地进行化合物半导体去胶。该设备最近由一家全球领先的IDM订购,用于去除光刻胶,这进一步验证了盛美上海的技术优势。

**Ultra SFP 无应力抛光设备:**为传统的CMP在TSV工艺和FOWLP中应用提供了一种环保替代方案。在TSV应用中,盛美上海的无应力抛光(SFP)系统可通过运用专有的电抛光技术去除低至 $0.2\mu\text{m}$ 的铜覆盖层,再使用传统的CMP进一步去除剩余铜至阻挡层,并通过湿法刻蚀去除阻挡层,从而显著降低耗材成本。对于FOWLP,相同的工艺可以克服由厚铜层应力引起的晶圆翘曲,并应用于RDL中铜覆盖层并平坦化。

## 中电科二所SiC激光剥离设备取得突破性进展

中国电子科技集团第二研究所在碳化硅（SiC）激光剥离设备研制方面取得突破性进展。

SiC材料硬度与金刚石相近，现有的衬底加工工艺切割速度慢、晶体与切割线损耗大，大幅增加了衬底的成本，限制了SiC半导体器件的广泛应用。

激光垂直改质剥离设备被誉为“第三代半导体中的光刻机”，其革命性地利用光学非线性效应，使激光穿透晶体，在晶体内部发生热致开裂、化学键断裂与分解、激光诱导电离等一系列物理化学过程，形成垂直于激光入射方向的改质层，最终实现晶片的剥离。激光剥离几乎可完全避免常规的多线切割技术导致的切割损耗，仅需将剥离的晶片进行研磨抛光，从而在等量原料的情况下提升SiC衬底产量。此外，激光剥离技术还可应用于器件晶圆的减薄过程，实现被剥离晶片的二次利用。

围绕国家战略需求和国际产业竞争焦点，中电科二所紧抓第三代半导体产业发展契机，以解决SiC衬底加

工效率这一产业难题为目标，将SiC激光剥离设备列为“十四五”期间重点研发装备。日前，该所宣布SiC激光剥离设备研发项目已经通过专家评审论证，正式立项启动。项目将依托国家第三代半导体技术创新中心，汇聚所内优势力量，充分发挥二所在SiC半导体材料、激光精密加工、光学系统设计搭建、半导体制造设备研制等方面的科研实力，旨在实现激光剥离设备国产化，形成第三代半导体核心装备研发、产业化和整线装备解决方案的能力。

目前，中电科二所科研团队已掌握激光剥离技术原理与工艺基础，并利用自主搭建的实验测试平台，结合特殊光学设计、光束整形、多因素耦合剥离等核心技术，实现了小尺寸SiC单晶片的激光剥离，取得了突破性进展。下一步，团队将聚焦激光剥离技术的实用化与工程化，积极推进工艺与设备的协同创新，研发大尺寸化、快速生产化、高良率化、全自动化、低能耗化的激光剥离设备。

## 新思3DIC完整解决方案助力SoC创新

传统的3DIC设计流程繁琐且需要反复迭代，因此实现多裸晶芯片集成需要多个工具和流程，极大限制了工程效率。新思科技的3DIC Compiler平台，集成了2.5D和3D多裸晶芯片封装协同设计与分析技术，可实现高效的多裸晶芯片设计和全系统集成。

多裸晶芯片集成是指将多个裸晶芯片堆叠并集成在单个封装中，以满足在PPA、功能性、外形尺寸和成本方面的系统要求。在这种模式下，终端产品可模块化灵活组合，将不同的技术混合匹配成解决方案，以满足不同的市场细分或需求。

3DIC Compiler是一套完整的端到端解决方案，它建立在新思科技高度集成的Fusion Design Platform™的通用、可扩展的数据模型之上，支持多裸晶芯片的协同设计和分析，为3D可视化、设计早期探索、规划、具体实现、设计分析和签核提供统一无缝的集成环境。

3DIC Compiler平台集成了StarRC™和PrimeTime®黄金签核解决方案，可为多裸晶芯片提取寄生参数及静态时序分析（STA）；采用了Ansys® RedHawk™-SC和HFSS技术进行电迁移/电压降（EMIR）分析、信号完整性/电源完整性（SI/PI）分析及热分析；内置PrimeSim™ Continuum用以电路仿真，并集成了IC Validator™用以设计规则检查（DRC）、电路布局验证（LVS）；同时还包含了新思科技TestMAX™可支持IEEE1838多裸晶芯片测试设计标准的DFT解决方案。

3DIC Compiler作为新思科技Fusion Design Platform的一部分，与Fusion Compiler™结合使用可扩展实现多裸晶芯片RTL-to-GDSII的协同优化。3DIC Compiler平台和更广泛的芯片实现产品组合是新思科技Silicon to Software™战略的一部分，旨在助力开发者加速开发面向未来的半导体和软件产品。

## 思锐智能ALD新品满足超摩尔应用需求

原子层沉积 (ALD) 工艺被认为是逻辑和存储半导体器件微缩化的重要推动力。过去 20 年, ALD 工艺及设备已经广泛应用于逻辑和存储器件的大批量制造, 不断推动诸如动态随机存取存储器 (DRAM)、先进的鳍式场效应晶体管 (FinFET) 以及栅极环绕晶体管等器件性能的改进与创新。随着摩尔定律放缓, ALD 工艺逐渐渗透到更多应用领域, 如超摩尔 (More-than-Moore, MtM) 器件的生产中, 正在推动新的架构、材料和性能的改进。

### 紧跟2022市场需求, SR11两款新品拓展应用布局

致力于满足半导体制造领域不断增长的技术需求, 业界领先的 ALD 设备制造商和服务商——青岛四方思锐智能技术有限公司 (SR11) 旗下 Beneq 品牌全新设计并重磅推出了两款用于半导体器件制造的新产品: Prodigy 和 Transform300。

SR11 旗下 Beneq 品牌半导体业务负责人 Patrick Rabinzohn 表示: “进入 2022 年, 更多样化、更复杂的新兴半导体应用正在崛起, Prodigy 专为化合物半导体制造而设计, 包括射频集成电路 (GaAs / GaN / InP)、LED、VCSEL、光探测器等相关领域及 MEMS 制造商和代工厂, 将受益于全新的 Prodigy 系列, 以高性价比实现具有市场竞争力的 ALD 批量处理能力, 并有效提升器件的性能和可靠性。Transform300 则在原本优势的 Transform 系列上继续扩充, 进一步适用 300mm 晶圆产品的 ALD 镀膜需求, 具备卓越的通用性及多功能性, 同样也是 FAB-READY, 可轻松集成到客户的产线上。”

Prodigy 为化合物半导体和 MEMS 器件的 ALD 量产技术树立了新标杆, 能够满足由高端 ALD 技术支持的众多细分市场, 是为 8 英寸及以下晶圆和多种材料提供最佳钝化及薄膜沉积的理想量产方案。Prodigy 不仅集成了 SR11 最新 ALD 技术, 更具备高性价比, 易于实现批量处理工艺以提升目标产品性能, 适用于 75-200mm 晶圆产品。

值得一提的是, Transform300 是目前市面上唯一一款结合等离子体增强和热法 ALD 有序工艺的 300mm ALD 集群工具。至此, Transform 系列可为 IDM 和代工厂提供集单片、批量、等离子体增强及热法等众多功能于一体的工艺平台, 旨在满足逻辑和存储等超大规模集成电路 (VLSI) 制造、CMOS 图像传感器、功率器件、Micro-

OLED/LED、先进封装和更多超摩尔领域的应用场景。

### 加强产业合作, 以先进技术赋能垂直行业创新

万物互联时代到来, 广泛类型的传感器产品重要性日益凸显。以 CMOS 图像传感器 (CIS) 这一典型的超摩尔应用为例, 随着芯片集成度的提升, CIS 芯片的结构也在不断创新, 例

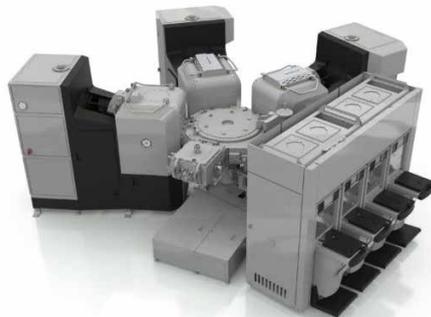
如以堆叠方式将图像传感器、存储器及更多逻辑元件进行统一封装。为了实现更优异的感光能力, 往往需要表面钝化层来减少光子的损失, 或通过抗反射涂层让更多的光子到达接收器。在这样深沟槽镀膜的场景中, ALD 可以实现 100% 覆盖, 或以不同镀膜材料、不同镀膜层数等方式组成不同的折射率、不同的叠层膜配比, 从而更好地满足客户差异化的需求。

Patrick Rabinzohn 表示: “高质量、高保形性和均匀性的薄膜是 ALD 十分擅长的领域, 目前已成为 CIS 应用的主流。与此同时, 为了面向更多超摩尔应用, ALD 工艺在全球范围也在不断开发与完善。SR11 是这一全球合作的积极参与者, 正在持续联合学术界、研究机构、材料供应商、设备子部件和工具供应商以及计量系统供应商等上下游机构/厂商展开紧密合作, 实现互惠互利、创新发展, 从而确保自有 ALD 工艺的领先地位。”

目前, 在中国市场, SR11 与国家智能传感器创新中心及各大科研院所已经建立战略合作关系, 共同专注 CIS、MEMS 等重要领域的联合研发, 致力于加速超摩尔领域的产业落地。



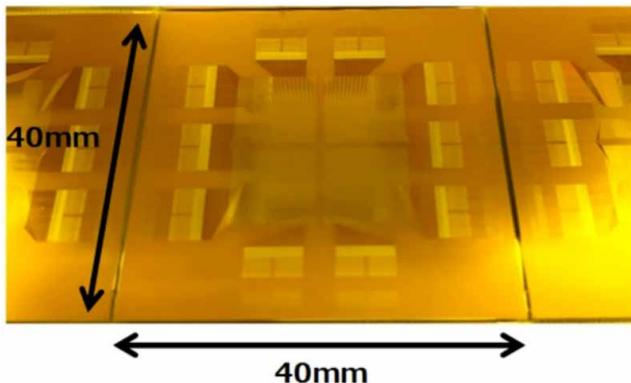
Prodigy为化合物半导体以及MEMS器件提供具有市场竞争力的ALD解决方案。



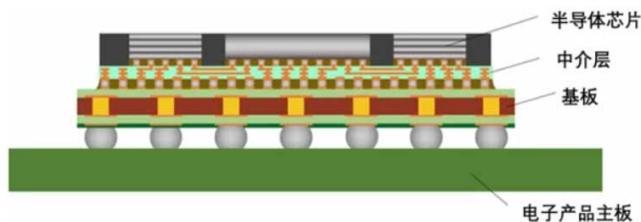
全新Transform300产品进一步匹配新兴半导体应用。

## DNP开发出新一代半导体封装用中介层

日本 Dai Nippon Printing Co., Ltd. (DNP) 开发出新一代半导体封装用中介层转接板，这是一种将多个芯片和基板进行电气连接的高性能中间器件，该器件克服了布线电阻增加和布线之间绝缘电阻下降的问题，可实现先进半导体封装所需要的高性能，有望在下一代半导体封装中发挥关键作用。



DNP 大力发展了源于印刷工艺核心的“微缩加工技术”，将其应用于制造绘制半导体电路图案的“光掩膜”板，用于下一代图案转印的纳米压印光刻技术的“模板”，以及为传感器 MEMS 提供代工服务等。通过运用在过去业务中积累的玻璃和硅基板加工以及处理技术和微缩布线技术，此次成功开发出了高性能的中介层。



这种中介层解决了随着微缩化布线而变得明显的“布线层的劣化造成的布线电阻增加和布线间绝缘性降低”的问题，并实现了下一代半导体封装所需的高性能微缩布线。

DNP 参加了由 12 家从事半导体封装材料和设备研发公司组成的联合体“JOINT2 (Jisso OpenInnovation Network of Tops 2, 昭和电工为会长单位)”，目的是建立下一代半导体的封装和评估技术，为 2024 年大规模生产中中介层做准备。通过 JOINT2 的开发和与参会公司的合作，DNP 将继续推进中介层的功能开发和量产，并为促进新一代半导体封装技术的发展而做出努力。

## 用于半导体封装的 印刷、点胶、回流焊、 清洗和热处理设备

ITW EAE 正在推进半导体封装下一代技术的创新与发展。新技术能显著提高生产率和良率。

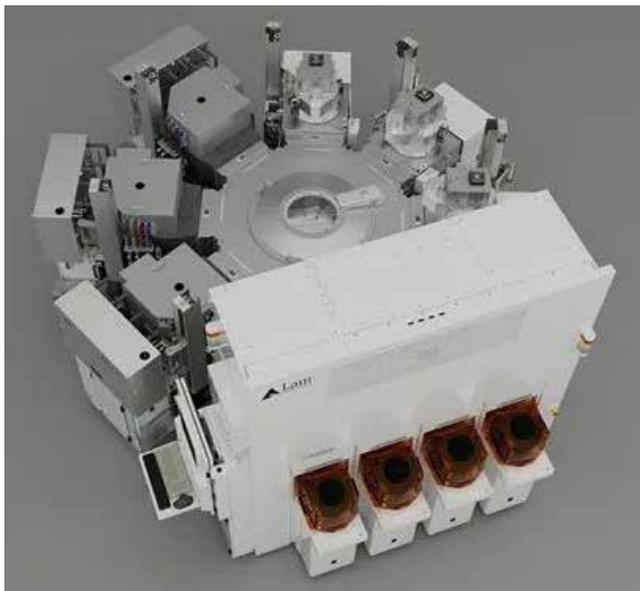
MPM® Edison™ 是市场上最精确的印刷机。Camalot® Prodigy™ 点胶机具有最先进的技术，例如 Dynamic Dual Head™ (动态双头)，无论零部件之间如何旋转，两个点胶泵都可以同步点胶。Vitronics Soltec 回流焊系统具有无与伦比的可靠性。Electrovert® 离心和在线清洗系统能对高级封装进行高性能清洗。Despatch® 提供用于聚合物固化等的高性能烘箱。

## 专为提高半导体良率而设计



## 泛林集团选择性刻蚀设备组合支持芯片3D路线图

泛林集团宣布推出一系列新的选择性刻蚀产品，这些产品应用突破性的晶圆制造技术和创新的化学成分，以支持芯片制造商开发环栅（GAA）晶体管结构。泛林集团的选择性刻蚀产品组合包含三款新产品——Argos<sup>®</sup>、Prevos<sup>™</sup>和Selis<sup>®</sup>，为先进逻辑和存储器半导体解决方案的设计和制造提供了强大优势。



集成了泛林集团最新Prevos和Selis的设备系统

随着现代技术和器件的不断发展，对提高性能和效率所需的更高器件密度的需求也在增加。为了跟上摩尔定律的步伐，芯片制造商目前正在开发垂直晶体管架构——这是一种非常复杂的工艺，需要超高选择性、精密刻蚀和均匀的各向同性材料去除，同时不改变或损坏其他关键材料层。

泛林集团的选择性刻蚀解决方案提供支持先进逻辑纳米片或纳米线形成所需的超高、可调选择性和无损伤的材料去除，使芯片制造商能够在 DRAM 达到其平面微缩极限后实现从平面结构到三维结构的又一次进化式飞跃。

泛林集团的这一选择性刻蚀产品是与全球最具创新精神的逻辑和晶圆芯片制造商合作开发而成的，已被三星电子等行业领导者的晶圆厂使用，以支持先进逻辑晶圆开发过程中的近十多个关键步骤。

三星半导体研发中心专家 Keun Hee Bai 博士表示：“半导体行业不断向更强大和更快的器件能力迈进。随着器件的密度和复杂性不断大幅提升，选择性刻蚀技术对于制造

我们最先进的逻辑器件至关重要。随着全球对三星技术的需求持续攀升，我们依靠选择性刻蚀产品所具有的各种创新技术和能力来提升产能并加速我们的逻辑器件路线图，以推出先进逻辑环栅器件，甚至更先进的器件。”

### 泛林集团的选择性刻蚀产品组合由三个新设备组成

Argos 具有革命性的 MARS<sup>™</sup>（Metastable Activated Radical Source，亚稳态活性自由基源）技术——能够选择性地改性和净化晶圆表面。其突破性的处理和调整能力使芯片制造商能够精确地处理、优化晶圆表面，以获得最佳性能。

Prevos 通过将新型化学成分和创新的蒸汽技术与灵活的温度控制相结合，实现氧化物、硅和金属的原子层精度的超高选择性刻蚀。Prevos 利用了由泛林集团开发的全新专有化学技术解决方案，可以添加额外的化学成分来满足芯片制造商的生产需求。

Selis 独具一格地采用自由基和热刻蚀能力，能够实现超高选择性刻蚀和从上到下均匀的工艺控制，而不会损坏晶圆结构。

Prevos 和 Selis 也可以作为单一的集成设备交付，以提供独特的多层选择性刻蚀、更好的排队时间控制和最大的生产灵活性。



泛林集团总裁兼首席执行官 Tim Archer 表示：“泛林集团正在推动晶圆制造技术的发展，以支持芯片行业向 3D 架构转变，并使下一代数字技术成为现实。40 多年来，泛林集团在刻蚀技术创新方面一直引领行业。我们很自豪能够延续这一传统，为当今市场上的先进逻辑和存储器提供最先进的选择性刻蚀解决方案组合。”

# 研究人员改进晶体管缺陷检测技术

**美**国国家标准与技术研究所 (NIST) 的研究人员恢复并改进了一项曾经可靠的晶体管缺陷检测技术，以识别和计算晶体管中的缺陷。

在过去的十年里，高性能计算机芯片中的晶体管元件变得如此之小，以至于被称为电荷泵的流行方法不能再准确地计算其中缺陷。NIST 新的改进的电荷泵方法对于最现代的极细微技术足够敏感，并且可以提供对缺陷的准确评估，避免这些缺陷可能会损害晶体管的性能，并影响它们所在芯片的可靠性。

新的改进电荷泵技术可以检测到小至氢原子直径 (0.1 纳米) 的单一缺陷，并且可以指出它们在晶体管中的位置。研究人员还可以利用这种新的能力来检测和控制电子的量子自旋属性。这种控制单个电子自旋的能力在基础研究和量子工程及量子计算方面都有应用。

晶体管实际上相当于电子开关。在开的位置，代表二进制数字信息的“1”，指定数量的电流从半导体的一侧流向另一侧。在关的位置，代表二进制逻辑的“0”，电流停止流动。

晶体管中的缺陷会干扰电流的可靠流动，大大降低晶体管的性能。这些缺陷可能是晶体管材料中的化学键断裂，或者可能是在材料中捕获电子的原子杂质。根据所研究的晶体管结构，科学家们已经设计了几种方法来对缺陷进行分类并将其影响降到最低。

在传统的金属氧化物半导体场效应晶体管 (MOSFET) 设计中，一个金属电极 (即栅极) 位于二氧化硅的薄绝缘层之上。绝缘层下面是界面区，将绝缘层和半导体的主体分开。在典型的晶体管中，电流通过一个狭窄的通道 (厚度仅 1 纳米)，该通道从位于栅极一侧的“源极”延伸到另一侧的“漏极”。栅极控制着通道中的电流。

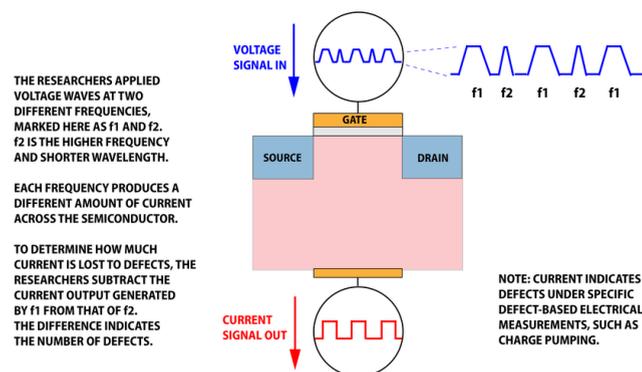
电荷泵的工作过程包括两步：检测器对栅极交替施加正、负测试电压脉冲 (在这种测试模式中，晶体管不作为开/关转换开关)。在传统电荷泵中，是以设定的单一频率交替施加正、负电压脉冲。

在测试的第一步，正电压吸引或泵送带负电的电子到栅极的绝缘层和晶体管主体之间的边界或界面。一些被抽出的电子被困在界面的缺陷中，但除此之外还有许多电子

残留在界面中。在第二步，对栅极施加负电压，将界面上多余的电子清除，只留下被捕获的电子。因为负电压也吸引正电荷载流子，即所谓的“空穴”到该区域，在那里它们与被困在缺陷中的电子结合。这种活动产生的电流与缺陷的数量成正比。所以输出的电流越大，缺陷的数量就越多。

在过去，这个电流的确是衡量缺陷的一个可靠标准。然而，随着现代晶体管中的绝缘氧化层越来越薄 (现在只有 10 到 20 个氢原子宽)，以至于量子效应开始发挥作用，混杂在传统的电荷泵测量方法中，从而影响其可靠性。

根据量子理论，电子和其他亚原子粒子永远不可能被真正困住；它们总有一些概率会逃出或“穿越”一个外壳或边界层。材料越薄，电子逃逸的概率就越高，从而产生隧道电流。随着晶体管尺寸的缩小，通过绝缘氧化层泄漏的隧道电流使得利用普通电荷泵检测缺陷几乎不可能。因此科学家们基本上放弃了电荷泵技术。



NIST 的研究人员 James Ashton、Mark Anders 和 Jason Ryan 现在找到了一种挽救电荷泵技术的方法，使其不仅适用于超薄的晶体管元件，而且更加敏感，使科学家能够记录来自单个缺陷的信号。之所以能够产生这个解决方案，是因为科学家们认识到一个关键问题：无论电荷泵的正负电压脉冲的频率如何，量子隧道产生的电流几乎保持不变。

掌握了这方面的知识后，研究团队对电荷泵技术进行了改进，在两个不同的频率下使用该方法交替施加正、负电压脉冲，而不是按传统方法使用单一频率。施加两种不同频率的正、负电压，研究人员得到两种不同的输出电流。通过从一个输出电流中减去另一个，来自量子隧道电流的恒定信号就会被消除掉。随着混杂的隧道电流的消除，

下转第12页

# 空腔嵌入绝缘体上硅 (VESOI) 为GAA器件提供新方案

随着集成电路器件尺寸的不断微缩，全包围环形栅 (Gate-all-around, 即 GAA) 器件成为先进工艺节点的重要技术，然而 GAA 器件工艺复杂，技术挑战巨大。上海集成电路材料研究院联合中科院上海微系统所研发出具有内嵌空腔的 SOI 衬底 (Void Embedded Silicon on Insulator, 即 VESOI) (图 1)，并成功应用于 GAA 器件的制备。

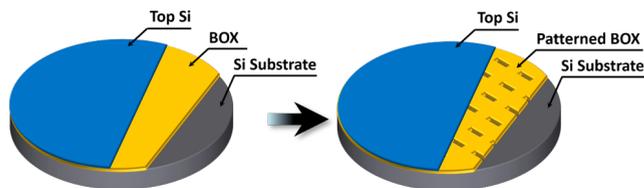


图1: SOI与VESOI衬底对比。

研发团队制备出 8 英寸 VESOI 衬底 (图 2)，实现了空腔结构在 SOI 衬底中的高密度排列。在 8 英寸 VESOI 衬底上，利用与普通平面 CMOS 工艺完全兼容的工艺流程，制备出 GAA 器件 (图 3)。

VESOI GAA 器件的栅极完全包裹了导电沟道，沟道上方和下方的栅氧层厚度一致，并表现出了优异的电学性能 (图 4)。

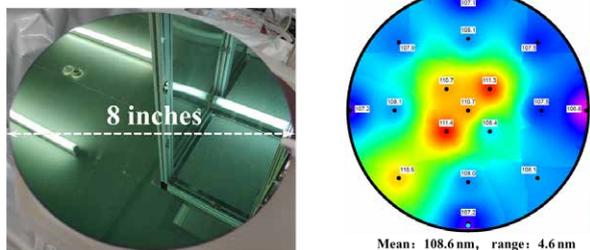


图2: 8英寸VESOI衬底实物图。

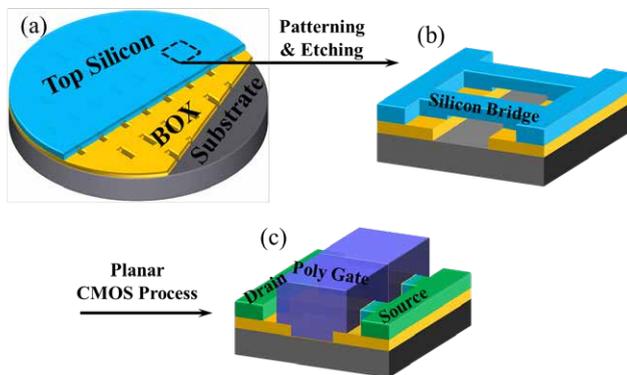


图3: GAA器件流程简要示意图。

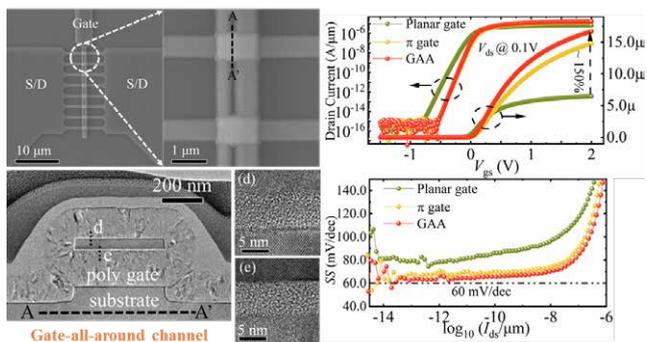


图4: 基于VESOI衬底的GAA器件表现出优良电学性能。

能 (图 4)，其最小亚阈值斜率小于 63mV/dec，电流密度较平面 SOI 器件最高可提升 150% 以上。

与目前常用的 GAA 器件工艺相比，VESOI GAA 器件工艺大大简化，并可兼容大部分工艺节点。VESOI GAA 既可用于先进工艺节点器件，也可对成熟工艺节点进行性能升级。研发团队同时还在开发将 VESOI 应用于传感器、射频器件等一系列技术，以期满足更广泛的应用需求。◆

上接第11页

研究人员能够检测出具有超小特征的晶体管中的缺陷。Applied Physics Letters 于 2022 年 2 月在线上报告了 NIST 研究人员开发的这种调频电荷泵技术。

Ashton 说：“我们给了电荷泵新的生命。”

“调频技术现在可用来观察单个界面的缺陷情况，它可以让工程师们在一个非常敏感的测量方案中控制单个电子电荷。”他补充说。

由于只涉及一个电子，输出电流等于电子电荷（这是一个由 NIST 和其他机构计算的基本物理常数）的倍数。

由于该方法可以检测到单个电子，它可以作为电子量子自旋的敏感探针。调频电荷泵可能为那些正在探索电子自旋如何在未来计算机中存储和传输信息的科学家提供有价值的指导。它也可能被证明在量子计量学中是有用的，是确定电流量子标准的一种潜在的新方法。◆

# IBM 和三星宣布颠覆传统设计的 半导体突破

在 2021 IEEE 国际电子器件会议 (IEDM) 上, IBM 和三星联合宣布, 他们在半导体设计方面取得一项重大突破。

IBM 和三星采用了一种新的垂直晶体管架构, 即垂直传输场效应晶体管 (Vertical Transport Field Effect Transistors, VTFET), 该架构展示了超越纳米片的扩展路径, 并且与按比例缩放的鳍式场效应晶体管 (FinFET) 相比, 有可能将能耗降低 85%。

在纽约奥尔巴尼的纳米技术中心 (Albany Nanotech Complex) 拥有世界领先的半导体研究生态系统, 通过这种协作创新, 带来了强大的创新渠道, 有助于满足半导体制造需求, 并加速全球芯片行业的发展。全球半导体短缺凸显了在芯片研发中投资的关键作用, 以及芯片在计算、家电、通信设备、交通系统和关键基础设施等方面的重要性。

新的垂直晶体管突破可以帮助半导体行业继续其不懈的旅程, 实现重大改进, 包括:

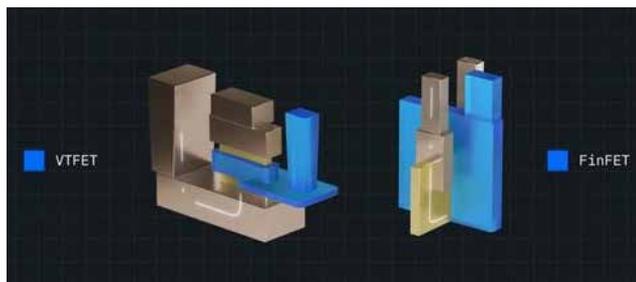
- 改进器件架构, 使半导体器件的扩展能够继续超越纳米片。
- 手机电池可以使用一周以上不用充电, 而不是几天。
- 可能使加密操作和数据加密等能源密集型工作需要的能源大大减少, 从而减少碳足迹。
- 物联网和能源需求较低的边缘设备将持续扩展, 使它们能够在更多样化的环境中运行, 例如海洋浮标、自动驾驶汽车和航天器。

在传统芯片设计中, 晶体管一直是平放在半导体表面上, 电流横向流动, 就是从一侧到另一侧。借助新型垂直传输场效应晶体管 (VTFET), IBM 和三星成功实现了垂直于芯片表面构建晶体管, 从而具有垂直或上下流动的电。

摩尔定律正在迅速接近被认为是不可逾越的障碍。简而言之, 随着越来越多的晶体管被塞进一个有限的区域, 工程师们的空间就快用完了。VTFET 工艺解决了许多性能障碍和扩展摩尔定律的限制。它还影响晶体管的接触点, 允许更大的电流流过而能量浪费更少。

VTFET 将晶体管以垂直方式堆叠, 并且让电流也以垂直方式流通, 借此让晶体管数量密度再次提高之外, 更大幅度提高了电源使用效率, 突破了目前的制程设计瓶颈。VTFET 另辟蹊径, 攻克了常规做法所面临的诸多难以逾越的困难和瓶颈, 使芯片设计人员可以在相同的面积上放置更多的晶体管, 而整体上不会增加较大的功耗。

在相同占位面积和激进的低于 45nm 栅极间距两种情况下, 将 VTFET 纳米片和按比例缩放的 FinFET 器件仿真结果进行比较。由于 VTFET 保持良好的静电和寄生效应, 而 FinFET 性能受到严格的缩放限制的影响, VTFET 纳米片在等效功率下提供了按比例缩放的 FinFET 约 2 倍的性能。或者, 与外推的功率性能曲线上的等效频率相比, VTFET 与按比例缩放的 FinFET 架构相比功率降低可以多达 85%。



近期, IBM 方面还宣布在 2 纳米芯片制造技术方面取得了重要突破, 可实现在指甲大小的空间中安装多达 500 亿个晶体管。IBM 的半导体突破很多, 包括首次实现 7 纳米和 5 纳米工艺技术、高 k 金属栅极技术、SiGe 沟道晶体管、单单元 DRAM、Dennard 比例定律、化学放大光刻胶、铜互连布线、绝缘体上硅技术、多核微处理器、嵌入式 DRAM 和 3D 芯片堆叠等。

VTFET 创新专注在一个全新的维度, 它为摩尔定律的延续提供了新途径, 当然也可以进一步提高芯片的性能。IBM 研究院混合云和系统副总裁 Mukesh Khare 博士表示: 这项新技术突破传统思路, 重新思考我们应该如何持续推动社会进步, 通过提供新的创新来改善人类生活和工作, 并减少对环境所带来的负面影响。◆



## IMEC通过背面互连显著提高3D-SOC的性能

通过使用新的背面互连方法，IMEC的主要研究人员与Cadence EDA程序员合作显著提高了3D-SOC电路的性能。

3D-SOC 是一种极具吸引力的异构集成方法，用于解决高性能系统中的内存墙问题。利用背面互连的新方法可以提高 SOC 性能。当将集成晶圆之一的背面用于供电、信号路由或两者兼具时，可以在系统级实现进一步的性能提升。IMEC 的研究人员 Dragomir Milojevic、Geert Van der Plas 和 Eric Beyne 等人深入研究探讨了迄今为止各种有前途的方法，他们在 2021 年 IEEE 国际电子器件会议 (IEDM) 上发表的两篇论文中介绍了 3D-SOC 设计和特定电路中背面互连的优势。

### 3D-SOC设计方法超越chiplet 实现多芯片异构系统集成

用于高级计算、数据服务器或深度学习应用的数据密

集型高性能系统越来越受到所谓的内存墙的影响——即不能快速访问数据的挑战。拆除内存墙的一个有趣方法是利用 3D-SOC 集成。遵循 3D-SOC 异构集成方法，系统会自动划分为独立的芯片，并且可以在三维空间中同时设计和互连这些芯片。

在 2021 年 IEDM 的受邀论文“3D-SOC 集成，超越 2.5D 小芯片 (3D-SOC integration, beyond 2.5D chiplets)”中，作者解释了这种 3D-SOC 概念如何超越当今流行的小芯片方法来实现多芯片异构系统集成。IMEC 高级研究员、研发副总裁兼 3D 系统集成项目总监 Eric Beyne 说：“小芯片 (chiplet) 方法需要单独设计和加工每个 chiplet 的芯片。一个众所周知的例子是高带宽存储器 (HBM) ——

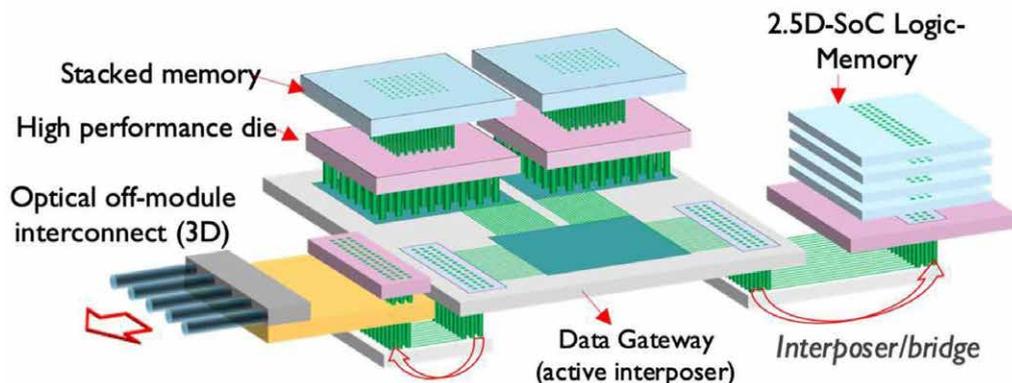


图1: 未来可能的高性能系统的抽象视图。在有源中介层芯片上实现具有3D-SOC堆叠存储器的高性能芯片, 有源中介层芯片作为数据网关, 并以“2.5D”方式与本地高带宽存储器(HBM)和光收发器模块相连接(在2021 IEDM上展示)。

动态随机存取存储器(DRAM)芯片的堆栈。这种存储器堆栈需要通过接口总线连接到处理器芯片, 因此, 它们的使用范围被限制在能够容忍延迟的应用中。同样, chiplet的概念也不能确保在逻辑与快速、一级和中级缓存存储器之间进行快速访问。”

通过3D-SOC集成, 可以使用直接且较短的互连来实现内存-逻辑分区, 从而显著提高性能。在这篇论文中, 作者展示了3D-SOC设计的优化实现, 内存宏位于顶部芯片中, 其余的逻辑位于底部芯片中——与2D设计相比, 工作频率提高了40%。

他们还讨论了实现全功能3D-SOC的关键挑战。IMEC首席科学家、布鲁塞尔自由大学教授Dragomir Milojevic说:“在设计方面, 逻辑和内存分区都需要3D-SOC协同设计策略。这需要能够同时处理两种设计的专用EDA工具, 在布局布线期间使用自动化工具进行系统分区和3D关键路径优化。通过与Cadence合作, 我们可以使用这些非常先进的工具。”在技术方面, 晶圆到晶圆混合键合解决方案的进步使非常高密度的芯片到芯片互连成为可能, 对于一级和中级高速缓存进行分区这是必需的。

### 下一步: 利用晶圆的背面

高性能3D-SOC系统的一种可能分区是将部分或全部内存宏放置在顶部裸片中, 而将逻辑放置在底部裸片中。在技术方面, 这可以通过使用低温晶圆到晶圆键合技术, 将“逻辑晶圆”的有源正面与“存储器晶圆”的有源正面进行键合来实现。在这种布局配置中, 两个晶圆的原始背面现在都位于3D-SOC系统的外部。

Eric Beyne表示:“我们现在可以考虑利用这些晶圆的‘空闲’背面进行信号路由或直接为‘逻辑晶圆’中的晶体管供电。传统上, 信号路由和电源传输都是放在晶圆的正面, 它们在复杂的后端(BEOL)互连方案中争夺空间。在这些传统设计中, 晶

圆背面仅仅用作载体。2019年, Arm通过仿真实验首次显示了在中央处理单元(CPU)设计中使用背面供电网络(BSPDN)带来的有益影响, 该CPU是由IMEC开发的3nm工艺制作的。在此设计中, 位于晶圆减薄的背面上的互连金属通过位于埋入式电源轨(BPR)上的硅通孔(TSV)与晶圆正面的3nm晶体管相连接。模拟结果表明, 该BSPDN的效率是传统正面供电网络(PDN)的七倍。”

因此, 当使用BSPDN给位于“逻辑存储器(memory-on-logic)”3D-SOC底部的耗电核心逻辑电路供电时, 可以预期获得额外的性能提升。我们还可以考虑另一种3D-SOC分区, 其中部分存储器结构块(例如L1级缓存静态随机存取存储器(SRAM))也位于底部芯片中, 也从背面供电。

除了扩展3D-SOC设计的可能性之外, BSPDN还被提议用于单芯片逻辑和SRAM片上系统(SOC), 它们可以帮助器件和IC进一步实现等比例缩放。IMEC项目经理Geert Van der Plas说:“已经证明将供电网络移至芯片的背面是一种有趣的方法, 可以解决后端(BEOL)布

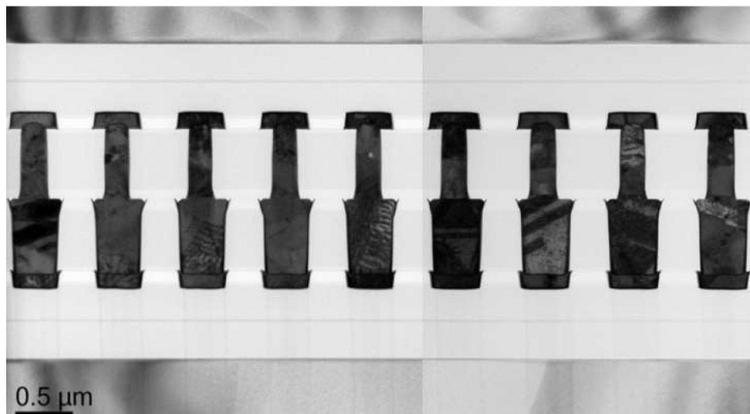


图2: 具有700nm间距的晶圆到晶圆混合键合(在2021 IEDM上展示)。

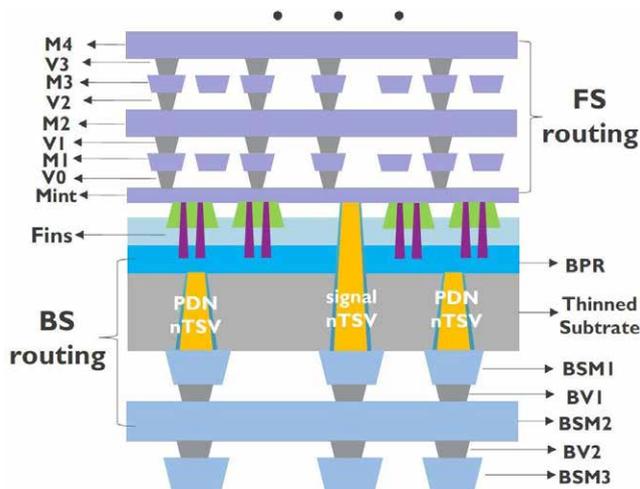


图3: 传统用于供电网络 (PDN) 和信号路由的正面 (FS) BEOL和背面 (BS) 金属示意图。用于供电网络路由的背面金属使用 nTSV 将背面金属与掩埋电源轨 (BPR) 相连接, 而用于信号路由的背面金属使用 nTSV 将背面金属与正面金属相连接 (在 2021 IEDM 上展示)。

线拥塞挑战, 并减少 IR 压降。这与 3D-SOC 方法的主要区别在于, 现在要在目标晶圆上粘合一个挡片 (dummy wafer), 以便对晶圆背面进行减薄和金属化。”IMEC 的一个合作伙伴最近宣布将在其未来节点的一种芯片中采用这样的 BSPDN 概念。

### 背面互连进一步提高 SRAM 宏和逻辑的性能

虽然 BSPDN 的好处已经在特定设计中得到证明, 但利用晶圆背面进行全局信号路由可以预期获得额外收益。IMEC 与 Cadence 合作, 首次评估并优化了部分从背面布线的 SRAM 宏和逻辑电路设计。SRAM 宏不仅涉及存储器位单元阵列, 还涉及外围电路 (如地址解码器、控制块等) ——与处理器设计相关。

对于 SRAM 宏和逻辑, 有多达三个背面金属层用于信号路由, 而纳米 TSV (nTSV) 将背面金属布线连接到正面。SRAM 宏在其设计中实现了 2nm 纳米片晶体管。在

这些宏中, 只有外围电路的全局布线设计采用背面金属化。对于逻辑, 使用环形振荡器框架来评估背面信号路由的影响。该设计在逻辑标准单元中实现了 2nm 技术节点的叉型片晶体管。使用相同的 2nm 叉型片工艺设计套件 (PDK) 的 64 位 ARMTM CPU 的物理实现用于确保环形振荡器仿真结果的意义。

Geert Van der Plas 表示: “与正面布线相比, 背面布线在改善长互连信号布线的延迟和电源效率方面明显更有利。对于 SRAM 宏, 与正面布线相比, 我们得到高达 44% 的性能提升和高达 30% 的电源效率提升。对于逻辑单元, 背面布线使速度提高了 2.5 倍, 能效提高了 60%。”R. Chen 等人在 2021 IEDM 的论文“在 2nm 节点使用背面互连设计和优化 SRAM 宏和逻辑 (Design and optimization of SRAM macro and logic using backside interconnects at 2nm node)”中介绍了这些研究结果。

通过实验和建模相结合, 可以评估电路的性能和电源效率。Dragomir Milojevic 介绍: “实验涉及到在电容和电阻方面对 nTSV 工艺优化, 以确保正面和背面金属之间的良好电气连接。这些参数被输入到一个模型中, 用于进行模拟。最后, 我们的团队执行了设计 - 技术协同优化 (DTCO) 驱动的路由优化, 显示了进一步改进的途径。通过降低背面金属的电容, 我们又将性能提升了 20%。”

### 结论

通过系统架构重新设计和 3D 集成技术实现的异构 3D-SOC 方法已被证明, 是一种有吸引力的提高系统性能的方法。通过利用底部晶圆的背面进行供电和 / 或信号路由, 可以获得额外的性能提升。IMEC 首次展示了在 SRAM 宏和逻辑电路中使用背面互连的有益影响。这些背面互连可为高性能 3D-SOC 以及单芯片 SOC 带来性能改进。◆

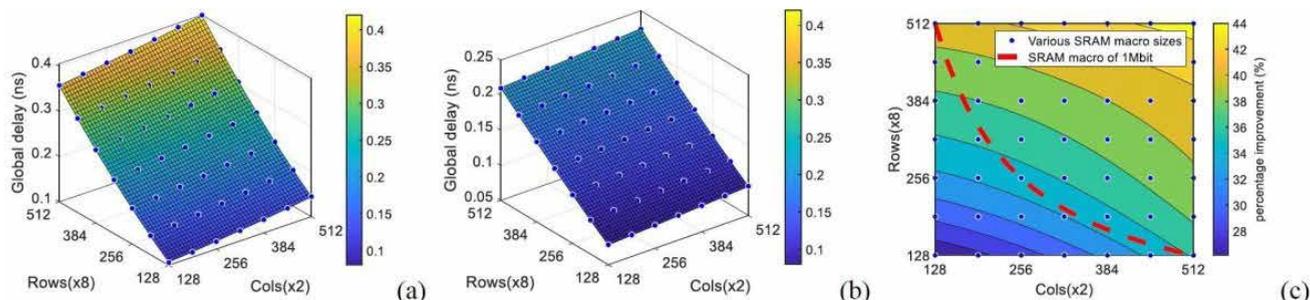


图4: SRAM 宏在不同宏行和宏列的全局布线延迟 (读取访问) 情况。(a)正面; (b)背面; (c)从正面到背面的改进。宏的大小范围从  $128 \times 128 \times 16 = 256\text{kbit}$  到  $512 \times 512 \times 16 = 4\text{Mbit}$  (在 2021 IEDM 上展示)。

# 先进 MES 能力可以延长半导体晶圆厂的生命周期

正如当前全球微电子产品供应短缺的状况向世人展现的那样，半导体制造并不是件简单的事。创建 IC 晶圆厂并不是为了快速运转，而是为了以低成本生产高质量产品。先进制造执行系统（MES）通过什么方法能够帮助晶圆厂实现产量最大化，同时延长其有效的使用寿命呢？Critical Manufacturing 的专家们对此做了概述。

半导体制造无疑是世界上最复杂且容易受影响的制造工艺之一。在硅晶圆上制作小到 5nm（或更小）的线宽和几十亿个晶体管，意味着在制造过程中，哪怕是极小的振动或位错，都将造成问题。除了制造所要求的精细复杂的工艺流程之外，该行业还面临着进一步的挑战，包括非常短的产品寿命周期（涉及成百上千万的器件），抑或是需要在几十年的时间里生产小批量的利基产品。在当今世界上，只有为数很少的几家半

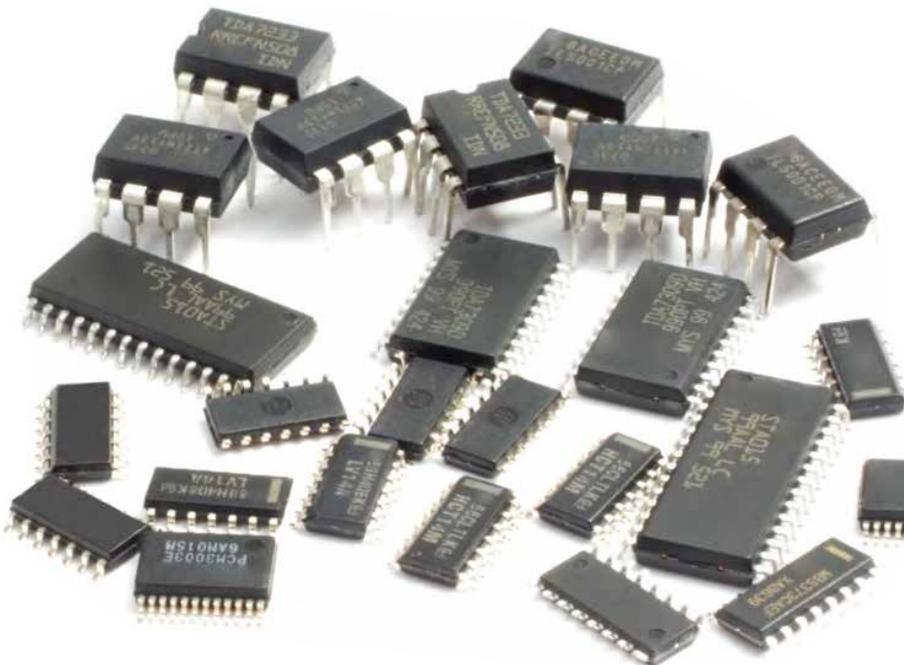
导体公司有能力投资新建拥有最新设备和技术的容量晶圆厂。由于需要购置极其昂贵的设备，比如单台售价超过 1.25 亿美元的极紫外光（EUV）扫描仪，还要建立造价不菲的洁净室，因此真正使得 IC 制造成为最具挑战性的企业环境之一。

在过去的 20 年里，在前端芯片加工中增加晶圆尺寸和提升性能一直是业界关注的焦点，制造商指望依靠更昂贵的 300mm 晶圆技术来满足客户对于高品质、大批量产品的需求。

但是，随着芯片制造规模的扩大，以及使用芯片的产品的数量和种类日益增多，人们逐渐认识到：并不是所有芯片的生产都需要采用最新的技术并以百万颗为产量级别。在现今生产的 IC（甚至是先进产品中使用的那些集成电路）当中，有相当大一部分仍然能以高效和有盈利的方式在较小的 150mm 和 200mm 晶圆厂进行生产，这些晶圆厂近几年来正经历着一场令人惊讶的复兴。在此类规模较小的晶圆厂中，有许多是上世纪 90 年代（甚至 80 年代）起家的；很多设备虽然都追溯到上个世纪，但是依旧遵守工业制造标准。由于频繁的升级、随时可用的替换部件，以及更精细复杂的机器人和传感器的加入，加上全面的维护计划部署到位，因此这种设备的寿命之长可能会让人颇感惊讶。

智能制造逐步在半导体行业站稳了脚跟，而且工业 4.0 技术正在为日趋老化的工艺装备注入新的活力，以使它们的运行更具成本效率。

通过采用新式的制造执行系统（MES），可以延长陈旧半导体生产设备的寿命，并能增添先进的功能，可以为半导体行业提供未来



作者：CRITICAL MANUFACTURING 公司

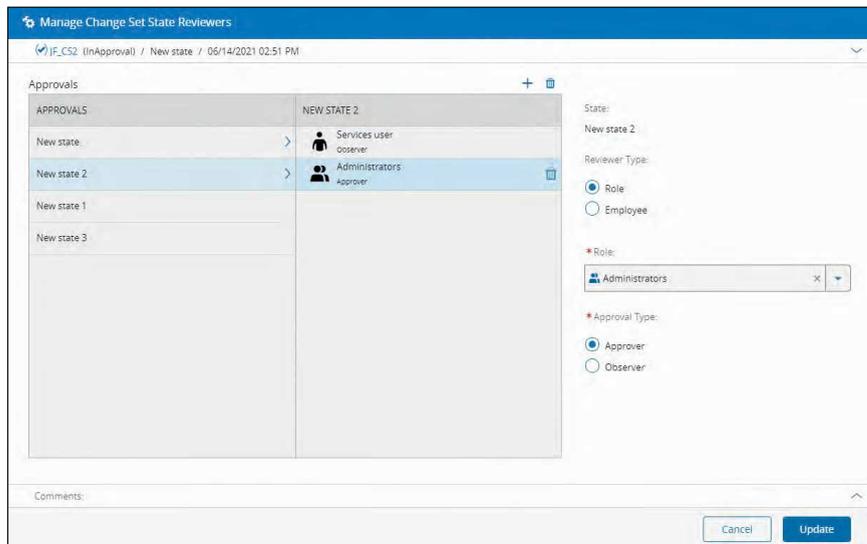


图1: 专为支持先进半导体制造而设计的上佳 MES 的标志之一是一个简单的接口; 理想情况下, 该接口应当: 直观; 支持多个生产场地; 提供多语种选项和简易导航。

发展的途径。

面向未来的 MES 为制造商提供了应对诸多挑战的解决方案。它能够通过改进效率来提升生产能力和总产量, 并不需要扩大成本昂贵的洁净室空间。它可以改善生产的一致性, 减少会造成严重损失的加工误差, 加快新产品的上市, 并为打造最新、最先进的生产流程提供解决方案。部分或者所有这些优势不仅对于制造商的盈利能力至关重要, 而且可能实际上也是事关一家公司生存的关键。

### 为什么要采用 MES? 该如何选择呢?

面对半导体制造的成本因素和变化多端的格局, 需要一种能够适应未来的 MES 解决方案。数据的重要性比以往任何时候都高, 它可以使制造商拥有一种更好的监视和控制工艺过程的方法, 并为帮助解决生产难题和支持决策提供更深入的见解。

随着数据量继续以惊人的速度增长, 首要的是, 面向未来的 MES 需要纳入一个完全可扩展的工业物联网

(IIoT) 数据平台, 用于摄取、处理和分析大量的数据点, 如果语境化和分析正确完成, 就能提高学习速度, 以帮助推动生产效率的提高, 并提供持续的工艺改进。

虽然新建的晶圆厂和采购的设备可以是高度自动化的, 但是为此承担的成本是非常高的。对于老的晶圆厂来说, 新式 MES 解决方案提供了一种延长设备和工具寿命的方法, 这样, 就不会出现由于需要建造和装备一家

新的晶圆厂而耗资数十亿美元的严酷局面。但是, 获取成功需要借助高度通用的系统, 此类系统能够实现新型 IoT 装置与老式传统设备的整合, 以提供工厂作业的完全可视化。通过提供更好的控制和更严格的加工精度, 合适的 MES 解决方案能够提高生产能力、效率和总产量, 从而为生产商提供显著的优势, 特别是在当前市场上芯片供应出现短缺的情况下。

比较老的工厂常常具有一个老式 MES, 以及操作人员多年来使用的形形色色完全不同的系统。在给定的环境中长期操作也许能建立信心, 但是, 由于多年的技术升级和额外应用程序的添加, 此类老系统的维护消耗了大量的专用资源, 这是一个客观事实。

由于这么多的资源都重点放在了保持“虽然过时、但却为人熟悉的”系统的正常运转上, 因而很容易忘却这样一点, 那就是, 目前可用的先进 MES 可以实质性地改善企业的生产能力和盈利能力。对于企业已经合并或被收购的情况来说, 尤其是这样; 位于不同地点的晶圆厂常常具有不同的 MES 解决方案。这给

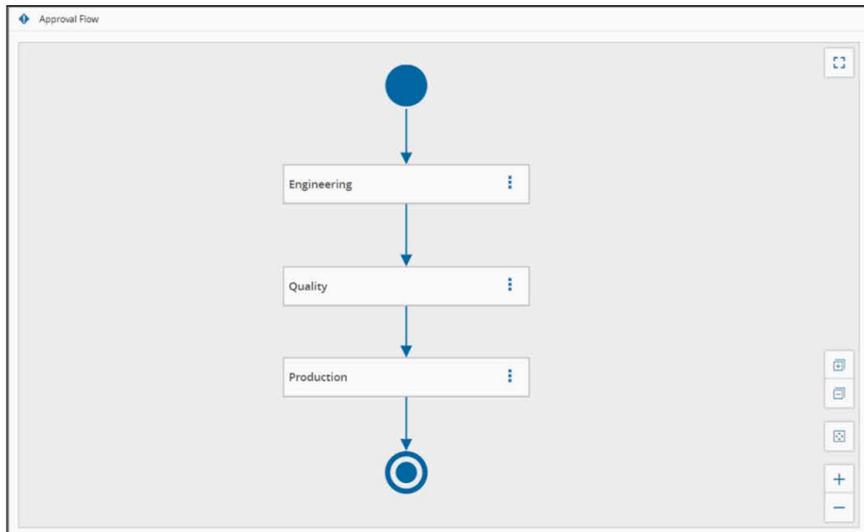


图2: 在记录信息流和实现诸如工艺步骤变更批准等任务的自动化时, 层次结构和工艺流程的简单图形描述(图示)有助于快速理解手头的任务。

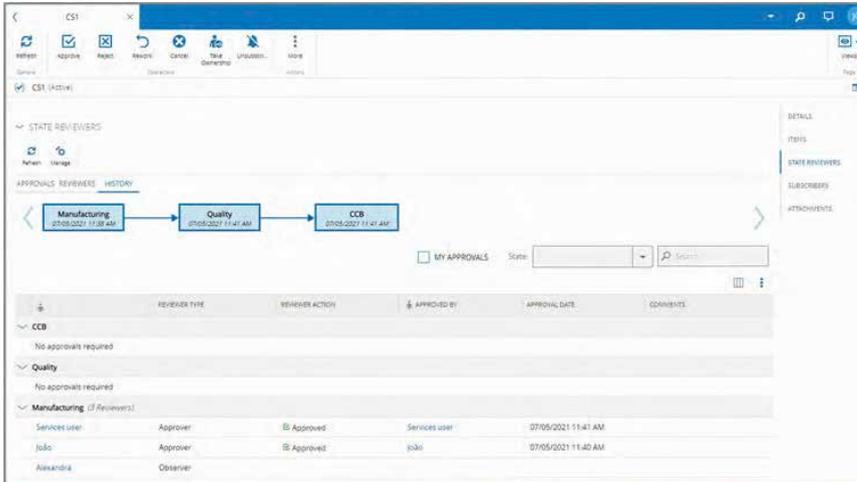


图3: 具有明确存取点的典型控制布局; MES 工具的开发应始终听取来自当前用户和新用户的持续反馈。

工厂的开销增添了一个额外的维护层 (maintenance layer), 并影响和抑制了跨多个厂地全面优化生产的能力。

对于老的晶圆厂来说, 从新型 MES 可以期待获得什么呢? 一家主要制造商发现, 将完全不同的系统和工艺流程纳入一个与 ERP 集成的整体 MES 解决方案, 可以产生实质性的好处。首先, 它迫使他们组织信息和执行协议, 这反过来又形成了更好的理解和持续的改进, 以满足日益严谨的要求。与以前采用老式 MES 技术来指导车间工艺流程相比, 新型 MES 提供了急需的精细度增加, 以推

动效率提升。采用新型 MES 后, 一次合格率增加, 而生产周期缩短; 另外, 还有有益信息流增加、工艺流程可视化程度提高, 以及误差减少等优点。总的说来, 这对盈亏底线的影响是很显著的。但对于未来而言, 也许更重要的是: 今天在完全可扩展 MES 方面所做的投资, 为这家客户通过老式设备整合和更严格的参数控制来降低成本和扩大生产能力, 同时实现未来的拓展, 提供了更多的方法。从本质上说, 该客户既拥有了生产效率大幅提高的当前生产环境, 又为将来的发展收获了一条更加容易的途径。

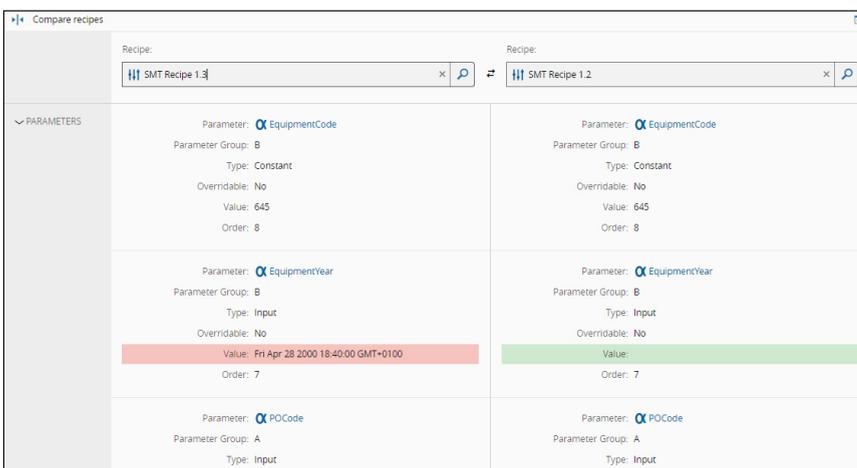


图4: 对一个工艺配方与那些正在开发的工艺配方的各个方面进行比较能力, 是任何优良 MES 应提供给其用户的一个关键优势。

## 用于先进生产场景的 MES 主数据管理

晶圆厂里的每件产品都可能要求跟踪数千条信息, 这些信息有关工艺流程、配方、参数、光罩、规格和采样, 等等。新式 MES 必须能够容易地维护和控制这些海量的数据, 并提供最终产品的完整材料历史, 以及全面的变更管理和版本化控制。

它必须能灵活地处理为每一层做变更的常见子流程, 并提供重用完整流程块、同时定义适当上下文的机制。

## 加工之前的自动验证

生产某个给定的半导体产品可能要经历几百甚至上千道工序, 在整个过程中必需对所有的事项实施跟踪, 并进行检查, 以确保没有发生错误加工。在加工之前进行自动验证, 可以降低出错的风险, 借助的方法是: 验证适当的产品是否采用了合适的加工工具, 是否采用了正确的工艺配方和恰当的耐用材料, 以及操作人员是否经受了正确的培训并拥有授权。

## 多腔室工具

集束型设备具有多个腔室, 这些腔室能够并行 (或者按顺序) 运行工艺流程, 从而提供了很高的效率。工具供应商通常针对效率最大化、腔室专用或某些工程案例提供不同的运行模式。然而, 这些工具需要正确的建模和 MES 中的特殊控制逻辑, 以充分利用复杂的功能。例如, 如果有任何腔室不能工作, 那么 MES 就需要确定机器是否仍然可以用于任何给定产品。另外, 它还需要在关键绩效指标 (KPI) 计算中得到反映, 如可用性、利用率和设备综合效率 (OEE)。

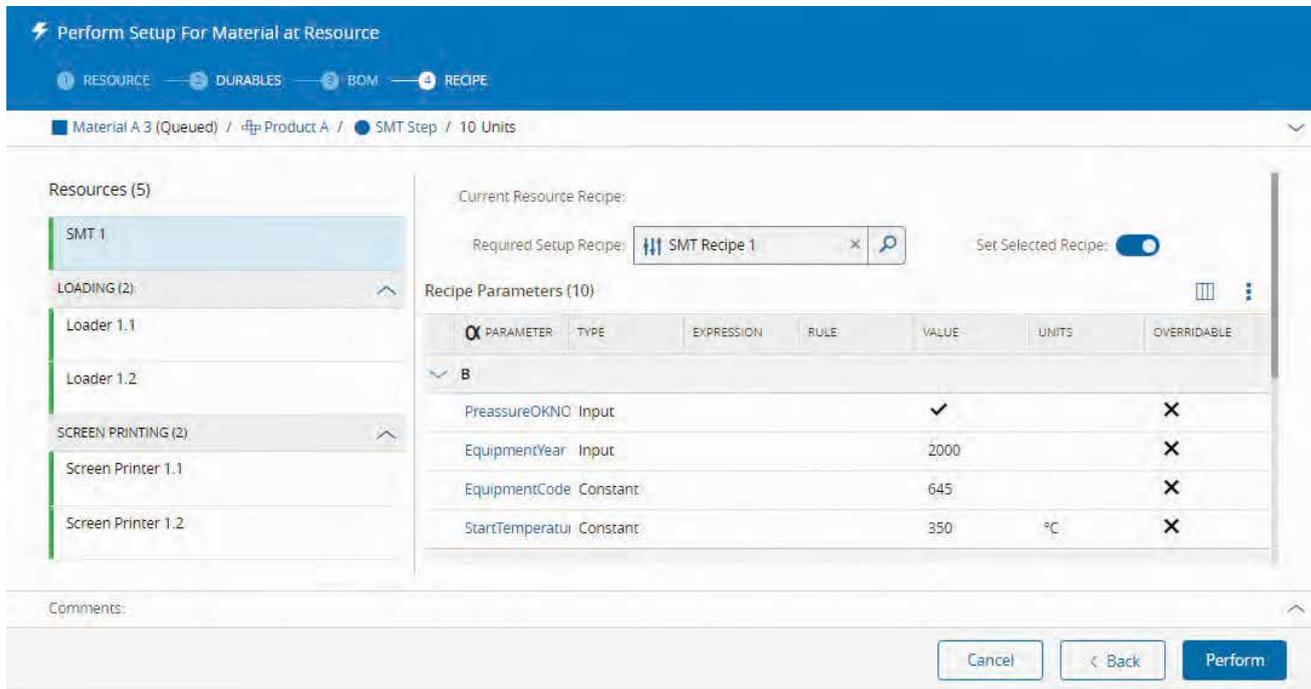


图5: MES 体系内部的工艺配方管理必需与生产经理设定的主要参考点、以及公司希望拥有访问和管理特权的任何其他参考点相对应。

## 实验管理

由于许多半导体产品的生命周期都很短，因此在生产晶圆过程中，工程改造和开发产品所占的比例有时会达到 50% 以上。这需要对小批量产品进行高效管理，并具有调整过程变量和快速比较结果的能力。实验设计 (DoE) 模块可以支持实验晶圆组的加工处理，并考虑到涉及的许多过程变量。将 DoE 模块集成到 MES 中，即可容易地创建试验运转，并将它们与所有其他生产批次一起执行。MES 内部固有的跟踪和可追溯性将进一步确保收集到所有必要的的数据，以实现高效的结果评估。

## 工艺配方管理

前端半导体加工制程会涉及高度复杂的工艺配方；至关重要是，应确保对某个特定的产品使用了合适的工艺配方。具有集成型工艺配方管理系统的 MES 为用户提供

前端半导体加工制程会涉及高度复杂的工艺配方；至关重要是，应确保对某个特定的产品使用了合适的工艺配方。

了集中管理工艺配方及其参数的能力。此外，通过设备集成，可以更有效地管理在 MES 和设备之间进行的工艺配方的按需上传和下载。自动化工艺配方管理可以避免发生人为错误，并减少晶圆的被迫返工或报废。

## 批次对批次 (run-to-run)

对于提高良率和改善质量来说，前馈和反馈工艺程序控制是必不可少的。MES 能够分析前一个批次的的数据，以确定是否需要调整工艺配方参数，从而始终保持严格的容限。例如，假若某道蚀刻工艺的结果开始出现参数漂移，那么，或许意味着晶圆必需在化学浴中停留更长的时间，或者，就需要增大电流，以实现所要求的工艺结果。对于复杂的批次对批次计算，MES 应能够与某种专用应用程序 (如 Matlab) 互动。

## 光罩管理

除了跟踪晶圆之外，MES 还需要跟踪光罩和探针卡，从而确保使用正确的耐久材料，同时实现车间内数千种耐久材料中任一种的高效准确定位。它必须在适当的加工步骤强制使用正确的掩模，并出于维护目的跟踪使用情况。它必需在批次历史材料内纳入有关掩模的数据，并能够依照生产调度将可用甚至专用掩模分配给不同的制程工作。

PARAMETER	TYPE	EXPRESSION	RULE	VALUE	UNITS	OVERRIDABLE
Parameter1	Constant			050	Un	✓
Parameter2	Constant			1	Kg	✗
StartDate	Input			2020-04-28	Hr	✗
PrepDuration	Input			4/28/2020 6:40:00	Min	✗
A						
POCode	Input			Feed		✗
ValidationCode	Constant			GTE		✗
B						
PressureOKNOK	Input			True		✗

图6: 监视工艺步骤和子组件模块应当是直接和具有明确访问共性的, 不管是在生产车间使用, 还是在管理中心使用。

加其受污染程度。空容器的管理对于确保它们在启动制造、拆分或转移等物流步骤中的及时可用是很重要的。

### 时间限制

许多前端制造工艺都具有严格的时效性。而且, 某些工艺步骤之间的时间也经常需要监视, 这样就不会有工艺步骤明显偏离其既定的容限范围。MES

### 提前运送晶圆: 拆分和合并

有时需要将一颗晶圆从输送盒拆分后提前运送, 以测试某项工艺。必需对该拆分(在此过程中对单颗晶圆单独加工处理)进行跟踪, 但是, 系统后来还需要能够将这颗晶圆合并回原先所属的批次中。在有些场合, 这并不需要进行晶圆的物理拆分。作为替代, 通过提前运送通道(send-ahead path)移动整个晶圆输送盒, 由MES负责控制设备所需加工的凹槽, 同时将其余的晶圆遮蔽起来。MES必需支持创建一个提前运送的运行程序, 并为该晶圆批次的其余晶圆提供适当的场景支持, 直到确认了该工艺步骤的成功为止。

### 分选

尽管用于构建微处理器的晶圆都是采用相同方法制造的, 但是, 在加工结束时, 有些芯片的性能或许有所不同。最高效芯片的售价可以较高。因此, 对芯片进行分级是可取的, 这就需要识别产品性能的高低。不管是单独的应用, 抑或是MES的一部分, 分选都是一项至关重要的生产能力。

### 容器跟踪

不管是卡盒、箱子、抑或是前开式晶圆传送盒(FOUP), 容器与其所装载的内容有关的信息也是需要跟踪的。MES必需确保容器得到了正确的维护, 而且在工艺制程之间没有交叉污染的风险。它必须支持不同污染等级之间的相容性矩阵的定义, 并随着载具的使用自动地增

加其受污染程度。空容器的管理对于确保它们在启动制造、拆分或转移等物流步骤中的及时可用是很重要的。必须支持任何工艺步骤之间的进程队列时间限制的定义, 并确保所有的时间限制均得到遵守, 而当未得到遵守的时候, 需要发出警告, 假如违反了时间参数, 那么错误规则应开始起作用。

### 工具专用

业务繁忙的半导体生产晶圆厂经常需要优先考虑特定的批次, 或在分配机器时以它们在加工某些特定产品类型时的表现为依据。新式MES必须支持一种通用的机制, 以预先设定在某个特定的工艺步骤, 必须使用哪些设备(腔室、耐用材料, 等等)来加工一个批次的产品。

### 总结

前端半导体制程的复杂性和变化性需要采用功能丰富、并且高度灵活的MES。解决方案应能适应所有的生产场景, 并为越来越多来自设备和传感器的数据量提供现成的可扩展性。面对目前很高的半导体市场需求, 新式MES能够帮助老的晶圆厂保持业务的盈利性, 同时延长其工具和运营的生命周期。它能够增加小晶圆厂的产能、提高良率、减少加工误差和提高生产速度。它提供了一种有效管理可用数据和从这些数据获取价值的方法, 并为将来处理增添新的传感器、设备和应用模块提供了灵活性。先进的MES是为可配置性、灵活性和直接部署专门构建的。一旦正确部署, MES就能降低管理生产系统的开支费用, 同时延长老晶圆厂的生存期。◆

# ALD助力解决5G射频滤波器挑战

全球推出的5G移动服务正在创造巨大的机遇，但这些光明的前景，并没有减少制造商在射频滤波器等关键组件方面所面临的技术挑战。Veeco公司介绍其ALD技术如何为无线设备制造商带来改变。

**随**着5G的出现，预计射频（RF）滤波器将以更低的成本做更多的事情。当然，他们也面临着以越来越快的速度接收和传输越来越多数据的挑战。

而在低于6GHz的范围内，这种情况进一步复杂化了，因为为移动通信分配了相对较窄的频谱片段，而这些频谱通常夹在为各种应用分配的频段之间，其中一些还是极其重要的应用。这使得漂移、性能和功率位于关键的考量路径上。另一方面，在成本方面，射频滤波器正在变得商品化。

## ALD会有帮助

原子层沉积（ALD）生产具有原子级控制的超薄保形薄膜。在沉积方法方面，该技术在结合薄膜保形性、低温处理、化学计量控制和固有薄膜质量方面是无与伦比的。虽然ALD已经存在了半个多世纪，但其低沉积率使其对需要高吞吐量工艺的应用并没有太大吸引力。

经过近十年的发展与进步，ALD现在已经成为一种适用于广泛应用的快速且具有成本效益的技术。其采用和部署受到了高K和高级DRAM的巨大推动。许多技术人员和研究人員正在用ALD取代旧的沉积技术，例如蒸发、溅射和化学气相沉积（CVD），从而利用ALD以高度一致的方式在3D物体内部和周围产生保形涂层的独特能力。对于射频滤波器，由ALD生长的超薄电介质层可以经济高效地解决稳定性、可靠性和功率耐久性问题。

## 为什么现在针对射频器件采用ALD?

手机内的射频滤波器功能可以有所变化，但一般来说，其功能就是允许特定频率的信号通过，无论它们是接收（下行）频率-Rx，还是传输（上行）频率-Tx。关键的滤波器性能参数包括：

- 频率通带内所需信号要低损耗；

- 阻带频率中不希望的干扰要充分衰减。

每个天线和新频率都需要一个新的滤波器。使用5G，智能手机中的滤波器数量将增加一倍，每部手机达到100多个。射频滤波器参数必须满足环境和生产所需的变化。直到4G/LTE，设计人员都能够为系统中的各种变化来源留出一定余量。

但现在5G较低频率中的可用频段间隔如此之近，可用频率之间的保护频段（guard bands）仅为几兆赫兹，并且双工器间隙（发射和接收频率之间的过渡空间）已经最小化<sup>1</sup>。而接收方面的改进也有助于增加数据容量。这通常是通过更高的功率要求来实现的，从而最大限度地减少信号衰减。

## 需要新的射频滤波器设计方法

现在大多数智能手机都使用声学滤波器。主要考虑处理较低频率的声表面波（SAW）滤波器和处理较高频率的体声波（BAW）滤波器。

SAW滤波器通常基于压电材料，例如铌酸锂（LNO）或钽酸锂（LTO）。对于体声波滤波器，氮化铝（AlN）是首选的压电材料。在这两种情况下，滤波器现在都需要在各种工作条件下具有更低的损耗、更高的Q值、更陡峭的频率截止性能和更强的信噪比（SINR）。

在射频滤波器中实现陡峭的截止，需要薄膜具有更好的刻蚀质量分布和均匀性。更薄的涂层需要改进沉积工艺，以及无针孔的超薄钝化层。此外，生产批次间的重复性对于以较低的成本实现高生产率以及满足批量要求至关重要。

由于射频器件的材料组需要使用复杂的压电材料，如LNO和LTO，ALD的独特性能可以让厂家通过采用包封和阻挡膜，从而获得高稳定性的滤波器性能。ALD薄膜

作者：Ganesh Sundaram博士，VEECO公司研究与工程副总裁

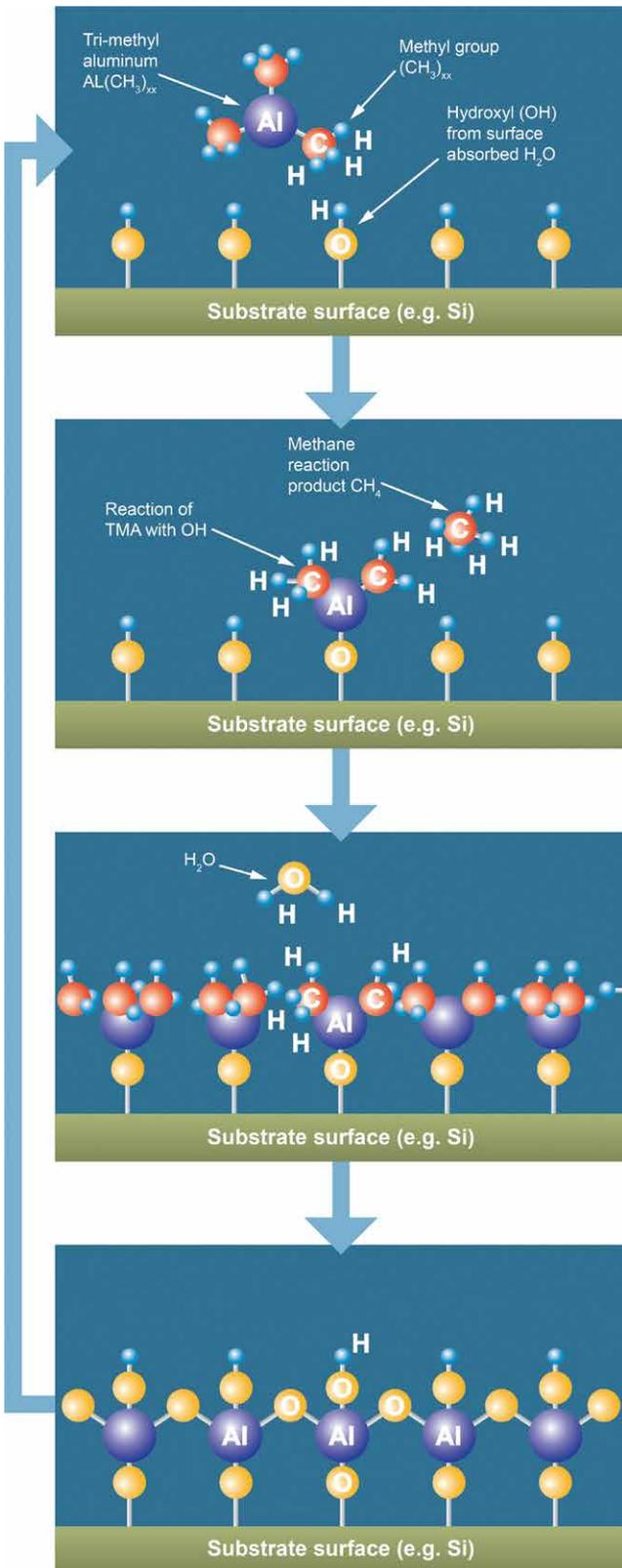


图1: ALD如何工作? ALD的薄膜生长依靠自发排列的连续性。前体材料在反应过程中保持分离,因此反应循环一次只控制一个原子层,直到达到所需的膜厚度。这与CVD不同,CVD同时引入多种前体材料。

的保形和致密特性为防止环境退化提供了出色的保护,从而确保了器件的稳定运行。

### 材料变化和温度相关

通过进一步深入研究,我们知道虽然许多因素会影响声学滤波器频率性能,但谐振频率中频率漂移的主要原因是温度。这是因为压电材料的刚度随温度变化。大多数商用压电材料的频率具有负温度系数(TCF)。这意味着暴露在较高温度下会导致刚度损失,从而导致向较低频率漂移。相反,较低的温度暴露会增加材料的刚度,导致向更高频率的漂移<sup>2</sup>。到目前为止,业内已通过将SiO<sub>2</sub>(具有正TCF)等材料集成到滤波器制造过程中来减轻这些温度影响。这可以抵消温度波动对负TCF压电材料的影响<sup>3</sup>。但对于5G来说,这些已经不够了。

光学研究表明TCF与用于温度补偿的电介质的折射率之间存在联系<sup>4</sup>。在RF滤波器中,可以如下方式使用具有正TCF的ALD生长电介质,例如SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、TiO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>:

- 单独使用;
- 作为纳米层压材料;
- 作为多组分薄膜;
- 作为掺杂薄膜,

从而来研究使用先进材料作为温度补偿层。

这些都可以应用于BAW和SAW器件。除了努力最大限度地减少RF滤波器中的频率漂移之外,保护器件免受环境影响的能力对于确保稳定性和整体滤波器可靠性也

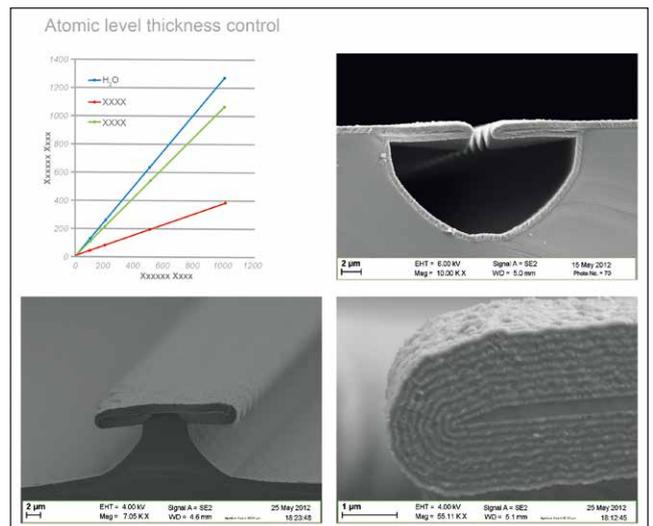


图2: ALD实现了无针孔镀膜的厚度完全均匀,甚至在孔眼、沟槽和空腔的深处也是如此。这些显微照片证明了ALD技术能够提供极薄、高度保形的薄膜。

用于射频滤波器的Veeco Firebird ALD系统的预期拥有成本

参数	假设	影响
系统价格	250万美元，分5年摊销	500,000美元/年
耗材+维护	价格的10%	50,000美元/年
吞吐量	1350片/天×365天/年	492,750片/年
每片晶圆成本	550,000美元/492,750片晶圆	1.11美元/晶圆
SAW器件的封装尺寸1.6mm×1.2mm	假设器件可能是1.4mm×1.0mm (比封装略小)	——
扣除5mm边缘的150mm晶圆面积	$\pi (140\text{mm})^2 / 4$	15,393mm <sup>2</sup>
150mm晶圆上可能的器件数量	15,393mm <sup>2</sup> / 1.4mm <sup>2</sup>	10,995个器件
每个滤波器的成本	每片晶圆成本/滤波器数量=\$1.11/10,995	0.0001美元/滤波器
或者假设滤波器更大，每个晶圆只有100个滤波器，因此吞吐量下降了3倍	那么每个滤波器的成本=3 (\$1.11/100)	0.3美元/滤波器

至关重要。使用 ALD 薄膜来为器件提供保护免受环境影响并增强稳定性是有据可查的。

鉴于 LNO 和 LTO 等压电材料的热敏感性，ALD 提供的低温工艺通常能够提供极好的解决方案，从而使得与这些材料相关的热预算进行折中考虑。使用 ALD 薄膜有助于确保滤波器性能指标（例如陡峭的截止特性和高的 Q 值）得到维持，并且不会随时间漂移，而这种漂移会导致对相邻频率的干扰和信号衰减。

### 增强功率耐用性

ALD 可以使射频滤波器受益的另一个方面是功率耐用性（滤波器在高功率条件下长时间工作的能力）。随着滤波器发展用于适应更高的频率，耐用性变得更具挑战性。谐振器面积缩小，层变薄；因此，整个谐振器体积减小。因此，器件中的功率密度就相应增加，这会增加因热或疲

劳问题而导致失效的可能性，并降低整体器件的可靠性<sup>5,6</sup>。

通过在压电材料和金属电极之间添加超薄缓冲层，可以提高滤波器的功率耐用性。这是一个使用 ALD 技术创建极薄、致密的薄膜，从而实现有益应用的可能领域。缓冲层可以通过改变晶粒结构形态来帮助改变电极材料的质地。这反过来又有助于抑制电极材料原子（例如 Al）在高功率条件下的迁移。

### 设备和工艺解决方案

对于射频滤波器，LNO 和 LTO 等材料的脆性和对热变化的敏感性构成了独特的生产挑战。此外，这些压电材料也是热电的（它们在加热或冷却时可以产生临时电压）。

下转第27页



图3: Veeco Firebird批量ALD系统解决了射频滤波器产品工艺中所遇到的挑战。

### 扩展阅读

1. Phil Warder and David Schnauffer, "Temperature-Controlled Filter Technologies Solve Crowded Spectrum Challenges," Microwave Journal, November 2014
2. Vaishali Upadhye and Sudhir Agashe, "Effect of Temperature and Pressure Variations on the Resonant Frequency of Piezoelectric Material," Measurement and Control, September 2016, vol. 49(9), pp. 286-292
3. H. Nakamura et al. Conf. Proc.- 6th International Symposium on Acoustic Wave Devices for Future Mobile Communications, Chiba, Japan (2015)
4. Nishimura et al. Proceedings of Symposium on Ultrasonic Electronics, vol. 38 (2017)
5. "Radically Reducing the Size and Cost of Cellphone RF Filters to Fuel the Mobile Revolution," Resonant Inc. June 2015
6. "Revolutionary BAW Filter Technology and Its Impact on 5G," Qorvo, August 2020

# 外包SAM检测为测试和失效分析提供具有成本效益的解决方案

长期以来，基于超声波的扫描声学显微镜(SAM)一直是硅锭、晶圆、集成电路、MEMS和其他电子封装的质量检测和失效分析的首选方法。超声波可以比其他非破坏性方法更好地定位材料层之间的空隙和脱粘，因为声波可以观察层内部，并检测低至百分之一微米的极薄气隙和分层。

工业、航空航天和医疗领域的制造商越来越多地转向基于超声波的扫描声学显微镜(SAM)技术，通过检查其内部结构、界面和表面来确保器件的良好附着力和机械完整性。由于潜在的缺陷可能出现在不同的层中，因此需要更先进的设备来同时检查每一层。

许多人都选择外包SAM服务，而不是在内部进行质量检测。外包为制造商提供了关键优势，包括节省SAM系统的资本成本、获得图像管理和分析方面的专业知识，以及诊断和分解材料缺陷的能力。“客户通常来找我们进行SAM测试以满足三个需求中的一个，”位于加利福尼亚州桑尼维尔的PVA TePla America的SAM应用经理Lisa Logan说，他们为PVA TePla Analytical和OKOS提供合同服务和销售，而这两个部门设计并制造先进的扫描声学显微镜。“作为产品研发的一部分，工程团队可能正在评估焊接、键合或粘合剂的有效性。当产品投入生产时，我们可能会被要求扫描零件托盘以进行质量保证测试。我们还可以使用SAM测试来调查特定部件失效的原因。”

“通常，当客户来找我们时，他们不知道自己遇到了什么问题。如果它相对容易解决，则无需投入时间和费用在内部安装SAM系统，”她补充道。

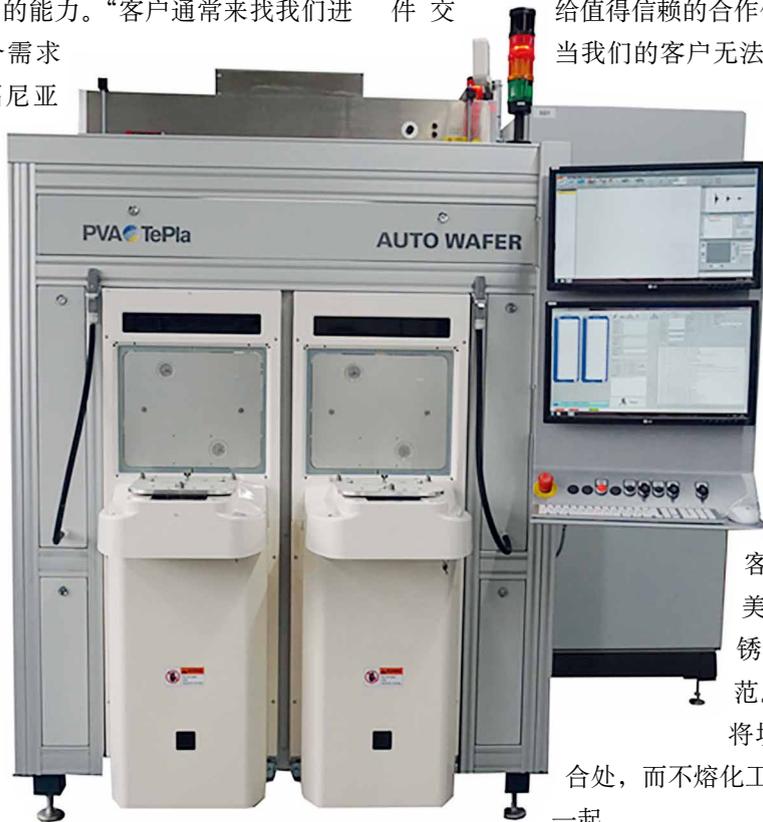
外包SAM服务也可以更好地适应那些一次性的项目。“客户的项目可能是有限的，”Logan说。“他们可能只需要扫描10,000个零件，然后项目就完成了。在这种情况下，外包工作更具成本效益。”

“便利也是一个重要的因素，”Logan补充道。“将零件交给值得信赖的合作伙伴进行评估会更简单。

当我们的客户无法分析出问题，并要求我们利用我们的专业知识为他们确定问题时，他们通常会给我们一个零件进行分析。”

## 解决问题

位于加利福尼亚州纽瓦克的加州钎焊公司(California Brazing)使用SAM检测来验证和认可其客户要求的工艺，并符合美国焊接协会关于铝、不锈钢和铜等材料的钎焊规范。在钎焊过程中，通过将填充材料熔化并流入接合处，而不熔化工件，从而将金属连接在一起。



作者：Lisa Logan, PVA TEPLA的SAM应用经理

“钎焊规范规定了使用无损检测分析内部不连续性的公认质量要求，”加州钎焊公司总经理 Jeff Ager 说。

“根据我们的经验，超声波 SAM 为我们提供了最高分辨率的图像，而且与 X 射线技术相比，它们也更容易解释。”

“我们使用 SAM 技术来验证和认可我们的流程是否始终符合规范。这种测试最初是在零件的首件上进行的，特别是对于我们的航空航天和国防客户，因为他们有独特的要求。这些部件可以是各种尺寸——从 1×1 英寸到 30×30 英寸不等。”

他补充说：“当我们在潜在的钎焊失效需要调查时，我们首先会去 PVA TePla 的 Lisa 和她的团队进行测试，以确定它发生的确切位置。如有必要，我们也会进行破坏性测试，但前提是我们使用 SAM 确定了失效的精确位置。”



### 卓越的无损检测

SAM 使用声波与样品弹性特性的相互作用来对不透明材料的内部进行成像。换能器是 SAM 系统的核心，将聚焦的声音引导到目标物体的一个小点上。撞击物体的声音要么被散射、被吸收、被反射（以 180 度散射），要么被传播（以 0 度散射）。通过检测散射脉冲的方向和“飞行时间”，可以确定边界或物体的存在及其间距。

要使用 SAM 生成图像，需要逐点逐行扫描样本。扫描模式范围从单层视图到托盘扫描和横截面。多层扫描可包含多达 50 个独立层。

显微图像的分辨率取决于声频、材料特性和换能器的孔径。换能器发挥着如此重要的作用，以至于 PVA TePla 等制造商设计和制造了大量的不同的换能器，用于其承包的测试服务。超声波信号的频率可以增加至 GHz 范围，这使得检测亚微米范围内的缺陷成为可能。

在 PVA，他们的合同测试服务仅在公司制造的设备上进行，即 300HD2、302HD2、500HD2 和 501HD2 扫描仪。这些扫描仪使用高达 400MHz 的换能器提供从 200μm×200μm 到 500mm×500mm 的扫描范围。PVA 的

专有换能器提供高图像分辨率来评估每个部件的完整性。鉴于它扮演的关键角色，深入了解可用的高级软件功能是另一个重要的优势。

“购买设备的 SAM 测试机构可能只熟悉该软件的某些功能，” Logan 说。“作为制造商，我们则必须了解所有功能，甚至可以在需要时要求定制。”

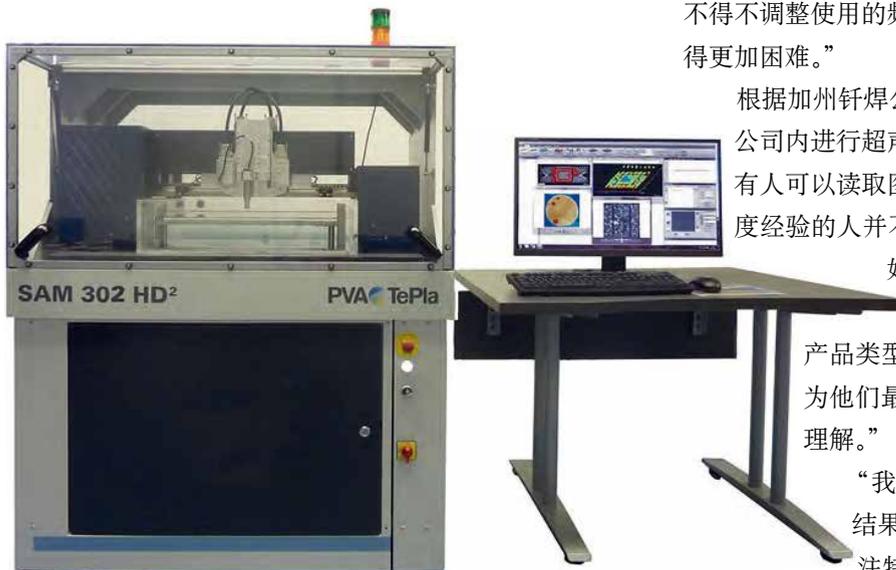
### 解释图像

设备的质量及其使用知识只是 SAM 测试的一个因素。操作 SAM 系统需要训练有素的技术人员，更重要的是，需要有配置设备和解释扫描图像的经验。设置扫描和解释图像类似于放射科医生读取内科患者的核磁共振扫描。

“想象一下，如果您做了核磁共振，” Logan 说。“您一定让您的医生拥有尽可能清晰的图像以做出最佳医疗决定。当您意识到未检测到的缺陷会对零件产生灾难性影响时，质量检测也是如此。”

SAM 系统专家知道如何使用三种不同的成像模式 A、

设备的质量及其使用知识只是SAM测试的一个因素。操作SAM系统需要训练有素的技术人员，更重要的是，需要有配置设备和解释扫描的经验。



B 和 C。A 模式是 X、Y 或 Z 点，并提供有关零件内部发生的所有回波的信息。这些回波为材料分析、飞行时间成像、振幅和极性提供了宝贵的见解。必须适当解释 A 扫描，以生成准确的 B 或 C 扫描，并与客户共享。

“操作人员需要解释、聚焦和改变 A 扫描的体积，并调整某些方面以使图像准确，” Logan 说。“重要的是要确保图像不会传达虚假的信息。”

根据 Logan 的说法，PVA TePla 通常测试的产品范围从最小的电子元件到 50 磅重的铝制零件。“非常小和非常薄的部分增加了解释的难度，因为界面的回声变得非常小而且靠得很近，” Logan 说。“它会导致回声重叠，你最终

不得不调整使用的频率。随着频率增高，管理换能器就变得更加困难。”

根据加州钎焊公司的 Ager 的说法，“我们曾考虑过在公司内进行超声波检测，但要做到这一点，我们需要有人可以读取图像并帮助解释它们。找到具有这种深度经验的人并不容易。”“我们与 PVA TePla 有着非常好的工作关系，” Ager 说。“因为 Lisa 非常熟悉我们的工艺和我们制造的产品类型，因此，几乎不需要过多互动。我认为他们最大的优势——对我们的工艺有深刻的理解。”

“我们通常会在几天内从 PVA TePla 获得结果，” Ager 说。“我们可能会就进一步关注特定区域或某个层进行对话，之后 Lisa 会回去专注于那个区域或者层。”

### 寻找您的 SAM 合作伙伴

在选择 SAM 合作伙伴外包进行质量检测和失效分析时，制造商应考虑 SAM 设备与其测试需求的匹配程度，以及测试团队经验的广度和深度。

对 SAM 设备的深入了解对于优化图像分辨率至关重要。理想的情况是在声学显微镜制造及其软件开发方面拥有工厂级的经验。有了强大的 SAM 外包合作伙伴，制造商可以有效地添加强大的资源来解决他们的质量检测和失效分析挑战。◆

上接第24页

因此，用于射频滤波器的 ALD 系统必须满足特定的挑战，包括：

- 晶圆夹持（防止脆性材料破裂）；
- 吞吐量：预热和工艺模块需要并行运行以解决热变化；
- 高良率的调度和工艺一致性。

Veeco 的 Firebird™ ALD 系统是一个例子，它特别适合满足 5G 射频滤波器工艺的需求。它使用独特的装片结构与受控的环境装载互锁相结合，以实现晶圆在系统内的无破损移动。该系统具有高度可配置性，可以根据所需的产能，通过工艺模块和预热模块的组合进行配置。此外，采用 Firebird 智能调度程序的多批次操作，可实现卓越的吞吐量和过程一致性，从而生产出高性能的 RF 器件。

Veeco 通过增大工艺尺寸并将其实施到世界各地的自动化生产线和集群工具中，将 ALD 完善为制造级技术。与以前的镀膜技术相比，集成了 ALD 系统的制造商提高了产品质量和可靠性，降低了运营成本，并实现了更绿色的生产工艺。

### 结论

射频滤波器技术的改进对于 5G 移动通信的增长至关重要。随着向更大的数据传输容量的推进，生产满足这些规格和需求的滤波器的挑战也在增加。在这种情况下，ALD 技术可以提供稳定可靠、经济高效的解决方案，从而满足日益严格的滤波器性能规范。◆

# 芯片自主可控深度解析

编者注：文章《芯片自主可控深度解析》最早发表于“SiP与先进封装技术”微信公众号，由于杂志版面所限，我们对原文进行了一定篇幅的缩减。感兴趣的读者请访问“SiP与先进封装技术”微信公众号阅读全文。

如果有人跟你说：“嗨，我做的芯片实现了100%自主可控！”等等，你先不急着崇拜他，请看完此文再说……

首先，什么叫自主可控，最直观的理解就是当别人“卡脖子”的时候不会被卡住。集成电路产业通常分为芯片设计、芯片制造、封装测试三大领域（参看图1），下面我们逐一进行分析。



图1

## 1. 芯片设计

如何开始一款芯片设计呢？

首先要有工具（EDA），然后借助现有的资源（IP），加上自己的构思和规划就可以开始芯片设计了。这里，我们就从芯片设计工具 EDA，知识产权 IP，以及集成电路的设计流程来分析芯片设计。

### 1.1 EDA

EDA (Electronic Design Automation) 电子设计自动化，常指代用于电子设计的软件。

现在的大规模集成电路在 1 平方毫米内可以集成超过 1 亿只晶体管，这些晶体管之间的连接网络更是多达数亿个。当今主流的 SoC 芯片，其晶体管数量已经超过百亿量级，如果没有精准的，功能强大的 EDA 工具，将无法设计。

EDA 是芯片设计的必备工具，目前，Synopsys、Cadence 和 Mentor (Siemens EDA) 占据着超过 90% 以上的市场份额。在 10 纳米以下的高端芯片设计上，其占有率甚至高达 100%。也就是说，现在研发一款 10nm 以下的芯片，没有以上三家的 EDA 工具几乎不可能实现。

芯片设计分为设计、仿真、验证等环节，对应的 EDA 工具分为设计工具、仿真工具、验证工具等。设计

工具解决的是模型的构建，也就是从 0 到 1（从无到有）的问题，仿真和验证工具解决模型的确认，也就是 1 是 1 还是 0.9 或者 1.1 的问题。因此，从 EDA 开发的角度，设计工具的开发难度更大。此外，设计规模越大，工艺节点要求越高，EDA 工具的开发难度也越大。

国产 EDA 工具目前在一些仿真验证工具上取得一些成绩，在模拟电路设计方面也初步具备了全流程工具，但在大规模集成电路设计上和三大厂商还有很大的差距，尤其在高端数字芯片设计流程上基本还是空白。

### 1.2 IP

IP (Intelligent Property) 代表知识产权，在业界是指一种事先定义、经过验证的、可以重复使用，能完成特定功能的模块。IP 是构成大规模集成电路的基础单元，SoC 甚至可以说是基于 IP 核的复用技术。IP 一般分为硬核、软核和固核。IP 硬核一般已经映射到特定工艺，经过芯片制造验证，具有面积和性能可预测的特点，但灵活性较小；IP 软核以 HDL 形式提交，灵活性强，但性能方面具有不可预测性；IP 固核通过布局布线或利用通用工艺库，对性能和面积进行了优化，比硬核灵活，比软核在性能和面积上更可预测，是硬核和软核的折中。

表1. 目前主流的芯片设计EDA工具

集成电路设计类型	设计阶段	对应的EDA工具		
		Synopsys	Cadence	Mentor
数字前端设计	RTL 代码级仿真	VCS/Verdi	Xcelium	Questasim
	逻辑综合	DC (Design Compiler)	Geuns	/
数字后端设计	IC版图设计	ICC (IC Compiler)	Innovus	Nitro-SoC/Aprisa
DFT 可测试性设计	边界扫描	DFTMax Ultra	Modus/Genus	Tessent BoundaryScan
	存储器BIST	SMS(Star Memory System)	Modus/Genus	Tessent MemoryBIST
	逻辑BIST	DC (Design Compiler)	Modus/Genus	Tessent LogicBIST
	ATPG	TetraMAX	Modus/Genus	Tessent FastScan
设计审签 Sign Off	时序仿真	PrimeTime	Tempus	/
	物理验证	Herculus/IC Validator	Assura	Calibre DRC/LVS
模拟电路设计	模拟电路图 及版图	Laker/Custom Designer	Virtuoso	Pyxis/Tanner

目前在全球前 10 大 IP 提供商中，中国有两家人入围，但是两家市场份额加起来也仅有 3%，而 ARM 一家就占据了 40% 以上的市场份额，美国的企业则占据了 30% 的市场份额。全球最大的两家 EDA 公司 Synopsys 和 Cadence，在 IP 领域也同样占据第二和第三的位置。

不同 IP 种类所占的市场份额不同。2019 年处理器占 51%，接口 IP 占 22.1%，数字类占 8.1%，其他占 18.8%。处理器类 ARM 一家独大，在接口类 IP 中，Synopsys 是业界领导者。

在设计芯片中，我们需要考虑的是，哪些 IP 是自主设计的，哪些是外购的，这些外购的 IP 是否存在不可控因素？如果你设计的 SoC 仅仅是把别人的 IP 打包整合，那自主可控性就要大打折扣了。

### 1.3 设计流程

芯片设计流程通常可分为：数字 IC 设计流程和模拟 IC 设计流程。

数字 IC 设计流程：芯片定义 → 逻辑设计 → 逻辑综合 → 物理设计 → 物理验证 → 版图交付。

模拟 IC 设计流程：芯片定义 → 电路设计 → 版图设计 → 版图验证 → 版图交付。

这里，我们做一个简单的总结：

芯片设计：就是在 EDA 工具的支持下，通过购买 IP 授权 + 自主研发（合作开发）的 IP，并遵循严格的集成电路设计仿真验证流程，完成芯片设计的整个过程。在这个过程中，EDA、IP、严格的设计流程三者缺一不可。

目前看来，在这三要素中最先可能实现自主可控的就是设计流程了。

## 2. 芯片制造

芯片制造目前是集成电路产业门槛最高的领域，投资高、玩家少。目前在高端芯片制造上只剩下台积电（TSMC）、三星（SAMSUNG）和英特尔（Intel）三家了。下面，我们分别从设备、工艺和材料三个方面来分析芯片制造，寻找我们和先进制造技术的差距。

### 2.1 设备

芯片制造需要经过两千多道工艺制程才能完成，每个步骤都要依赖特定设备才能实现。

芯片制造中，有三大关键工序：光刻、刻蚀、沉积。三大工序在生产过程中不断重复循环，最终制造出合格的芯片。三大关键工序要用到三种关键设备，分别是光刻机、

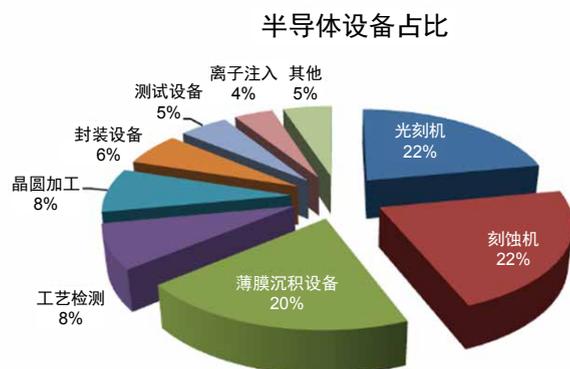


图2

表2. 全球前10大IP提供商

排名	厂商	营业额 (百万美元)	市场份额	国家地区
1	ARM	1608.0	40.8%	英国
2	Synopsys	716.9	18.2%	美国
3	Cadence	232.0	5.9%	美国
4	SST	115.0	2.9%	美国
5	Imagination Technologies	101.1	2.6%	英国
6	Ceva	87.2	2.2%	以色列
7	Verisilicon	69.8	1.8%	中国
8	Achronix	50.0	1.3%	美国
9	Rambus	49.9	1.2%	美国
10	eMemory Technology	46.8	1.2%	中国台湾
	Top 10 Vendors	3075.6	78.1%	中国3%

刻蚀机、薄膜沉积设备。三种设备分别占有所有设备投入的22%、22%、20%左右（图2），是三种投入占比最高的半导体设备。

下面就以最为典型的光刻机和刻蚀机为例介绍并分析自主可控。

#### • 光刻机

光刻机的原理其实像幻灯机一样，就是把光通过带电路图的掩膜（也叫光罩）Mask 投影到涂有光刻胶的晶圆上。上世纪60年代末，日本尼康和佳能开始进入这个领域，当时的光刻机并不比照相机复杂多少。

为了实现摩尔定律，光刻技术需要每两年把曝光关键尺寸(CD)降低30%-50%。需要不断降低光刻机的波长 $\lambda$ 。然而，波长被卡在193nm无法进步长达20年。后来通过工程上最简单的方法解决，在晶圆光刻胶上方加1mm厚的水，把193nm的波长折射成134nm，称为浸入式光刻。浸入式光刻成功翻越了157nm大关，加上后来不断改进的镜头、多光罩、Pitch-split、波段灵敏光刻胶等技术，浸入式193nm光刻机一直可以做到今天的7nm芯片（苹果A12和华为麒麟980）。

#### EUV 光刻机

EUV (Extreme Ultra-Violet) 极紫外光刻是一种使用EUV波长的新一代光刻技术，其波长为13.5纳米。由于光刻精度是几纳米，EUV对光的集中度要求极高，相当于拿个手电筒照到月球光斑不超过一枚硬币。反射的镜面

要求长30cm起伏不到0.3nm，相当于北京到上海的铁轨起伏不超过1毫米。一台EUV光刻机重达180吨，超过10万个零件，需要40个集装箱运输，安装调试要超过一年时间。

2000年时，日本尼康还是光刻机领域的老大，到了2009年ASML已经遥遥领先，市场占有率近7成。目前，最先进的光刻机只有ASML一家可以提供了。国内的情况，上海微电子(SMEE)已经有分辨率为90nm的光刻机，新的光刻机也在研制中。

在集成电路制造中，光刻只是其中的一个环节，另外还有无数先进科技用于前后道工艺中。

#### • 刻蚀机

刻蚀是将晶圆表面不必要的材质去除的过程。刻蚀工艺位于光刻之后。

光刻机用光将掩膜上的电路结构复制到硅片上，刻蚀机把复制到硅片上的电路结构进行微雕，雕刻出沟槽和接触点，让线路能够放进去。

按照刻蚀工艺分为干法刻蚀和湿法刻蚀，干法刻蚀主要利用反应气体与等离子体进行刻蚀，湿法刻蚀工艺主要是将刻蚀材料浸泡在腐蚀液内进行刻蚀。

干法刻蚀在半导体刻蚀中占据主流，市场占比达到95%，其最大优势在于能够实现各向异性刻蚀，即刻蚀时可控制仅垂直方向的材料被刻蚀，而不影响横向材料，从而保证细小图形保真性。湿法刻蚀由于刻蚀方向的不可控性，在先进制程很容易降低线宽，甚至破坏线路本身，导致芯片品质变差。

目前普遍采用多重模板工艺原理，即通过多次沉积、刻蚀工艺实现需要的特征尺寸，例如14nm制程所需使用的刻蚀步骤达到64次，较28nm提升60%；7nm制程所需刻蚀步骤更是高达140次，较14nm提升118%。

和光刻机一样，刻蚀机的厂商也相对较少，代表企业主要是美国的Lam Research（泛林半导体）、AMAT（应用材料）、日本的TEL（东京电子）等企业。这三家企业占据全球半导体刻蚀机的94%的市场份额，而其他参与者合计仅占6%。其中，Lam Research占比高达55%，为行业龙头，东京电子与应用材料分别占比20%和19%。

目前国内刻蚀设备代表公司为中微公司、北方华创等。中微公司较为领先，工艺节点已经达到5nm。在全球前十大晶圆企业中，中微公司已经进入其中六家，作为台积电的合作伙伴协同验证14nm/7nm/5nm等先进工艺。

基于此，如果目前在光刻机领域我们还无力做出改变，那么已经有一定优势的刻蚀机势必会成为国产替代的先锋。

## 2.2 工艺制程

芯片制造过程需要两千多道工艺制程，主要包括 8 大步骤：

1. 光刻（光学显影）
2. 刻蚀（蚀刻）
3. 化学气相沉积（CVD）
4. 物理气相沉积（PVD）
5. 离子植入（Ion Implant）
6. 化学机械研磨（CMP）
7. 清洗
8. 晶片切割（Die Saw）

虽然不同的 Foundry 厂的流程大致相同，但不同的工艺控制能力造就了各厂家在先进制程上的区别。随着制程进入 5nm，能够量产的芯片制造商就屈指可数了，目前能够量产 5nm 芯片的只有 TSMC 和 SAMSUNG。两千多道工艺制程中隐藏着 Foundry 的无穷智慧和雄厚财力，并不是说有了先进的设备，就能造出合格的芯片。

虽然先进制程是技术发展的方向，我们也不能忽视成熟制程。成熟制程依然有很大市场份额。图 3 是按成熟制程（节点≥40nm）产能排序的全球晶圆代工厂 Top 榜单。

可以看出，成熟制程产能排名前四的厂商分别为：台积电（市占率 28%），联电（13%），中芯国际（11%），

三星（10%）。成熟制程在 2020-2021 年非常火爆，产能严重短缺，这给各大晶圆代工厂带来了巨大的商机。而从 2021 年的产业发展形势来看，这种短缺状况在近期内还难以缓解。

## 2.3 材料

生产集成电路的材料有成千上万种，我们以最为典型的硅晶圆和光刻胶进行分析。

### • 硅晶圆

硅晶圆是集成电路行业的粮食，是最主要最基础的集成电路材料，90% 以上的芯片在硅晶圆上制造，目前 300mm 硅晶圆是芯片制造的主流材料，使用比例超过 70%。曾经，我国 300mm 半导体硅片 100% 依赖进口，是我国集成电路产业链建设与发展的主要瓶颈。

全球主要的半导体硅晶圆供应商包括日本信越化学（Shin-Etsu）、日本盛高（SUMCO）、德国 Siltronic、韩国 SK Siltron 以及中国台湾的环球晶圆和合晶科技等公司。五大晶圆供货商的全球市占率达到了 92%，其中日本信越化学占 27%，日本盛高占 26%，中国台湾环球晶圆占 17%，德国 Siltronic 占 13%，韩国 SK Siltron 占 9%。

上海新昇半导体科技有限公司为实现 300mm 半导体硅片自主可控的国家战略，已完成“40-28nm 300mm 硅片技术研发”任务，又在进行“20-14nm 300mm 硅片成套技术研发与产业化”。公司生产的 300mm 硅片产品已广泛用于集成电路产业，打破了 300mm 硅片国产化率为零的局面。新昇目前位于全球 10 大硅晶圆提供商第十名。

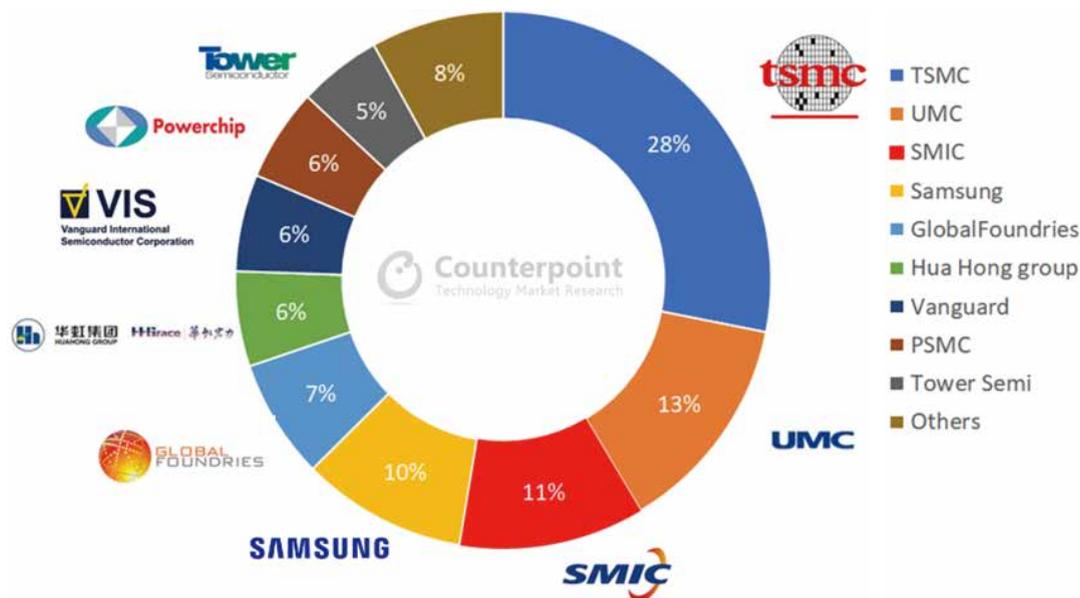


图3

中国大陆半导体硅晶圆销售额年均复合增长率达到41.17%，远高于同期全球半导体硅片市场的25.75%。但这块市场并没有掌握在本土厂商手中，还有很大的空间供国内晶圆制造商去发展。

• 光刻胶

光刻胶是光刻过程最重要的耗材，光刻胶的质量对光刻工艺有着重要影响。光刻胶可分为半导体光刻胶、面板光刻胶和PCB光刻胶。其中，半导体光刻胶的技术壁垒最高。目前全球光刻胶主要企业有日本合成橡胶（JSR）、东京应化（TOK）、信越化学（ShinEtsu）、富士电子（FUJI）、美国罗门哈斯（Rohm&Hass）等，市场集中度非常高，这5家所占市场份额超过85%。

高分辨率的半导体光刻胶是半导体化学品中技术壁垒最高的材料，日美企业技术领先国内企业二十年至三十年。从光刻胶技术水平来看，国内企业需要在缺乏经验、缺乏专业技术人才、缺失关键上游原材料和设备的条件下，探索出一条自主研发之路，光刻胶高端技术短期内尚难突破，还有很长的路要走。在PCB领域，国产光刻胶具备了一定的量产能力，已经实现对主流厂商供货。

### 3. 封装测试

封装测试是集成电路产业的最后一个环节。一般认为封装测试的技术含量和实现难度比前两者低，但是随着SiP及先进封装技术的出现和迅速发展，需要重新定义芯片的封装和测试。SiP及先进封装在封装原来的三个特点：芯片保护、尺度放大、电气连接的基础上，增加了三个新特点：提升功能密度、缩短互连长度、进行系统重构，因此其复杂程度和实现难度与传统封装相比有很大程度的提升。同时，SiP及先进封装也给封装测试带来新的机遇和挑战。

#### 3.1 芯片封装

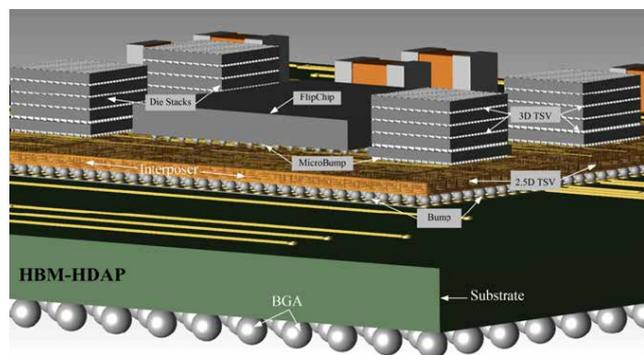


图4: XPD中的先进封装设计截图(3D)

我们从封装设计和产品封装两方面来分析芯片封装。

#### (1) 封装设计

早先的封装中没有集成（Integration）的概念，封装设计是比较简单的，对工具要求也很低，Auto CAD就是常用的封装设计工具。随着MCM、SiP技术的出现，封装设计变得越来越复杂，加上目前SiP、先进封装、Chiplet、异构集成概念的市场接受度越来越高，封装内集成的复杂度和灵活度急剧上升，对封装设计的要求也越来越高。

SiP和先进封装设计工具目前只有Cadence和Siemens EDA（Mentor）两家，Cadence是老牌的封装设计EDA提供商，市场占有率高，用户的忠诚度也比较高。

Siemens EDA（Mentor）是封装设计领域的后起之秀，其技术先进性使业界领先的制造商TSMC、Intel、SAMSUNG纷纷将其作为先进封装（HDAP）的首选工具，主要在于两点：先进的设计工具和强悍的验证工具。

首先，我们说设计工具，不同于传统封装设计，先进封装和SiP设计对3D环境要求很高，3D设计环境不在于是否看上去很直观、绚丽，而在于对客观元素的精准描述，包括键合线、腔体、芯片堆叠、硅转接板、2.5D集成、3D集成、Bump……

在这一点上，Siemens EDA的SiP及先进封装设计工具已经远远将其竞争对手抛在身后。图4为先进封装版图设计工具XPD中的封装设计3D截图，4组芯片堆叠中，每组5颗芯片（4HBM+1Logic）以3D TSV连接在一起，和GPU一起集成在硅转接板（2.5D TSV）上，硅转接板和电阻、电容等一起集成在封装基板上。该设计中包含了3D集成、2.5D集成、倒装焊、Bump、多基板集成等多种方式，在XPD设计环境中得到了精准的实现。

先进封装验证工具包括电气验证和物理验证，电气验证包含80多条规则，对整个系统进行信号完整性、电源完整性、EMI/EMC等电气相关的检查和验证。物理验证则是基于IC验证工具Calibre，整合出Calibre 3D STACK，专门用于3D先进封装的物理验证。随着封装内的集成度、设计复杂度越来越高，对工具的要求也越来越高。另外，在先进封装领域，封装设计和芯片设计的协同度日益提高，在某种程度上有逐渐融合的趋势，因此对协同设计的要求也日益提升。关于SiP、微系统、先进封装的详细设计方法和实际案例，可参考电子工业出版社近期出版的新书：《基于SiP技术的微系统》。

#### (2) 产品封装



图5

根据材料和工艺不同，封装可以分为塑料封装、陶瓷封装和金属封装三种类型。三种封装分别基于不同的基板，塑封主要基于有机基板，陶瓷封装和金属封装则主要基于陶瓷基板，陶瓷封装一般采用 HTCC 基板，金属封装则多采用 LTCC 基板。三种封装的材料、工艺、特点和成本各不相同，分别适用于不同的产品和应用。

### 3.2 芯片测试

芯片测试的项目非常多，这里重点介绍一下机台测试和系统测试。

#### • 机台测试

一般是指采用 ATE (Automatic Test Equipment) 自动测试设备来进行芯片测试，测试芯片的基本功能和相应的电参数。机台可以提供待测器件 DUT (Device Under Test) 所需的电源、不同周期和时序的波形、驱动电平。测试向量 (Test Vector) 是每个时钟周期应用于器件管脚的用于测试的逻辑 1 和逻辑 0 数据，是由带定时特性和电平特性的波形代表，与波形形状、脉冲宽度、脉冲边缘或斜率以及上升沿和下降沿的位置都有关系。

测试向量可基于 EDA 工具的仿真向量 (包含输入信号和期望的输出)，经过优化和转换，形成 ATE 格式的测试向量。利用 EDA 工具建立器件模型，通过建立一个 Testbench 仿真验证平台，对其提供测试激励，进行仿真，验证结果，将输入激励和输出响应存储，按照 ATE 向量格式，生成 ATE 向量文件 (图 5)。

#### • 系统测试

系统测试也称为板级系统测试，是指模拟芯片真实的工作环境，对芯片进行各种操作，确认其功能和性能是否正常。除了机台测试和系统测试之外，还需要对芯片进行了一系列的试验和考核，内容包括：热冲击、温度循环、机械冲击、扫频震动、恒定加速度、键合强度、芯片剪切强度、稳态寿命、密封、内部水汽含量、耐湿气等试验。只有所有的测试都顺利通过了，一颗芯片才能算成功，作

为合格产品应用到下一个环节。

### 自主可控总结

最后，我们对自主可控作一个简单总结。

从表 3 可以看出，我们在 IC 设计流程、封装 (SiP) 设计，以及在产品封装、芯片测试环节的自主可控程度比较高；在刻蚀机、芯片工艺制程上有一定的自主可控性，而在 EDA, IP, 光刻机, 硅晶圆, 光刻胶等环节自主可控的程度非常低，所以高端芯片很容易被“卡脖子”，因为高端芯片所用到的 EDA, IP, 光刻机, 硅晶圆, 光刻胶几乎全部依赖进口。自主可控相对较高的 IC 设计流程、封装 (SiP) 设计也几乎全部依赖于进口的 EDA 工具，在产品封装和芯片测试环节，封装设备和测试设备大约 80% 以上是进口设备；工艺制程上高端芯片同样也无法自主生产。考虑到这些，让我们无法盲目乐观，因为越往源头挖掘，自主可控的比例就越低。

表3. 中国集成电路自主可控情况

集成电路产业	设计生产相关环节	自主可控占比
芯片设计	EDA	0~5%
	IP	0~3%
	IC设计流程	80%~100%
芯片制造	光刻机	5%
	刻蚀机	20%
	工艺制程	30%
	硅晶圆	5%
封装测试	光刻胶	5%
	封装设计EDA	0~3%
	封装(SiP)设计	80%~100%
	产品封装	80%
总结	芯片测试	80%
	一颗芯片从规划到产品	???

看完此文，如果以后有人告诉你，他做的芯片实现了 100% 的自主可控，我们就可以从上面的环节逐个去分析，一颗芯片从最初的构思到最终的产品，所经历的过程中，哪些环节真正是自主可控的？

只有真正认识到自身的不足，实事求是，踏踏实实，一步一个脚印，并持之以恒，才能在激烈的竞争中不致落后，从而减少卡脖子事件的发生! ◆

# 普发真空面向半导体制造的解决方案

半导体制造需要在高真空和超高真空的洁净室条件下进行。为确保满足这些条件，必须使用可靠的真空设备。

一个典型的半导体车间分四层：在顶层的无尘室内有生产设备及污染管理专用设备。在无尘室下面 - 所谓的衬板上 (subfloor) - 是用来对闸门或转接室抽真空的干泵。再下面一层是设备的冷却机、电源和 RF 发生器。最底层装有干式泵和废气处理 (减污) 装置。

普发真空拥有针对不同楼层和组件的全方位半导体晶圆厂解决方案，可以提供各种专业产品来满足不同的要求！

## 沉积

半导体元件的制造工艺非常复杂，包括许多需要在真空环境下完成的步骤。沉积工艺是其中之一，其中会通过多种技术将材料沉积在晶圆上：PVD (物理气相沉积)、PECVD (等离子增强化学气相沉积)、SACVD (常压化学气相沉积)、LPCVD (低压化学气相沉积)，以及近期出现的 ALD (原子层沉积)。每种技术都需要不同的真空

度。普发真空为您的沉积应用提供高真空涡轮分子泵和初级干泵解决方案，其设计可确保最低的购置成本和最长的工艺寿命。

### 应用案例：

- PVD (物理气相沉积)
- PECVD (等离子增强化学气相沉积)
- SACVD (常压化学气相沉积)
- 沉积, LPCVD (低压化学气相沉积)
- ALD (原子层沉积)

## 刻蚀与清洁

半导体元件的制造工艺非常复杂，包括许多需要在真空环境下完成的步骤。干法刻蚀工艺是其中之一，即选择性去除晶圆上的材料。该材料可以是使半导体元件结构成形的导体材料，也可以是使元件导电部分绝缘的介电材料。剥离和清洁工艺还用于从晶圆表面选择性去除材料，例如可能影响器件性能的光刻胶膜和残留物。每种技术都需要不同的真空度。普发真空为您的刻蚀与清洁应用提供高真空涡轮分子泵和初级干泵解决方案，其设计可确保最低的购置成本和最长的工艺寿命。

### 应用案例：

- 干法脱模与清洁 (Dry Stripping & Cleaning)
- 电介质刻蚀 (Dielectric Etch)
- 导体和多晶硅刻蚀 (Conductor & Polysilicon Etch)
- 原子层刻蚀 (ALE)

## 离子注入

半导体元件的制造工艺非常复杂，包括许多需要在真空环境下完成的步骤。其中，离子注入工艺包括用离子掺杂硅晶圆表面，以改变材料的电气特性并增加器件电导



图：普发真空 ASM 392 是完美的泄漏检测解决方案，适用于半导体和显示器行业，以及其他要求快速抽真空和高灵敏度的应用。它完全符合 Semi S2 标准。

率。无论是哪种注入机技术(中电流、大电流还是高能量),注入机工具的布局都包括三个主要的真空区域:离子源、光束线和终端站。普发真空为所有注入机应用提供高真空涡轮泵和初级干泵解决方案,其设计可确保最低的购置成本和最长的工艺寿命。

#### 应用案例:

- 离子源 (ion source), 光束线 (beamline), 终端站 (end-station)

#### 晶圆搬运

半导体元件的制造工艺非常复杂,包括许多需要在真空环境下完成的步骤。晶圆需要通过装载互锁室移入或移出半导体工具,以确保正确真空水平。晶圆通过转移模块从处理室 A 移动到处理室 B,此类模块也保持在真空条件下。普发真空提供各种专门针对晶圆搬运应用、为实现最高吞吐量和最低运营成本而设计的高真空涡轮泵和初级干泵解决方案。

#### 应用案例:

- 装载锁闭和传输 (Load lock & transfer)

#### 检验与计量

随着步骤数量的增加,半导体元件制造日益复杂,晶圆检查和计量也愈加关键。除了针对传统检验和计量工具的真空解决方案外,普发真空还提供用于 FOUP (前开式晶圆传送盒) 和洁净室环境分析的创新型管线内空气分子污染物 (AMC) 系统。使用我们的 AMC 系统,可以在整个生产周期中对晶圆进行分析,从而有助于提高生产良率。

#### 应用案例:

- CD SEM
- FOUP 内的 AMC 和颗粒物监测
- 洁净室内的 AMC 监测

#### 光刻技术

半导体元件生产工艺非常复杂。光刻工艺是其中之一,即定义图案并将它们转移到设备的每一层上。随着芯片节点尺寸的不断缩小,使用紫外线 (UV) 的传统光刻术已达到极限。一种在真空环境下使用极紫外光 (EUV)

的新型光刻技术出现了。我们提供各种专门针对 EUV 应用的高真空泵和初级干泵解决方案,支持节点小于 10 nm 的芯片尺寸封装。

#### 应用案例:

- EUV 光刻

#### 设施与维护

半导体工具及其相关设施上出现的任何一处泄漏都可能对产量和良率产生决定性影响。其后果包括产量下降、达不到处理规格或严重安全风险。因此,在洁净室之内或在任何维护干预之后,泄漏检测是为调试任何新工具所需的关键和强制性步骤。在地下室,还须定期更换前级泵和干式泵以进行清洁或维修。普发真空提供全面的泄漏检测解决方案,可确保生产设施从加工室到排气系统的真空完整性。我们的目标是:使您的生产良率最大化。

#### 应用案例:

- 泄漏检测

更多信息请访问: [www.pfeiffer-vacuum.com](http://www.pfeiffer-vacuum.com) ◆



图: 普发真空 A3004 XN 干式工艺泵旨在满足大多数腐蚀性工艺的要求。其中采用了创新技术,可以降低维护频率并延长泵的使用寿命。

# 为当今技术提供动力， 气体净化技术需考虑四个重要方面

对半导体制造而言，精确和可靠的气体输送是一个至关重要的部分。而且，随着半导体制造成本的增加，以及近期对全球许多行业产生影响的供应短缺状况的出现，使得业界对于由气体纯度受损而造成的一丁点儿时间上的浪费都是承受不起的。

**在**复杂和精密的半导体制造过程中，多种不同瞬时流量的气体被小心谨慎地输送到制程室（process chambers），以在用于制造面向诸多用途的芯片的晶圆上制作关键特征。为了支持现今复杂的应用，这些气体不仅必须以精确的数量和可重复性进行输送，而且还须具有严格的纯度级别。

随着半导体技术自身的持续发展，遵从精确和纯净气体输送的严格要求变得前所未有的重要。即使是痕迹量级的污染，也能使芯片失效，这是一个涉及众多直接和间接成本的重大问题。在过去的几年里，芯片开发的研究和设计成本从大约 2800 万美元（在 65 nm 节点）增加到 5.4 亿美元（在领先的 5 nm 节点）。另外，根据麦肯锡（McKinsey）公司的调查数据，就上述工艺节点而言，晶圆厂的建设成本从 4 亿美元上升到了 54 亿美元。

## 气体纯度的重要性

对晶圆厂来说，在工艺制程中使用的气体的质量在本质上与良率紧密相关，气体净化器是设备库（equipment landscape）里一个必不可少的组成部分。如果气体在生产过程中引入了污染物，就可能会对过程质量和系统完整性造成严重的后果。

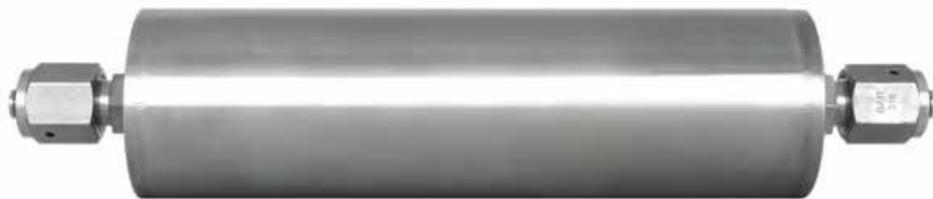
不幸的是，任何公司都有可能发生气体污染。2021 年 7 月，台积电（TSMC）的 Fab 18 晶圆厂（它是该公司

制造 Apple 处理器最重要的工厂）就受到了芯片制造过程中使用的气体发生污染的影响。这家公司宣布，设在台湾南部科学工业园的几条 TSMC 生产线接收了由存在污染风险的供应商提供的气体。这些气体很快被其他气源取代，以减轻对生产的影响。TSMC 表示，它正在实行严格的后续操作，以确保不会发生质量问题。选择正确的气体供应商和净化器对于避免出现这样的情况是至关重要的。

为高纯度和超高纯度应用挑选正确的净化器，会受到各种不同规格参数的影响，如气体类型、杂质、压力和瞬时流量等。我们将探讨四种方法，借助这些方法，可以确保气体的高纯度，并保证针对独特的应用使用正确类型的净化器。

## ◎ 确定涉及的每种特定工艺气体的特性

气体净化器的核心作用是去除工艺气体中的痕量杂质，以确保污染物不会影响生产。要做到这一点，需要运用能够将杂质水平减低到十亿分之几（PPB）或万亿分之几（PPT）的气体净化技术。不同的气体具有不同的特性，有些是高度易燃、危险或有毒的。常见的工艺气体包括  $\text{NH}_3$ 、 $\text{CO}_2$ 、 $\text{H}_2$ 、 $\text{SiH}_4$ 、 $\text{HBr}$ 、 $\text{Cl}_2$ 、 $\text{BCl}_3$ 、DCS 和  $\text{PH}_3$ ，而且，还可以使用许多其他类型的气体，包括吹扫、钝化和氟化气体。理想的净化器解决方案是在考虑了每种特定工艺气体的特性的情况下设计的，并兼顾了那些在生产过程中有



可能影响气体稳定性的因素。Applied Energy Systems 公司的 ARM Purification 净化部门提供了多种高纯度和超高纯度级气体净化器，这些气体净化器能够在广泛的应用领域中可靠地维护任务关键型气体输送要求，从极小的使用点容器到极复杂的大管系统 (bulk system) 均在其列。

### ◎ 针对独特的流量要求优化气体净化器

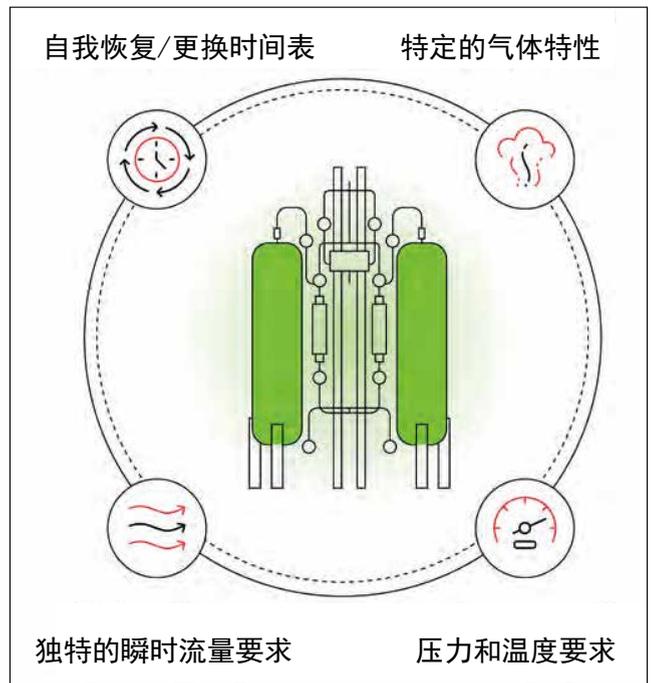
如果将针对某种瞬时流量优化的气体净化器，在要求另一种气体流量水平的应用中使用，则会导致净化不达标和工艺安全受损的情况。净化器解决方案应根据客户独特的瞬时流量需求定制，以达到客户应用所要求的净化、性能和安全标准。一旦晶圆厂确定了所需的气体量，下一步就是考虑净化器的类型 - 使用点、微管 (micro-bulk) 或大管 (bulk)。根据所需的气流、杂质水平和排气纯度 (outlet purity)，每个净化器可以单独使用，也可以与其他净化器串接起来使用。例如，大管净化器 (bulk purifiers) 工作在超高纯度级别，因而非常适合像半导体制造这样的 UHP 应用。ARM Purifications 的 Bulk 系列净化器提供很大的瞬时流量，并专为满足众多气体输送系统的特定要求而设计。

### ◎ 确保气体净化器满足压力和温度要求

应当了解应用需要的精确压力和温度要求，因为这两者都会对净化器的选择产生影响。压力因气体类型和工艺应用而异。此外，在高温下使用的相关要求还根据气体类型、目标杂质水平、以及功能而有所不同。正确的净化器解决方案应按照客户应用所规定的特定压力和温度要求进行定制。除了可以应对标准压力要求的 ARM Purification 净化器之外，ARM Purification 还与客户开展合作，以开发面向各种温度驱动型应用和高压力应用的解决方案。

### ◎ 在气体净化器生命终期需留意何时对其进行翻新和自我恢复

气体净化器的运行不会永远持续下去，因为它们是针对连续工作进行设计和规格拟订的，最后将到达寿命终期。幸运的是，许多气体净化器都能进行翻新和自我恢复，并重新部署到现有的系统中，因而从长远角度看，可以实现投资回报的最大化。但是，虽然老化的净化器或许有修复的机会，然而最新的技术进展有可能利用全新的组件提供更高的效率。ARM Purification 深知必需实现投资的最大



为确保针对独特的应用使用正确的净化器，需考虑四个重要的方面。

化，同时优化设备。它能够评估系统和组件的运行状况，并对更换或维修提出建议。如有需要，ARM Purification 可以对老旧的气体净化器实施翻新，同时给它们增添新的功能，从而强化其未来的功能性，最终可以避免投资变得过时。

### 利用正确的净化器使晶圆厂处于迈向成功的有利位置

如今的半导体晶圆厂无法允许杂质气体扰乱他们聚集的制造作业。选择适合需要的正确净化器不仅重要，而且在当前严苛和复杂的技术环境中也是绝对关键的。

气体净化器对于晶圆厂改善良率、确保工艺完整性、以及推动创新的能力是极为重要的。ARM Purification 认识到，气体净化器并不仅仅是一个孤立的组件，它有力量打造或破坏最精细的生产流程。ARM Purification 是 Applied Energy Systems 公司的一个分部，可以提供面向高纯度和超高纯度应用的各种使用点、微管和大管净化器解决方案。其经过验证的净化器得到了全球创新者的广泛信任，20 多年来一直被用于支持最严格的纯度要求。◆

正确的气体净化器是怎样使半导体晶圆厂能够满足当今严格的行业要求的？更多详情请登录以下网址查询：  
<https://www.armpurification.com>。

# ULVAC ENVIRO™ 等离子体去胶设备

凭借 40 多年的去胶技术经验，爱发科（ULVAC）开发了用于研发、试验性生产和量产制造的 ENVIRO 等离子体去胶设备。

ENVIRO-1Xa 以高性价比提供了卓越的性能。该系统配备了一个多用途平台，这个平台能够处理直径从 100 mm 到 200 mm 的多种晶圆尺寸。此系统使用了一个高效率等离子体源，能够实现超过  $10 \mu\text{m}/\text{min}$  的去胶速率，和高于 70 wph 的出片量。所有这些都是 在  $1.57\text{m}^2$  的极小占位面积上实现的。它具有高工艺灵活性，比如：高剂量离子注入光刻胶去除、清除残胶和表面改性、SU-8 和氟化光刻胶去除、以及 MEMS 牺牲层去除。

## ENVIRO – 高速等离子体去胶系统

- ◎ ENVIRO-1Xa – 单室
- ◎ ENVIRO-1Xa 2C – 双室
- ◎ ENVIRO-Optima – 三室

ENVIRO 具有与高速大圆片送料器相配的通用工艺腔室（process chambers），适用于研发、中试生产和量产；包括薄晶圆处理。

## ENVIRO 具有灵活性，适用于多种应用，包括：

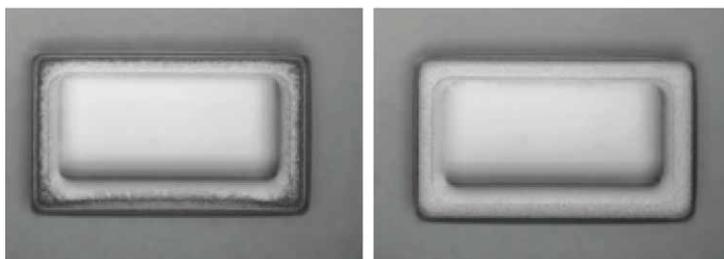
- ◎ Descum
- ◎ 厚光刻胶去除（包括：SU-8、KMPR、silanated）
- ◎ 聚合物和残留物去除
- ◎ MEMS Release（有机牺牲层去除）
- ◎ 背面清洗（斜角 / 边缘）

## ENVIRO 提供了很宽的工艺操作范围：

- ◎ 去胶速率 – 几纳米 / 分钟至超过 10 毫米 / 分钟
- ◎ 宽泛的晶圆承载盘温度控制范围（热盘或任选的冷盘）
- ◎ 高效下游等离子体源



## 深硅蚀刻工艺光刻胶去除之后



去残胶之前

去残胶之后

- ◎ 4 个质量流量控制器 (MFC) : 2 个 (标准) + 2 个 (任选)
- ◎ 气体化学成分 : 多种, 包括含有卤素的环境

### 爱发科商贸 (上海) 有限公司简介

ULVAC 集团为真空薄膜技术提供门类非常宽泛的制造设备产品库。ULVAC 的解决方案涵盖了设备、材料、分析和服 务, 面向半导体、MEMS、平板显示、电子器件、PCB、TFB 等领域。

ULVAC 为半导体和相关工艺制程提供最先进的产品和技术。为了支持 MEMS、功率器件、非易失性存储器 (NVM) 制造, ULVAC 提供溅射、蒸发、刻蚀、去胶、离子注入、氧化 / POA / 氮化、和退火设备, 用于研发、中试生产、以及量产制造。另外, 还提供品类齐全的真空配套产品, 包括各类真空泵、氦检漏仪、真空计、气体分析仪和热分析仪。

爱发科商贸 (上海) 有限公司是 ULVAC 株式会社在中国的全资子公司。

爱发科商贸 (上海) 有限公司的经营内容 :

1. 设备销售 : 面向平板显示 (TFT-LCD、AM-OLED、Micro-LED)、集成电路 (LOGIC、Memory)、电子元器件 (IGBT、SiC 功率器件、MEMS、SAW/BAW 滤波器、Micro-OLED 等)、真空冶金、真空包装、研究开发等领域的设备。

2. 售后服务 : 设备安装调试、定期保养、维护维修、零部件销售、设备改造、零部件清洗等。

3. 其他业务 : 国内外集团公司产品销售及售后服务, 各种靶材的销售。

爱发科商贸 (上海) 有限公司自成立后, 先后在北京、深圳、大连、苏州、成都、合肥、西安、鄂尔多斯、武汉、厦门、重庆、莆田、福州和广州开设了分公司和服务中心以及巢湖清洗工厂, 在国内形成了销售及售后服务网络, 我们将持续为客户提供完善的售后服务保障。◆

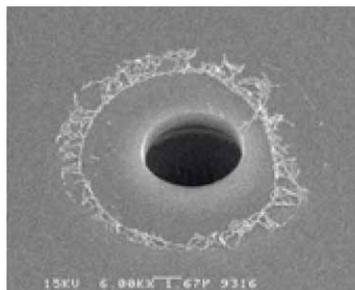
爱发科商贸 (上海) 有限公司

网站 : <https://www.ulvac-shanghai.com/>

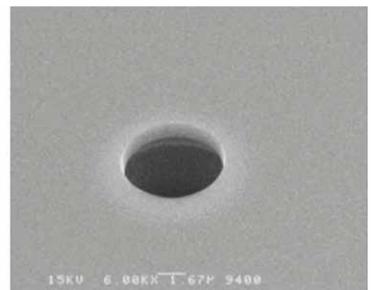
微信公众号 :



### 工艺残渣去除之后

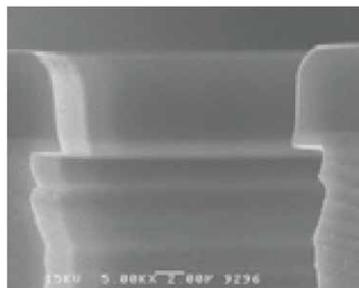


在传统去胶工艺之后

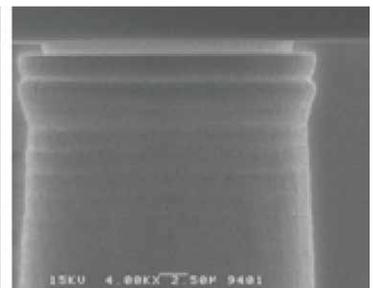


在 ENVIRO 去胶工艺之后

### MEMS 器件去除残胶



去胶之前



去胶之后



Advertiser	广告商名称	网址	页码
奥林巴斯（北京）销售服务有限公司		www.olympus-ims.com.cn	BC
长三角粤港澳大湾区第一届集成电路“太湖之芯”创业大赛		https://app.szsia.com/i	IBC
ITW EAE		www.itweae.com	9
Park		www.parksystems.cn/hybrid-wli	1

## 欢迎投稿

《半导体芯科技》(Silicon Semiconductor China, SiSC) 是面向中国半导体行业的专业媒体, 已获得全球知名权威杂志《Silicon Semiconductor》的独家授权。本刊针对中国半导体市场特点遴选相关优秀文章翻译, 并汇集编辑征稿、采编国内外半导体行业新闻、深度分析和权威评论等多方面内容。本刊由香港雅时国际商讯 (ACT International) 以简体中文出版发行。

本刊内容覆盖半导体制造工艺技术、封装、设备、材料、测试、MEMS、mini/Micro-LED 等。文章重点关注以下内容:

### FAB (Foundry, IDM, OSAT, R&D)

四个环节: 晶圆制造 (wafer 后道)、芯片制造、先进封装、洁净室; 深入报道与之相关的制造工艺、材料分析、工艺材料、工艺设备、测试设备、辅助设备、系统工程、关键零部件, 以及与 particle (颗粒度) 及 contamination (沾污) 控制等厂务知识。

### FABLESS

芯片设计方案、设计工具, 以及与掩膜版内容和导入相关的资讯。

### 半导体基础材料及其应用

III-V 族、II-VI 族等先进半导体材料的科学研究成果、以及未来热门应用。

《半导体芯科技》欢迎读者、供应商以及相关科研单位投稿, 已甄选中文稿件将在印刷版杂志以及网上杂志刊登; IC 设计及应用等半导体相关内容将酌情予以网络发表 (微信推送、杂志网站)。本刊优先刊登中文来稿 (翻译稿请附上英文原稿)。

### 技术文章要求

1. 论点突出、论据充分: 围绕主题展开话题, 如工艺提升、技术改造、系统导入、新品应用, 等等。
2. 结构严谨、短小精悍: 从发现问题到解决问题、经验总结, 一目了然, 字数以 3000 字左右为宜。
3. 文章最好配有 2-4 幅与内容有关的插图或图表。插图、图表按图 1、图 2、表 1、表 2 等依次排序, 编号与文中的图表编号一致。
4. 请注明作者姓名、职务及所在公司或机构名称。作者人数以四人为限。
5. 文章版权归著作者, 请勿一稿多投。稿件一经发表如需转载需经本刊同意。
6. 请随稿件注明联系方式 (电话、电子邮件)。

### 新产品要求

1. 新产品必须是在中国市场新上市、可在中国销售的。
2. 新产品稿件的内容应包含产品的名称、型号、功能、主要性能和特点、用途等。
3. 新产品投稿要求短小精悍, 中文字数 300~400 字左右。
4. 来稿请附产品照片, 照片分辨率不低于 300dpi, 最好是以单色作为背景。
5. 来稿请注明能提供进一步信息的人员姓名、电话、电子邮件。

电子邮箱: sunniez@actintl.com.hk  
viviz@actintl.com.hk

## 行政及销售人员 Administration & Sales Offices

### 行政人员 Administration

#### HK Head Office (香港总部)

#### ACT International (雅时国际商讯)

Unit B, 13/F, Por Yen Buiding,  
No. 478 Castle Peak Road,  
Cheung Sha Wan, Kowloon, Hong Kong  
Tel: 852 28386298

#### Publishing Director (出版总监)

Adonis Mak (麦协林), adonism@actintl.com.hk

#### Editor-in-Chief (编辑)

Sunnie Zhao (赵雪芹), sunniez@actintl.com.hk

Vivi Zhang (张雨薇), viviz@actintl.com.hk

#### Sales Director (销售总监)

Lisa Cheng (程丽娜), lisac@actintl.com.hk

#### General Manager-China (中国区总经理)

Floyd Chun (秦泽峰), floyd@actintl.com.hk

#### London Office

Hannay House, 39 Clarendon Road  
Watford, Herts, WD17 1JA, UK.  
T: +44 (0)1923 690200

#### Coventry Office

Unit 6, Bow Court, Fletchworth Gate  
Burnsall Road, Coventry, CV5 6SP, UK.  
T: +44 (0)2476 718 970

#### Publisher & Editor-SiS English

Jackie Cannon, jackie.cannon@angelbc.com  
+44 (0)1923 690205

### 销售人员 Sales Offices

#### China (中国)

##### Wuhan (武汉)

Lisa Cheng (程丽娜), lisac@actintl.com.hk

Tel: 86 185 7156 2977

Sky Chen (陈燕), skyc@actintl.com.hk

Tel: 86 137 2373 9991

Mandy Wu (吴漫), mandyw@actintl.com.hk

##### Shenzhen (深圳)

Yoyo Deng (邓丹), yoyod@actintl.com.hk

Jenny Li (李文娟), jennyl@actintl.com.hk

Tel: 86 755 25988573 /25988567

##### Shanghai (上海)

Hatter Yao (姚丽莹), hattery@actintl.com.hk

Helena Xu (许海燕), helenax@actintl.com.hk

Amber Li (李歆), amberL@actintl.com.hk

Tel: 86 21 6251 1200

##### Beijing (北京)

Cecily Bian (边团芳), cecilyB@actintl.com.hk

Tel: 86 135 5262 1310

#### Hong Kong (香港特别行政区)

Floyd Chun (秦泽峰), floyd@actintl.com.hk  
Tel: 852 2838 6298

#### Asia

##### Japan (日本)

Masaki Mori, masaki.mori@ex-press.jp

Tel: 81 3 6721 9890

##### Korea (韩国)

Lucky Kim, semieri@semieri.co.kr

Tel: 82 2 574 2466

##### Taiwan, Singapore, Malaysia

##### (台湾, 新加坡, 马来西亚)

##### Regional Sales Director

Floyd Chun (秦泽峰), floyd@actintl.com.hk

Tel: 852 2838 6298

##### US (美国)

Janice Jenkins, jjenkins@brunmedia.com

Tel: 724 929 3550

Tom Brun, tbrun@brunmedia.com

Tel: 724 539 2404

##### Europe (欧洲)

Shehzad Munshi, Shehzad.Munshi@angelbc.com

Tel: +44 (0)1923 690215

Jackie Cannon, Jackie.cannon@angelbc.com

Tel: +44 (0) 1923 690205



# 太湖之芯

## 创“芯”征程 “链”接未来

### 长三角粤港澳大湾区第一届集成电路 “太湖之芯”创业大赛

活动时间：（拟定）

2022年1月-2022年4月

#### 项目征集范围

主要面向国内外集成电路领域及相关项目团队或企业，参赛对象包括但不限于EDA、IP、IC设计、IC应用及测试、设备、材料、供应链等项目团队或企业。大赛分企业组和团队组两个组别，分别进行比赛。

#### 奖项设置

企业组和团队组奖项及奖金设置如下：特等奖：奖金最高可达5000万元

##### 企业组

一等奖1名，奖金100万元  
二等奖3名，奖金60万元  
三等奖6名，奖金20万元  
优秀奖10名，奖金2万元

##### 团队组

一等奖1名，奖金50万元  
二等奖3名，奖金20万元  
三等奖6名，奖金10万元  
优秀奖10名，奖金1万元

#### 报名网址

<https://app.szsia.com/i>

#### 咨询电话

邹丹艳：15180579463/0755-86156105

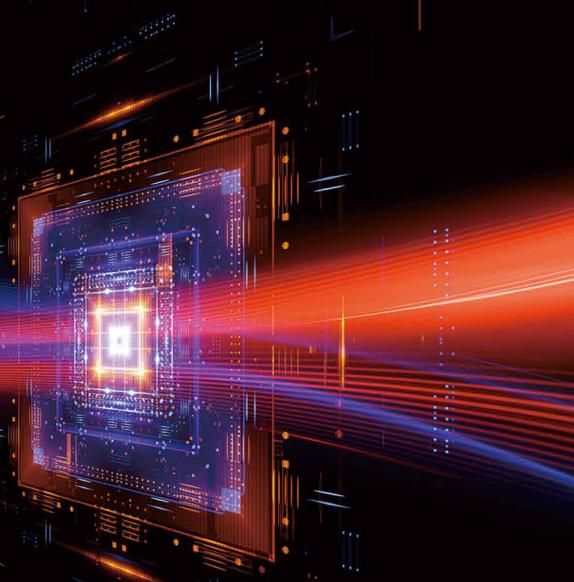
韦欣：13825210566/0755-84719405



扫码报名参赛

## 高效、先进的成像

### 奥林巴斯半导体行业解决方案



**DSX1000**

数码显微镜

多角度观察 / 宽放大倍率范围 23X-8220X



**MX63+AL120**

半导体 / FPD / 工业检测显微镜

12 英寸晶圆搬运机



**OLS5100**

3D 测量激光显微镜

更智能的工作流程 / 更快速的实验设计



### 用于整合的显微镜部件

#### 方便集成

特点 1: 组件采用模块化设计非常便于与其他光学机械系统集成。

特点 2: 结像透镜, 暗场模块, LED 远程控制。

特点 3: 独立模块, 便于设计您的系统。

#### 节省观察时间

特点 1: 高分辨率、长工作距离物镜

特点 2: 超宽视场镜筒透镜, 不断提升的显微镜相机传感器尺寸和分辨率造就了对超宽视场光学器件的需求。

#### 参数公开

专家将帮助您选择合适的组件, 并为您提供诸如尺寸和透光率值等技术数据。

