

半导体芯科技



SILICON CHINA
SEMICONDUCTOR

CHINA

ISSN 2523-1294

www.siscmag.com

2025年 12月/2026年 1月

半导体领域的预测性维护 P.12

通过仿真驱动工程优化半导体密封性能 P.17

推动CMOS 2.0从概念走向现实 P.20

新型3D芯片有望提升运行速度与能效 P.28

半导体中的玻璃 P.32

ACT
INTERNATIONAL

Angel
BUSINESS COMMUNICATIONS



微信公众号

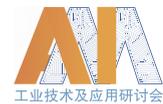
国际知名媒体授权 报道全球高新科技信息



免费
索阅

服务于机器视觉设计、电子制造、激光 / 光电子、射频 / 微波、化合物半导体
半导体制造、洁净及污染控制、电磁兼容等领域的专业读者及与会者

品牌会议



国际代理

CQ Publishing (Japan) Chomdan (Korea) Pan Global (Europe)

Endeavor Business Media (USA) Horizon House (USA) Angel Business Communications (UK)



SEMICON[®]
CHINA

Co-located with **FPDCHINA**

国际半导体专业展

March 25-27, 2026
SNIEC, Shanghai, China

TRANSFORM
TOMORROW
跨界全球 · 心芯相联



SEMICON China
小程序重磅上线!



微信扫描上方小程序码
点击右上角“...”
选择“添加到我的小程序”

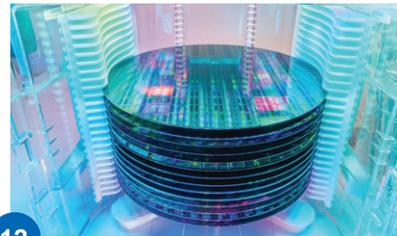
- 观众注册
- 展位地图
- 展商名录
- 同期论坛
- 邀请函
- 现场活动
- 新闻中心
- 更多

目录 CONTENTS

封面故事 Cover Story

12 半导体领域的预测性维护：Edwards Vacuum 如何塑造可靠性未来 Predictive maintenance in the semiconductor sector: how Edwards Vacuum is shaping the future of reliability

在全球半导体工厂中，真空泵的预测性维护已不再是实验性概念——而是经过实践验证的价值驱动力。Edwards Vacuum 公司将数十年的真空科学专业知识与前沿数据科学及人工智能技术相结合，在这一关键领域确立了领先地位。



12

编者寄语 Editor's Note

4 2025 年全球半导体行业全面复苏

行业聚焦 Industry Focus

5 晶盛机电发布方形硅片全流程解决方案

6 GaN 太赫兹技术新突破

6 艾迈斯欧司朗携手 DP Patterning 展示汽车照明系统未来

7 DELO 验证了粘合剂在 miniLED 连接中的可靠性，为 microLED 量产铺平道路

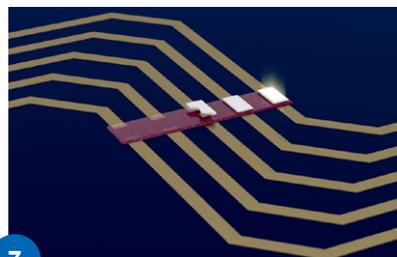
8 田中贵金属推出探针用铯材料 "TK-SR"

8 安森美新型散热封装技术提升高功耗应用能效

9 TDK 推出适合汽车与工业应用的抗振动型混合聚合物电解电容器

16 DNP 成功开发出电路线宽为 10 纳米的 NIL 模板

31 Kioxia 研发高堆叠性氧化物半导体沟道晶体管技术，助力高密度低功耗 3D DRAM 的实际应用



7



8

关于雅时国际商讯 (ACT International)

ACT 雅时国际商讯 (ACT International) 成立于1998年，为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品——包括杂志和网上出版物、培训、会议和活动——为跨国公司
及中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站，以及各种技术会议，服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、
半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港，在北京、上海、深圳和武汉
设有联络处。www.actintl.com.hk

About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photronics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

关于《半导体芯科技》

《半导体芯科技》(原半导体科技)中国版 (SiSC) 是全球最重要和最权威的杂志Silicon Semiconductor的“姐妹”杂志，由香港雅时国际商讯出版，报道最新半导体产业新闻、深度分析和权威评论。为中国
半导体专业人士，提供他们需要的商业、技术和产品信息，帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国
半导体产业，包括IC设计、制造、封装及应用等。

About Silicon Semiconductor China

Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology & product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMs, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

目录 CONTENTS

市场分析 Market Analysis

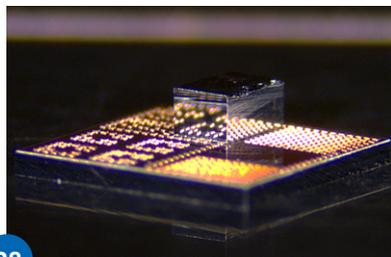
- 10 安世事件背后：欧洲将如何重绘半导体版图？
Behind the Nexperia incident: how will Europe redraw the map of semiconductors?

技术 Technology

- 17 通过仿真驱动工程技术优化半导体的密封性能
How simulation-driven engineering optimises sealing performance for semiconductors
- 20 推动 CMOS 2.0 从概念走向现实
Bring the CMOS 2.0 concept closer to reality
- 25 CMOS：不止于硅
CMOS: Not just for silicon
- 28 新型 3D 芯片有望提升电子设备运行速度与能效
New 3D chips could make electronics faster and more energy-efficient



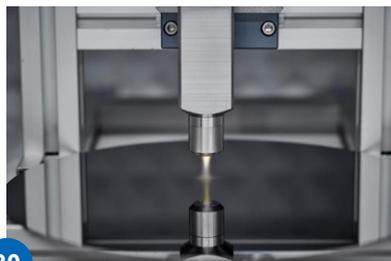
17



28

专栏 Column

- 30 借助等离子体技术，开启电子制造新高度
Next-level electronics manufacturing with plasma technology
- 32 半导体中的玻璃：行业的下一个拐点
Glass in semiconductors: the next inflection in semiconductors
- 34 深入了解 iSiPP200 集成光子学平台
A close look at iSiPP200 | IC-Link by imec



30

36 广告索引 Ad Index

《半导体芯科技》编委会（排名不分先后）

- 徐冬梅 教授级高工 中国半导体行业协会副秘书长兼封测分会秘书长
- 于大全 教授 厦门云天半导体创始人
- 姚大平 博士 江苏中科智芯集成科技有限公司总经理
- 汤 晖 教授 广东工业大学、精密电子制造技术与装备国家重点实验室
- 罗仕洲 教授 磐允科技总经理
- 林挺宇 博士 广东芯华微电子技术有限公司总经理
- 杨利华 院长 两江半导体研究院
- 王文利 教授 西安电子科技大学电子可靠性（深圳）研究中心主任 雅时国际商讯顾问
- 刘功桂 教授级高工 中国电器科学研究院股份有限公司威凯技术中心主任
- 徐开凯 教授 电子科技大学、电子薄膜与集成器件国家重点实验室
- 何 进 教授 北京大学教授、深圳系统芯片设计重点实验室主任

2025年全球半导体行业全面复苏

市场研究公司 Omdia 最新研究显示，2025 年第三季度半导体市场表现创历史新高，行业营收达到 2163 亿美元，环比增长 14.5%。继 2025 年第二季度实现 8% 的强劲环比增长后，全球半导体市场单季度营收首次突破 2000 亿美元大关。

增长动力从 NVIDIA 和存储领域向外扩散

2024 年是半导体市场的创纪录之年，行业营收突破 6500 亿美元，年增长率超过 20%。但 Omdia 指出，这一轮增长的分布极不均衡。若剔除 NVIDIA 和存储芯片的营收，受库存调整和需求疲软的影响，市场其他板块在 2024 年仅实现 1% 的增长。

相比之下，2025 年市场呈现出更为健康且全面的复苏态势。虽然 AI 和存储仍是主要增长引擎，但市场其他板块目前也在强劲增长。2025 年第三季度，整体市场营收环比增长超过 14%，即便剔除 NVIDIA 和存储芯片，环比增幅也达到 9% 以上。

Omdia 预测，2025 年全年半导体行业营收将突破 8000 亿美元，较 2024 年增长近 20%。即便不计入 NVIDIA 和存储芯片，市场年增长率也有望达到 9% 左右，这证实了 2025 年半导体行业已从少数细分领域拉动增长，转向全行业共同扩张的新阶段。

头部企业稳固 AI 和存储领域领先地位

以 2025 年第三季度营收排名，半导体行业前四大企业分别是 NVIDIA 以及三大存储巨头 Samsung、SK Hynix 和 Micron，这四家企业合计贡献了全球半导体行业超过 40% 的营收，凸显 AI 加速器 and 高端存储产品的持续主导地位。

Omdia 高级首席分析师 Lino Jeng 表示：随着 AI 推理工作负载规模的扩大，传统动态随机存取存储器 (DRAM) 和高带宽存储器 (HBM) 的需求同步激增，推动产品价格短期内出现大幅上涨。Omdia 预计第四季度营收将创下历史新高，这一强劲势头或将持续至明年。

中国正全力推动半导体生态体系化建设

Yole Group 近期也发布两份报告：《Overview of the Semiconductor Devices Industry – H2 2025》和《China Semiconductor Industry 2025》。Yole Group 预测 2025 年全球半导体器件收入将达到 7430 亿美元，同比增长 14%。Yole Group 的全球分析显示，半导体器件产业的领先力量仍主要集中在美国、中国大陆、中国台湾地区、韩国、日本和欧洲等区域。中国半导体生态正呈现以下结构性趋势：

- 产能扩张与本地化：晶圆代工产能目前可覆盖本土电子整机制造需求的 71%，并已达到本土电子产品器件需求的 112%。
- 设备本地化正在推进中，但仍相对有限，预计到 2030 年有望达到 52%。
- 到 2030 年，中国本土半导体器件产业有望占据全球器件收入的 10%。本土器件企业的总体年营收规模有望达 1,000 亿美元。
- 晶圆代工业务收入已增长至 164 亿美元。封装测试 (OSAT) 业务在过去五年增长了 57%。

中国正全力推动半导体生态的体系化建设，致力于打造更加完善、可持续发展的产业环境。同时，在人工智能等新兴技术领域，中国也在寻找适当的发展路径，以保持自身节奏和产业定位。对于中国半导体行业而言，如何在广泛布局与重点投入之间取得平衡，是当前面临的重要挑战。

赵雪芹

社长 Publisher

麦协林 Adonis Mak

adonism@actintl.com.hk

主编 Editor in Chief

赵雪芹 Sunnie Zhao

sunniez@actintl.com.hk

出版社 Publishing House

雅时国际通讯 ACT International

香港九龙 B,13/F, Por Yen Bldg,

长沙湾青山道478号 478 Castle Peak Road,

百欣大厦 Cheung Sha Wan,

13楼B室 Kowloon, Hong Kong

Tel: (852) 2838 6298

Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988573 /25988567

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 82201291

UK Office

Angel Business

Communications Ltd.

6 Bow Court,

Fletchworth Gate,

Burnsall Road, Coventry,

CV56SP, UK

Tel: +44 (0)1923 690200

Chief Operating Officer

Stephen Whitehurst

stephen.whitehurst@angelbc.com

Tel: +44 (0)2476 718970

晶盛机电发布方形硅片全流程解决方案

晶盛机电近日正式向全球发布方形硅片全流程解决方案，以自主创新引领方形硅片技术未来。该方案提供从晶体生长、截断、开方、磨削、切片、倒角到研磨、抛光、清洗的全套自主研发设备，实现了从“点”的突破到“链”的创新的全面布局，为全球方形硅片技术演进提供了“中国方案”。

随着 AI 芯片越来越大、设计越来越复杂，传统圆形晶圆的面积利用率和封装效率逐渐受限，因此开始走向“以方代圆”，以面板（Panel）取代晶圆（Wafer），将芯片排列在矩形基板上，实现更多芯片集成。目前，从 CoWoS 到 CoPoS 的先进封装革命已拉开序幕，这将有望通过供给侧产品的更新迭代，推动形成更大规模的终端需求，并极大缓解先进封装产能供不应求的现实问题。

一直以来，晶盛机电始终坚持“开拓创新，成就伙伴，共铸辉煌”的价值观，通过底层原创技术，厚积薄发，与全球合作伙伴共同定义半导体材料制造的未来。本次发布的方形硅片全流程解决方案中所有关键设备，均由晶盛机电自主研发，不仅强化了大硅片产业链装备的安全可控，



更能够实现各环节间的最佳匹配与协同，为客户提供效率更高、综合成本更优的一站式解决方案，助力中国半导体产业链实现高水平自立自强。

未来，晶盛机电将秉持“打造半导体材料装备领先企业，发展绿色智能高科技制造产业”的使命，持续自主创新、不断提升产品品质 and 专业化技术服务，深耕客户需求，与产业链上下游伙伴携手共进，为提升半导体产业的核心竞争力而不懈奋斗。

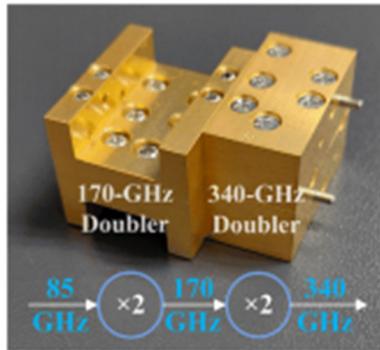
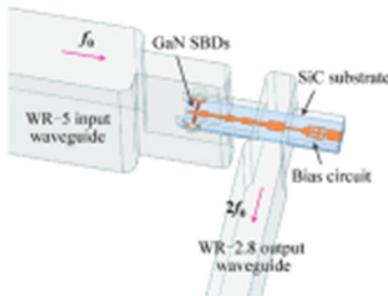


■ 方形硅片全流程设备自主研发

GaN太赫兹技术新突破

南京电子器件研究所在太赫兹固态技术领域取得突破性进展，成功研制出基于氮化镓（GaN）太赫兹单片集成电路技术的高性能340GHz倍频链，为高效产生太赫兹频段大功率信号提供了新方案。相关成果以“A 340-GHz frequency multiplier chain based on GaN monolithic integrated circuit technology”为题发表于《Infrared Physics and Technology》（<https://doi.org/10.1016/j.infrared.2025.106091>），郑艺媛博士、张凯博士为论文通讯作者。

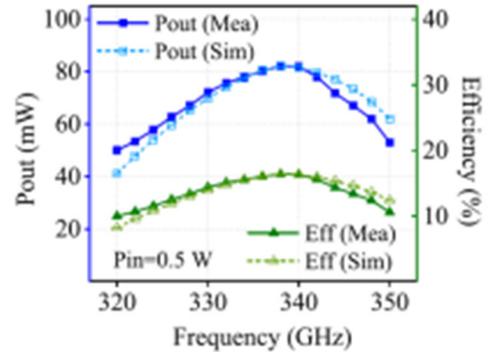
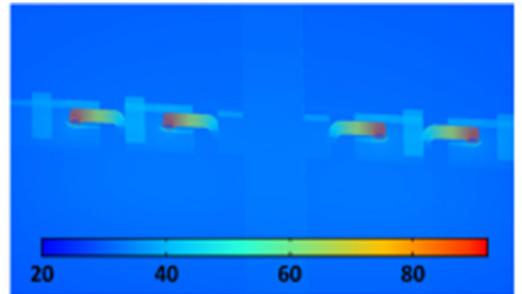
太赫兹波具有频带宽、穿透性强、安全性高、方向性好等优势，被视为未来无线通信与多维感知的核心技术，尤其是340GHz频段，在超高速数据传输、高分辨率成像和遥感监测等领域展现出巨大潜力。然而，340GHz频段信号的产生面临严峻的技术挑战，受限于半导体材料的物理特性以及太赫兹频段的传输损耗，太赫兹固态源输出功率极低，制约了相关应用的进一步发展。



340GHz GaN倍频链及实测结果

并通过单片集成工艺有效避免分立二极管的装配误差，提升太赫兹倍频器的性能及可靠性。研究同时提出新的偏置电路，可实现对倍频SBD工作点的调节以获得最优的倍频效率，进而提高倍频输出功率。

本研究340GHz倍频链由170GHz和340GHz两级GaN倍频器组成，可同时支持170GHz和340GHz两个



宽禁带半导体材料GaN击穿电场强度高，相比砷化镓（GaAs）具有更强的功率承载能力，为大功率太赫兹固态源的实现带来可能。本研究采用GaN太赫兹单片集成电路技术，结合多阳极GaN SBD阵列拓扑与高热导率碳化硅（SiC）衬底材料，实现高耐功率增强型散热结构，提高器件功率承载能力的同时大幅降低管芯区域热积累，

频段的应用需求。实验测得170GHz倍频器连续波输出功率达到411mW，340GHz倍频器连续波输出功率达到82.2mW，320-350GHz连续波输出功率超过50mW，为目前国际报道的最高值，该突破为解决太赫兹频段大功率信号产生这一核心难题提供了新路径，对推动新一代高速无线通信、高分辨率成像和遥感等领域的发展具有重要意义。

艾迈斯欧司朗携手DP Patterning展示汽车照明系统未来

照明与传感创新的全球领导者艾迈斯欧司朗与DP Patterning联合推出一款演示模型，展示了汽车照明系统的未来发展方向：该演示模型采用单层柔性印刷电路板替代传统的复杂多层设计，并且根据弗劳恩霍夫生命周期评估报告，其在生产结构化环节中，较化学湿法蚀刻

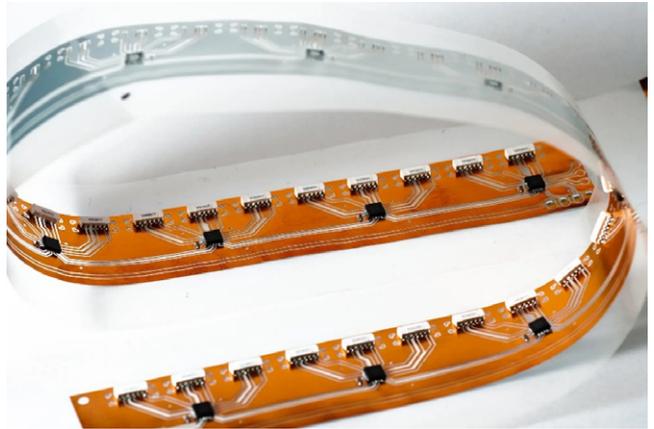
工艺可减少高达98%的CO₂排放量。该演示模型结合DP Patterning的干法电路板制造工艺与艾迈斯欧司朗AS1163 LED驱动器的优势，不仅呈现了创新的技术构想，也具备广泛的实用潜力，可轻松应用于汽车内外饰照明以及智能表面等柔性电路板场景。

艾迈斯欧司朗的开放系统协议（OSP）为设计带来更高自由度，并有效降低成本。新演示模型采用该协议加成瑞典技术合作伙伴 DP Patterning 的无化学干法工艺，展现了未来开发更可持续解决方案的潜力。

该演示模型通过一条简单连续的线路即可连接车内的 LED、传感器和执行器，实现数百个光点的独立控制。独立智能驱动器（SAID）AS1163 使中低功率 LED 无需外接本地微控制器，即可直接接入 OSP 网络。这一特性使得柔性乃至单层电路板，成为打造超薄、紧凑型照明模块的理想选择。

“这款演示模型揭示了照明网络的未来趋势：在化学工艺和复杂性上做‘减法’，在单层设计的自由度上做‘加法’。”艾迈斯欧司朗应用工程师 Andrea Maria Saraceno 强调。

与使用蚀刻槽和银浆印刷的传统电子电路技术相比，DP Patterning 采用的干法图案化（DPP）技术为一项独特的专利干法工艺——该过程无需用水、不涉及有害化学品，可以将其想象为对金属覆膜进行精确的干法切割。该工艺不会产生化学废水，仅留下干燥、可回收的金属残料。此外，该技术同步降低了能耗与工艺复杂度。根据弗劳恩霍



艾迈斯欧司朗与 DP Patterning 联合开发的采用单层柔性 PCB 替代传统复杂多层设计的演示模型

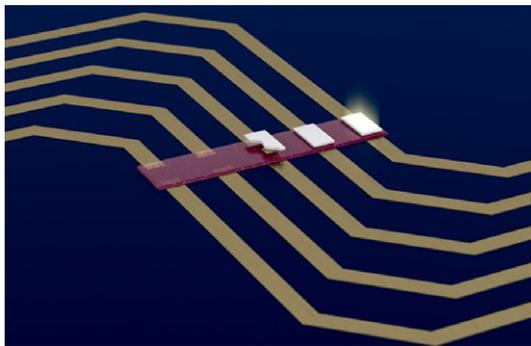
夫生命周期评估报告，在结构化环节中，DPP 技术相比湿法蚀刻可减少高达 98% 的碳足迹。

对于汽车内饰而言，该技术为氛围照明与智能表面设计带来更大发挥空间。无论是纤细的边缘光带，或是大面积的曲面光条，均可实现更轻薄、更灵活的系统集成。这项技术同时也为社会与环境带来积极影响：不仅有效降低能耗、杜绝废水污染，还可支持本地化生产，从而缩短供应链。

DELO 验证了粘合剂在 miniLED 连接中的可靠性，为 microLED 量产铺平道路

DELO 对定向导电胶进行了大规模可靠性测试，证实其可在 miniLED 显示制造过程中作为焊料的可靠替代方案。最新的研究侧重于粘合剂粘接后在苛刻高温高湿储存条件下的长期性能，进一步证实了粘合剂在实现 miniLED 的高效量产和 microLED 未来应用中的重要作用。

在 2024 年可行性研究证明了粘合剂能够可靠建立 miniLED 的电气和机械连接，在此基础上，DELO 又对其在长期测试中的耐久性进行了检验。利用丝网印刷技术在结构化测试板上进行精确剂量点胶，在 180℃ 温度下采用热电极工艺对单个和阵列式 miniLED 进行固化。然后，对样品在 85℃ /85% 相对湿度湿度条件



miniLED 在电路板（PCB）上的集成过程示意图：点胶前、点胶后以及 LED 通过粘合剂连接发光时（图：DELO）。

下，以及 120℃ 温度条件下分别进行长达 500 小时的长期储存测试。

评估内容包括亮灯验证、U-I 特性测试和芯片剪切力测试。结果表明，即使长时间暴露在高温环境中，粘合剂仍能保持稳定的机械强度和出色的电气性能，与 LED 数据表中的规格高度吻合。其中有一个关键的测试场景同时

模拟了高温和高湿环境，这对基于焊料的连接构成来说通常是一个严峻考验。即使在最严苛的条件下，定向导电胶仍能保持可靠性能，这进一步表明其作为下一代显示连接技术的可靠方案。

“这些结果表明，定向导电胶不仅在技术上适用于

miniLED，在真实贴近工业环境的长期条件下也具有可靠性”，DELO 消费电子与设备产品管理总监 Maximilian Baum 表示，“凭借这些研究成果，粘合剂从一个可行性概念转变为一项经过验证的连接技术——这一项技术不仅完善了 miniLED 的生产，还加速了 microLED 显示向大众市

场的过渡”。

这项新研究也是 DELO 每年为预测行业需求而进行的众多高级评估之一，此外，DELO 还进行了 3,000 多项针对客户的测试。DELO 的高科技粘合剂解决方案为半导体、汽车和消费电子行业的多家全球领军企业提供服务。

田中贵金属推出探针用铑材料 "TK-SR"

田中贵金属技术公司 (TANAKA PRECIOUS METAL TECHNOLOGIES Co., Ltd.) 宣布推出用于半导体封装制造前道工序中探针卡的探针用铑 (Rh) 材料 “TK-SR”。本产品于近日在福冈县举办的 “SWTest Asia 2025” 展会上进行展位展示和面板展示，并计划在很快提供样品。

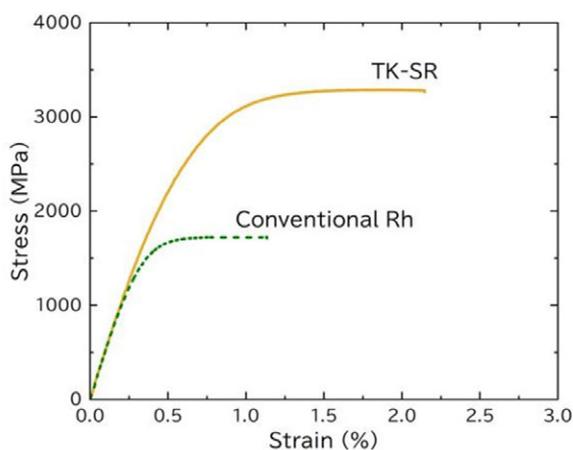


“TK-SR” 产品图像

TANAKA 为半导体制造的前段和后段工艺中使用的检测设备，制造并提供各种贵金属探针材料。本次发布的 “TK-SR” 作为探针用铑材料，

可同时实现传统探针用材料无法实现的更高强度、更高弹性极限、更高硬度、更高导电率，由于变形较少，预计可显著延长探针卡的使用寿命并降低成本。

探针卡是半导体制造前道工序中用于硅晶圆通电检测的装置，每片晶圆需使用数千至数万根精密探针。通电检测过程中需施加微小负荷，并反复数十万次，甚至有时达数百万次。哪怕一根探针出现变形或折断，不仅需要更换探针，某些装置甚至需要更换整张探针卡。因此，探针必须具备在反复负荷作用下不发生变形或折断的耐久性。通过采用更高强度、更高弹性极限的 TK-SR，可减少探针的变形和折断，从而减少零部件的更换频度。



探针用Rh材料的应力-应变图比较 (与本公司产品比较)

采用铑为材料的探针，凭借铑本身具备的物理特性，相较于其他材料，预计可同时实现更高强度、更高弹性极限、更高硬度、更高导电率。然而由于导电率被优先考虑，因此材料的强度、弹性极限和硬度通常受到限制。而此次，TANAKA 凭借创造性的加工技术，首次在全球范围内成功开发出同时具备高强度、高弹性极限、高硬度和高导电率的探针材料。对于本产品，TANAKA 的目标是截至 2030 年出货量达到现有产品的 2 倍。

此外，TANAKA 可提供线径达到 18 微米的产品，还能够满足日益微细化的尖端半导体封装中狭间距精密检测方面的需求。

安森美新型散热封装技术提升高功耗应用能效

安森美宣布推出采用行业标准 T2PAK 顶部冷却封装的 EliteSiC MOSFET，为汽车和工业应用的电源封装技术带来突破。这款新品为电动汽车、太阳能基础设施及储能系统等市场的高功率、高电压应用提供增强的散热性能、

可靠性和设计灵活性。

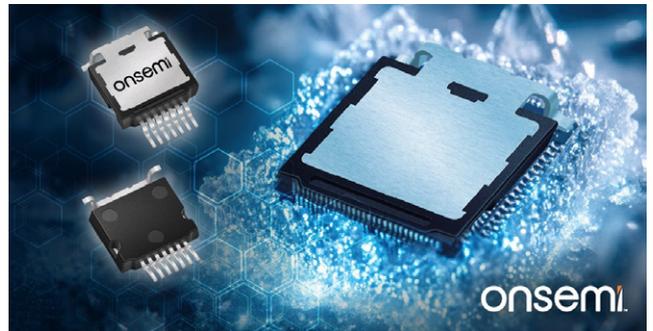
安森美采用 T2PAK 封装的 650V 和 950V 最新 EliteSiC MOSFET 系列，将公司业界领先的碳化硅技术与极具创新性的顶部冷却封装相结合。首批器件已向主要客

户发货，安森美计划于 2025 年第四季度及之后推出更多产品。通过在 EliteSiC 系列全面采用 T2PAK 封装，安森美为汽车与工业客户提供了强有力的全新选择，满足其在严苛高压应用中对效率、紧凑性和耐用性的需求。

随着太阳能逆变器、电动汽车充电器和工业电源等应用对功率需求的不断攀升，高效的热管理已成为关键的工程挑战。传统封装方式常迫使设计人员在散热效率与开关性能之间做出取舍。EliteSiC T2PAK 解决方案通过将热量从印刷电路板 (PCB) 高效地直接传导至系统冷却架构，实现了性能与散热的双赢，从而带来以下优势：

- 卓越的热效率，降低工作温度
- 降低元器件应力，延长系统使用寿命
- 更高的功率密度，实现紧凑的系统设计
- 简化系统设计，加快产品上市速度

工作原理：T2PAK 顶部冷却封装通过将 MOSFET 与散热片直接热耦合，在散热和开关性能之间实现了极佳平衡。该设计最大限度降低了结点至散热片的热阻，并支持



多种导通电阻 $R_{ds(on)}$ 选项 (12m Ω - 60m Ω)，从而提升设计灵活性。关键技术亮点包括：

- 通过将热量直接传导至系统散热片，规避了 PCB 的散热限制，实现卓越的散热性能
 - 保持低杂散电感，实现更快的开关速度并降低能耗
 - 兼具 TO-247 和 D2PAK 封装优势，且无明显缺陷
- 凭借 EliteSiC 在 T2PAK 顶部冷却封装中卓越的性能指标，设计人员能够打造出更紧凑、散热性能更好、且更高效率的系统。

TDK 推出适合汽车与工业应用的抗振动型混合聚合物电解电容器

TDK 株式会社 (东京证券交易所代码：6762) 宣布扩展其 B409x 系列表面贴装 (SMD) 混合聚合物铝电解电容器产品线，推出可耐受高达 30 g 机械振动 (参照 MIL-STD-202 标准方法 204) 的新成员——B409x 系列。新系列元件的优异抗振动性能得益于其底板增设的 4 根加固支柱，可在受到机械冲击与振动时能有效稳定元件本体。新型元件的订购代码后缀为“100” (标准型后缀为“000”)，专为苛刻的汽车及工业应用而设计。

该系列表面贴装元件额定电压在 25 V 至 80 V 之间；容量范围为 56 μ F 至 1100 μ F；直径 10 mm；高度从 10.2 mm 到 16.8 mm 不等；工作温度范围为 -55 $^{\circ}$ C 至 +105 $^{\circ}$ C (B40950)，最高可达 +150 $^{\circ}$ C (B40910)。得益于聚合物材料，B409x 系列具有较低的等效串联电阻 (ESR)，范围为 10 m Ω 至 33 m Ω ，高纹波电流能力可达 2.8 A 至 5.8 A。在额定电压与纹波电流，以及 +125 $^{\circ}$ C 环境温度条件下，该系列元件的使用寿命可达 4000 小时。其中，工业用 B40950 系列在额定电压与纹波电流，以及 +105 $^{\circ}$ C 环境温度条件下的使用寿命超过 10,000 小时。



TDK 还提供了基于网页的 AlCap Tool，方便用户快捷计算出产品在特定工况下准确使用寿命。

主要特点和效益

- 小型化封装
- 使用寿命：4000 小时 @+125 $^{\circ}$ C；B40950 系列：10,000 小时 @+105 $^{\circ}$ C
- 高纹波电流能力
- 在 \leq +150 $^{\circ}$ C 的温度范围内可保持较低的 ESR
- 可选标准型 (订购代码后缀为 000) 和抗振动型 (订购代码后缀为 100) (参照 MIL-STD-202 标准方法 204)

抗振动性能：抗振动型：30 g；标准型：5 g

- 支持表面贴装与回流焊
- 符合 RoHS

主要应用

- 汽车电子 (比如电动助力转向系统、DC-DC 转换器、冷却风扇、水泵与油泵、制动系统等)
- 工业电子 (比如 GPU、机器人、电动自行车、电动滑板车、电动工具等)

安世事件背后： 欧洲将如何重绘半导体版图？

来源：Yole Group

荷兰当局接管中国企业控股的半导体制造商安世半导体 Nexperia，这一事件不仅是欧洲半导体产业政策的重要信号，也在全球功率电子产业中引发了广泛关注。Yole Group 的行业专家对此进行了深入分析，探讨此举对全球供应链以及功率电子产业未来的深远影响。

半导体产业正日益成为全球产业竞争与政策关注的焦点。荷兰既是 ASML 的总部所在地，如今又因接管中国企业控股的半导体制造商安世半导体 Nexperia，再次成为全球半导体版图中的重要节点。

根据 Yole Group 的市场研究报告《Status of the Power Electronics Industry 2025》，安世在 2024 年实现了 20.6 亿美元的营收，跻身全球功率电子供应商前十。其中，汽车相关业务贡献了超过一半的收入，但公司的产品布局早已超越汽车领域，覆盖工业控制、通信、消费电子及服务器等多元化市场。

基于 Yole Group 在半导体与功率电子领域的深度研究，本文汇集了 Yole Group 首席分析师 Milan Rosina 博士和杨宇博士等人的专业见解，并从全球视角探讨功率半导体产业正在经历的结构变革。

安世是全球分立半导体的重要供应商，其产品涵盖二极管、硅基 MOSFET、双极晶体管，以及广泛应用于工业控制、服务器、智能手机和消费电子等领域的模拟与逻辑集成电

路 (IC)。在硅基 MOSFET 器件市场中，安世于 2024 年以约 4% 的市场份额位列全球第九。安世凭借这一市场布局，荷兰方面的相关政策调整，被视为对全球功率半导体产业格局产生深远影响的关键事件。

Yole Group 功率电子与电池业务首席分析师 Milan Rosina 博士表示：“安世半导体是一家具有重要产业影响力的企业，其产品线几乎覆盖功率电子的主要应用领域。对其运营的任何调整，都会对全球供应链产生一定影响。”

欧洲功率电子产业的关键地位

欧洲依然是全球功率电子的重要中心，聚集了英飞凌、意法半导体和赛米控 - 丹佛斯 (SEMIKRON DANFOSS) 等领先企业。然而，Yole Group 的行业分析师指出，欧洲在封装与测试等后段制造环节上仍高度依赖亚洲，特别是中国、马来西亚和菲

律宾。这种全球化供应链在新冠疫情期间曾遭受严重扰动。

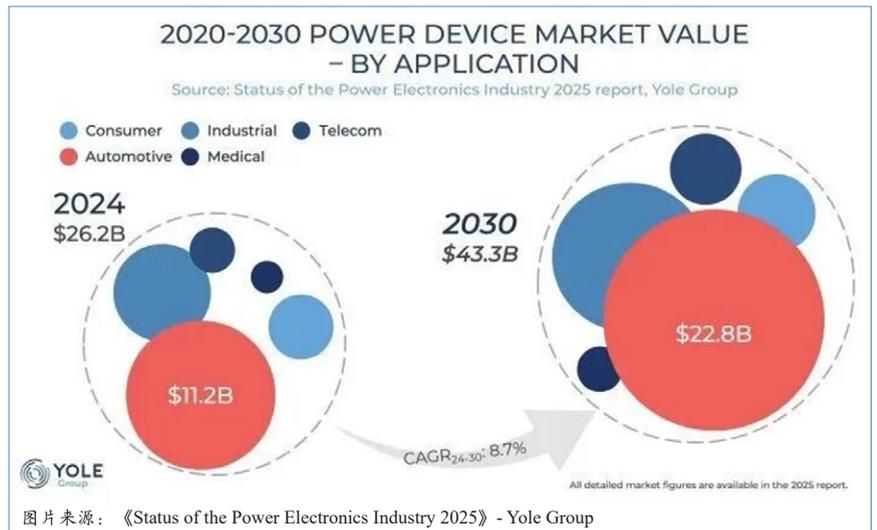
由于产业链呈“级联式”结构，任何一个环节出现瓶颈，都可能导致整体产能受限。更多相关分析详见 Yole Group 报告《Status of the Back-End Industry 2025》。

安世半导体的案例也揭示了欧洲供应体系的脆弱性。尽管公司在德国和英国设有前端晶圆厂，但其封装与测试业务主要在亚洲开展。随着部分出口政策调整，市场上出现了对短期供应波动的担忧。

Yole Group 汽车半导体业务首席分析师杨宇博士表示：“功率器件产业的供应链仍然相互依存、环环相扣。任何单点环节的波动，都可能对汽车、工业及能源等领域带来间接影响。”

产业格局的新阶段？

Yole Group 回顾了過去全球半导



体领域的政府干预案例：

2017 年：美国阻止 Cree 出售 Wolfspeed ；

2022 年：德国叫停 GlobalWafers 收购 Siltronic ；

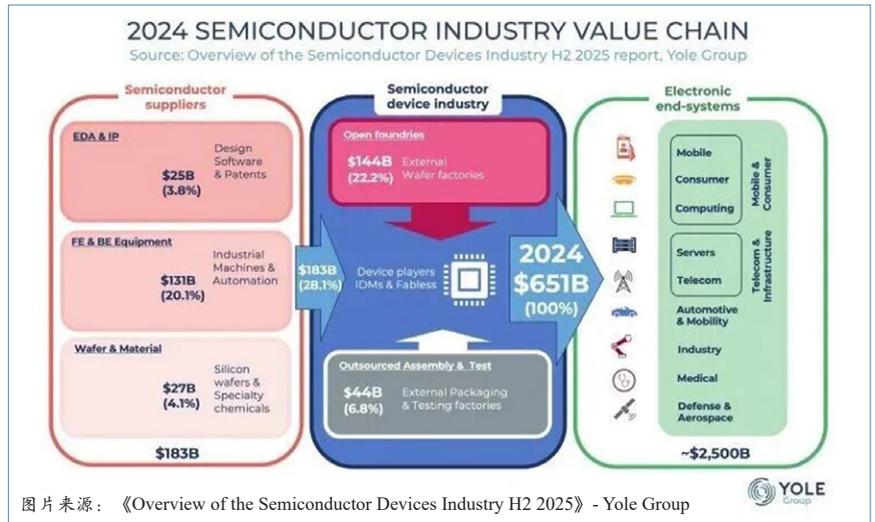
2023 - 2024 年：美国与荷兰联合限制 ASML 对华出口。

安世半导体的情况是欧洲首次针对中国投资背景的半导体企业采取国家层面的监管措施。

Yole Group 功率电子、光子与显示业务总监 Ana Villamor 博士表示：“在政策层面，针对部分市场主体的限制措施或可在短期内缓解供应安全方面的担忧，但从长期来看，也可能加快中国在半导体与功率电子领域的本地化进程。欧洲技术与中国市场之间的相互依存关系——尤其是在功率电子和电动汽车系统领域——正面临新的调整与再平衡。”

迈向双轨半导体生态: 全球化的新平衡

根据 Yole Group 分析师团队的研究，本次事件正在加速全球半导体生态体系的区域化与分化趋势。不同区域正在形成相对独立、又相互关联的



图片来源：《Overview of the Semiconductor Devices Industry H2 2025》- Yole Group

供应链体系。

Yole Group 全球半导体业务总监 Claire Troadec 表示：“我们正在见证两个并行半导体体系的早期形成。这种重复建设将推高成本，放缓创新节奏，也为全球贸易效率带来新的挑战。”

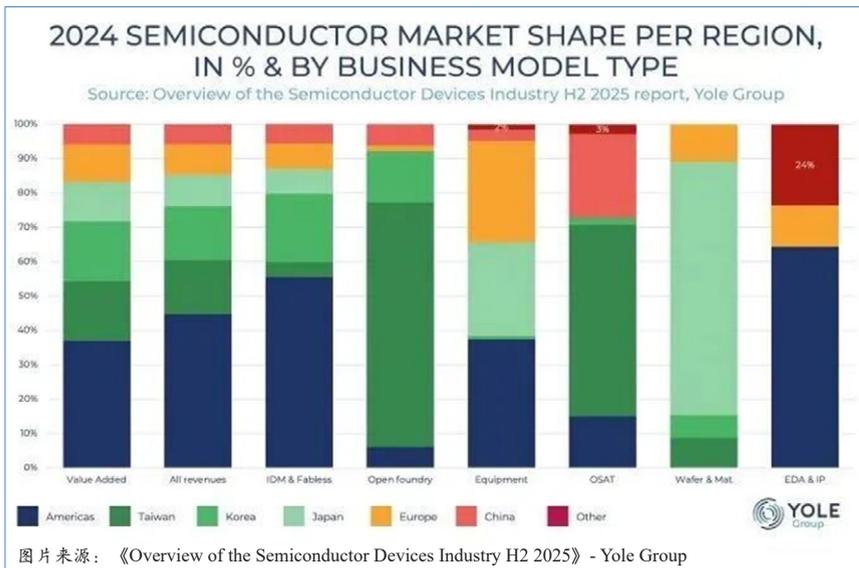
与此同时，中国正持续加大在功率电子领域的投资力度。最新设立的 270 亿美元国家半导体基金，旨在推动材料、芯片制造及封装环节的本地化能力建设，这些领域正是功率器件与模拟 IC 的关键基础。

而对于欧洲半导体企业而言，新的挑战在于如何在技术自主与全球竞争力之间实现平衡。欧盟及成员国层面的本地化制造计划正在推进，但要真正形成成熟产能仍需时间，而确保短期供应连续性的压力依然存在。

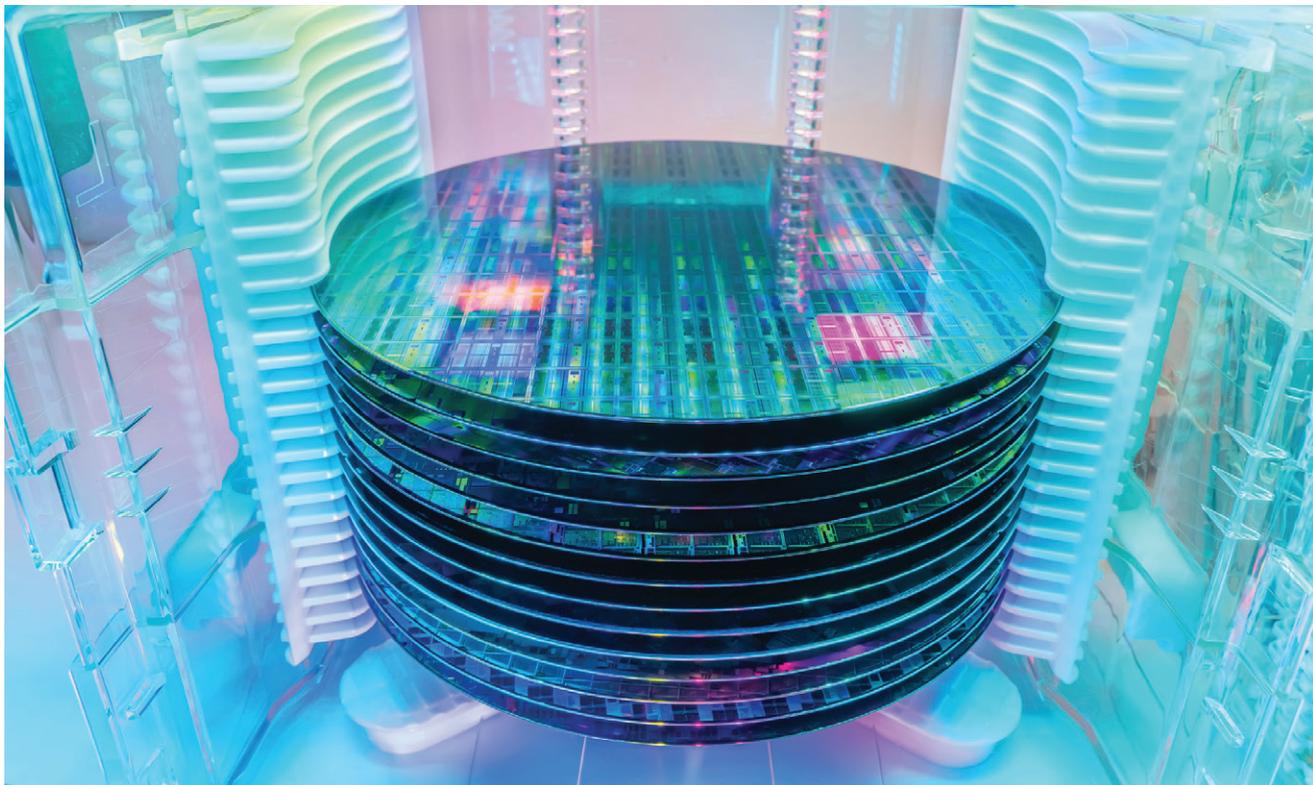
下一步将会是如何？

安世半导体案例再次凸显出全球半导体产业极需推进供应链多元化。Yole Group 预计，整车厂 (OEM)、一级供应商 (Tier-1) 以及半导体制造商将进一步强化多元化策略，并在区域层面建立冗余体系，以提升整体韧性。通过对功率电子与全球半导体市场的长期研究，Yole Group 提出一个明确结论：供应链的韧性，正逐渐演变为新的竞争力。

安世半导体的事件并非全球化的终点，而是对全球化模式进行重新设计的重要信号。虽然此次事件主要与功率电子领域相关，但 MCU、存储器、模拟与数字 IC 等其他半导体品类也同样面临类似挑战。未来的半导体产业必须在技术主权、效率与信任之间重新找到平衡，以确保创新的光芒持续闪耀。◆



图片来源：《Overview of the Semiconductor Devices Industry H2 2025》- Yole Group



半导体领域的预测性维护： Edwards Vacuum如何塑造 可靠性未来

在全球半导体工厂中，真空泵的预测性维护已不再是实验性概念——而是经过实践验证的价值驱动力。Edwards Vacuum公司将数十年的真空科学专业知识与前沿数据科学及人工智能技术相结合，在这一关键领域确立了领先地位。

半导体制造行业对精度的要求极为严苛。其工艺流程的复杂性、晶圆的极高价值，以及在提升性能的同时降低成本的持续压力，意味着工厂中的每一台设备都必须以绝对精准的状态运行。在这些关键系统中，真空泵往往是容易被忽视的“中坚力量”，却支撑着刻蚀、沉积及其他基础工艺的正常运转。

若真空泵发生意外故障，后果可能是灾难性的。单张

晶圆价值可达数万美元；而在批量生产流程中，整批晶圆报废可能造成数百万美元的损失。

在这个利润空间微薄、生产效率至关重要的行业中，预测并预防真空泵故障的能力已不再是“锦上添花”——而是战略层面的必需品。

这正是预测性维护的用武之地。尽管预防性维护计划早已是半导体工厂的常规操作，但基于真实数据而非固定

时间节点来预测故障的能力，彻底改变了行业对维护的期待。而引领这场变革的，正是 Edwards Vacuum——全球半导体制造领域真空与尾气处理解决方案的领导者。

本文将探讨半导体领域预测性维护的发展历程（从人工智能出现前的雏形，到最新的机器学习与数字孪生模型），并分析 Edwards Vacuum 如何运用数据科学、领域专业知识及物联网技术，为客户创造颠覆性价值。

从预防性维护到预测性维护：历史视角

在人工智能与机器学习兴起之前，预测性维护主要依赖于基于规则的方法。工程师会监控振动、温度、功耗、排气成分等关键参数，并设定需要介入维护的阈值。

借助决策树及其他统计模型，这些早期的预测性维护系统实现了相当不错的准确率，其效果往往优于基于固定时间的维护计划。

机器学习的基础数十年前就已奠定，但直到过去 15 年，计算能力才跟上理论发展的步伐。早在“人工智能”成为热门词汇之前，Edwards Vacuum 及其他先进制造商就已开始尝试数字孪生 (digital twins) 与基于规则的模型。

在真空尾气处理设备中，这些模型被证明效果尤为显著；对于干泵而言，尽管实现高准确率更具挑战性，但相比僵化的维护时间表，仍能带来切实收益。

然而，真正的变革契机，源于更完善的数据采集、更高质量的传感器输入与先进机器学习技术的兴起相结合。通过大力投资数据采集基础设施，Edwards Vacuum 为预测准确率的跨越式提升奠定了基础。随着高分辨率时序数据从泵中持续传输，机器学习模型能够识别出故障发生前的细微特征——这些特征是基于规则的系统无法察觉的。

故障的代价：为何预测至关重要

在半导体工厂中，历史上主要存在两种维护策略：

- **故障后维护 (Run-to-fail)**：让泵和尾气处理设备一直运行到发生故障为止。这种策略常见于单晶圆工艺，因为单张晶圆的损失虽令人惋惜，但仍在可承受范围内。
- **定期更换维护 (Scheduled replacement)**：为避免批量生产过程中（数十甚至数百张晶圆面临风险）发生灾难性故障，会按保守的时间间隔更换泵和尾气处理设备。

这两种策略都伴随着高昂的成本。

在“故障后维护”模式下，每次故障都可能导致意外停机和产品损失；而在“定期更换维护”模式下，泵往往在使用寿命耗尽前很久就被检修或更换。Edwards Vacuum 的工程师经常发现，一些被更换的泵内部“干净得像新的一样”，仅仅是因为维护时间表显示“到时间了”。

预测性维护提供了第三种路径：预测性运行 (Run-to-predict)。工厂无需猜测，而是可以利用真实数据做出明智决策。真空系统可以在接近其实际性能极限但不突破极限的状态下运行，从而最大限度地降低晶圆报废风险和必要的更换成本。Edwards Vacuum 的方案会根据实际情况量身定制。

针对特定故障模式的定制化模型

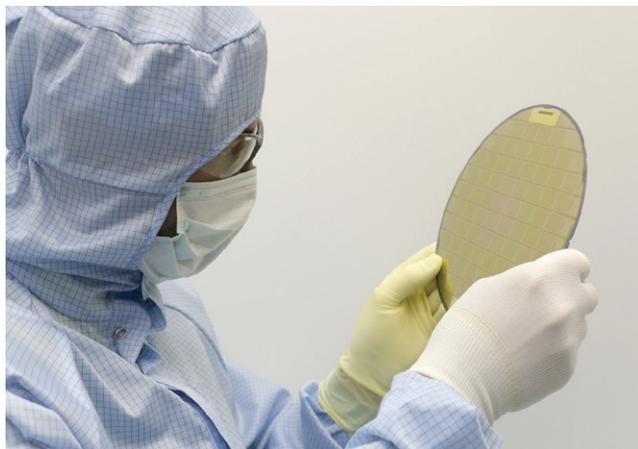
Edwards Vacuum 的实践带来一个关键洞见：并非所有泵的故障都相同。

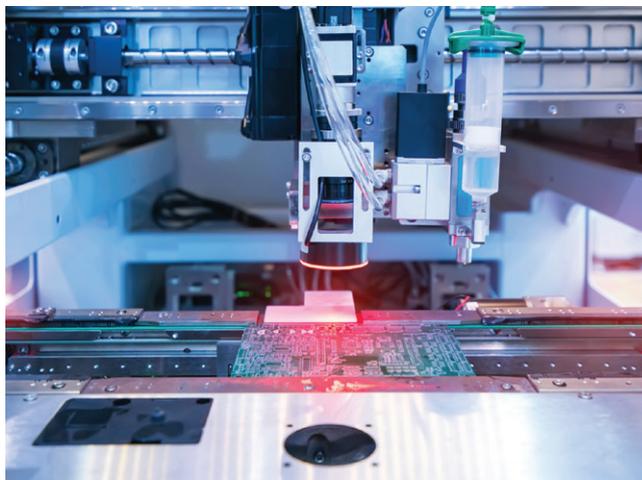
半导体工厂中的真空泵处于恶劣环境中——面临腐蚀性气体、沉积副产物的影响，且需承受极高的工作负荷。

不同的工艺会导致不同的设备退化机制。例如，腐蚀性气体会逐渐侵蚀泵的内部部件，导致腐蚀故障。这类故障相对容易检测，因为其退化趋势缓慢且稳定。与之相反，当沉积副产物在泵内部堆积，可能导致堵塞或卡壳，这类故障发生更突然，因此更难预测。

Edwards Vacuum 并未尝试构建“一刀切”的预测模型，而是为每种故障模式和泵系列构建特定模型，并根据客户的工艺条件进行调整。

这一做法取得了显著成效：针对腐蚀性工艺的故障预测准确率超过 95%；针对沉积性工艺的准确率则在 70%-90% 之间（具体数值因客户和特定工艺而异）。这些准确





率比使用通用模型的尝试高出 30%-40%。

由此可见，领域专业知识和针对故障模式的特异性，与纯粹的机器学习能力同等重要。

数据优势：大海捞针中的“指南针”

机器学习的优势在于数据——但如果缺乏领域知识，模型可能会将“噪音”误认为“信号”。Edwards Vacuum 的优势不仅在于数十年来积累的海量泵性能数据，更在于其深厚的真空科学专业知识。

构建预测模型有点像“大海捞针”：人工智能可以更快地筛选“大海”，但 Edwards Vacuum 知道“针”长什么样。通过将基于物理原理的洞见与统计分析相结合，Edwards Vacuum 的模型能够避免误报，并输出可执行的有效信息。

正是这种人类专业知识与算法洞察的融合，让 Edwards Vacuum 的预测性维护解决方案在真实工厂环境中具备了强大的可靠性。

成本与停机时间：最终的考量

归根结底，半导体工厂最关心的是总拥有成本（TCO）和良率保障。预测性维护在这两方面都能带来切实价值。

尽管 Edwards Vacuum 对其专属投资回报率（ROI）计算工具严格保密，但公司可以通过分析客户历史泵故障数据、晶圆报废事件和非计划维护情况，为每个客户量化收益。对于许多工厂而言，通过将故障维护转变为预防性维护，每年可节省数十万美元。

而收益不仅限于客户成本的降低。预测性洞察还能帮助爱德华兹优化自身的服务网络。例如，若公司能提前数周预测某一地区可能发生的泵故障数量，就能储备适量的

备件、安排相应数量的技术人员，并优化物流流程。

这不仅降低了 Edwards Vacuum 的运营成本，还能为客户提供更快速、更顺畅的服务。

超越预测：优化与自调节

预测性维护不仅是为了避免故障，还为真空系统性能优化开辟了空间。

通过分析运行数据，Edwards Vacuum 团队经常能发现简单的配置调整方案——例如，将泵的温度调整几度——就能显著降低故障风险。这些洞察作为 Edwards Vacuum 服务套餐的一部分提供给客户，构成了预测功能之外的又一层价值。

展望未来，Edwards Vacuum 设想了这样一种场景：泵能够根据工艺条件的变化自主重新配置。尽管行业的保守态度和安全顾虑使这一目标的实现需要更长时间，但发展方向已十分明确：预测性维护正逐步演变为指导性维护（Prescriptive Maintenance），并最终向自优化设备迈进。

模型的构建与部署

Edwards Vacuum 的预测性维护模型以泵系列和故障模式的标准模型为基础，并通过先进的仿真环境实现客户定制化调整。

通过在数小时内“回放”数年的泵数据，Edwards Vacuum 可以在模型实际部署前对其进行测试和优化。这种快速迭代不仅能让公司有信心展示模型的预测命中率，还能在无需在工厂进行长时间试错的情况下定制解决方案。

模型的部署方式十分灵活。Edwards Vacuum 的数据平台采用“云优先”设计，具备可扩展性、实时监控能力和设备群组级可视化功能。对于对云部署持谨慎态度的客户，也可选择边缘部署——无论是在客户现场，还是在其私有云环境中。

警报和决策既可由 Edwards Vacuum 的服务团队处理，也可集成到工厂管理系统中，或两者结合。这种灵活性体现了一个核心原则：客户可自主选择所需的自主化程度，而 Edwards Vacuum 则保护其模型的专属核心技术。

下一代泵：Ganymede 平台与物联网的实际应用

Edwards Vacuum 即将推出的 Ganymede 平台，是预测性维护与物联网技术融合的典范。与以往的泵不同（过去的泵将控制和通信功能集成在单一微控制器上），Ganymede



平台引入了专用网关控制器，具备强大的计算能力。

这使得预测模型可直接在泵上运行，减少了延迟和对外部系统的依赖。数据仍会传输到 EdCentra 系统进行设备群组级监控，但泵本身具备了更高的自主性，实现了工业物联网长期以来所承诺的愿景。物联网的炒作周期已度过“幻灭低谷期”，如今留下的是对互联设备成熟、务实的应用——而 Ganymede 平台有望成为这一领域的标杆案例。

数字孪生的作用

数字孪生（物理系统的虚拟副本）是 Edwards Vacuum 在人工智能领域的另一重要探索方向。该公司的服务中心团队已开始使用维护设施的数字孪生模型，模拟泵的运行流程并优化操作。

然而，将数字孪生应用于预测分析则面临更大挑战：实时、精准地对真空泵的物理原理进行建模极为复杂。Edwards Vacuum 正逐步推进这一工作，首先从冷却回路等子系统入手。其长期目标是将基于物理原理的孪生模型与机器学习模型相结合，形成兼具可解释性和准确性的混合方案。

完整的泵数字孪生可能还需要数年时间才能实现，但发展方向已确定——数字孪生将通过在预测系统中融入物理因果关系，成为人工智能的重要补充。

迈向更深层次的工厂集成

一个令人期待的前景是将泵数据与工艺设备数据相

结合。理论上，了解工艺气体流量或反应室条件，能让预测模型的准确率进一步提升。

但在实际操作中，工厂对工艺配方数据的保护极为严格，设备原始制造商（OEM）也对其设备遥测数据高度保密。

这是一个长期存在的文化障碍，根源在于半导体行业历史上形成的保密传统和“戒备心态”。不过，已有迹象显示情况正在改善。Edwards Vacuum 已能证明，将其旗下的泵与尾气处理系统数据相结合，可提升预测准确率。将这种逻辑扩展到整个工厂层面的集成或许是必然趋势，尤其是在可持续性、良率和成本效率的综合压力下。

未来的挑战在于，如何在保证数据机密性的同时，协调原始制造商、工厂和供应商之间的合作。SEMI（国际半导体产业协会）标准及第三方数据平台等举措，或许能提供所需的中立合作基础。

克服人力与文化障碍

预测性维护既是技术挑战，也是人力挑战。

拥有数十年经验的操作人员，往往对自己判断设备故障的“直觉”引以为傲。

Edwards Vacuum 的模型非但不会取代这种专业经验，反而常常能验证其准确性，为操作人员的直觉提供数据驱动的佐证。

抵触情绪确实存在，但成果比质疑更有说服力。一旦工程师看到设备 uptime（运行时间）提升、晶圆报废减少，

他们往往会主动接纳这项技术。

从更广泛的层面来看，半导体行业对云部署的谨慎态度仍是一大障碍。对数据“离开工厂围墙”的担忧已根深蒂固。但正如 Edwards Vacuum 所指出的，银行业、制药业及其他关键行业使用的云系统，其安全性正是基于半导体行业开发的 IT 安全技术。

Edwards Vacuum 的愿景十分清晰——构建一个“控制室”模式（类似劳斯莱斯航空航天的方案），由专家实时监控全球范围内的泵性能，并主动指导维护工作。

要实现这一愿景，需要全行业对基于云的数据共享建立信心——这一文化转变正在逐步推进。

未来之路

Edwards Vacuum 在预测性维护领域的探索仍在持续演进。其短期路线图包括：

- 更广泛地部署“云优先”数据平台；
- 推出具备内置预测功能的 Ganymede 泵；
- 持续推进子系统数字孪生的研发；
- 在安全数据共享框架下，探索更深层次的工厂集成；
- 利用预测性洞察优化爱德华兹自身的服务网络。

从长期来看，未来可能实现的目标包括：自主自调节泵、基于人工智能的跨区域运营效率优化，以及结合机器学习与数字孪生的混合模型。

无论在何种情况下，目标始终如一：在这个对精度要求最严苛的工业环境之一中，减少停机时间、延长泵的使用寿命，并保障生产良率。

结语

在全球半导体工厂中，真空泵的预测性维护已不再是实验性概念——而是经实践验证的价值驱动力。Edwards Vacuum 将数十年的真空科学专业知识与前沿数据科学相结合，在这一关键领域确立了领先地位。

从针对特定故障模式的定制化模型，到具备物联网功能的下一代泵；从服务中心的数字孪生，到实时全球监控的愿景——Edwards Vacuum 正展示预测性维护如何演变为更广泛的“预测性运营”范式。

在对良率、运行时间和效率的不懈追求中，预测性维护的意义已不止于“维护泵”——它关乎半导体制造行业的未来本身。而 Edwards Vacuum 正以每一台（人工智能赋能的）泵为起点，助力书写这一未来。◆

DNP成功开发出电路线宽为10纳米的NIL模板

日本 Dai Nippon Printing Co., Ltd. (DNP) 宣布，其已成功研发出电路线宽为 10 纳米的纳米压印光刻 (NIL) 模板。这款新型模板可实现性能对标 1.4 纳米制程的逻辑半导体的图案化，满足了尖端逻辑半导体的微型化需求。

研发背景与目标

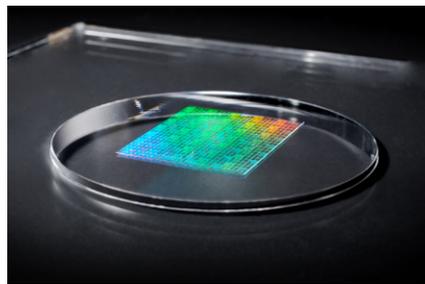
近年来，随着器件精密度的提升，市场对尖端半导体微型化的需求日益增长，这也推动了基于极紫外 (EUV) 光刻技术的生产进步。然而，EUV 光刻技术在生产线建设和曝光工艺方面需要大量的资本投入，且能耗与运行成本居高不下。

DNP 自 2003 年起便致力于 NIL 模板的研发工作，在高精度图案化领域成功积累了丰富的技术经验。

在此项最新进展中，DNP 研发了一种具有 10 纳米线图案的 NIL 模板。它可以替代部分 EUV 光刻工艺，从而帮助那些不具备 EUV 光刻生产工艺的客户生产尖端逻辑半导体。

主要特性

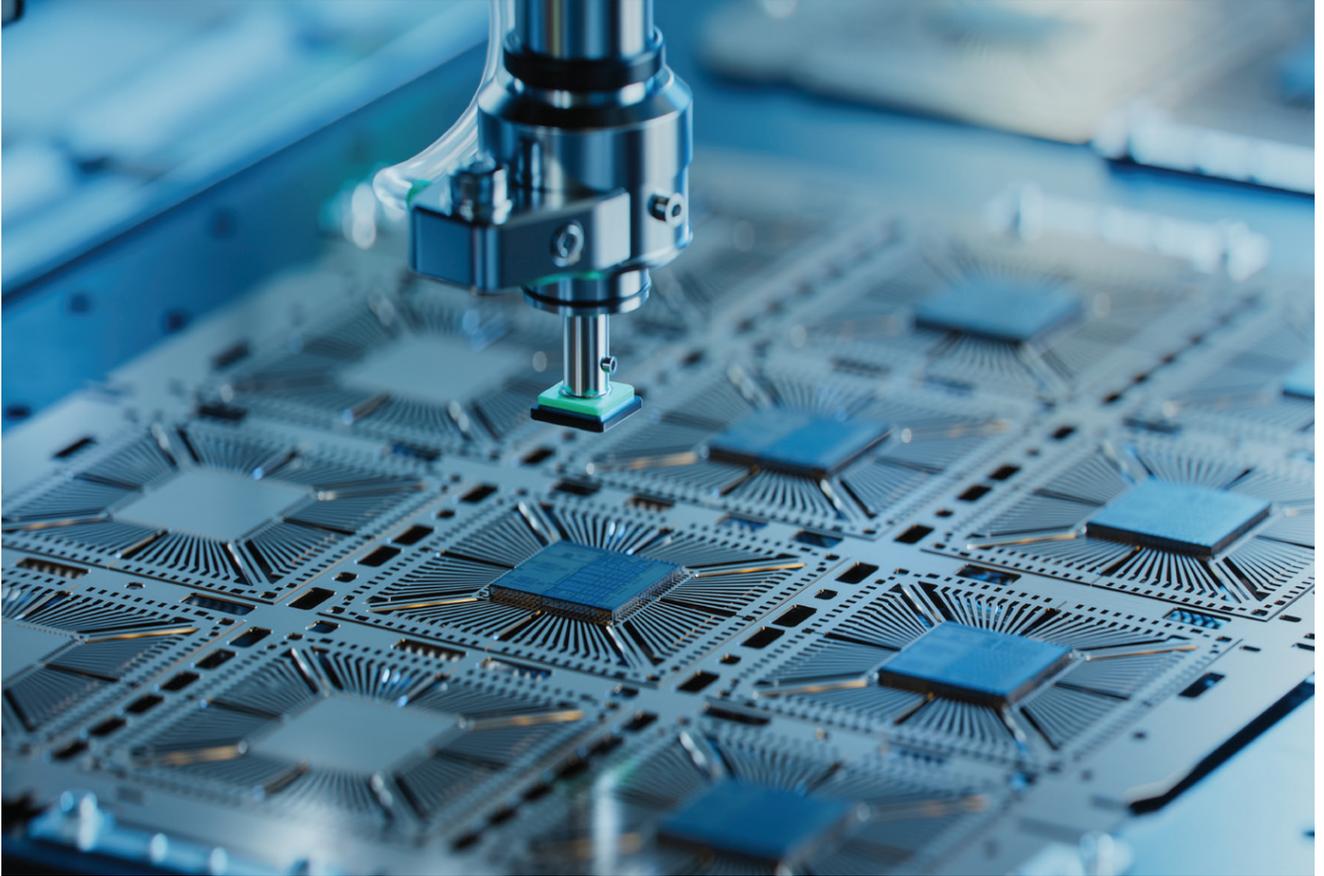
• DNP 利用自对准双重图案化 (SADP) 技术，成功实现了电路



线宽为 10 纳米的新型 NIL 模板的研发。该技术通过对光刻设备形成的图案进行薄膜沉积和蚀刻处理，使图案密度提升一倍。

• 这项技术还能降低尖端半导体制造曝光过程中的能耗。得益于采用 NIL 技术的节能型超精细半导体加工技术，现可将能耗降至现有曝光工艺（如氟化氩 (ArF) 浸没式光刻和 EUV 光刻）的约十分之一。

DNP 公司已启动对 NIL 模板的评估工作，计划于 2027 年实现量产。DNP 将推进 NIL 模板的进一步开发，并提高产能以满足不断增长的需求，目标是到 2030 财年使 NIL 销售额增加到 40 亿日元。



通过仿真驱动工程技术优化半导体的密封性能

半导体行业对精度有着极高的要求，即便是极微小的微观层面故障，也可能导致显著的良率损失和高昂的停机成本。传统测试方法虽然可靠，但往往需要数月甚至数年时间，才能在实际条件下验证密封件的性能。而特瑞堡密封系统（Trelleborg Sealing Solutions）公司等零部件合作伙伴所提供的仿真驱动工程（simulation-driven engineering）技术则能够通过数小时的计算分析来预测密封件未来数年的性能表现。

这种先进的基于仿真的工程方法将材料科学专业知识与精密的计算工具相结合，可以在密封解决方案投入生产前对其进行优化。

通过利用仿真技术，工程师们如今能够预测密封产品压缩变形情况、分析动态响应，并优化密封件设计，从而在半导体应用中最大限度提高其性能。

密封应用中的仿真能力

现代仿真技术早已超越基础的应力分析范畴。先进的仿真平台能够对复杂的材料行为进行建模，包括直接

作者：Alan Astbury, Simulation Methods Developer, Trelleborg Sealing Solutions

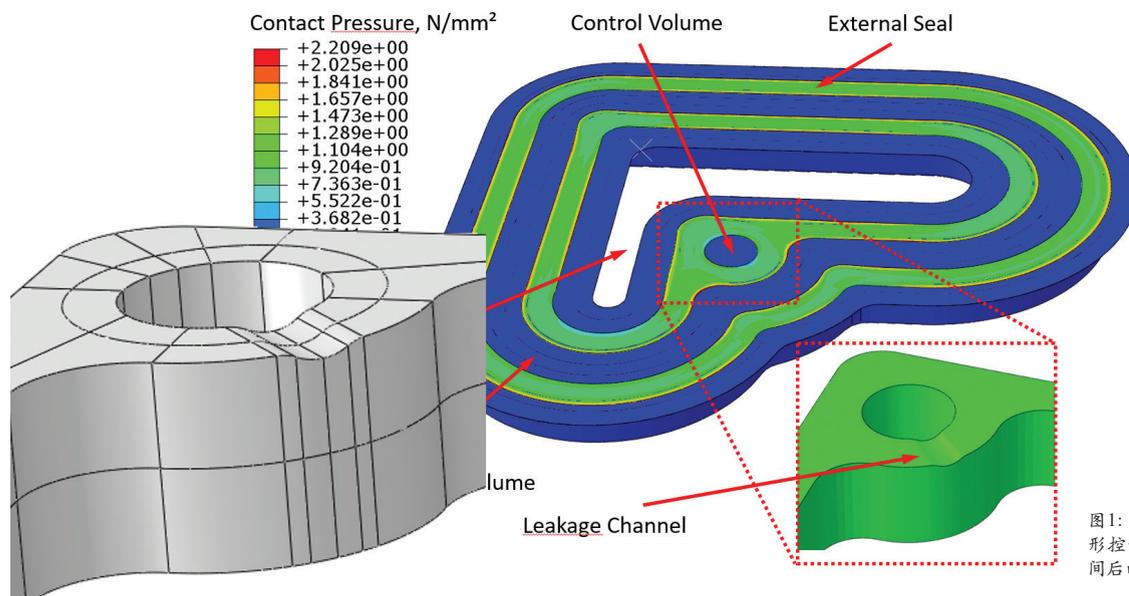


图1: 本文讨论了通过压缩变形控制体积来检测在一段时间后的泄漏情况。

影响密封性能的超弹性特性、粘弹性响应以及长期老化效应。

材料行为建模

弹性体密封件在各种条件下会表现出非线性行为。仿真软件通过采用超弹性材料模型来考量这些复杂性，这些模型能准确反映密封件在变形、温度变化和动态载荷条件下的响应。这包括对穆林斯效应的建模，即材料在加载和卸载循环中会遵循不同的应力-应变路径。

仿真流程始于利用标准拉伸测试设备和动态机械分析仪 (DMA) 进行全面材料表征。DMA 可在不同温度下生成频率扫描数据，为校准仿真模型以匹配实际材料行为提供关键数据。

多阶段分析方法

Trelleborg 等专业密封件供应商采用多阶段分析的方式进行密封件仿真。该流程通常先进行热机械分析，工程师会将机械响应与温度效应、热膨胀相结合；随后利用专用子程序开展老化仿真，预测材料性能的长期变

化；最后，将模型恢复至常规工况，评估密封件的最终性能。

仿真驱动工程最具价值的应用之一，是预测密封件在长期使用后的压缩永久变形行为。当弹性体密封件经长期压缩后无法恢复至原始尺寸时，便会产生压缩永久变形，这会直接影响密封效果。

从分子层面来看，弹性体由交联的长聚合物链构成。在持续压缩和高温环境下，这些交联键会断裂并在更短距离处重新形成，导致密封件无法恢复原状。仿真模型通过追踪键的断裂与再生过程，能够复现这一行为。

温度和时间是导致压缩永久变形的主要因素。高温会加速该过程，仿真工程师可借助时温等效原理，通过高温加速测试来验证长达数年的性能预测。

半导体设备中的实际应用

以半导体加工设备中设计使用寿命为 7 年的双密封结构为例，通过老化仿真，工程师可预测接触压力何时会降至临界阈值以下，进而制定前瞻

性的维护计划。仿真结果可能显示，7 年后泄压通道会失去接触，但主密封功能仍可维持，这为设备维护需求提供了预警机制。这种预测能力不仅省去了大量长期测试的必要，还能确保设备全生命周期内密封件的性能可靠性。

动态响应分析与优化

半导体制造设备往往面临振动、压力波动和机械运动等动态工况。非线性粘弹性仿真通过对密封材料的弹性和阻尼特性进行建模，可应对这些挑战。在非线性粘弹性仿真中，材料对应力或应变的响应与所施加载荷并非呈直接正比关系，这意味着应力与应变的关联更为复杂，且会随作用力的大小和持续时间而变化。

隔振与阻尼优化

动态仿真可帮助工程师针对特定频率响应优化密封件设计。对于需要隔振的应用场景（如保护精密测量设备免受环境干扰），仿真能够确定最佳的材料属性和几何结构。该分析会

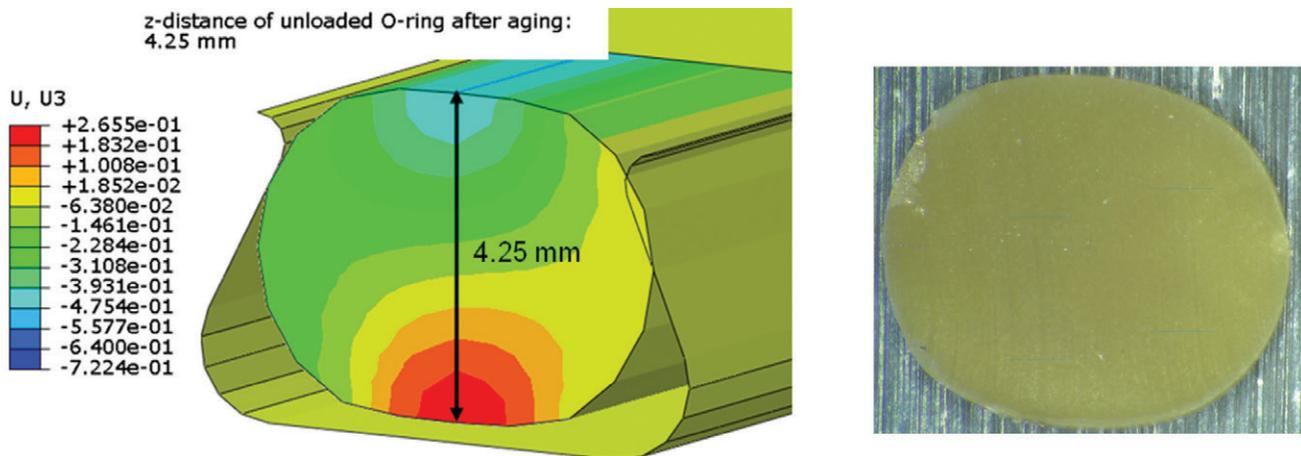


图2: 本文对比了密封件37年后的压缩永久变形与真实O型圈的实际表现。

考量固有频率和阻尼特性，以实现预期的隔振效果。通过在虚拟环境中测试多种材料配方，工程师可在制造原型件前选定最优组合。

先进仿真功能

仿真的应用范围不仅限于密封性能优化，还可延伸至制造流程的优化。

● 磨损预测建模

半导体设备中的密封件在整个服役周期内会持续产生磨损。先进的仿真技术能够预测其在数月运行后的磨损模式，清晰呈现密封件锋利边缘如何逐渐磨损为平整表面。这一能力可帮助工程师优化密封件几何形状，延长其使用寿命。磨损仿真结果与实际测量数据吻合度较高，能为预测维护周期提供可靠依据，助力预防突发故障。

● 设计优化技术

现代仿真平台具备参数化和非参数化两种优化能力。参数化优化会调整特定尺寸参数以达成性能目标，例如通过修改根部几何形状将应力集中降低 11%；非参数化优化虽因易在部件上产生孔洞而较少应用于密封件设计，但在结构件和装配工装设计中是极具价值的技术。

● 制造集成与质量保障

仿真还能从生产阶段保障零部件质量。注塑成型仿真可优化加热通道设计、浇口位置及工艺参数，实现均匀的材料流动并减少缺陷。它能在零部件投入使用前识别潜在失效模式，从而实现前瞻性的质量管理。仿真会将材料收缩纳入考量，确保最终零部件的公差控制精度，这对于尺寸精度直接影响性能的半导体密封件而言尤为关键。

● 预防性维护计划制定

先进的老化仿真可给出明确的密封件更换时间表，使设备操作人员能在计划停机期间安排维护，而非在故障突发后被动应对。这种方式能大幅降低整体维护成本，提升设备开机率。

● 材料选型优化

仿真可助力工程师针对特定应用快速对比不同密封材料。无需开展大量物理测试，就能评估各类弹性体配方在温度循环、化学暴露和机械应力下的响应表现。

仿真在密封技术中的未来发展趋势

仿真技术的新兴趋势正朝着分子级建模能力迈进，未来有望实现虚拟化学兼容性测试。尽管这类先进技术

距离实际应用仍有数年时间，但它们代表了预测性密封工程的下一个前沿方向。

多尺度建模方法最终将打通分子行为与宏观密封件性能之间的关联，为理解材料在不同服役工况下的行为提供前所未有的深度洞察。

通过仿真合作实现价值最大化

仿真驱动工程若能在设计初期便融入研发流程，将发挥最大价值。同时，这也需要像 Trelleborg 这样的密封件供应商、设备制造商与终端用户的紧密协作，以确保模型能精准反映实际运行情况。工程师可在投入实际生产制造前，探索多种设计方案并优化性能。

这种合作模式能最大化仿真分析的预测价值，确保设备全生命周期内密封件的最优性能。

现代半导体制造对精度和可靠性的要求，是传统设计方法难以保障的。仿真驱动工程不仅具备满足这些严苛要求所需的预测能力，还能缩短研发周期、降低成本。随着仿真技术的持续进步，其在密封件优化领域的作用，将对半导体行业的发展起到愈发关键的支撑作用。◆

推动CMOS 2.0从概念走向现实

晶圆对晶圆混合键合与背面技术的突破，推动 CMOS 2.0 从概念走向现实，为计算系统的扩展提供了更多可能。

晶圆对晶圆混合键合与背面技术的突破，推动 CMOS 2.0 从概念走向现实，为计算系统的扩展提供了更多可能。

在 2025 年超大规模集成电路会议 (VLSI 2025) 上，比利时微电子研究中心 (imec) 的研究人员证实，可将晶圆对晶圆 (wafer-to-wafer) 混合键合的技术路线图扩展至 250 纳米互连间距。他们还展示了通过制造间距为 120 纳米的极小介电层通孔 (TDV)，

在晶圆背面实现高密度连接的技术。在晶圆正反面均实现此类高密度连接，是开发基于 CMOS 2.0 的计算系统架构的重要里程碑。该架构依赖于系统级芯片 (SoC) 内部功能层的堆叠。此外，基于 CMOS 2.0 的系统将采用包含背面供电网络 (backside power delivery networks, BSPDN) 在内的背面互连技术，该技术的优势已首次在开关域设计中得到验证，这类设计与移动设备应用场景高度相关。

CMOS 2.0: CMOS 技术扩展的新方向

2024 年，imec 提出了 CMOS 2.0 这一新型扩展范式，以应对因应用多样化而日益增长的计算需求^[1,2,3]。在 CMOS 2.0 框架下，在系统-技术协同优化 (STCO) 的指导下，SoC 会划分为不同的功能层 (即 tiers)。每个功能层均采用最符合其功能约束的技术方案构建。

先进的 3D 互连技术将 SoC 的异

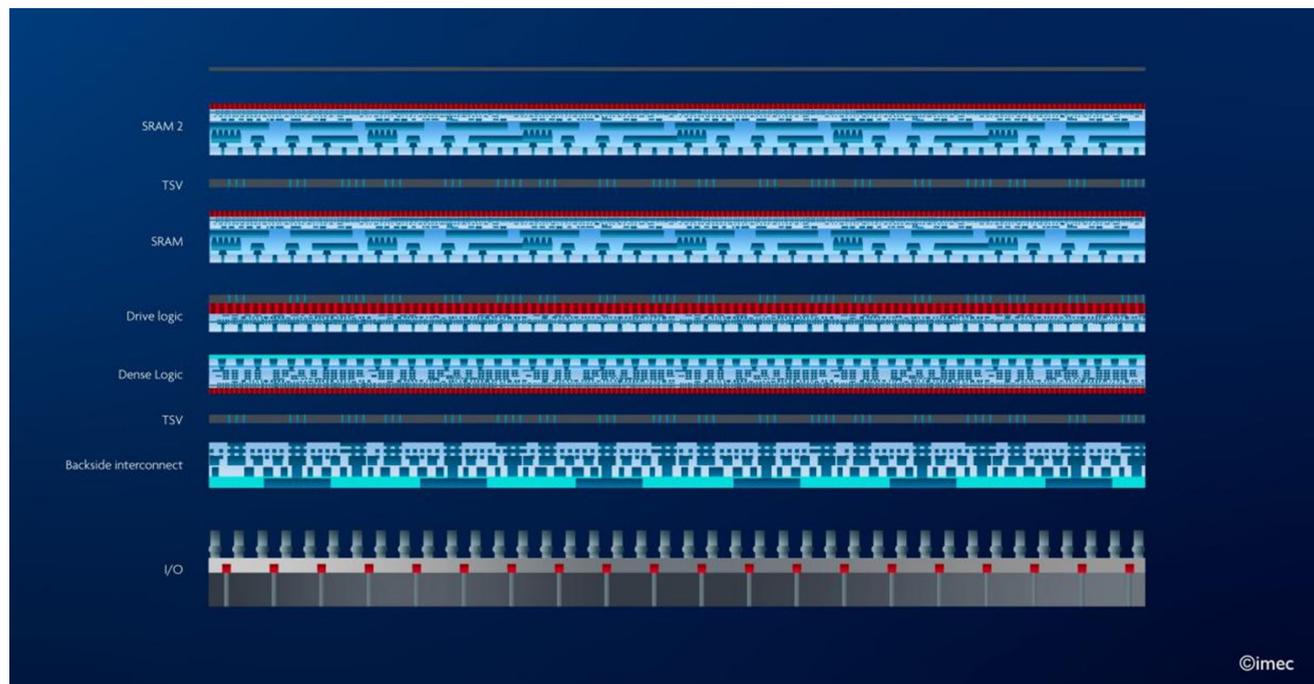


图1: CMOS 2.0 时代SoC的一种可能分区示例。

作者: Zsolt Tokai, imec fellow and incoming program director of 3D system integration
Eric Beyne, imec senior fellow, VP R&D and program director of imec's 3D System Integration
Geert Hellings, Program Director XTCO/Compute Density at imec
Julien Ryckaert, Vice president logic technologies

质层重新连接。这与已应用于商用计算产品的技术演进路径相似，例如静态随机存取存储器（SRAM）芯片与处理器的 3D 堆叠。但 CMOS 2.0 的独特之处在于，它将“异质性”融入了 SoC 本身。根据应用需求，CMOS 2.0 甚至可将 SoC 的逻辑部分拆分为高驱动逻辑层（针对带宽和性能优化）与高密度逻辑层（针对逻辑密度和能效比优化）。其中，高密度逻辑层可采用最先进的技术制造，包括最先进的晶体管架构。

CMOS 2.0 的另一关键特征是背面供电网络（BSPDN）：部分有源器件的供电来自晶圆背面，而非传统的正面供电方案。这样一来，在功能层正面，无需考虑电源电压降的约束，即可实现极精细的后端工艺（back-end-of-line, BEOL）间距图形化。具体而言，这种方案对器件晶圆进行了改造：将其制成极薄的前端工艺（front-end-of-line, FEOL）有源器件层，一侧（原“正面”）为密集的后端工艺信号布线层堆叠，另一侧（原“背面”，现作为新正面）则用于电源供应和外部输入/输出（I/O）连接。此外，还可堆叠多个此类薄器件层，且

每层的两侧均具备密集互连。每个层可集成不同类型的器件，例如逻辑器件、存储器件、静电放电（ESD）保护器件、电压调节电路等。这种器件层的高密度 3D 堆叠技术，即被称为 CMOS 2.0。

通过这种系统扩展方案，芯片设计与制造摆脱了过去数十年支撑半导体行业的通用 CMOS 技术平台。该通用平台已难以充分满足日益增长且多样化的计算需求。而 CMOS 2.0 方案有助于解决计算系统扩展的瓶颈，为半导体生态系统中的所有参与者（包括系统厂商和无晶圆厂设计公司）创造价值。

3D 互连与背面技术：CMOS 2.0 的核心基础

CMOS 2.0 依托过去所有的半导体创新技术，包括逻辑器件缩小、存储密度扩展、先进光刻、3D 集成和背面供电网络（BSPDN）技术。但直到近年来 3D 互连与背面技术取得突破，CMOS 2.0 的概念才得以走向现实。例如，晶圆对晶圆混合键合（Wafer-to-wafer hybrid bonding）已能实现亚微米级互连间距，其互连密度可与后端工艺的最后几层金属布线匹配——这是实现逻辑层与逻辑层（logic-on-logic）或存储层与逻辑层（memory-on-logic）之间混合键合堆叠的关键。随着晶体管端直接访问技术的实现，背面供电技术的颗粒度有

望进一步细化。该能力最初虽针对电源连接开发，但也为精细粒度信号连接迁移至背面提供了可能。届时，任何器件技术层都将处于两个独立的互连堆叠之间。细间距键合与精细粒度背面工艺的结合（见图 2），是实现图 1 所示 CMOS 2.0 愿景的核心基础。

在 2025 VLSI 会议上，imec 公布了晶圆对晶圆混合键合与背面通孔技术的最新进展^[4]。这两项 3D 集成技术是实现 CMOS 2.0 的核心支撑，为在系统 - 技术协同优化（STCO）指导下，围绕 CMOS 2.0 愿景设计新系统架构奠定了基础，而背面供电网络将在其中发挥核心作用。此外，imec 研究人员还在该会议上强调，此类背面供电网络可为先进系统架构带来功耗 - 性能 - 面积 - 成本（PPAC）方面的优势^[5]。

迈向 250 纳米间距的晶圆对晶圆混合键合技术路线图

多年来，业界已开发出多种 3D 互连技术，涵盖不同的互连间距，以满足各类应用需求。在所有这些技术中，晶圆对晶圆混合键合最适合为 CMOS 2.0 场景下的存储/逻辑 - 逻辑的层堆叠，提供所需的 3D 互连间距与密度。晶圆对晶圆键合的铜（Cu）焊盘可实现层间短路径、低电阻的直接连接。在缩小间距后，晶圆级连接不仅能提供高带宽密度，还能降低信号传输的每比特能耗。

传统晶圆对晶圆混合键合工艺流程

传统混合键合工艺（见图 4）始于两个完全加工的 300 毫米晶圆，且已完成前端工艺和后端工艺（另见图 2）。工艺流程的第一部分与芯片上的后端工艺镶嵌工艺相似：先在键合电

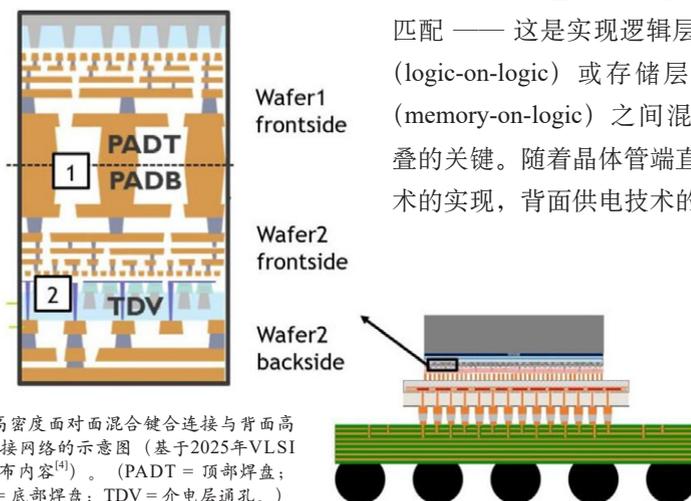


图2：高密度面对面混合键合连接与背面高密度连接网络的示意图（基于2025年VLSI会议发布内容^[4]）。（PADT = 顶部焊盘；PADB = 底部焊盘；TDV = 介电层通孔。）

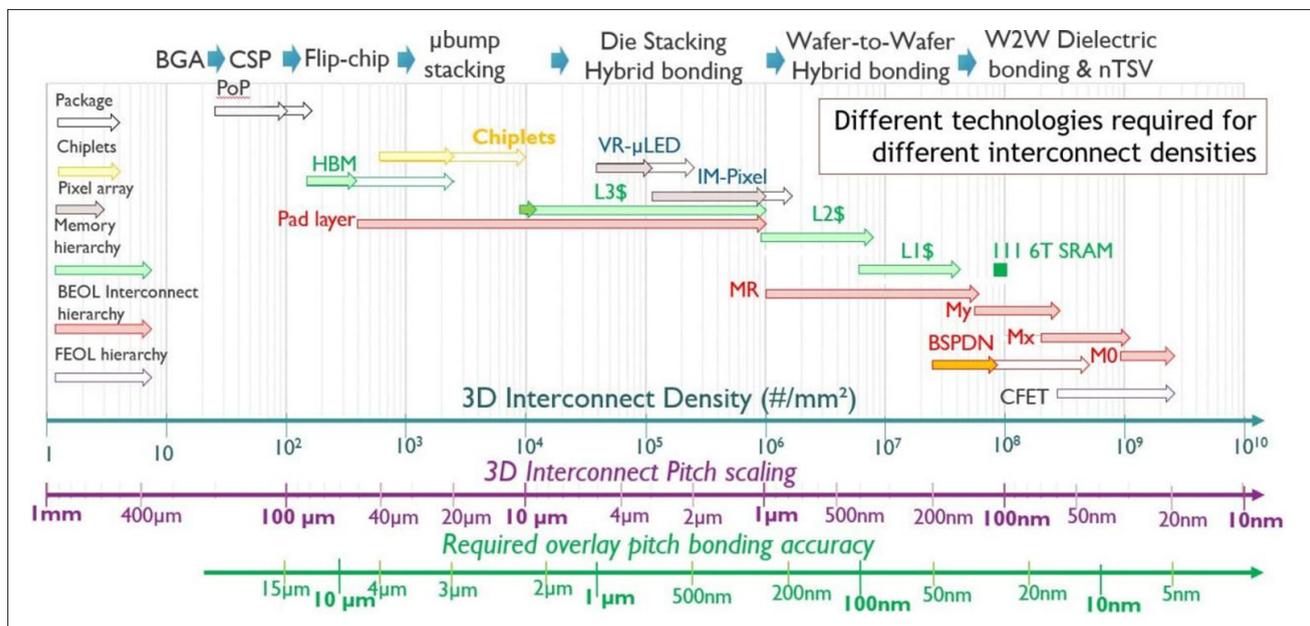


图3: imec 的 3D 互连技术扩展路线图, 展示了不同互连密度所需的各类技术。(BGA = 球栅阵列; CSP = 芯片级封装; W2W = 晶圆对晶圆; Mx、My、MR 代表后端工艺互连层级。)

介质(主要采用二氧化硅 SiO₂)中蚀刻出小型凹槽,再用阻挡金属、籽晶和铜填充凹槽。随后进行化学机械抛光(CMP)步骤,该步骤针对实现晶圆级高均匀性进行了优化,以获得极平整的介电层表面,同时确保铜焊盘的凹陷深度可控(仅数纳米)。经过精确对准后,将两个晶圆在室温下进行键合:使晶圆中心接触,抛光后的晶圆表面附着力会产生强大的晶圆间吸引力,形成“键合波”,从中心向边缘逐步消除晶圆间的间隙。室温键合步骤完成后,需在更高温度下对晶

圆进行退火处理,以形成永久性的“电介质-电介质”和“铜-铜”键合。

实现可靠的 400 纳米间距晶圆对晶圆连接

在 2023 年国际电子器件会议(IEDM)上,imec 展示了间距为 400 纳米的高良率可靠晶圆对晶圆连接技术^[6],相比业界晶圆对晶圆键合工艺中使用的 1 微米间距,实现了显著突破。这一互连间距的飞跃得益于多项工艺流程改进,包括增强对晶圆表面拓扑的控制,以及采用碳氮化

硅(SiCN)作为键合电介质。研究发现,与传统二氧化硅(SiO₂)相比,碳氮化硅(SiCN)具有更强的键合强度和更好的可扩展性。

推动晶圆对晶圆混合键合路线图向 200 纳米间距迈进

当系统层级进一步细化(最终将逻辑部分拆分为专用逻辑层)时,需要小于 400 纳米的键合间距,这推动晶圆对晶圆混合键合路线图向 200 纳米间距发展。但随着间距不断缩小,对两个铜焊盘之间键合对准精度的要

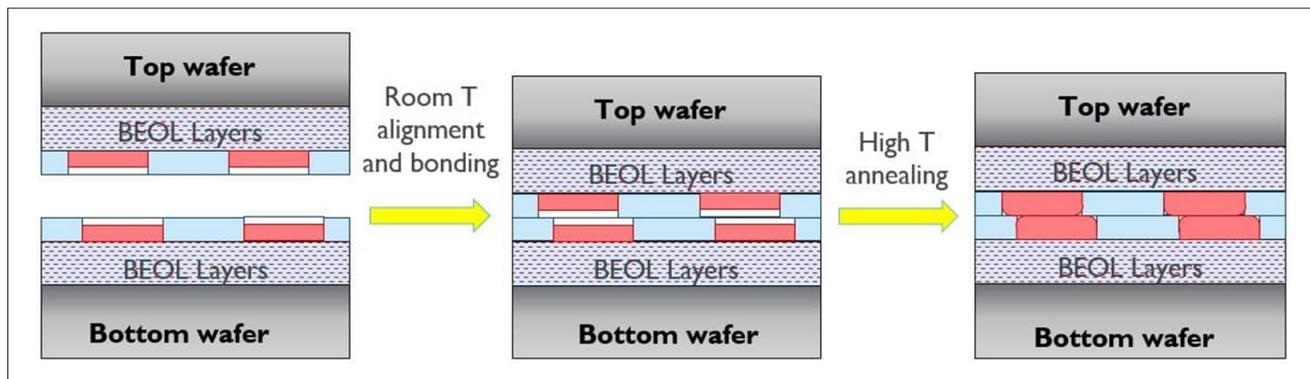


图4: 传统晶圆对晶圆混合键合工艺流程。

求也随之提高。通常，键合工艺的对准精度需达到间距的四分之一，这意味着 200 纳米间距键合工艺的对准误差需控制在 50 纳米以内。在 300 毫米晶圆尺寸下实现这一高精度，是当前提升互连密度的最大挑战。

为推进技术路线图，imec 研究人员正深入研究键合工艺，以及影响高对准精度的各类因素。已知在键合过程中，两个晶圆易发生变形和扭曲，导致铜焊盘难以精确对准。研究团队通过仿真发现，两个晶圆接触时产生的“键合波”传播不均匀，这一现象被认为是晶圆变形的原因所在。这些见解有助于建立模型，预测晶圆变形程度，并最终优化键合工艺参数。

这些知识还能通过另一种方式提高对准精度：在实际晶圆键合前，设计人员可在图形设计中调整铜焊盘的位置。通过这种“键合前光刻校正”，imec 利用当前最先进的键合设备，实现了 300 纳米间距的晶圆对晶圆混合键合，且 95% 的芯片 (dies) 对准误差小于 25 纳米。

在 2025 VLSI 会议上^[4]，imec 研究人员证实，可将晶圆对晶圆混合键合路线图进一步扩展至前所未有的 250 纳米间距 (见图 5-6)。但要在 300 毫米全晶圆范围内，以符合业界要求的良率实现所需对准精度，还需新一代键合设备的支持。imec 正与其设备供应商生态系统合作，共同实现这一宏伟目标。

利用纳米硅通孔连接功能层的正反面金属

在 CMOS 2.0 的实现方案中，功能层的堆叠比当前业界的混合键合案例更为复杂。堆叠的功能层数量将不止两个，而是多个。大多数功能层的

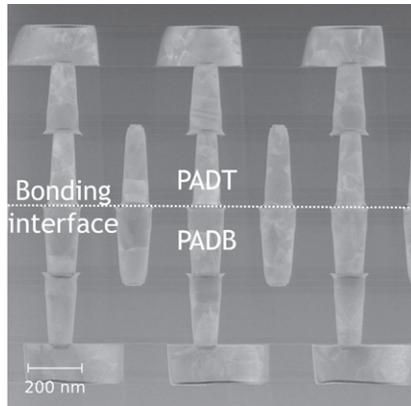


图5: 250 纳米六边形焊盘网格上菊花链 (顶部焊盘 PADT 与底部焊盘 PADB 尺寸不同) 的透射电子显微镜 (TEM) 图像 (基于 2025 VLSI 会议发布内容^[4])。

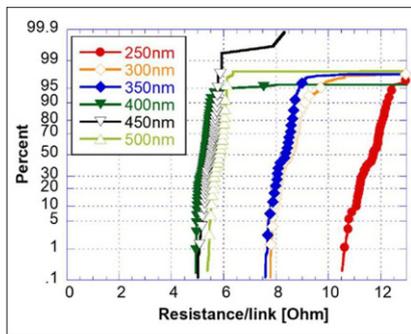


图6: 不同焊盘尺寸下，混合键合菊花链的电学良率与焊盘间距的关系 (基于2025 VLSI会议发布内容^[4])。

正反面均设有金属线，中间夹着有源层 (如存储层或逻辑层)。背面金属线的一部分可用于为有源器件供电，作为更广泛的背面供电网络的一部分。

通过背面直接接触与纳米硅通孔实现正反面连接

基于这一愿景，功能层的正反面需实现无缝连接。这种正反面连接可通过硅通孔 (TSV) 实现，其颗粒度可达到逻辑或存储标准单元级别。当系统层级进一步细化时，还需更细互连间距的其他正反面连接方式，包括背面直接接触。这种连接方案可将先进逻辑器件的源极 / 漏极接触区直接连接至背面金属，目前已被主流代工厂纳入逻辑技术路线图。

正反面连接技术的演进必须与晶圆对晶圆混合键合路线图的推进保持同步，以实现晶圆正反面均衡的细间距连接 (见图 2)。但整合这些技术也面临挑战：晶圆对晶圆键合步骤后，需进行更多后处理，包括晶圆减薄 (以支持硅通孔制造) 和背面金属图形化。在背面金属图形化步骤中，最大限度减少背面光刻畸变至关重要，这是确保背面金属线与硅通孔或源极 / 漏极接触区精准对准的关键。

底部直径为 20 纳米的背面介电层通孔

在 2025 VLSI 会议上，imec 公布了其纳米硅通孔 (nanoTSV 或 nTSV) 路线图的进展，展示了间距为 120 纳米、底部直径仅 20 纳米的背面通孔 (见图 7)^[4]。这种小直径通孔的优势在于占用标准单元面积小，但制造过程中需将晶圆减薄至极低厚度，以确保可控的深宽比。

imec 的技术路线图提供了多种纳米硅通孔 (nTSV) 集成方案，包括通孔优先 (via-first)、通孔中间 (via-middle) 和通孔最后 (via-last) 三种方式。此外，通孔底部可设计为圆形或狭缝形^[7]，以在对准容差与面

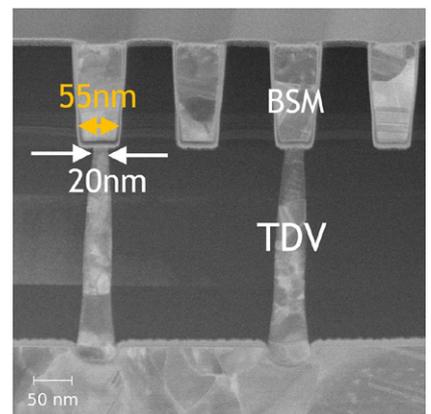


图7: 采用无阻挡层钼 (Mo) 填充的介电层通孔 (TDV) 实现正反面连接的透射电子显微镜 (TEM) 图像，该通孔底部直径为 20 纳米 (基于 2025 VLSI 会议发布内容^[4])。

积占用之间取得平衡。在 2025 VLSI 会议展示的方案中，采用了通孔优先 (via-first) 方式：在晶圆减薄前，已在晶圆正面的浅沟槽隔离 (shallow-trench isolation, STI) 结构内完成通孔图形化。最终形成的贯穿浅沟槽隔离的介电层通孔 (TDV) 采用钼 (Mo) 填充。钼无需阻挡层即可集成，且电阻低于传统铜或钨 (W) 金属，在面积和性能上均具备优势。

实现正反面的高精度对准连接

典型测试结构的布局显示，55 纳米宽的背面金属线与 20 纳米宽的钼介电层通孔圆形底部之间，具备 15 纳米的对准余量 (见图 8)。这一对准精度可通过在背面金属光刻步骤中，对每次曝光进行高阶校正来实现，以补偿此前晶圆键合和减薄步骤产生的网格畸变。

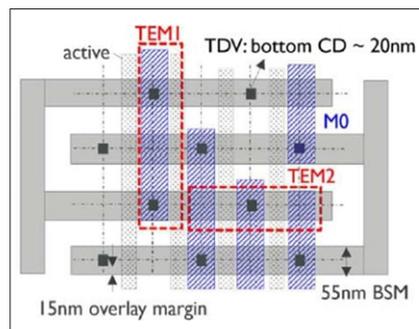


图8：介电层通孔 (TDV) 底部与 55 纳米宽背面金属之间 15 纳米对准余量的布局图 (基于 2025 VLSI 会议发布内容^[4])。(TEM1 代表图7中使用的透射电子显微镜切割位置。)

在上述所有连接方案中，实现混合键合的高总对准精度，以及最大限度减少背面光刻畸变，是两大核心目标，而这两者均依赖于键合工艺和新一代键合设备的性能。

背面供电网络在常通域与开关域设计中的性能与面积优势

背面供电网络 (BSPDN) 是未

来 CMOS 2.0 架构的另一关键特征。通过 BSPDN，整个供电网络被转移至晶圆背面，此处的供电互连可设计得更粗、电阻更低。因此，BSPDN 能显著降低电源电压 (IR) 降。这有助于设计人员将稳压器与有源器件之间的不必要功率损耗，控制在 10% 的允许余量内。同时，BSPDN 将供电网络与信号网络解耦，可缓解晶圆正面后端工艺的布线拥堵问题，使其能更高效地用于信号传输设计。imec 于 2019 年率先提出 BSPDN 概念，此后又提出了多种实现方案^[8]。目前，部分主流芯片制造商已将该技术纳入其逻辑技术路线图，并计划推出基于 BSPDN 的先进处理器商用产品。该技术在 3D SoC 实现中也展现出潜力，预计将为 CMOS 2.0 架构带来优势。

常通域与开关域设计中的BSPDN：相比正面方案的性能与面积提升

过去，imec 已在模块层面证实，BSPDN 可为高密度和高驱动逻辑应

用场景带来 功耗 - 性能 - 面积 - 成本 (PPAC) 优势^[8]。这些优势是通过设计 - 技术协同优化 (DTCO) 研究得以体现的，这些研究针对的是常通域应用场景，即电源 (全局 VDD) 持续为有源器件供电的架构下验证的。

在 2025 VLSI 会议上，imec 还展示了在开关域设计中集成 BSPDN 的优势^[5]。开关域设计通过局部部署电源开关实现：电源开关为晶体管局部分配电源 (局部 VDD)，并可根据需要开启或关闭多组标准单元。这类设计通常用于移动电话等功耗受限的应用场景。imec 研究人员将开关域设计中采用 BSPDN 的效果，与传统正面供电网络 (PDN) 方案进行了对比。该研究基于 2 纳米工艺实际实现一种移动计算处理器的设计而完成的。

结果显示，与正面供电网络 (PDN) 开关域设计相比，采用 BSPDN 的方案在性能提升和面积缩减两方面均有突破。通过 BSPDN，

下转第27页

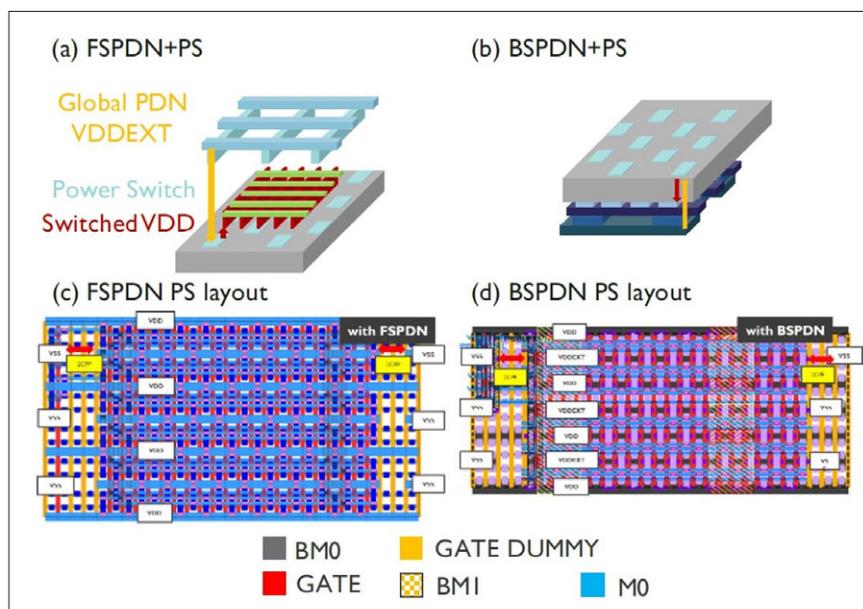


图9：(a-b) 电源开关呈棋盘式布局的开关域设计的供电示意图；(c-d) 正面供电网络 (PDN) 与背面供电网络 (PDN) 的电源开关布局 (基于 2025 VLSI 会议发布内容^[5])。(VDDEXT = 常通电源；VDD = 开关电源；PS = 电源开关。)

CMOS：不止于硅

尽管CMOS与硅集成电路（IC）的制造密切相关，但这一灵活的工艺也可以应用于采用化合物半导体制造光子和微波电路。

硅集成电路（IC）——发明于20世纪50年代——几乎应用于所有领域。它们不仅广泛用于智能手机和计算机，还对汽车、洗衣机、空调、真空吸尘器等设备的运行至关重要。在所有这些应用中，IC在完全黑暗的环境中运行，因为硅具有间接带隙。由于这一特性，硅可以吸收光，但无法发光。

在我们的日常生活中，电子和光是相互交织的。我们利用电子产生光和其他形式的电磁辐射，例如微波。尽管我们在提到激光和发光二极管（LED）时会想到光子，但它们是电子器件——雷达和微波也是如此。

现在，我们需要开始在集成电路（IC）中应用电子和光子相互交织的原理。相关开发正在进行中，因为化合物半导体（如砷化镓（GaAs）、磷化铟（InP）以及其他III-V族和II-VI族化合物）如今已与硅结合使用。例如，在CMOS漏极区域通过一种称为“选择性外延”的工艺，添加III-V族或II-VI族材料用于激光或毫米波二极管的微波光子CMOS。

这些想法可能看起来有点奇怪。你可能听说过CMOS这一缩写——它的全名是“互补金属氧化物半导体”——你知道它是一种用于制造数十亿硅集成电路的工艺。但你可能

仅限于此。而且，鉴于许多人会认为CMOS与化合物半导体无关，你没有深入了解也情有可原。

我理解你的立场——但你可能会落后于时代。部分得益于我们在诺斯罗普·格鲁曼的工作，该公司是激光、毫米波器件和专用集成电路（ASIC）的领导者，我们正在开发一种用于发光结构和微波电路的CMOS工艺。这是一个开创性的突破，它将使化合物半导体和硅能够集成到价值5000亿美元且不断增长的CMOS行业的几乎所有产品中。

我们的努力并非首次将硅和化合物集成到集成电路（IC）中。硅光子学不再是新事物的日子已经一去不复返了，它由IBM和英特尔等公司开创，其产品已占据集成电路行业的一小部分。如今，硅光子学已经进入超大规模

集成电路（ULSI）市场，这一点在2024年8月全球晶圆代工（Global Foundry）的安东尼·于（Anthony Yu）举办的网络研讨会中得到了很好的说明，他的演讲主题是《将硅光子技术推向前沿》。在这种发展中，还有微波光子CMOS，它涉及包含数百亿甚至数万亿CMOS的现代处理器。

基于此类活动，一种新趋势正在出现——几乎所有这些数十亿CMOS晶体管不再仅在硅中制造。相反，它们将集成砷化镓（GaAs）、磷化铟（InP）或其他用于激光和微波的化合物半导体。

推动这一变革的背后是现代社会的转变，从无线工具向非无线工具的转变，这种转变在智能手机的普及和计算机连接性变化中得到了体现。在这种情况下，将化合物半导体与硅结合使用的

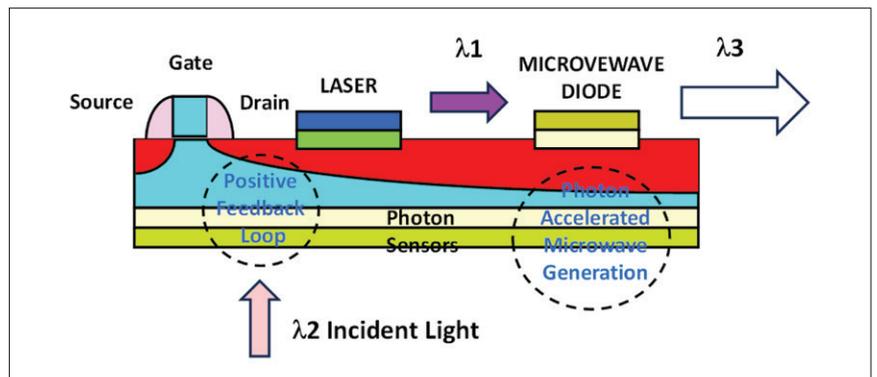


图1：微波光子CMOS和图像传感器。正反馈环路将光转换为光电流。光子加速的微波生成产生调制光波和毫米波。

优势在于无线 ULSI、消除铜线的热量以及与其电阻和电容相关的延迟。有望用无线光子 CMOS 取代 ULSI 中的数十亿铜线。

你可能会好奇如何使用 CMOS 工艺引入 III-V 族化合物。一个说明性的例子是在 CMOS 硅漏极区域添加砷化镓 (GaAs)，使用低温选择性化学气相沉积 (CVD) 或选择性外延。对于前者，CVD 工具包括一个超高真空中的原位腔室，在将晶圆送入 CVD 腔室进行 GaAs 外延之前，会溅射和蚀刻硅上的原生氧化物。请注意，所有这些过程都在高真空下进行。

由于 GaAs 是在硅化物工艺之前的后端工艺 (BEOL) 中沉积的，因此不存在污染问题，可以使用硅线 (见图 1 对光子集成过程的说明)。

得益于 III-V 族化合物的引入，微波光子 CMOS 时代触手可及。对于这种技术，光源的选择包括发射波长在 800 纳米到 900 纳米范围内的砷化镓 (GaAs) LED、无阈值隧道激光器以及微波生成器件。请注意，微波光子 CMOS 可以胜过传统激光二极管，因为其具有更好的热可靠性、更高的外部量子效率和更优越的激光性能。

为了制造微波光子 CMOS，在漏极区域制作了一个超低电阻的无阈值隧道激光器或 LED；在阱区、沟道或漏极下方区域添加了窄带隙光子传感器或雪崩光电二极管，这些器件由硅锗 (SiGe) 或其他窄带隙化合物材料制成。此外，在漏极区域还添加了由硅、硅锗 (SiGe) 或其他化合物半导体制成的微波二极管。请注意，MOSFET、激光器、微波二极管和光子传感器是作为一个整体制造的。

除了光源，还转移了适合亚纳米 CMOS 技术节点的介质微光学波导。微光学波导的尺寸可以小于 100-300 纳米，尽管波导的宽度小于光的波长，但光信号仍可以通过全反射进行限制。对于亚纳米节点，沟道长度通常为 5-20 纳米，但 CMOS 的“宽度”可以在数百纳米甚至几微米的范围内。

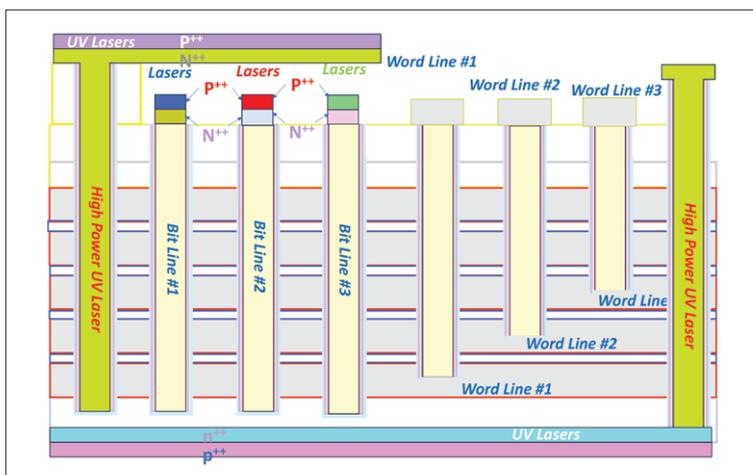


图2: 超高速微波光子垂直NAND

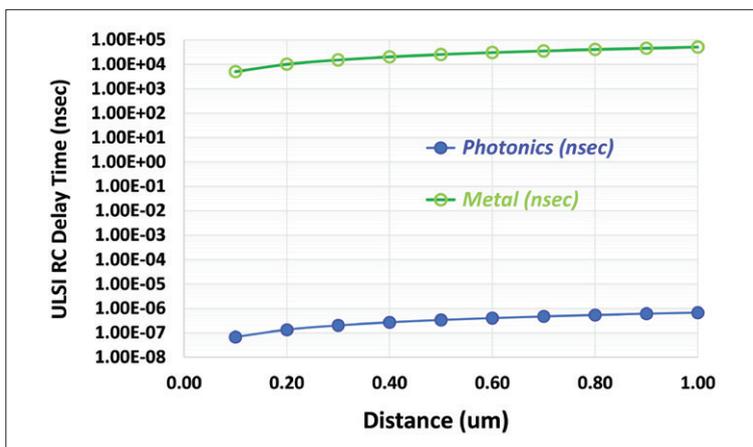


图3: 无线ULSI与光子CMOS——显著降低RC延迟

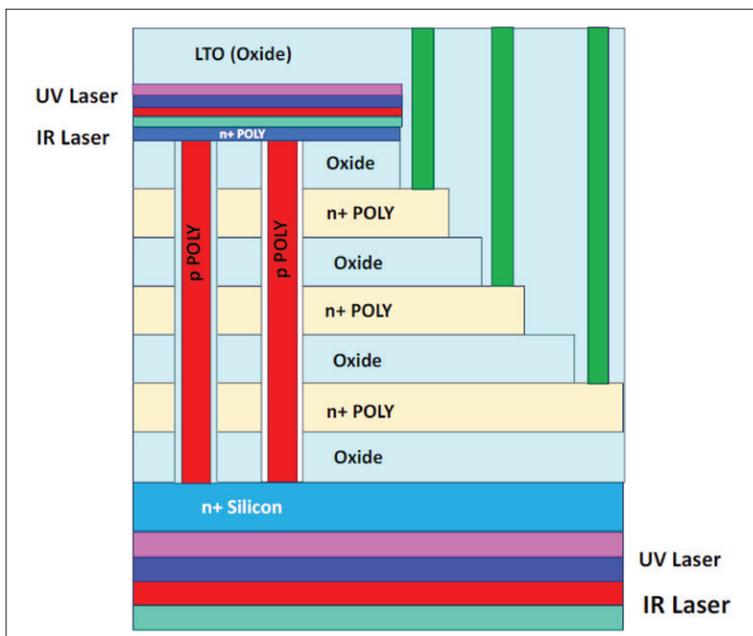


图4: 制造超高速微波光子垂直NAND FLASH (垂直NAND FLASH, 已取代NOR)的替代方法

毫无疑问，这些新型 CMOS 具有巨大的潜力。其中最大的优势之一是激光微波 CMOS 工艺与现有的 CMOS 制造工艺 100% 兼容，不存在交叉污染的风险。另一个令人兴奋的机遇是引入了更为复杂的非线性光计算。然而，也存在挑战——与已经可用并得以实施的光计算相比，微波计算需要更先进的知识，以及微天线、微波滤波器、复用器和设计的开发。

我不是说将 CMOS 应用于化合物是件容易的事。但回报是值得努力的。◆

参考文献

1. H. Liu et. al. "Near-infrared germanium PIN-photodiodes with >1 A/W responsivity," *Light: Sci. Appl.* 14 9 (2025)
2. J. Boucher et. al. "Ultra high efficiency 1550nm multijunction pulsed laser diodes," *Proc. of SPIE* 7480 74800K (2009)
3. Y. Zhao et. al. "Epitaxially-Stacked High Efficiency Laser Diodes Near 905 nm," *IEEE Photonics J.* 14 155706 (2022)
4. Y. Niu et. al. "External-feedback-coupled microring lasers on a III-V-on-Si photonic chip for reservoir computing," *Proc. SPIE* 13370, Smart Photonic and Optoelectronic Integrated Circuits 2025, 133700H (March 2025)
5. Y. Xue et. al. "High-speed and low dark current siliconwaveguide-coupled III-V photodetectors selectively grown on SOL," *Optica* 9 1219 (2022)
6. Rizzo et. al. "Fabrication-Robust Silicon Photonic Devices in Standard Sub-Micron Silicon-on-Insulator Processes," *Opt. Lett.* 48 215 (2022)
7. R. Palmer et. al. "Low-Loss Silicon Strip-to-Slot Mode Converters," *IEEE Photonics J.* 5 2200409 (2013)
8. C.Liu et.al. "Subwavelength silicon photonics for on chip mode-manipulation," *Photonix* 2 11 (2021)
9. J. Pan et. al. "Optoelectronic CMOS Transistors: Performance Advantages for Sub-7nm ULSI, RF ASIC, Memories, and Power MOSFETs," *MRS Advances* 4 2585 (2019)
10. Global Foundry, "Bringing Silicon Photonic Technology to the Forefront," *Laser Focus World* webinar, August 13, 2024.

上接第24页

IR 降可显著降低 122 毫伏。这使得采用 BSPDN 的设计可减少电源开关数量，同时仍能将 IR 降控制在可接受范围。与正面供电网络 (PDN) 方案相比，减少电源开关占用了更少的核心面积：采用 BSPDN 方案后，总面积缩减了 22%。

结论

CMOS 2.0 将开启一种新型扩展范式，能够满足计算应用日益增长的多样化需求。该范式依赖于功能层的堆叠，且每个功能层均采用最适合的技术 (节点) 进行优化，细粒度背面工艺与细间距混合键合是实现这一愿景的关键。

近期，晶圆对晶圆混合键合技术受到静态随机存取存储器 (SRAM) 分区的驱动，而背面技术受到供电优化的推动，二者均取得了进展。这些进展使 CMOS 2.0 概念更接近现实，

可在逻辑和存储器标准单元的粒度上实现层间连接。

这些基础技术将推动异质性 (当前芯粒方案的核心特征) 融入 SoC 本身之中，为计算系统的扩展提供更多选择。

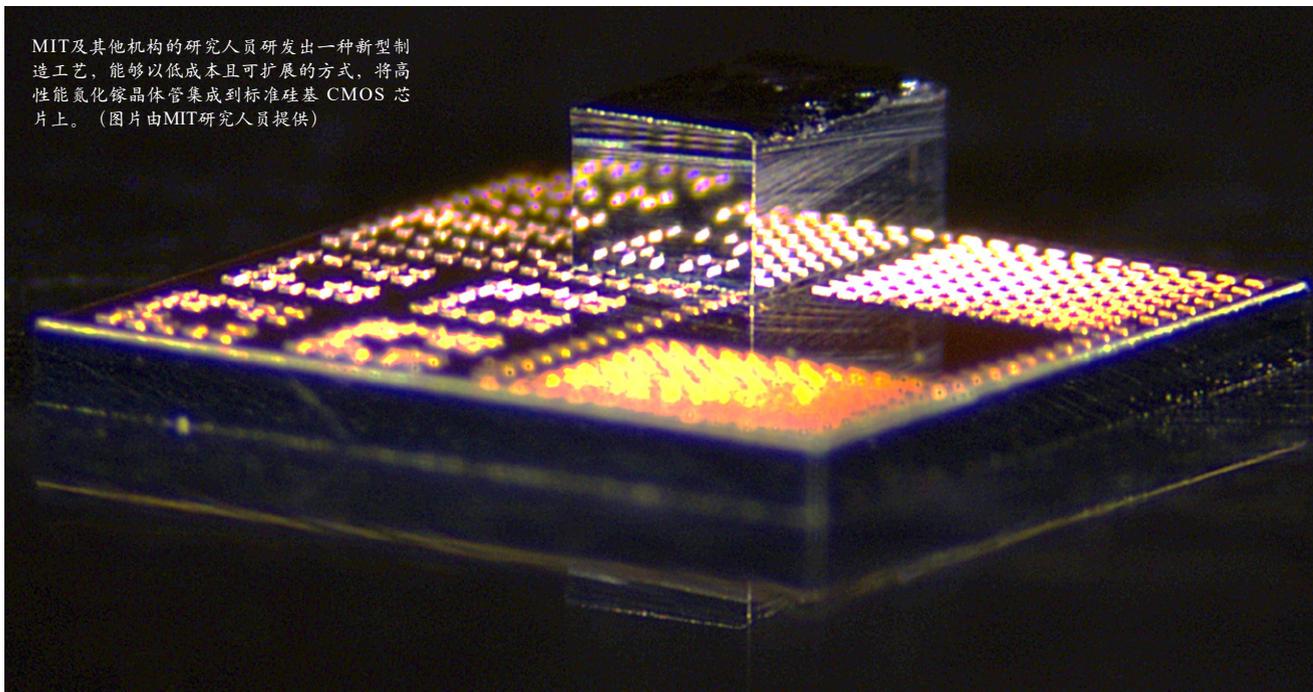
本项研究工作的开展部分得益于 NanoIC 试验产线。该产线的购置与运营资金由 Chips Joint Undertaking (通过欧盟数字欧洲计划，项目编号 101183266，及“地平线欧洲”计划，项目编号 101183277) 提供，参与国家包括比利时 (佛兰德地区)、法国、德国、芬兰、爱尔兰和罗马尼亚。如需了解更多信息，可访问网站 nanoic-project.eu。

本文章根据最初发表于 July/August 2025 issue of *Chip Scale Review* 上的文章“A path to high-density front and backside wafer connectivity”编译整理。◆

参考文献

- [1] 'CMOS 2.0: bringing heterogeneity inside the system-on-chip,' imec Reading Room;
- [2] 'What is CMOS 2.0?,' IEEE Spectrum, 2024;
- [3] 'The CMOS 2.0 revolution,' Nature Reviews Electrical Engineering, 2024;
- [4] 'High-density wafer level connectivity using frontside hybrid bonding at 250nm pitch and backside through-dielectric vias at 120nm pitch after extreme wafer thinning,' L. Witters et al., 2025 VLSI;
- [5] 'Backside power delivery for power switched designs in 2nm CMOS: IR drop and block-level power-performance-area benefits,' Y. Zhou et al., 2025 VLSI;
- [6] 'Wafer-to-wafer hybrid bonding: pushing the boundaries to 400nm interconnect pitch,' imec Reading Room;
- [7] 'Backside Power Delivery with relaxed overlay for backside patterning using extreme wafer thinning and Molybdenum-filled slit nano Through Silicon Vias,' P. Zhao et al., 2024 VLSI;
- [8] 'Backside power delivery options: a DTCO study,' imec Reading Room.

MIT及其他机构的研究人员研发出一种新型制造工艺，能够以低成本且可扩展的方式，将高性能氮化镓晶体管集成到标准硅基 CMOS 芯片上。（图片由MIT研究人员提供）



新型3D芯片有望提升电子设备运行速度与能效

研究人员开发出一项低成本且可扩展的新技术，能够将高速氮化镓晶体管无缝集成到标准硅芯片上。

先进半导体材料氮化镓（GaN）有望成为下一代高速通信系统，以及最先进数据中心所需电力电子设备的关键材料。

遗憾的是，氮化镓成本高昂，且将这种半导体材料融入传统电子设备需专门技术，这限制了其在商业应用中的普及。

如今，麻省理工学院（MIT）及其他机构的研究人员开发出一项新型制造工艺：以低成本、可扩展且兼容

现有半导体代工厂的方式，将高性能氮化镓晶体管集成到标准硅基 CMOS 芯片上。

该方法的具体步骤为：先在氮化镓芯片表面制造大量微型晶体管，切割出每个独立的晶体管，再通过低温工艺将所需数量的晶体管键合到硅芯片上——这种低温工艺能同时保留两种材料的功能。

由于仅需在芯片中添加极少量氮化镓材料，成本得以保持在较低水平；

而得益于紧凑的高速晶体管，最终制成的器件性能可获得显著提升。

此外，通过将氮化镓电路拆分为可分布在硅芯片上的独立晶体管，这项新技术还能降低整个系统的温度。

研究人员利用该工艺制造出一种功率放大器（手机中的核心组件），其信号强度和能效均高于采用硅晶体管的器件。在智能手机中，这一技术可提升通话质量、增加无线带宽、增强连接稳定性并延长电池续航。由于

作者：ADAM ZEWE, MIT NEWS

该方法符合标准流程，它既能改进当前的电子设备，也可适配未来的技术发展。

从长远来看，这种新型集成方案甚至可能应用于量子领域——因为在许多量子计算所需的极低温环境下，氮化镓的性能优于硅。麻省理工学院研究生、该方法相关论文的第一作者普拉迪约特·亚达夫（Pradyot Yadav）表示：“若能降低成本、提高可扩展性，同时提升电子器件性能，采用这项技术无疑是明智之举。我们将硅材料的现有优势与氮化镓电子的最佳性能相结合，这些混合芯片有望为众多商业市场带来变革。”

该论文的其他作者包括：麻省理工学院研究生王金辰（Jinchen Wang，音译）、帕特里克·达马维-伊斯坎达尔（Patrick Darmawi-Iskandar）、博士后约翰·尼鲁拉（John Niroula）；资深作者包括微系统技术实验室（MTL）访问科学家乌尔里希·L·罗德（Ulriche L. Rodhe）、麻省理工学院电气工程与计算机科学系（EECS）副教授兼微系统技术实验室成员韩若男（Ruonan Han，音译），以及电气工程与计算机科学系克拉伦斯·J·勒贝尔教授、微系统技术实验室主任托马斯·帕拉西奥斯（Tomás Palacios）；此外还有来自佐治亚理工学院和美国空军研究实验室的合作人员。该研究成果近期已在 IEEE 射频集成电路研讨会上发布。

晶体管的“替换革命”

氮化镓是全球应用范围第二广的半导体材料（仅次于硅），其独特性能使其成为照明、雷达系统和电力电子等应用场景的理想选择。

氮化镓材料已问世数十年，若要充分发挥其性能，关键在于将氮化镓

芯片与硅基数字芯片（即 CMOS 芯片）相连。为实现这一目标，部分集成方法通过焊接将氮化镓晶体管键合到 CMOS 芯片上，但这种方式会限制氮化镓晶体管的微型化程度——而晶体管体积越小，其可运行的频率就越高。

另一些方法则将整片氮化镓晶圆集成到硅晶圆上方，但这种方式需使用大量氮化镓材料，成本极高（尤其考虑到仅少数微型晶体管需要氮化镓，晶圆中其余材料均会被浪费）。

亚达夫解释道：“我们希望将氮化镓的功能与硅基数字芯片的性能相结合，同时不牺牲成本或带宽。通过在硅芯片表面直接添加超微型独立氮化镓晶体管，我们实现了这一目标。”

这种新型芯片的制造需经过多步流程：

首先，在整片氮化镓晶圆表面制造密集排列的微型晶体管；随后利用高精度激光技术，将每个晶体管切割至仅 240 微米 × 410 微米的尺寸（这种微型单元被称为“dielet”，即小芯片）。

每个晶体管顶部都预制了微型铜柱，这些铜柱可直接与标准硅基 CMOS 芯片表面的铜柱键合。铜 - 铜键合可在 400 摄氏度以下完成，该温度足以避免损坏两种材料。

当前的氮化镓集成技术通常采用金键合——金不仅成本高昂，还需更高的键合温度和更强的键合力；且金会污染大多数半导体代工的设备，因此通常需要专门的生产设施。

亚达夫表示：“我们需要一种低成本、低温、低作用力的工艺，而铜在这些方面均优于金，同时还具有更出色的导电性。”

专用工具的研发

为实现这一集成流程，研发团队研发了一种专用新工具，可精细地将超微型氮化镓晶体管与硅芯片集成。

该工具通过真空吸附固定小芯片（dielet），将其移动至硅芯片上方，并以纳米级精度对准铜键合界面；随后利用先进显微镜监控键合界面，待小芯片处于正确位置后，施加热量和压力，完成氮化镓晶体管与硅芯片的键合。亚达夫说：“在流程的每个步骤中，我都需要寻找掌握所需技术的新合作者，向他们学习，再将所需技术整合到我的平台中。这两年是不断学习的过程。”

研究人员完善制造工艺后，通过研发功率放大器（一种增强无线信号的射频电路）验证了该工艺的有效性。他们制造的器件比采用传统硅晶体管的器件拥有更宽的带宽和更高的增益，且每个紧凑型芯片的面积不足 0.5 平方毫米。

此外，由于演示中使用的硅芯片基于英特尔 16/22 纳米 FinFET 先进金属化技术及无源元件方案，研发团队得以集成硅电路中常用的组件（如中和电容器）。这一改进大幅提升了放大器的增益，使其向实现下一代无线技术又迈进了一步。

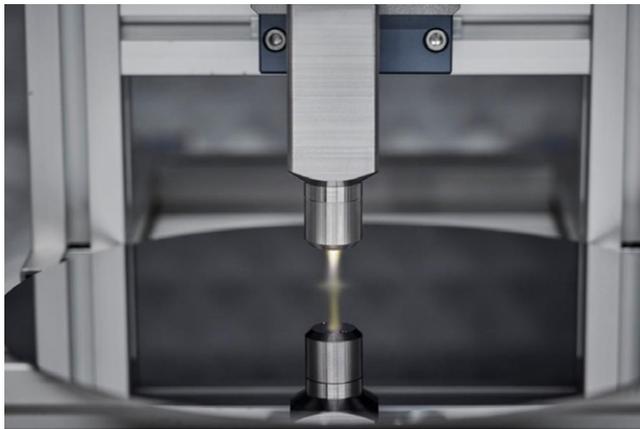
本研究部分得到美国国防部的支持，资金来源于国防科学与工程研究生（NDSEG）奖学金项目，以及 CHIMES（JUMP 2.0 计划旗下七个中心之一）——JUMP 2.0 是由美国国防部与国防高级研究计划局（DARPA）联合发起、半导体研究公司执行的项目。研究中的芯片制造工作在麻省理工学院纳米技术中心（MIT.Nano）、美国空军研究实验室（Air Force Research Laboratory）及佐治亚理工学院的设施内完成。◆

借助等离子体技术，开启电子制造新高度

在 2025 年慕尼黑国际电子生产设备展 (productronica) 与欧洲半导体展 (SEMICON Europa) 上, Plasmatreat 公司展示其覆盖前端、后端 / 封装、引线框架及印刷电路板领域的最新先进技术。

Plasmatreat 公司展示了面向半导体与电子制造领域的尖端表面预处理解决方案。该方案具备无颗粒、无接触、无化学物质、可在线集成的特点, 核心亮点包括针对 Openair-Plasma (常压等离子体) 技术的新型喷嘴解决方案, 以及助焊剂去除与快速氧化物还原工艺。

无电势等离子体 (Potential-free plasma) 能够可靠去除有机与无机残留物, 选择性激活表面, 并在线还原氧化物。应用等离子体技术可提高良率与工艺稳定性、增强附着力, 同时实现节约资源且无挥发性有机化合物 (VOC) 的制造流程。



电子制造面临小型化与功率密度提升的双重压力

当前, 电子制造行业正面临微型化与功率密度不断提升的巨大压力。这些因素对表面处理提出了严苛要求: 表面必须绝对洁净、无氧化物、具备良好润湿性, 且需为混合键合 / 芯粒键合 (hybrid/chiplet bonding) 与晶圆级封装 (wafer-level packaging) 提供可靠的预处理效果。与此同时, 助焊剂残留物与氧化层的去除需在无化学物质的前提下完成, 且需满足洁净室标准, 并确保工艺周期稳定可控。行业亟需可在线集成的无电势、低颗粒、干法工艺技术, 这类工艺既要实现局部精准 (选择性) 处理, 又要保证大面

积处理的均匀性。最终, 通过此类工艺可形成稳定的界面、提高良率, 并构建无 VOC、无腐蚀性介质的可持续工艺链。

无接触等离子体处理: 实现半导体制造的极致洁净

在 2025 年欧洲半导体展上, Plasmatreat 公司展示了面向半导体生产的无颗粒、无接触表面处理尖端解决方案, 核心是基于 Openair-Plasma 技术的新型喷嘴——该系列喷嘴专为混合键合、晶圆级封装及先进组装需求研发。两款新型全球首发的等离子体喷嘴专为应对半导体制造挑战设计。

1. **PDW100 新型介质阻挡放电 (DBD) 喷嘴**: 这是一款常压等离子体平面处理喷嘴, 处理宽度可达 100 毫米。它能实现对敏感基板大面积的均匀激活, 在去除有机残留物与氧化物的同时不产生颗粒, 确保高工艺稳定性。
2. **PFA10 等离子体喷嘴**: 该喷嘴可实现低颗粒、无电势的精准局部等离子体处理, 能去除有机残留物与氧化层, 激活金属及聚合物表面, 为混合键合与芯粒堆叠 (chiplet stacking) 创造理想条件。

此外, Plasmatreat 公司还现场通过紧凑型演示装置, 展示晶圆如何通过无接触传输系统 (来自 Beckhoff 公司的 XPlanar 技术) 在两个等离子体工艺站之间精准移动——这一过程可完全避免机械磨损与颗粒产生, 为洁净室环境下敏感基板的无污染预处理提供了理想解决方案。

Plasmatreat 电子市场全球总监 Nico Coenen 表示: “通过拓展等离子体喷嘴产品系列, 我们能够将半导体制造中的洁净度与工艺可靠性提升至新水平。PFA10 与 PDW100 可实现均匀、无污染的表面处理, 即便在 1 级洁净室环境中, 这对于构建可靠的电气与机械连接也至关重要。”

Plasmatreat 公司的 Openair-Plasma 技术采用干法工艺, 无需化学物质且可在线集成。它能可靠去除有机污染物、硅酮与静电粉尘, 同时将表面能提升至 72 毫牛 / 米以上——这一状态非常适合后续的芯片键合 (die bonding)、引线键合 (wire bonding) 或底部填充 (underfill) 等工艺。该处理过程仅需数秒即可完成, 结果稳定一致,

且所使用的工艺气体（如压缩空气或氮气）成本低廉。

覆盖电子制造的全面灵活解决方案组合

在 2025 年慕尼黑国际电子生产设备展上，Plasmatreat 公司展示了其面向电子制造的全系列 Openair-Plasma 解决方案，应用场景涵盖印刷电路板（PCB）组装、涂层处理、引线框架及功率模块处理等。根据不同工艺步骤与应用需求，Plasmatreat 可提供定制化系统，用于清洁、激活、涂层或还原处理——所有系统均采用干法工艺，无 VOC 且可在线集成。

包括以下几大亮点技术：

- **REDOX-Tool (redox 工具)**：无需使用甲酸，即可在线且同步于生产流程去除金属表面的氧化层。该工艺无化学物质参与，可重复且可自动化操作。
- **PlasmaPlus (等离子体加)**：作为一种纳米涂层技术，它能增强包封 (overmolding)、烧结 (sintering) 与键合工艺中的附着力，可防止环氧模塑料 (epoxy mold compounds) 出现分层现象，并实现最高达 1

级湿度敏感等级 (MSL 1) 的优异附着力。

- **HydroPlasma (水等离子体)**：利用水、压缩空气与电力去除焊接工艺中产生的助焊剂残留物。该工艺无溶剂、无颗粒，为无铅焊料热压键合 (fluxless TCB) 与洁净 PCB 组装奠定基础。

观众可在展位现场体验这些应用：配备静态或旋转喷嘴、发生器及等离子体控制单元的模块化系统，直观展示了对敏感元件的可靠处理过程。专业观众还可与等离子体技术专家直接交流，探讨定制化解决方案。

Nico Coenen 指出：“我们的解决方案组合覆盖了所有制造环节——从前端到后端，从引线框架处理到 PCB 制造、组装及 conformal coating (保形涂层)。无论是激活、清洁、涂层还是还原处理，我们的等离子体技术都能确保工艺的可重复性与高效性，提升附着力，并增强产品的可靠性与耐用性。”

依托全球销售与服务网络，Plasmatreat 公司作为提供高工艺可靠性等离子体解决方案的可靠合作伙伴，为全球制造商提供支持。◆

Kioxia 研发高堆叠性氧化物半导体沟道晶体管技术，助力高密度低功耗 3D DRAM 的实际应用

全球存储解决方案领域的领军企业 Kioxia Corporation 宣布，已研发出具备高堆叠性的氧化物半导体沟道晶体管技术，该技术将推动高密度、低功耗 3D DRAM 的实际应用。这项技术已于 2025 年 12 月 10 日在美国旧金山举行的 IEEE 国际电子器件大会 (IEDM) 上亮相，有望降低 AI 服务器和物联网组件等众多应用场景的功耗。

在 AI 时代，市场对于具备更大容量、更低功耗、可处理海量数据的 DRAM 的需求持续攀升。传统 DRAM 技术在存储单元尺寸微缩方面已逼近物理极限，业界因此开始研究存储单元的 3D 堆叠技术，以此拓展存储容量。传统 DRAM 采用单晶硅作为堆叠存储单元中晶体管的沟道材料，这种方式会推高制造成本，同时存储单元的刷新功耗还会随存储容量的增加而成正比上升。

在 2024 年的 IEDM 上，Kioxia 宣布研发出氧化物半导体沟道晶体管 DRAM (OCTRAM) 技术，该技术使用由氧化物半导体材料制成的垂直晶体管。在 2025 年的大会展示中，Kioxia 推出了可实现 OCTRAM 3D 堆叠的高堆

叠性氧化物半导体沟道晶体管技术，并完成了 8 层晶体管堆叠结构的功能验证。

这项新技术将成熟的氧化硅和氮化硅薄膜堆叠起来，通过将氮化硅区域替换为氧化物半导体 (InGaZnO)，同步形成横向堆叠晶体管的垂直分层结构。Kioxia 还推出了一种可实现垂直间距微缩的新型 3D 存储单元结构。这些制造工艺和结构设计有望攻克存储单元 3D 堆叠面临的成本难题。

此外，得益于氧化物半导体材料的低关态电流特性，该技术还有望降低存储单元的刷新功耗。通过上述替换工艺制作的横向晶体管，已被验证具备高导通电流（超过 30 微安）和超低关态电流（低于 1 阿托安，即 10^{-18} 安）的性能表现。不仅如此，Kioxia 还成功制备了 8 层横向晶体管堆叠结构，并确认该结构内的晶体管均可正常工作。

Kioxia Corporation 将持续推进这项技术的研发工作，以实现 3D DRAM 在实际应用中的部署。◆

半导体中的玻璃：行业的下一个拐点

玻璃正从背景耗材转变为封装的核心组件

在半导体行业中，玻璃并非遥不可及的概念，它早已悄然应用于现代晶圆厂之中：超平整的硼硅酸盐承载片在硅晶圆背面减薄过程中起到支撑作用；无钠玻璃片可制成微机电系统（MEMS）的密封盖；而低热膨胀系数（CTE）玻璃则是许多晶圆级扇出工艺的基板材料。

如今，玻璃正逐步从背景耗材向封装核心演进——它既可以作为核心基板，也能充当连接芯粒（Chiplet）的中介层，还可作为介电材料，用于整形亚太赫兹（sub-THz）信号或引导光子向光纤传输。

知名科技市场研究公司 IDTechEx 发布了全新市场报告《2026-2036 年半导体中的玻璃：应用、新兴技术与市场洞察（Glass in Semiconductors 2026-2036: Applications, Emerging Technologies, and Market Insights）》。该报告从七个不同的玻璃产品细分领域提供端到端的市场情报，涵盖技术深度解析、性能基准测试、供应链图谱绘制、应用驱动因素分析、风险评估，以及 2025-2036 年的销量与营收预测。

从“沉默的承载者”到先进封装核心

推动玻璃角色转变的关键因素，是人工智能（AI）与高性能计算设备对带宽和功率密度日益增长的需求。单个训练加速器已需要数千个高速输入/输出（I/O）凸点，其供电网络需在低噪声前提下承载数百安培的电

流。过去二十年中广泛使用的有机层压板，在应对不断升级的需求时，难以维持所需的平整度和过孔密度；硅中介层虽能实现更精细的布线，但其成本和面板尺寸限制了应用场景。

玻璃则恰好填补了这两种材料的空白：其一，其热膨胀系数可调整至与硅匹配；其二，在 40 吉赫兹（GHz）频率下，玻璃的损耗角正切值（loss tangent）比硅低一个数量级；其三，得益于液晶显示器（LCD）行业的技术积累，玻璃具备大面板加工潜力——单张玻璃面板的单边长度可达半米，且随着良率提升，其成本有望向高端有机材料靠拢。

AI 与高性能计算需求的激增，要求封装堆叠的每一层都承载更大电流、更多 I/O 接口和更高信号传输速度，而这是有机层压板甚至第一代硅中介层都难以满足的。这种压力推动

玻璃核心基板和面板玻璃中介层从“小众探索”走向商业化落地。

目前，头部设备制造商与材料供应商已公开投入该技术的研发：英特尔（Intel）在其亚利桑那州的先导产线上展示了玻璃基测试载体；三星电子（Samsung Electronics）正将玻璃核心基板纳入考量，作为其 I-Cube 和 H-Cube 封装的潜在方案之一；基板巨头 SKC 已为 500 毫米玻璃面板搭建了钻孔 - 填充试点生产线；玻璃行业龙头 AGC 则供应低 CTE 硼硅酸盐玻璃片，供下游进行早期评估。

尽管尚无企业明确量产时间表，但行业的集体行动已彰显出清晰趋势：在 AI / 高性能计算时代，玻璃已稳稳跻身下一代基板候选材料之列。这一趋势也体现在玻璃核心基板与中介层的兴起中，尤其在先进封装和集成电路（IC）基板领域。

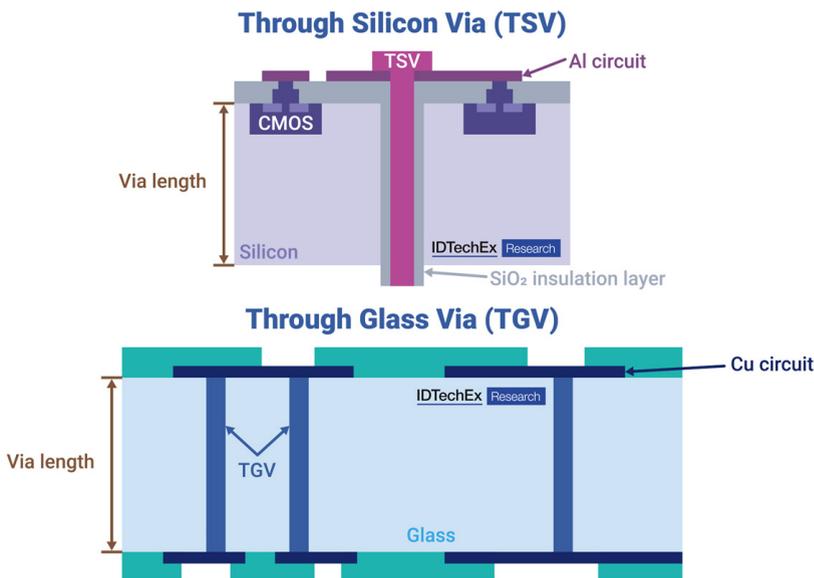


图1：顶部是硅通孔（TSV），底部是玻璃通孔（TGV）。来源：IDTechEx

高频与光子集成拓宽目标市场

除计算封装外，玻璃的低介电损耗和光学透明性为其开辟了第二增长曲线。在 Ka 频段 (26.5-40GHz) 及更高频段，玻璃微带线的插入损耗约为同等规格有机线路的一半。

光子集成则进一步放大了玻璃的优势。共封装光学 (CPO) 技术旨在将光纤连接从交换机的前面板转移至距离交换机专用集成电路 (ASIC) 仅数毫米的基板上。经过设计的玻璃既可承载电学重新分布层 (redistribution layer)，又能集成低损耗波导，从而简化对准流程，并省去成本高昂的硅光子中介层。此外，射频 (RF) 领域使用的玻璃通孔 (TGV) 技术可直接用于制造垂直光学通孔，因此单块玻璃核心基板即可同时支持跨阻抗放大器、激光驱动器和光学波导。这种电学与光子布线的融合，恰好发挥了玻璃的固有优势，使其潜在市场突破传统电子封装的边界。

当下供应链洞察至关重要

玻璃从试点生产线走向量产，关键并非原材料供应 (各地区均有玻璃熔融炉)，而是激光钻孔、铜填充、面板处理和设计自动化等新兴生态系统的成熟度。良率学习曲线、通孔填充可靠性、面板翘曲程度，以及设计工具包的完善度，将决定玻璃能否达到系统集成商设定的成本目标。

因此，对于所有关注玻璃应用时间表的从业者而言，了解以下信息至关重要：哪些企业正在扩充产能、哪些钻孔技术正从概念验证阶段迈向 24 小时量产、设计工具能以多快的速度对吉赫兹级损耗或亚微米级翘曲进行建模。

同样重要的是玻璃与硅及改良型有机材料的竞争格局：晶圆代工厂正推动混合晶圆级重新分布技术，缩小了玻璃在特征尺寸上的优势；而层压板供应商则在开发下一代 ABF (异方向性导电胶膜) 核心基板，以实现更低粗糙度和更优的 CTE 匹配。

IDTechEx 的报告对这些材料的优缺点进行了基准对比，帮助读者清晰判断玻璃的优势应用场景及仍需作为“小众选项”的领域。

IDTechEx 报告核心价值

《2026-2036 年半导体中的玻璃：应用、新兴技术与市场洞察》首次构建了“自下而上”的市场模型，按产品形态将市场细分为七个类别 (从承载晶圆到光子瓦片)。报告包含以下核心内容：逐年量化的需求量与营收预测、已公布面板产能与预测出货量的匹配分析，以及玻璃通孔钻孔、金属化和多层重新分布等技术的成熟度评估。

此外，报告还阐释了玻璃在电学和机械性能上具备优势的物理原理，梳理了仍待解决的加工挑战，并评估了高频射频与光子集成对目标市场总量的影响。读者可从中清晰了解该领域的市场潜力：到 2036 年，市场规模将达到 44 亿美元。◆

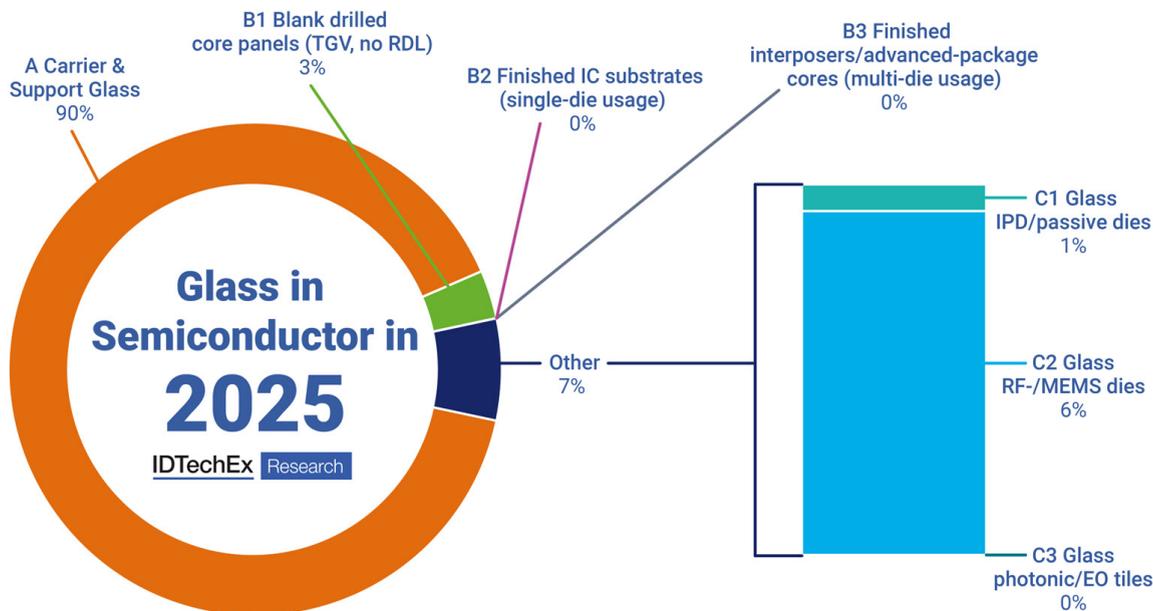


图2：2025 年半导体中的玻璃应用现状。来源：IDTechEx

深入了解 iSiPP200 集成光子学平台

近日，imec 宣布扩展其旗下 IC-Link 的服务组合，其中有一项内容立即引起了客户的关注：新增一个成熟的集成光子学制造平台。

这一现象的原因不难理解。对于从数据通信、人工智能到医疗技术、金融科技和汽车等众多行业的创新者而言，为产品添加先进光子芯片的能力颇具吸引力。通过 IC-Link 这样值得信赖的供应商获取光子集成电路 (PIC) 制造服务，并借助 imec 的一流技术，无疑是一个难得的机遇。

下面让我们深入了解一下 IC-Link 的 200 毫米硅光子学平台 (silicon photonics platform) —— iSiPP200 (图 1)。该平台能提供哪些功能？又该如何使用呢？

二十年硅光子学专业积淀

首先，我们回顾一下相关历史。

imec 在硅光子学领域的研究可追溯至 2000 年，当时 imec 成立了专门的研究项目。如今，该项目仍在推进，其与行业合作伙伴紧密协作，探索先进光学输入 / 输出 (I/O) 如何实现系统级性能的提升。

自 2018 年起，通过该项目开发的成熟技术模块已可用于大规模制造。如今，一套内容丰富且持续更新的工艺设计套件 (PDK)，能帮助客户设计先进的光子集成电路，并顺利投入制造，且不受产量限制。

工艺设计套件 (PDK) 包含 200G 器件库

iSiPP200 平台的最新工艺设计套

件 (PDK) 涵盖了品类丰富的器件，支持每通道 200 Gbps 的速率，可用于 800G 和 1.6T 可插拔光模块，为超大规模数据中心和人工智能集群提供支持。

1. 无源器件

- 高密度硅波导：平均传输损耗为 0.5-2 dB/cm
- 等离子体增强化学气相沉积 (PECVD) 氮化硅 (SiN) 波导；低压化学气相沉积 (LPCVD) 氮化硅 (SiN) 波导可用于原型制作和小批量制造
- 底切结构：可使加热器效率提升两倍，并改善模式限制
- 单模光纤 (SMF) 光栅耦合器：耦合损耗低于 2 dB

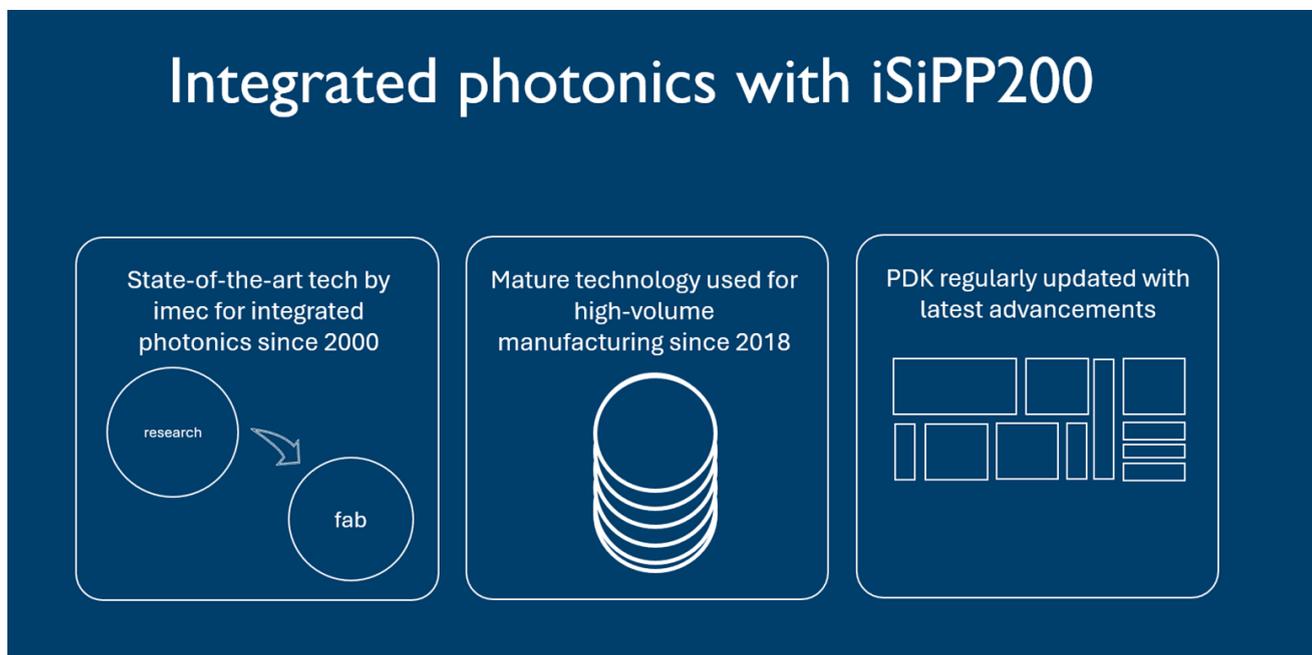


图 1

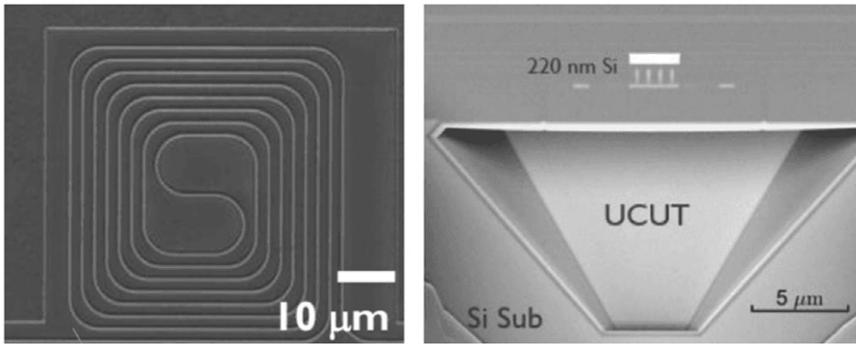


图2: 左侧为硅波导, 右侧为底切结构。

2. 支持每通道 200G 速率的有源器件

- 硅环形调制器
- 锗硅 (GeSi) 电吸收调制器: 适用于短距离互连
- 硅马赫-曾德尔调制器
- 锗 (Ge) 光电探测器: 可用于监测发射器, 或实现收发器中的高速性能

3. 3D / 后端功能

- 铜-镍-锡 (Cu-Ni-Sn) 凸点下金属化 (UBM)
- 最多 4 层金属层

所有器件均经过严格的可靠性测试, 包括高温工作寿命 (HTOL) 测试和湿热测试。

如需额外功能, 可通过微转移印刷技术集成铌酸锂 (LNO) 调制器、三五族 (III-V) 激光器和半导体光放大器 (SOA)。根据散热需求, 也可

通过晶圆级倒装芯片键合技术添加磷化铟 (InP) 激光器。

迈向 400G 之路

如前所述, iSiPP200 源自 imec 开创性的研究成果, 而该平台与全球领先半导体研发中心 imec 的紧密联系, 始终是其核心优势之一。

当前行业趋势明确: 数据速率不断提升, 互连距离持续缩短。正因如此, 我们正在扩展器件组合, 推出支持每通道 400 Gbps 速率的器件, 以实现 3.2T 可插拔光模块, 具体包括:

- 铌酸锂 (LNO) 调制器
- 高速硅基锗 (Ge-on-Si) 光电探测器
- 低压化学气相沉积 (LPCVD) 氮化硅 (SiN) 波导: 与铌酸锂 (LNO) 调制器和硅基锗

(Ge-on-Si) 光电探测器完全集成

- 全 3D 兼容平台

此外, 正在研发的创新技术还包括: 用于波分复用 (WDM) 的小型化低功耗无源器件、低功耗开关、可插拔连接器、硅通孔 (TSV) 以及光学中介层——这些技术都为共封装光学器件 (CPO) 和先进光学互连的发展奠定了基础。

通过 iSiPP200 晶圆服务制造您的 PIC

我们的工艺设计套件 (PDK) 包含设计规则和器件库, 是您在 iSiPP200 平台上制造光子集成电路 (PIC) 的起点。借助该套件, 您可立即启动设计工作, 同时 IC-Link 会负责工艺控制监测 (PCM) 测试结构的相关工作——这些测试结构可在晶圆交付前完成测试, 以确保产品质量和工艺完整性。

您的设计最终确定后, IC-Link 将负责所有原型制作和制造环节。

为了让光子集成电路 (PIC) 制造像专用集成电路 (ASIC) 制造一样简便, 我们正在扩展服务组合, 新增设计和封装 / 组装服务。目前, 我们已开始接收部分项目合作申请。◆

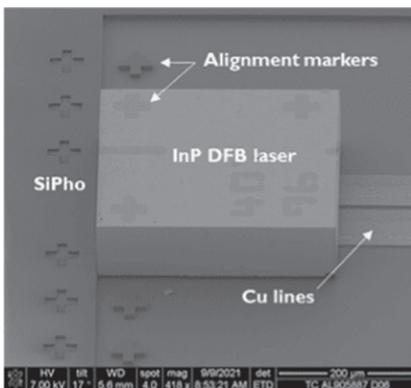


图3

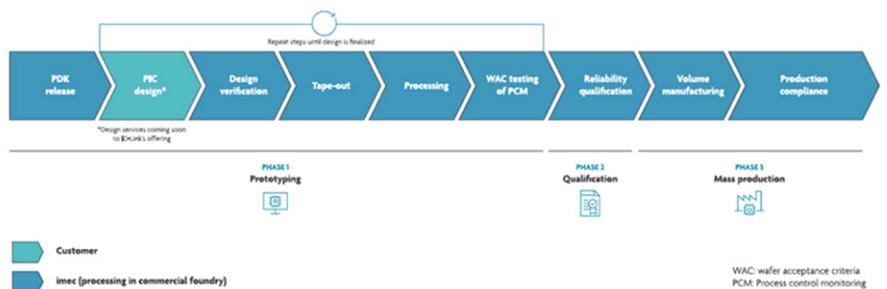


图4

Advertiser	广告商名称	网址	页码
SEMICON China 2026		www.semiconchina.org/zh	1
2026 慕尼黑上海光博会		www.world-of-photonics-china.com.cn	IBC

欢迎投稿

《半导体芯科技》(Silicon Semiconductor China, SiSC) 是面向中国半导体行业的专业媒体, 已获得全球知名权威杂志《Silicon Semiconductor》的独家授权。本刊针对中国半导体市场特点遴选相关优秀文章翻译, 并汇集编辑征稿、采编国内外半导体行业新闻、深度分析和权威评论等多方面内容。本刊由香港雅时国际商讯 (ACT International) 以简体中文出版发行。

本刊内容覆盖半导体制造工艺技术、封装、设备、材料、测试、MEMS、mini/Micro-LED 等。文章重点关注以下内容:

FAB (Foundry, IDM, OSAT, R&D)

四个环节: 晶圆制造 (wafer 后道)、芯片制造、先进封装、洁净室; 深入报道与之相关的制造工艺、材料分析, 工艺材料、工艺设备、测试设备、辅助设备、系统工程、关键零备件, 以及与 particle (颗粒度) 及 contamination (沾污) 控制等厂务知识。

FABLESS

芯片设计方案、设计工具, 以及与掩膜版内容和导入相关的资讯。

半导体基础材料及其应用

III-V 族、II-VI 族等先进半导体材料的科学研究成果、以及未来热门应用。

《半导体芯科技》欢迎读者、供应商以及相关科研单位投稿, 已甄选中文稿件将在印刷版杂志以及网上杂志刊登; IC 设计及应用等半导体相关内容将酌情予以网络发表 (微信推送、杂志网站)。本刊优先刊登中文来稿 (翻译稿请附上英文原稿)。

技术文章要求

- 论点突出、论据充分: 围绕主题展开话题, 如工艺提升、技术改造、系统导入、新品应用, 等等。
- 结构严谨、短小精悍: 从发现问题到解决问题、经验总结, 一目了然, 字数以 3000 字左右为宜。
- 文章最好配有 2-4 幅与内容有关的插图或图表。插图、图表按图 1、图 2、表 1、表 2 等依次排序, 编号与文中的图表编号一致。
- 请注明作者姓名、职务及所在公司或机构名称。作者人数以四人为限。
- 文章版权归著作者, 请勿一稿多投。稿件一经发表如需转载需经本刊同意。
- 请随稿件注明联系方式 (电话、电子邮件)。

新产品要求

- 新产品必须是在中国市场新上市、可在中国销售的。
- 新产品稿件的内容应包含产品的名称、型号、功能、主要性能和特点、用途等。
- 新产品投稿要求短小精悍, 中文字数 300~400 字左右。
- 来稿请附产品照片, 照片分辨率不低于 300dpi, 最好是以单色作为背景。
- 来稿请注明能提供进一步信息的人员姓名、电话、电子邮件。

电子邮箱: sunniez@actintl.com.hk
viviz@actintl.com.hk

行政及销售人员 Administration & Sales Offices

行政人员 Administration

HK Office (香港办公室)

ACT International (雅时国际商讯)

Unit B, 13/F, Por Yen Buiding, No. 478 Castle Peak Road, Cheung Sha Wan, Kowloon, Hong Kong
Tel: 852 28386298

Publisher (社长) - China

Adonis Mak (麦协林), adonism@actintl.com.hk

General Manager-China (中国区总经理)

Floyd Chun (秦泽峰), floydc@actintl.com.hk

Editor in China (中国版编辑)

Sunnie Zhao (赵雪芹), sunniez@actintl.com.hk

Vivi Zhang (张雨薇), viviz@actintl.com.hk

London Office

Hannay House, 39 Clarendon Road

Watford, Herts, WD17 1JA, UK.

Tel: +44 (0)1923 690200

Coventry Office

Unit 6, Bow Court, Fletchworth Gate

Burnsall Road, Coventry, CV5 6SP, UK.

Tel: +44 (0)2476 718 970

Publisher & Editor-SiS English

Jackie Cannon, jackie.cannon@angelbc.com

Tel: +44 (0)1923 690205

销售人员 Sales Offices

China (中国)

Shanghai (上海)

Hatter Yao (姚丽莹), hatterya@actintl.com.hk

Tel: 86 139 1771 3422

Shohan Shen (沈璟晓), Shohans@actintl.com.hk

Tel: 86 176 2122 8315

Amber Li (李歆), amberl@actintl.com.hk

Tel: 86 182 0179 0167

Wuhan (武汉)

Grace Zhu (朱婉婷), gracez@actintl.com.hk

Tel: 86 159 1532 6267

Beijing (北京)

Cecily Bian (边团芳), cecilyb@actintl.com.hk

Tel: 86 135 5262 1310

Hong Kong (香港)

Floyd Chun (秦泽峰), floydc@actintl.com.hk

Tel: 852 2838 6298

Taiwan (台湾)

Simon Lee (李若龙), simonl@actintl.com.hk

Tel: 852 2838 6298

Asia (亚洲)

Japan (日本)

Masaki Mori, masaki.mori@ex-press.jp

Tel: 81 3 6721 9890

Korea (韩国)

Lucky Kim, semieri@semieri.co.kr

Tel: 82 2 574 2466

US (美国)

Janice Jenkins, jjenkins@brunmedia.com

Tel: 724 929 3550

Tom Brun, tbrun@brunmedia.com

Tel: 724 539 2404

Europe (欧洲)

Shehzad Munshi,

Shehzad.Munshi@angelbc.com

Tel: +44 (0)1923 690215

Jackie Cannon,

Jackie.cannon@angelbc.com

Tel: +44 (0) 1923 690205



LASER WORLD
OF PHOTONICS
CHINA



MESSE
MÜNCHEN

慕尼黑上海光博会

2026.3.18-20

上海新国际博览中心 - 3号入口厅

Shanghai New International Expo Centre

N1-N5、E7-E4馆



扫码立即注册参观



扫码关注光博会

ISSN 2523-1294 www.siscmag.com 2025年 4/5月

助力半导体制造商迎接新市场 P.11



通过工业 4.0 技术推进 subfab 设备维护工作 P.16

氯化物的近室温外延技术 P.24

面向下一代芯片制造的自主调度技术 P.28

第 4 代碳化硅技术 P.31

ACT ANSA

ISSN 2523-1294 www.siscmag.com 2025年 2/3月

面向先进封装的新一代 3D X 射线检测技术 P.12

全自动光子集成和封装解决方案 P.16

超越 AOI: AI 驱动半导体测试过程的 2025 年全球 6G 技术

免费索阅



ACT ANSA

ISSN 2523-1294 www.siscmag.com 2025年 8/9月

先进晶圆厂需要创新设施管理 P.14

全球半导体行业需要 SEMI EDA 标准 P.18

迎接异质革命 P.21

仿真技术助力未来芯片 P.28

国防通信的未来 P.35



ACT ANSA

全球知名权威杂志 Silicon Semiconductor 的中国版

半导体芯科技
SS SILICON CHINA SEMICONDUCTOR

《半导体芯科技》

双月刊，每期发行覆盖 40,000 名专业读者，并在全国重点产业活动赠阅。报道材料、设备、方法、工具、工艺和软件方面的最新解决方案和发展，并提供关于半导体行业的分析和意见。工艺和生产工程师、技术工程人员、研发人员和企业管理人员构成其主要读者和访问者。

CHIP China 晶芯研讨会

CHIP China 晶芯研讨会

自 2005 年起创办至今，已连续举办 25 场线上及线下行业技术交流活动，累计共吸引 13,000 多名专业听众参会；汇集全国乃至全球极具影响力厂商，并提供极具实用性和技术前瞻性的深度资讯，为制造企业工程师和技术管理人员带来接地气的“新技术、新工艺、新材料、新设备”解决方案。

