

# 半导体芯科技



# SILICON CHINA

SEMICONDUCTOR

ISSN 2523-1294

www.siscmag.com

2026年 2/3月

## 防止半导体制造中的 液体交叉污染

P.11

半导体洁净室环境的保障

P.14

热塑性管材应力分析

P.17

半导体芯片系统性分析方法论

P.20

2026年6G发展趋势预测

P.30

ACT  
INTERNATIONAL

Angel  
BUSINESS COMMUNICATIONS



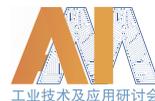
微信公众号

# 国际知名媒体授权 报道全球高新科技信息



服务于机器视觉设计、电子制造、激光 / 光电子、射频 / 微波、化合物半导体  
半导体制造、洁净及污染控制、电磁兼容等领域的专业读者及与会者

## 品牌会议



## 国际代理

CQ Publishing (Japan) Chomdan (Korea) Pan Global (Europe)

Endeavor Business Media (USA) Horizon House (USA) Angel Business Communications (UK)

# 盛美半导体设备（上海）股份有限公司

盛美半导体设备(上海)股份有限公司成立于2005年, 自设立以来, 坚持差异化国际竞争和原始创新的发展战略, 通过自主研发, 建立了较为完善的知识产权体系, 凭借丰富的技术和工艺积累, 形成了具有国际卓越水平的前道半导体工艺设备, 包括单晶圆及槽式湿法清洗设备、电镀设备、无应力抛光设备、立式炉管设备、前道涂胶显影设备、PECVD设备、化合物半导体设备、扇出型面板级封装设备等, 致力于为全球集成电路行业提供卓越的设备及工艺解决方案。



SEMICON CHINA 2026 展位号: N1-1519

## 新型化合物半导体电镀设备 COMPOUND SEMICONDUCTOR PLATING

应用于化合物半导体制造  
For Compound Semiconductor Manufacturing



## 立式炉设备 FURNACE

应用于集成电路制造, 包括逻辑电路, 存储器, 功率器件制造等  
For IC, logic, memory and power device manufacturing



## 单晶圆清洗设备 SINGLE WAFER CLEANING

应用于先进集成电路制造, 包括逻辑电路, 存储器及功率器件制造  
For advanced IC, memory, and power device manufacturing



# 目录 CONTENTS

## 封面故事 Cover Story

### 11 防止半导体制造中的液体交叉污染

Preventing liquid cross-contamination in semiconductor manufacturing

通过 CMP 工艺制备高纯度晶圆是一项关键应用，为了优化 CMP 工艺，化学抛光液与去离子水的专用供应系统必须严格隔离，避免混合。一旦发生混合，抛光液为晶圆表面提供目标平整度的能力将受到严重影响。借助 Malema 公司的互连互锁装置——Malema™ Interconnect Interlock Device(MIID-1000)，能够有效优化有害的“抛光液-去离子水”交叉污染及回流问题。



11

## 编者寄语 Editor's Note

### 4 国产光互连光交换超节点迈入规模商用阶段



6

## 行业聚焦 Industry Focus

### 5 盛美上海交付先进光刻胶固化设备

### 5 思锐智能双机传捷报，国产替代开启新征程

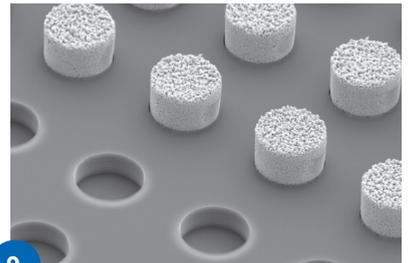
### 6 物理学家与工程师直面当今最先进处理器的技术瓶颈

### 7 西门子 Questa One 引入智能体 AI 功能，加速集成电路设计与验证流程

### 8 半导体所在大规模单片集成高速光互连研究方面取得新进展

### 9 烧结金接合技术“AuRoFUSE™ Preforms”的转印技术

### 16 Cadence 推出 ChipStack™ AI Super Agent



9

#### 关于雅时国际商讯 (ACT International)



雅时国际商讯 (ACT International) 成立于1998年，为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品—包括杂志和网上出版物、培训、会议和活动—为跨国公司及中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站，以及各种技术会议，服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港，在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

#### About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photronics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

#### 关于《半导体芯科技》

《半导体芯科技》(原半导体科技)中国版 (SiSC) 是全球最重要和最权威的杂志Silicon Semiconductor的“姐妹”杂志，由香港雅时国际商讯出版，报道最新半导体产业新闻、深度分析和权威评论。为中国半导体专业人士，提供他们需要的商业、技术和产品信息，帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国半导体产业，包括IC设计、制造、封装及应用等。

#### About Silicon Semiconductor China

Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology & product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMs, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

# 目录 CONTENTS

## 技术 Technology

- 14 半导体洁净室环境中的安全性、洁净度与性能保障  
Safety, purity and performance in semiconductor cleanroom environments
- 17 通过热塑性管材应力分析，保障尖端半导体制造可靠长效运行  
Ensuring the reliable and long-lasting operation of cutting-edge semiconductor fabrication with thermoplastic pipe stress analysis
- 20 半导体芯片系统性分析方法论研究  
Research on systematic analysis methodology for semiconductor chips
- 26 通过优化制造工艺，实现先进封装的最大化应用  
Maximising advanced packaging hinges on manufacturing process optimisation



14

## 专栏 Column

- 28 毫米波的规模化：推动5G与6G的连接  
The scaling up of millimeter waves: driving the connection between 5G and 6G
- 30 是德科技前瞻：2026年6G发展趋势预测  
KEYSIGHT's outlook: predictions for 6G development trends in 2026
- 32 使用单芯片8x8级联收发器实现4D雷达成像  
Implement 4D radar imaging using a single-chip 8 x 8 cascaded transceiver
- 34 弥合传感器融合鸿沟：FPGA如何助力边缘端实时机器人应用  
Closing the sensor fusion gap: how FPGA can facilitate real-time robot applications at the edge
- 36 广告索引 Ad Index



17



30

### 《半导体芯科技》编委会（排名不分先后）

- |           |                                  |
|-----------|----------------------------------|
| 徐冬梅 教授级高工 | 中国半导体行业协会副秘书长兼封测分会秘书长            |
| 于大全 教授    | 厦门云天半导体创始人                       |
| 姚大平 博士    | 江苏中科智芯集成科技有限公司总经理                |
| 汤 晖 教授    | 广东工业大学、精密电子制造技术与装备国家重点实验室        |
| 罗仕洲 教授    | 磐允科技总经理                          |
| 林挺宇 博士    | 广东芯华微电子有限公司总经理                   |
| 杨利华 院长    | 两江半导体研究院                         |
| 王文利 教授    | 西安电子科技大学电子可靠性（深圳）研究中心主任 雅时国际商讯顾问 |
| 刘功桂 教授级高工 | 中国电器科学研究院股份有限公司威凯技术中心主任          |
| 徐开凯 教授    | 电子科技大学、电子薄膜与集成器件国家重点实验室          |
| 何 进 教授    | 北京大学教授、深圳系统芯片设计重点实验室主任           |

## 国产光互连光交换超节点迈入规模商用阶段

2026年3月12日，在上海举办的中国家电及消费电子博览会开幕式上，上海仪电（集团）有限公司联合上海曦智科技股份有限公司、上海壁仞科技股份有限公司、中兴通讯股份有限公司，共同发布“光跃超节点128卡商用版”（LightSphere 128）。此次发布标志着中国原创的光互连光交换超节点解决方案实现从概念验证到实际商用的跨越。

### “上海方案”为中国 AI 发展提供硬核底座

自2025年世界人工智能大会首次发布以来，光跃超节点历经半年多联合攻关，成功实现128卡商用版落地。作为国内首个光互连光交换GPU超节点解决方案，这项诞生于上海、成长于上海的原创技术成果，以曦智科技全球首创的硅光OCS光交换芯片为核心，搭载壁仞科技自主原创架构的大算力通用GPU液冷模组壁砺166L，并集成中兴通讯高性能AI服务器及自研软件平台，构建起全栈自主的智算集群新范式。

实测数据显示：在同等规模下训练DeepSeek V3 671B模型时，光跃超节点128商用版的训练性能较非超节点集群显著提升，模型切换延迟低至微秒级，传输延迟相较传统电交换降低90%以上。

### 光跃超节点128卡商用版呈现三大原创技术突破：

#### 1. 全球首创硅光OCS光交换芯片，重塑超节点架构

光跃超节点基于曦智科技全球首创的硅光OCS光交换芯片，突破单机柜功耗与物理互连瓶颈，实现跨机柜GPU万卡级弹性扩展；同时，拓扑实时重构能力可按模型负载的通信需求动态调整超节点规模与GPU互连拓扑，故障场景下秒级完成拓扑切换，显著降低GPU冗余成本；此外，光交换技术不依赖于特定的数据传输协议，可无缝兼容不同厂商使用的互连协议，消除生态锁闭风险；更关键的是，硅光OCS芯片基于硅光技术，其设计与制造完全不依赖先进半导体工艺节点，从根源上提升了算力基础设施供应链的安全性与韧性。

#### 2. 全栈自主原创大算力GPU液冷模组，提供强劲训推算能

光跃超节点搭载壁仞科技“壁砺™ 166L”自主原创架构大算力通用GPU液冷模组。该模组单卡BF16算力，通过多计算芯粒（Chiplet）与CoWoS 2.5D先进封装协同设计，搭配革新载板互连技术，实现超高密度算力输出。同时，高效的液冷方案显著提升超节点的能效比与系统稳定性，为大规模智算集群建设构筑强大、安全、可靠的算力底座。

#### 3. 自研软件平台灵活配置超节点网络，高效适配大模型负载

光跃超节点依托中兴通讯自研软件系统，实现对各类大模型需求的广泛适配，并按模型特征动态完成算力拓扑的切换和算力资源的精细调度。基于全局资源可观测体系，系统能够实现故障节点的秒级替换与分钟级断点续训，为大模型训练提供高可靠保障。通过软硬协同的系统级工程优化，光跃超节点的光互连优势被充分转化为性能、效率与可扩展性的全面提升。

光跃超节点128卡商用版的落地，标志着这一项源自上海的原创光互连光交换技术创新，成功转化为实实在在的算力生产力。面向未来，该方案将加速从128卡向更大集群规模迈进，在更大规模的真实业务场景中持续验证和释放光互连光交换技术的潜力。

赵雪芹

社长 Publisher

麦协林 Adonis Mak

adonism@actintl.com.hk

主编 Editor in Chief

赵雪芹 Sunnie Zhao

sunniez@actintl.com.hk

出版社 Publishing House

雅时国际通讯 ACT International

香港九龙 B,13/F, Por Yen Bldg,

长沙湾青山道478号 478 Castle Peak Road,

百欣大厦 Cheung Sha Wan,

13楼B室 Kowloon, Hong Kong

Tel: (852) 2838 6298

Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988573 /25988567

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 82201291

UK Office

Angel Business

Communications Ltd.

6 Bow Court,

Fletchworth Gate,

Burnsall Road, Coventry,

CV56SP, UK

Tel: +44 (0)1923 690200

Chief Operating Officer

Stephen Whitehurst

stephen.whitehurst@angelbc.com

Tel: +44 (0)2476 718970

## 盛美上海交付先进光刻胶固化设备



作为一家为半导体前道和先进晶圆级封装应用提供晶圆工艺解决方案的卓越供应商，盛美半导体设备（上海）股份有限公司近日宣布交付首台来自全球头部显示屏生产商的先进光刻胶固化设备 Ultra Lith BK (Baker) 订单。

该设备专为解决先进光刻工艺中均匀性不足、温度漂移及临界尺寸变异等难题而设计，助力制造商在器件尺寸持续微缩的趋势下，维持稳定的良率与图形保真度。凭借行业领先的紫外固化均匀性与精密温控技术，该设备可实现高度稳定且可重复的光刻工艺。

盛美上海总经理王坚表示：随着光刻技术不断突破精度极限，保持工艺控制的均匀性对于实现稳定良率与器件性能至关重要。Ultra Lith BK 的交付标志着盛美上海的重要里程碑——这是我们在完成前期演示验证后，首台实现客户端部署的 Track 系列设备。此举也意味着我们正式进入对设备性能与稳定性要求更高、具备大规模量产能力的显示屏生产商新客户领域。Ultra Lith BK 集高均匀性、可

配置架构与灵活曝光模式于一体，能帮助客户显著抑制工艺变异，并为未来技术节点的量产扩张奠定基础。

Ultra Lith BK 的紫外固化系统可实现  $\pm 5\%$  的紫外光强度均匀性，确保光刻胶在整片晶圆上均匀硬化。该设备支持线扫描、旋转及混合曝光模式，赋予工艺最大灵活性。其先进的热管理技术进一步降低了临界尺寸变异、套刻误差与图形畸变，显著提升良率与可靠性。

Ultra Lith BK 具有以下特性与优势：

Ultra Lith BK 集成六块冷板，温度均匀性达  $\pm 0.1^\circ\text{C}$ 。整机采用可配置设计，最多可容纳 32 块热板与两套紫外固化系统，支持客户根据不同工艺配方与光刻胶集成需求灵活配置。热板提供两种规格：

- 高流量热板最高工艺温度达  $250^\circ\text{C}$ ，温度均匀性  $\leq 0.2\%$ 。
- 低流量热板工作温度最高达  $180^\circ\text{C}$ ，温度均匀性  $\leq 0.08\%$ ，为行业领先水准。

## 思锐智能双机传捷报，国产替代开启新征程

2026 年新岁启封，青岛思锐智能科技股份有限公司迎来开门红，公司自主研发的高能离子注入机 SR11-8M 和大束流离子注入机 SR11-60 相继交付国内两家集成电路头部客户。

自成立以来，思锐智能始终深耕离子注入核心技术，加速推动高端半导体装备的市场化进程。近日，SR11-8M 高能离子注入机获得国内集成电路头部客户的订单并顺利搬入，标志着思锐智能已实现跨越式突破，全面进入产业化高速扩容的关键阶段。

在实现集成电路核心制造领域全方位布局的同时，思锐智能已全面构建完整的高能离子注入机产品矩阵，如高能碳化硅离子注入机，高能氢离子注入机等，积极赋能高

端制造装备的规模化应用。

在优化产品谱系的同时，思锐智能设备的市场稳定性和技术成熟度亦在实战中得到了权威验证。同期，公司低能大束流离子注入机 SR11-60 凭借卓越的性能表现，再度斩获行业头部企业的重复订单并成功交付。这一市场反馈是对大束流设备高度认可的体现，更标志着其在量产环境下已具备行业领先的竞争力和极高的客户信赖度。

至此，思锐智能已完成覆盖硅基及化合物半导体领域的全系列产品研发与验证，多款核心设备已深度导入国内知名厂商量产线。依托原子层沉积 (ALD) 与离子注入 (IMP) 两大核心技术的协同优势，思锐智能已累计服务全球超过 500 家客户，业务覆盖 40 多个国家和地区，深度参与全球半导体价值链的重塑与构建。

展望未来，思锐智能将继续秉承自主创新、赋能产业的初心，加大研发投入，持续锻造具备国际竞争力的高端装备。公司将携手产业链合作伙伴，共同应对全球半导体供应链挑战，为构建安全、韧性且具竞争力的集成电路产业生态贡献核心价值。



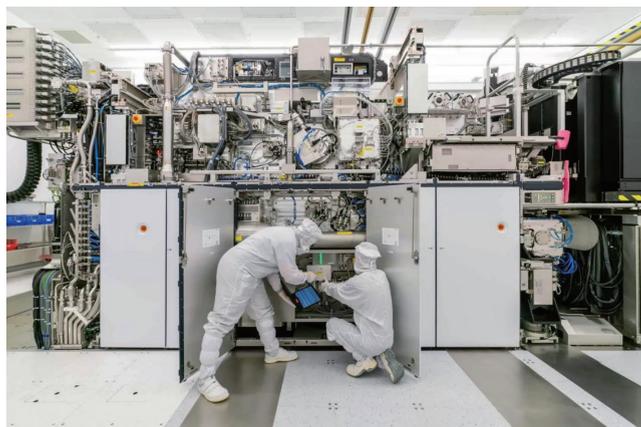
## 物理学家与工程师直面当今最先进处理器的技术瓶颈

数字时代的引擎正在撞上物理定律的天花板。作为计算微观基石的现代半导体，已逼近其物理极限，而人工智能与高性能数据处理的需求却正攀升至新高度。这一矛盾引发了全行业的深刻反思……并开始探寻微芯片之后的下一代技术。

这场变革在英伟达 (Nvidia) 身上体现得最为明显。该公司市值近期飙升至约 5 万亿美元，成为全球市值最高的上市公司。英伟达的旗舰处理器是精密复杂的技术奇迹：每个封装在塑料外壳内、布满铜质互联线路的芯片单元，集成了多达 2080 亿个晶体管。

单颗芯片售价约 3 万美元，这些组件拥有前所未有的算力，尤其在数据中心中成千上万颗阵列部署时更是如此。英伟达近期的架构突破，让芯片能够像大规模超算集群一样协同工作，而非独立的处理单元。

然而，人工智能指数级增长的算力需求，让行业走到了由不可违背的物理定律决定的十字路口。芯片制造的核心是极紫外光刻 (EUV) 技术，该工艺由荷兰设备厂商阿斯麦 (ASML) 主导，其价值 3.8 亿美元的高数值孔径“极紫外机” (Extreme Machine) 更是行业独一档。



这台设备如同一台高度专业化的相机，通过精密光掩模将光线投射到硅片上，从而刻画出电路图案。

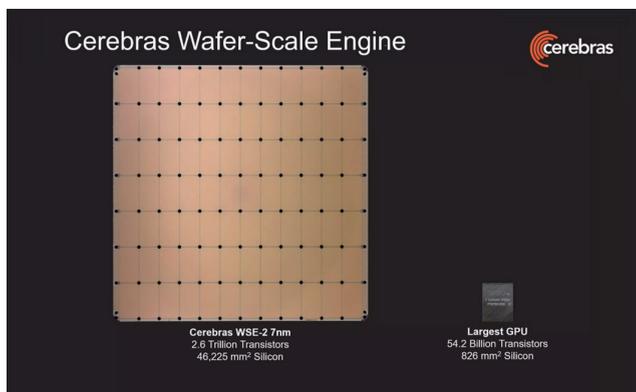
尽管技术极为先进，但是即便是最顶尖的光刻系统也面临一个根本性限制：掩模极限 (reticle limit)。这一物理规律将单颗芯片裸片的面积限制在约 800 平方毫米。因此，想要获得更大处理能力，只能将计算任务拆分到多颗更小

的芯片上，再通过密度越来越高的封装、线缆与光纤互联。

这些架构局限在现代数据中心的设计演进中清晰可见：行业正转向由小芯片 (chiplet) 互联扩展的发展路线。但这种拆分方式会增加通信开销，倒逼行业开发更精巧的封装创新，并加大了系统复杂度。

面对掩模极限与工艺微缩收益递减的双重困境，研究人员与半导体企业开始探索“晶圆级集成” (wafer-scale integration)。这一模式彻底抛弃传统的分立芯片，直接将整片硅晶圆当作单一、完整的处理基底。

总部位于美国加州 Palo Alto 的 Cerebras 公司近期推出了 WSE 3 (第三代晶圆级引擎)，该芯片集成了 4 万亿个晶体管，内存带宽是顶级传统芯片的 7000 倍。与传统标准架构不同，WSE 3 将内存直接嵌入晶圆内部，大幅降低延迟，并显著缩小整个数据中心的体积。



埃隆·马斯克旗下的特斯拉也曾在 Dojo 项目中试验过类似理念，尽管该项目已内部终止，但这种思路在 DensityAI 等企业中得到延续。

主流半导体设备供应商泛林集团 (Lam Research) 通过旗下子公司 Multibeam Corp.，推进多柱电子束光刻技术 (multi-column electron-beam lithography)，为厂商提供绕开掩模壁垒，刻蚀更大尺寸晶圆的路径。

这些进展表明，微芯片的统治时代或将很快会让位给形态与功能都截然不同的全新架构。随着晶圆级集成与新型光刻技术走向成熟，微型化的“盒子里的数据中心”有望成为现实，将进一步挑战已主导数字基础设施数十年的技术与经济格局。

## 西门子 Questa One 引入智能体 AI 功能，加速集成电路设计与验证流程

西门子日前推出 Questa One Agentic Toolkit，将在作用域内的智能体 AI 工作流程融入 Questa™ One 智能验证软件产品组合，旨在加速设计创建、验证规划、执行、调试与收敛过程，助力客户更快实现可信 RTL 签核，同时重塑工程师开展集成电路 (IC) 设计与验证任务的方式。

随着 3D IC、小芯片 (Chiplet) 架构及软件定义系统的快速发展，设计复杂性急剧攀升，验证生产力的缺口正持续扩大。Questa One Agentic Toolkit 将孤立的工具交互转变为由智能体 AI 驱动、作用域多步骤、跨框架兼容的智能化工作流程，这类自主系统可在验证领域内、客户定义的规则边界下，自主推理、规划并执行复杂任务。同时在工程师现有环境中，对于关键决策环节保留可增配的人工管控。

### 与 Fuse EDA AI 及更广泛生态深度协同

Questa One Agentic Toolkit 可与 Fuse™ EDA AI 系统无缝协同，该系统是西门子面向电子设计自动化推出的智能体及生成式 AI 框架，为希望获得完整西门子集成体验的用户提供性能优化与深度集成能力。

该套件为 Fuse 优选方案，在 Fuse 环境中可充分释放增强能力。西门子始终将客户选择权置于首位，其跨框架兼容架构能够保护现有投资，并可与其他智能体平台进行无损集成。无论团队使用现有或新兴框架，Questa One 的智能体工作流程均可通过标准化接口适配其环境，实现跨平台的统一运行。

### 西门子的优势：引擎、集成性与开放性

这些智能体智能工作流程代表了一种与初创企业及单点方案提供商截然不同的底层思路。西门子凭借三大差异化支柱，将验证引擎专业能力、深度 AI 集成与客户自主选择进行独特融合：

- 引擎原生智能：西门子同时提供 Questa One 工具与 MCP (Model Context Protocol)，并将其能力开放给各类智能体框架。这类工作流基于 NVIDIA Llama Nemotron 与 NVIDIA NIM 构建，可实时理解验证状态，全面掌握设计、测试平台、测试计划与规格之间的关联上下文信息。该方

案为客户提供自主目标拆解、自适应交叉运行策略与持续专业能力沉淀的能力。

- 编码应用与平台兼容：该套件兼容主流 AI 编码应用，包括 GitHub Copilot、Claude Code、Cursor、Cline 及西门子自研的 Fuse，支持命令行界面 (CLI) 与集成开发环境 (如 VS Code)。虽然针对希望采用西门子完整工具链的用户优化为 Fuse 优选方案，但其工作流仍保持完全中立，主动适配客户流程，无需强制改造。

- 可扩展、互联、数据驱动的基础：通过整合 Questa One、面向可测性设计 (DFT) 的 Tessent™ 软件与 Veloce™ CS 硬件辅助验证系统所构成的可在工具间动态协调的互联验证生态，该智能体工作流将 AI 能力贯穿整个设计与验证流程。

### 覆盖设计与验证的智能工作全流程

Questa One Agentic Toolkit 首发搭载以下智能体 AI 能力：

- RTL 代码 Agent：可根据自然语言描述生成可综合 RTL 代码，同步检查编码违规，并依据行业标准提供修复建议，为工程师呈现整洁、高质量的 RTL 以供评审。

- Lint Agent：自动优化配置 lint 分析，读取现有 RTL 代码，检查设计错误与编码风格违规。工程师可审阅结果，并通过 AI 自动修复或豁免，确保 RTL 达到更高质量。

- 时钟域交叉 Agent：自动完成时钟域交叉 (CDC) 验证的配置与运行，并基于结果提供配置调优建议。设计师审阅后可启用 AI 自动修复或豁免，实现洁净的异步设计收敛。

- 验证规划 Agent：分析设计规格，自动生成完整验证计划。由 AI 完成章节结构化、详细功能描述、场景定义与检查策略制定，并由工程师负责审阅与确认各个步骤。

- 调试 Agent：智能关联波形、断言、覆盖率数据与日志文件，加速根因分析。识别可疑信号跳变，提示潜在失效机制，并生成针对性调试场景供工程师评审。

这些智能体 (agents) 通过工具套件内置的 MCP，可直接与 Questa One Verification IQ、Questa One SFV、Questa One Sim 等工具协同运作，并由领域专家构建的高质量提示词库提供支持。

## 半导体所在大规模单片集成高速光互连研究方面取得新进展

近年来，人工智能、万物互联、大数据等领域取得重大进展，带动全球数据流量呈现指数级增长，并对高性能的互连能力提出迫切需求。硅基光电集成作为光与电深度融合的革新性技术，是实现互连技术向高带宽、低延迟、高效能和轻量化方向跨越发展的重要途径。例如，在高性能分布式计算系统中，硅基光 I/O 是突破传统电 I/O 限制，满足 CPU、GPU 矩阵间高速互连需求的有效方法。然而，目前硅基光电集成还面临结构复杂、成本高、难以大规模制备等问题，单片集成还需突破高效发光、损耗抑制等瓶颈，现有公开报道中尚未见能够有效解决上述问题的技术。

近期，中科院半导体所固态光电信息技术实验室杨晓光研究员团队在大规模单片集成高速光互连方面取得新进展。团队提出在硅基外延量子点平台上开展可自由定义的单元器件和功能模块制备，并实现大规模硅基单片集成光互联的创新策略。在 CMOS 兼容硅衬底上外延出含 8 层 InAs/GaAs 量子点结构的晶圆，同时制备用于信号发射与接收的直调激光器、波导型光电探测器及集成互联结构。高速带宽信号测试表明激光器和探测器的最大 3-dB 带宽分别为 4.5 GHz 和 2.02 GHz。NRZ 编码信号测试表明，激光器的直调速率可达 12.5 Gbit/s，探测器的数据接收能

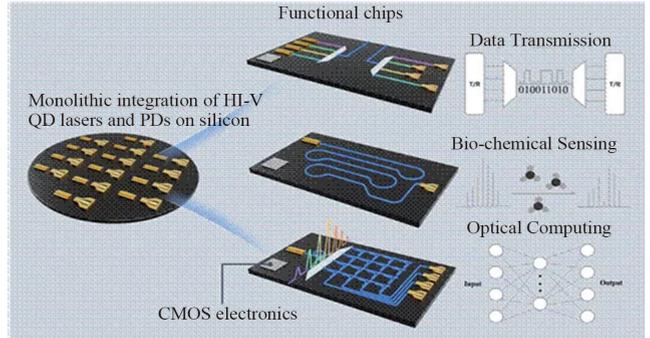


图1: 具备丰富功能的大规模硅基单片集成量子点光互连系统

力为 5 Gbit/s。在此基础上，基于自由空间光耦合集成结构实现了高速信号互连，速率可达 1.01 GHz。

该研究成果以 Large-Scale Monolithically-Integrated High-Speed Interconnect Chips via Direct Growth of InAs/GaAs Quantum Dot Lasers and Photodetectors on Si(001) 为题，发表于《激光与光子学评论》(Laser & Photonics Reviews)，半导体所博士生王胜林为第一作者，杨晓光研究员和杨涛研究员为通讯作者，陆丹研究员在器件测试上提供了重要支持。该研究得到国家自然科学基金重点项目(62334007, 62035012) 等资助。(来源：中国科学院半导体研究所)

文章链接：<https://doi.org/10.1002/lpor.202503131>

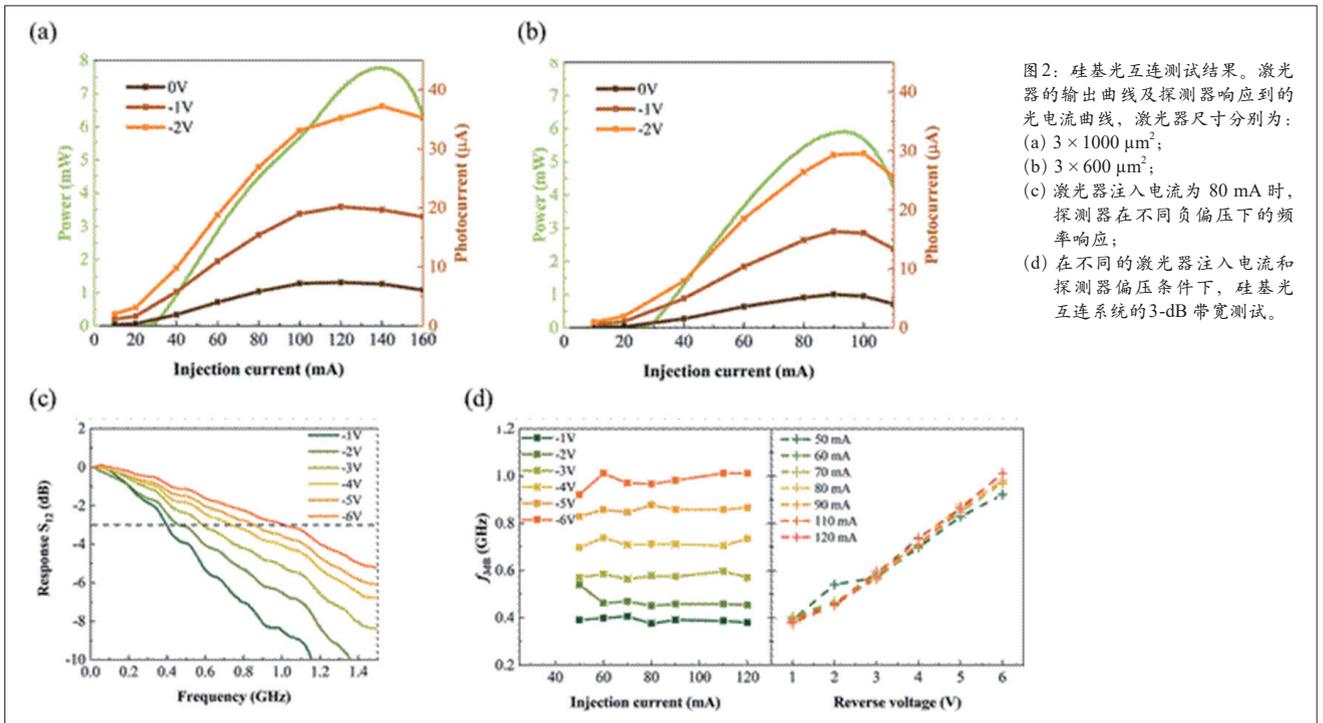


图2: 硅基光互连测试结果。激光器的输出曲线及探测器响应到的光电流曲线，激光器尺寸分别为：  
(a)  $3 \times 1000 \mu\text{m}^2$ ；  
(b)  $3 \times 600 \mu\text{m}^2$ ；  
(c) 激光器注入电流为 80 mA 时，探测器在不同负偏压下的频率响应；  
(d) 在不同的激光器注入电流和探测器偏压条件下，硅基光互连系统的 3-dB 带宽测试。

# 烧结金接合技术“AuRoFUSE™ Preforms”的转印技术

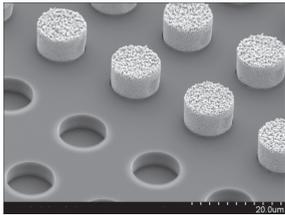


图1: 制成的金凸块转印基板

可适用于难以直接形成凸块的复杂形状基板

TANAKA PRECIOUS METAL TECHNOLOGIES Co., Ltd. (田中贵金属) 宣布在烧结金 (Au) 接合技术“AuRoFUSE™ Preforms”中, 确立了金凸块的转印技术。通过本技术, 在具有复杂结构的半导体芯片及衬底上也能形成 AuRoFUSE™ Preforms (以下简称“金凸块”)。

## 通过实现金凸块转印所带来的优势

本技术是通过制作预先形成金凸块的基板 (以下简称“转印基板”), 实现向对象半导体芯片及衬底进行凸块转印的方法。在用作转印基板的硅基板上开孔, 并于其开孔部位形成金凸块。

通过形成金凸块使其完全填满开孔部位, 可将其固定在基板上, 而无需担心在处理过程中金凸块会脱落。另一方面, 转印时通过加热使金凸块收缩, 从而在开孔部位与金凸块间形成微小间隙。因此, 只需施加垂直方向的力,

即可轻松拔出。

以往的金凸块形成制程是采用直接在对象半导体芯片及衬底上形成凸块的方法, 对于具有凹凸结构、贯通孔等复杂形状的工件, 由于存在光刻胶的高度不稳定等课题, 导致难以应对。

本次转印技术通过另行制作金凸块, 可实现仅在目标位置转印金凸块, 因此也能适用于复杂形状。此外, 该技术还能应对由于担心剥离液等造成的损伤而难以通过光刻制程的半导体芯片及衬底。

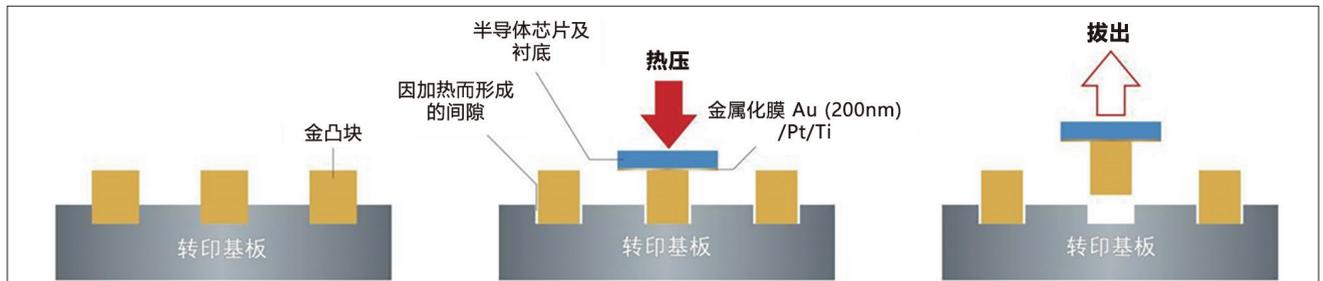


图2: 金凸块的优势

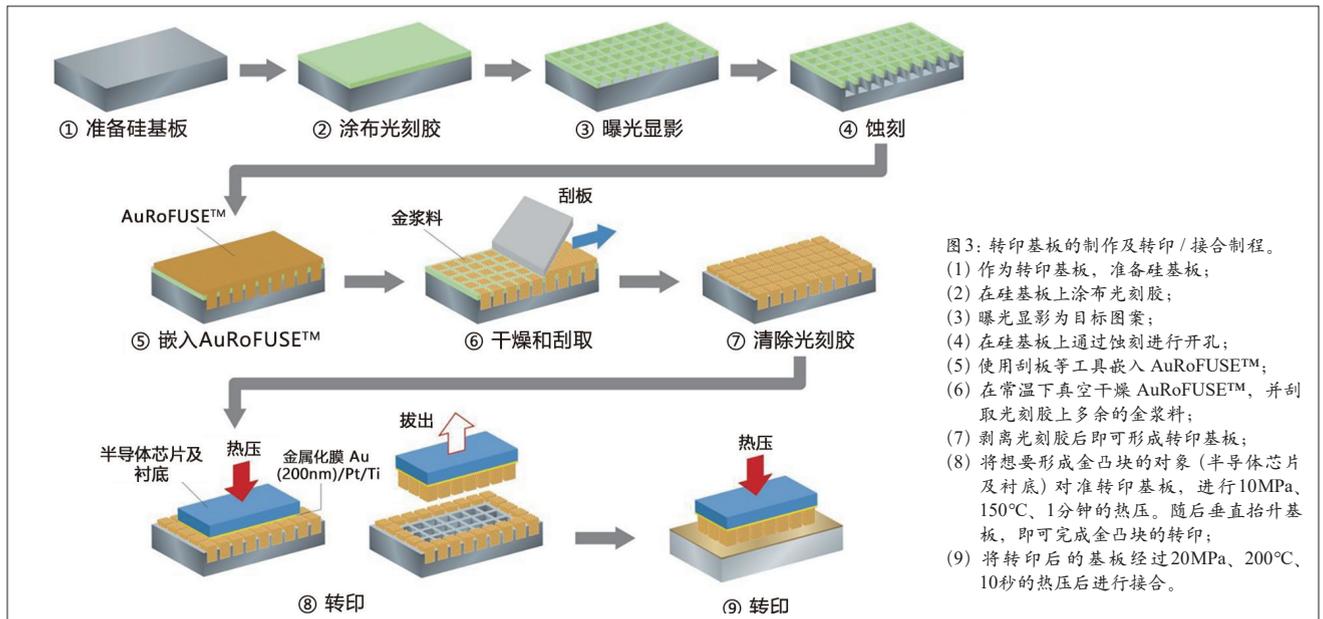


图3: 转印基板的制作及转印/接合制程。  
 (1) 作为转印基板, 准备硅基板;  
 (2) 在硅基板上涂布光刻胶;  
 (3) 曝光显影为目标图案;  
 (4) 在硅基板上通过蚀刻进行开孔;  
 (5) 使用刮板等工具嵌入 AuRoFUSE™;  
 (6) 在常温下真空干燥 AuRoFUSE™, 并刮取光刻胶上多余的金浆料;  
 (7) 剥离光刻胶后即可形成转印基板;  
 (8) 将想要形成金凸块的对象 (半导体芯片及衬底) 对准转印基板, 进行10MPa、150°C、1分钟的热压。随后垂直抬升基板, 即可完成金凸块的转印;  
 (9) 将转印后的基板经过20MPa、200°C、10秒的热压后进行接合。

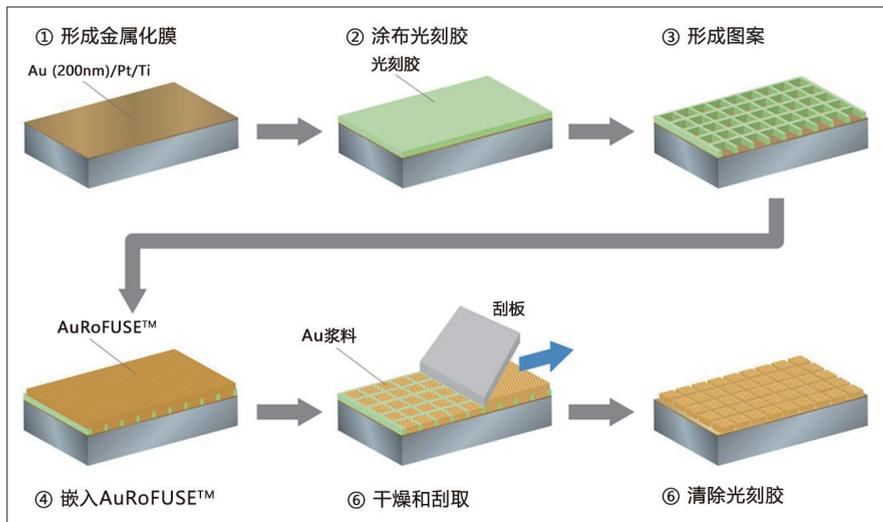


图4: 以往的金凸块形成制程

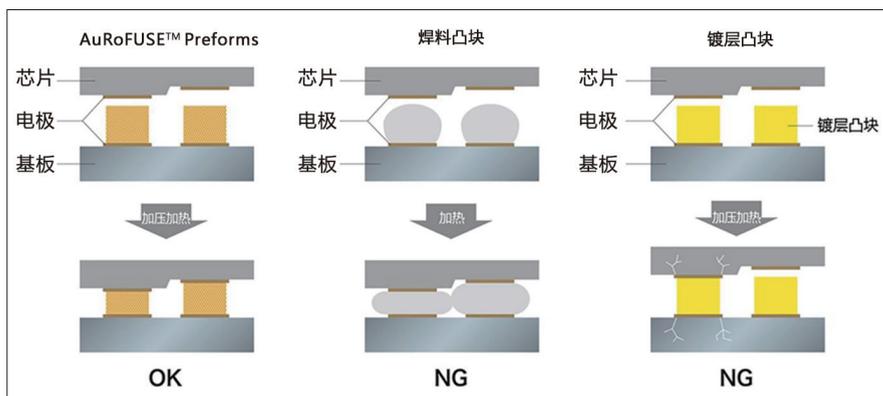


图5: “AuRoFUSE™ Preforms”与其他材料的对比

转印制程主要包括以下步骤：(1) 作为转印基板，准备硅基板；(2) 在硅基板上涂布光刻胶；(3) 曝光显影为目标图案；(4) 在硅基板上通过蚀刻进行开孔；(5) 使用刮板等工具嵌入 AuRoFUSE™；(6) 在常温下真空干燥 AuRoFUSE™，并刮取光刻胶上多余的金浆料；(7) 剥离光刻胶后即可形成转印基板；(8) 将想要形成金凸块的对象（半导体芯片及衬底）对准转印基板，进行 10MPa、150℃、1 分钟的热压。随后垂直抬升基板，即可完成金凸块的转印；(9) 将转印后的基板经过 20MPa、200℃、10 秒的热压后进行接合。

### 关于烧结合接技术 “AuRoFUSE™ Preforms”

TANAKA 开发的 “AuRoFUSE™ Preforms” 是通过将由金微粒子与有机溶剂构成的浆料，预先形成凸块形状的结合技术。在 200℃、20MPa、10 秒的热压后，虽然在压缩方向上显示出约 10% 的收缩率，但在水平方向上较

少变形，并具有足以承受实际应用的接合强度。而且，由于以化学稳定性优异的金为主要成分，封装后兼具较高的可靠性。

本技术是一种能够实现半导体配线微细化和多种芯片集成（较高密度化）的技术，预计不仅能应用于 LED（发光二极管）和 LD（半导体激光器）等光学器件，还能广泛应用于个人电脑和智能手机等数字设备，以及为满足车载零部件、MEMS 等近年来日益增长的半导体小型化与较高性能化需求做出贡献。

关于凸块形成技术，以往有焊料凸块和镀层凸块两种主要方法。但是，焊料凸块随着焊点间距不断变得微细，焊料在熔化时会横向扩展，因此存在电极之间接触引起短路的风险。此外，镀层凸块虽然可实现窄间距，但由于接合时需要相对较高的压力，因此存在造成半导体芯片损坏的问题。本技术正是为解决这些课题而开发的，旨在应用于下一代高密度封装和光电融合器件。

### 关于 “AuRoFUSE™” 及 TANAKA 所从事的金材料

“AuRoFUSE™” 是在粒径控制至次微米大小的金粒子中混合了有机溶剂的浆料接合材料。与金的熔点（约 1064℃）相比，其特点是能在约 200℃ 的低温下进行接合。

金是一种具有较低电阻和较高热传导率的材料，因此在处理较大电流的功率半导体和较大发热量的更高密度芯片中，能够实现高效散热并减少能量损耗。此外，作为贵金属中抗氧化性、稳定性特别强的材料，在封装后不易发生腐蚀或离子迁移（金属迁移导致短路的现象），长期使用仍能保持较高的可靠性。

TANAKA 凭借自创业以来，凭借所积累的贵金属素材开发技术优势，在半导体领域不断致力于以发挥重要作用的金为代表的贵金属材料开发。此外，还拥有从原料的采购到材料开发、制造、回收的一站式业务体系，有效利用有限的贵金属资源，同时为发展半导体技术和实现可持续社会做出贡献。

# 防止半导体制造中的液体交叉污染



作者：  
Jay Rajagopalan  
Malema公司

**化**学机械平坦化 (CMP)，也称为化学机械抛光，是半导体制造流程中的一道关键工序。在该工序中，通过化学作用力与机械作用力的协同作用，对集成电路（即“晶圆”）表面进行光滑与平坦化处理。

CMP 工艺需使用含有纳米级研磨粉的胶体化学抛光液。抛光液通过抛光工具泵送至晶圆表面，去除晶圆表层的多余材料与缺陷，最终使晶圆表面达到均匀光滑、超平坦的效果。在 CMP 工艺的最后阶段，去离子水会流经抛光工具，冲洗掉晶圆表面残留的化学抛光液，之后再对生产线中的下一片晶圆进行加工处理。

为了优化 CMP 工艺，化学抛光液与去

离子水的专用供应系统必须严格隔离，避免混合。一旦发生混合，抛光液为晶圆表面提供目标平整度的能力将受到严重影响。然而，部分半导体制造商发现其 CMP 系统中存在抛光液被去离子水污染的问题，这直接导致晶圆报废、整体良率下降，并产生额外的维修、更换及清洁成本。

本文将阐述这一问题是如何被发现，以及最终如何通过一项突破性技术——Malema™ Interconnect Interlock Device (MIID-1000) 得以解决的。Malema Interconnect Interlock Device- 马勒马互连互锁装置是专为防止 CMP 抛光液与去离子水的交叉污染而设计的。



通过CMP工艺制备高纯度晶圆是一项关键应用，借助Malema公司的互连互锁装置，能够有效优化有害的“抛光液-去离子水”交叉污染及回流问题。

## 行业挑战

如前所述，CMP 工艺面临的核心挑战源于所使用化学试剂的强腐蚀性，以及抛光介质中超细研磨颗粒的高磨损性。这使得采用去离子水冲洗残留化学抛光液的步骤，成为决定 CMP 工序成败的关键环节。

在工艺初始阶段，化学抛光液绝不能被其他任何液体污染。一旦发生污染，其制备超光滑、超平坦晶圆表面的能力与效果将大打折扣。

传统上，业界采用三通换向阀来解决这一问题，通过阀门切换交替为 CMP 工艺供应化学抛光液与去离子水。然而，操作人员发现，实际生产中会出现抛光工具需要抛光液时，阀门却输送去离子水，反之亦然的情况。

针对该问题的调查还发现，去离子水与化学抛光液存在相互稀释的现象。一旦出现这种情况，整个半导体制造系统就必须停机进行清洁处理。

对 CMP 系统开展的全面深入检查表明，抛光液与去离子水交叉污染的根本原因，是抛光工具在特定工况下，三通阀出现了意外的间歇性液体回流或内部旁路泄漏。然而，这一 CMP 工艺缺陷的排查难度极大，因为阀门虽存在故障，但并未发生实质性损坏，往往会在故障发生一段时间后自行恢复正常，之后又再次出现故障。

此外，一个基本的机械原理让问题的处理雪上加霜：所有阀门在一定程度上都会存在泄漏。用户需要做的，是确定阀门在具体应用场景下的可接受泄漏率。更复杂的是，

回流或旁路泄漏导致的抛光液或去离子水流失量可能低于每分钟 5 毫升（每分钟 0.17 盎司），这一微小的泄漏量极难被检测到，但足以对 CMP 工艺中交叉连接的两种液体造成污染或稀释。

这种由回流和旁路泄漏引发的交叉污染，会给半导体制造商带来高昂的成本损失，通常会导致生产流程中断和长时间停机。

为维修或更换泄漏部件、清洁受污染的管路系统而进行的非计划停机，不仅会对企业的整体经济效益产生负面影响，还会让企业难以按期完成交货任务。

这意味着，解决该问题的方案必须满足两个核心要求：第一，能够检测三通阀何时发生回流或反向旁路泄漏；第二，能够从根本上杜绝此类事件的发生。

## 解决方案

意识到解决三通阀泄漏问题的迫切需求后，位于美国佛罗里达州博卡拉顿 (Boca Raton, FL, USA) 的 Malema 公司，它隶属于美国伊利诺伊州奥克布鲁克特勒斯市 (Oakbrook Terrace, IL, USA) 的 Dover 集团旗下 PSG® 品牌，开始着手探索能够预防泄漏的产品，或开发克服此问题的新一代解决方案的途径。

Malema 工程团队拥有超过 20 年的行业经验，长期为全球主要半导体设备制造商提供基于超声波与科里奥利原理的流量测量及控制解决方案，深谙半导体行业对清洁度与可靠性的严苛要求。

在寻找防泄漏解决方案的过程中，Malema 工程师测试了多种可能解决阀门泄漏问题的方法，包括集成小流量单向和双向流量开关、流量计、pH 计及电导率仪等设备。

尽管这些设备能够检测到三通阀的回流与旁路泄漏，但它们只有在抛光液或去离子水供应系统已经被污染、CMP 工艺受到影响之后，才能发出检测信号。

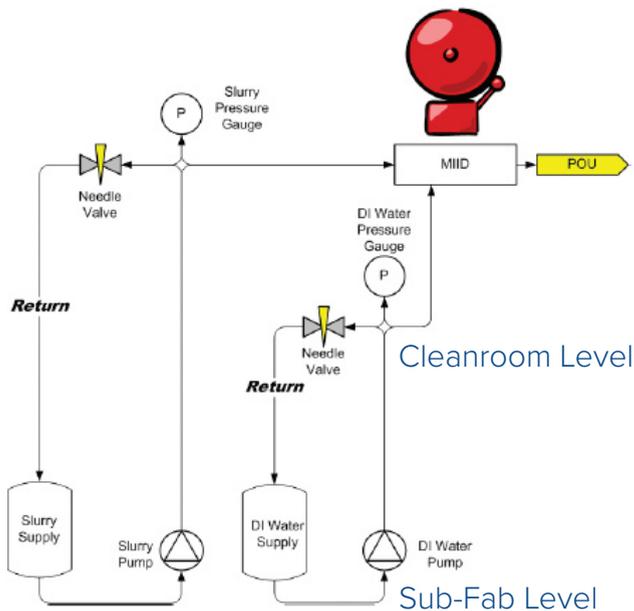
Malema 研发团队的突破性进展，源于他们发现“双重隔断与泄放” (double block-and-bleed, DB&B) 阀门结构能够有效防止反向旁路泄漏。双重隔断与泄放是一种管路配置方案，该方案充分考虑到阀门存在泄漏的可能性，通过在 CMP 抛光液与去离子水管路的第三泄放阀上下游，分别设置专用隔离阀，从而实现对阀门泄漏风险的绝对防护。

这种在两条液体供应管路之间建立的双重隔离结构，确保任何程度的回流或旁路泄漏都无法渗透至阀组的另一侧。相反，所有发生泄漏的 CMP 抛光液或去离子水，都会到



Malema MIID-1000 的核心优势之一在于其可直接改装至现有 CMP 抛光机上，作为现有抛光液供应歧管的即插即用型替换部件。Malema 公司将改装所需的全部部件整合为一个带有统一零件编号的替换套件，极大简化了改装流程。

## MIID Standing Guard



Malema MIID-1000内置泄漏传感器，当可能导致抛光液与去离子水混合的回流风险即将发生时，传感器会发出警报，从而避免交叉污染的发生。

达工艺使用点(point of use, POU)之前，被排出抛光工具。

在实验室测试中，研究人员对所有阀门进行强制泄漏测试，结果证实双重隔断与泄放结构可有效阻止泄漏液体流入下游工艺使用点或回流至上游供应管路。

这些核心功能被整合到获得专利的 Malema 互连互锁装置 (MIID-1000) 旁路泄漏检测与预防系统中，该系统专为防止液体回流与内部旁路泄漏而设计。其核心作用机制是通过一组气动阀歧管的协同运作，确保 CMP 工艺用液在使用前及工艺过程中均不会受到污染。

### MIID-1000 的核心特性

所有过流部件均采用高纯度改性聚四氟乙烯 (PTFE) 和全氟烷氧基烷烃 (PFA) 材质制造；

- 非过流表面采用全氟烷氧基烷烃 (PFA) 和聚偏二氟乙烯 (PVDF) 材质；
- 其他所用材质包括：氟橡胶 (FKM) 密封件、聚三氟氯乙烯 (ECTFE) 涂层不锈钢、聚丙烯、尼龙和乙酰树脂；
- 介质压力范围：0-80 磅 / 平方英寸表压 (0-5.5 巴)；
- 气动驱动压力范围：60-120 磅 / 平方英寸表压 (4.1-8.3 巴)；
- 介质温度范围：-17.7°C -130°C (无相变)。

### MIID 在洁净室监控区域值守

- 环境温度范围：-17.7°C - 65.5°C (介质不得出现冻结)；

- 流量系数：Cv = 0.8；
- 可现场配置的进口连接方式——支持 1/4 英寸或 3/8 英寸扩口接头，简化改装安装流程，降低库存成本；
- 压降低，损耗小；
- 内置泄漏检测与监控功能；
- 内置光学阀门位置传感功能；
- 阀门部件耐用性测试：去离子水环境下超过 1000 万次循环，SS-12 抛光液环境下超过 200 万次循环。

为简化 MIID-1000 与 CMP 系统的集成流程，Malema 将 CMP 抛光液与去离子水的供应管路整合到单一阀块中。这一设计将两套双重隔断与泄放装置的泄漏检测和排放管理功能集成在一个易于操作和安装的控制台内。

此外，Malema 还提供 MIID-1000 改装套件，经验丰富的技术人员仅需 2 小时即可完成现有 CMP 系统的升级改造。改装套件将 MIID-1000 集成于防水型可编程逻辑控制器 (PLC) 外壳中，可直接复用系统现有的管路与气动信号来实现装置功能控制。

这一设计使得 MIID-1000 的运行对主机控制器完全透明，无需对主机软件进行任何调整。同时，MIID-1000 与 PLC 之间的所有电气连接均已预接完成，装置 PLC 产生的任何泄漏报警信号，均可直接传输至 CMP 抛光机现有的用户输入通道。

### 结论

长期以来，半导体制造行业一直默认 CMP 系统中使用三通阀是常规方案，同时也不得不接受三通阀在运行一段时间后，会出现液体回流或内部旁路泄漏的问题。但这种将三通阀泄漏视为“常规运营成本”的做法，存在一个致命缺陷：会导致 CMP 工艺的核心材料——化学抛光液与去离子水发生不可预测的交叉污染。

交叉污染带来的后果严重影响企业效益：半导体制造流程被迫中断、大量产能因停机而损失，随之产生的维修、更换和清洁成本，会对企业的最终利润造成严重损害。

为终结这一不利局面，Malema 公司经过潜心研发，成功推出互连互锁装置这一创新解决方案。这款设备可直接替换半导体制造商现有设备中原装、且存在性能缺陷的三通阀，通过基于双重隔断与泄放原理的创新设计，从根本上杜绝液体回流与内部旁路泄漏问题。

其最终成就是实现晶圆生产工艺的优化，为半导体制造企业的经济效益提升带来显著助力。◆

# 半导体洁净室环境中的安全性、 洁净度与性能保障

Almatec 公司先进的气动双隔膜泵在新一代半导体制造中发挥至关重要的作用。

**在**先进电子设备、5G 基础设施、人工智能算力及物联网融合需求的推动下，半导体行业正以前所未有的速度发展。随着芯片制程不断缩小、产量持续提升，即便是最微小的杂质或设备故障，都可能造成高昂的良率损失。这一环境不仅需要尖端的制造设备，还要求泵类等辅助设备在全生产流程中满足严苛的洁净度、安全性与运行稳定性要求。

随着半导体制造在规模与技术复杂度上持续升级，泵类技术也必须满足日益严苛的标准。无论是溶剂输送、废液处理，还是在具有爆炸风险的环境中保障安全，适配洁净室的泵送系统都必须在不污染精密制程的前提下，提供稳定可靠的性能。

有一种技术能够完美应对这些挑战：气动双隔膜泵 (air-operated double-diaphragm, AODD)。该类泵集无金属结构、耐化学腐蚀、自吸能力与 ATEX 防爆认证于一身，正越来越多地应用于半导体洁净室环境，尤其适用于涉及腐蚀性、易燃易爆流体的特殊工况。

本文将探讨气动双隔膜泵 (特别是针对导电、溶剂输送场景设计的产品)，如何帮助半导体厂商在满足现代洁净室复杂工艺要求的同时，保障安全、可靠与设备连续运行。



Almatec FUTUR 系列所有部件均在 ISO 级洁净室内反复清洗与组装，确保无污染物运行。

## 洁净室泵送面临的核心挑战

半导体工厂的洁净室是高度受控环境，哪怕是微观污染物，都可能损毁晶圆或降低良率。这对包括泵在内的工艺设备的材料与结构设计提出了极高要求。

除洁净度要求外，溶剂输送、废液处理、酒精泵送等特定应用还会带来额外风险：易燃易爆性。在此类工况下，泵内部任何静电放电或金属间摩擦接触都可能引发燃烧爆炸，因此防爆能力至关重要。

Almatec FUTUR 系列所有部件均在 ISO 级洁净室内反复清洗与组装，确保无污染物运行。

半导体晶圆厂必须遵循全球防爆标准，例如在潜在爆炸环境中运行的设备需通过 ATEX (防爆环境) 认证。要同时满足洁净室级洁净度与防爆安全标准并非易事，而这正是气动双隔膜泵 (AODD) 技术的优势所在。

此外，这类场景下的泵送系统需在化学介质与温度波动、狭小密闭机柜等条件下稳定运行，维护窗口有限。因此，泵不仅要耐用，还需便于检修，且对生产影响极小，同时绝对不能牺牲安全性。综合这些因素，晶圆厂必须选用专为洁净室特殊工况与安全需求定制的泵类技术，尤其是在特殊或危险工况中。

## 气动双隔膜泵在半导体领域的应用优势

气动双隔膜泵凭借出色的通用性、耐化学性与自吸能力，长期应用于高要求工业领域。

相较于机械泵或离心泵，其在半导体领域的应用中具备多重优势：

### 1. 无金属、无污染运行

半导体级气动双隔膜泵通常全部采用高端工程塑料或聚四氟乙烯 (PTFE) 材质，彻底消除微量金属污染风险，这对制程中超纯流体与溶剂处理至关重要。

作者：Jesse Owens, Daniel Czekaj; ALMATEC 公司

## 2. 导电性与静电控制

采用导电塑料(如碳填充导电型超高分子量聚乙烯 UHMW-PE) 制造的专用气动双隔膜泵, 可在易燃易爆环境中安全输送流体, 实现静电消散且完全不使用金属部件。

## 3. ATEX 防爆认证

主流气动双隔膜泵型号满足 ATEX 2 区认证要求, 适用于厂区易爆区域的溶剂输送、酒精转运及化学品处理等任务。

## 4. 一体式 PTFE 隔膜

新一代隔膜采用整块 PTFE 精密加工而成, 耐用性极高、分层风险极低, 使用寿命长, 可确保腐蚀性流体不破泵体结构与性能。

## 5. 直通式流道、低弯折设计

部分气动双隔膜泵流道设计力求减少弯折与接触面, 可减少颗粒产生, 提升化学兼容性。

## 6. 自吸、低剪切、免维护

气动双隔膜泵具备自吸与干转能力, 结构本身为低剪切设计, 可保护敏感流体; 通常配备免维护气动控制系统, 无需外部润滑与电子元件。

## 7. 高性价比

长期使用气动双隔膜泵更具成本优势。结构坚固、维护需求低、适用化学品范围广, 可减少停机时间并简化备件库存, 降低全生命周期成本, 是追求长期运营效率晶圆厂的明智选择。

## 酒精、溶剂与废液处理

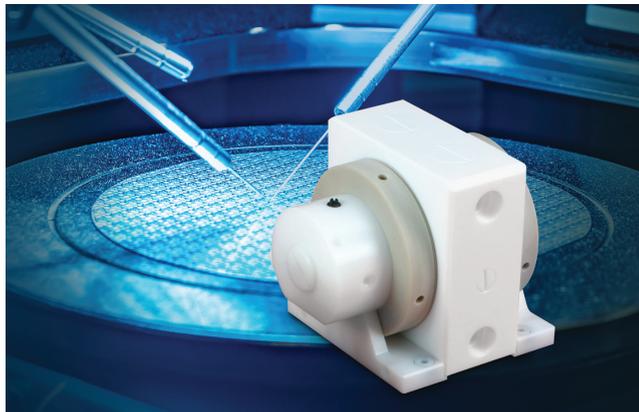
尽管多数半导体级气动双隔膜泵用于超纯化学回路, 但在洁净室环境中安全输送易燃易爆或强腐蚀性介质时, 这一类特殊应用面临独特挑战。

包括:

- 清洗与漂洗工艺中的酒精输送
- 光刻与刻蚀工序中的溶剂、剥离剂循环
- 化学废液与溶剂回收系统
- 易爆环境下的罐体 / 机柜排气与排液

在诸多此类应用中, 采用符合 ATEX 标准的泵送系统不仅是安全最佳实践, 更是法规与保险的强制要求。但要在不牺牲洁净室适配性的前提下满足这些标准难度极高。

全非金属、导电且通过 ATEX 认证的气动双隔膜泵完美填补了这一空白, 使工厂在遵守防爆标准的同时, 不牺牲化学纯度与设备运行时间。



Almatec FUTUR 系列泵采用高端非金属材料制造, 专为半导体制造中超纯化学品供给与循环设计。凭借长期可靠性, 该系列产品已成为全球晶圆厂的公认标准, 助力厂商实现最高等级的安全性、洁净度与工艺性能。

美国 Dover 集团 PSG 旗下品牌 Almatec FUTUR 系列气动双隔膜泵, 正是为此类环境量身打造。

Almatec FUTUR 系列泵采用高端非金属材料制造, 专为半导体制造中超纯化学品供给与循环设计。凭借长期可靠性, 该系列产品已成为全球晶圆厂的公认标准, 助力厂商实现最高等级的安全性、洁净度与工艺性能。

## 获得 ATEX 防爆认证的导电型 FUTUR 气动双隔膜泵

Almatec 公司 FUTUR 系列气动双隔膜泵的研发直接源于半导体客户需求。用户希望在保留原有非导电 FUTUR 泵优势 (尤其是一体式 PTFE 隔膜) 的基础上, 获得可安全用于 ATEX 防爆规范环境的版本。

最终推出的碳填充型 FUTUR 泵, 同时实现洁净室适配与防爆保护。

Almatec FUTUR 系列产品提供多种规格, 是市场上少有的同时具备三大特性的泵型:

- ATEX 防爆认证
- 全非金属结构
- 一体式精密加工 PTFE 隔膜

这使其特别适用于绝对不容许污染、火花或化学降解的晶圆制程。其导电塑料结构无需任何金属部件即可消除静电放电风险, 符合最严格的洁净室安全规范。同时, 安装简便、设计长寿命, 可满足不允许停机与维护中断的生产需求。

配备的 Almatec PERSWINGP® 气动控制系统无需润滑与维护, 进一步提升运行效率。

行程计数器、膜片破损传感器等可选配件, 可实现实时监测与预测性维护, 帮助晶圆厂提前规避意外故障与高昂损失。

随着半导体厂商对 Almatec 气动双隔膜泵可靠性的认可，已有超过 400 台设备成功安装于德国德累斯顿地区，这里素有“萨克森硅谷”之称，是欧洲顶尖半导体与微电子产业聚集地。

该地区汇聚全球行业巨头、优质中型企业与尖端科研机构，依托供应商、高校与应用研究中心的独特生态，将产业实力与科研能力深度融合，推动芯片设计与制造突破。

Almatec 公司产品在这一创新高地的广泛应用，进一步印证其作为高性能、高可靠性泵送技术可靠伙伴的行业地位。

Almatec FUTUR 100F 采用导电型超高分子量聚乙烯 (UHMW-PE) 制造，针对溶剂类应用，具备优异的耐化学性、耐磨性与导电性能。



## 总结

在以精密、洁净、安全为核心的半导体行业中，为特殊工况选择合适的泵送技术至关重要。

气动双隔膜泵 (尤其是采用导电非金属材质、通过 ATEX 认证的 Almatec FUTUR 泵)，可让晶圆厂在不破坏洁净室环境完整性的前提下，安全输送腐蚀性、易燃易爆介质。

随着晶圆厂不断扩大产能、降低污染风险、遵守严苛安全标准，先进的气动双隔膜泵将不再只是辅助设备，而是新一代半导体制造的关键支撑，以精密与可靠驱动产业发展。

随着行业持续演进，通用、安全、无污染泵送技术的重要性将愈发凸显。选择 Almatec 公司的 FUTUR 系列泵，晶圆厂可以获得无与伦比的可靠性，从容应对未来技术与法规挑战。◆

## Cadence 推出 ChipStack™ AI Super Agent，开辟芯片设计与验证新纪元

楷登电子 (美国 Cadence 公司) 近日推出用于前端芯片设计与验证的代理式 AI 解决方案——ChipStack™ AI Super Agent，标志着在重新定义半导体设计方式上迈出了变革性的一步。Cadence® ChipStack AI Super Agent 是全球首个用于自动化芯片设计与验证的代理式工作流，可将代码设计、仿真平台搭建、测试计划创建、回归测试编排、问题调试与自动修复的效率提升 10 倍。

Cadence 总裁兼首席执行官 Anirudh Devgan 表示：“ChipStack 代表了我们的 design-for-AI 与 AI-for-design 战略的一次重大飞跃。我们将代理式 AI 直接应用到客户的前端设计流程中，以应对现代芯片日益增长的复杂性与规模挑战。通过利用能够自主调用底层工具的智能代理，我们能够在关键设计与验证任务中为客户带来显著的生产力提升，同时让稀缺的工程人才专注于创新。”

新推出的 ChipStack AI Super Agent 充分体现了 Cadence Intelligent System Design™ 理念，即 AI 编排、基于原理的仿真以及加速计算无缝结合，为半导体与系统创新提供变革性解决方案。该代理式 AI 解决方案可协调多个虚拟工程师，并全部基于 Cadence 的核心 EDA 工具运行。该技术将代理式 AI 与 Cadence 成熟的优化 AI 和 AI

助手解决方案相结合，这些技术迄今已应用于超过 1000 次流片，包括 Verisium™ 验证平台和 Cadence Cerebrus® 智能芯片探索器，以及 Cadence JedAI 数据与 AI 平台。

ChipStack AI Super Agent 可灵活支持基于云和本地部署的前沿模型，包括可通过 NVIDIA NeMo 定制的开源 NVIDIA Nemotron 模型，以及云端托管模型 (如 OpenAI GPT)，从而提升设计人员生产力。这进一步推进了真正“芯片智能体” (Silicon Agent) 的愿景实现，覆盖交付下一代智能设备所需的多学科与多工作流程。

“我们的客户正面临工程人才，尤其是资深工程师的严重短缺，而这些人才对于实现产品路线图至关重要，” Cadence 副总裁兼研发总经理 Paul Cunningham 表示，“我们的 ChipStack AI Super Agent 将设计与验证效率提升到了新的高度，部署工作正在快速推进。”

Cadence ChipStack AI Super Agent 已在全球数家领先芯片设计与系统公司开展早期部署，包括 Altera、NVIDIA、Qualcomm 和 Tenstorrent 等。

Cadence ChipStack AI Super Agent 现已提供早期访问版本。如需了解更多信息，请访问 Cadence AI for Design 产品页面。◆

# 通过热塑性管材应力分析，保障尖端半导体制造可靠长效运行

塑料管道系统是超纯水应用的关键配套方案，在化学品及其他流体输送领域，也是金属管道的高性能替代方案。但热塑性材料具备独特的材料特性，其应用需综合考量多项核心因素。开展全面的管材应力分析，可有效规避运行问题，提升系统可靠性、安全性与使用寿命。

**在**微电子行业中，管道材料是保障关键流体输送任务顺利完成的重要环节。水更是半导体制造厂不可或缺的自然资源，这类工厂每日用水量可达数百万加仑。

因此，半导体厂区需搭建大规模管道系统，用于输送超纯水、工艺指定用水、废水及各类化学品。在此场景下，热塑性管材已成为主流选择。

这一普及性源于多重优势：PVC-(C)、PP-H、PE、PVDF、ECTFE等管材原料具备优异的耐化学腐蚀性、抗锈蚀能力，使用寿命长且性价比高。同时，热塑性管材还能简化项目流程与安装施工：非接触式红外熔接等全机械化连接工艺，可实现高效、

高品质的预制加工；管材自重较轻，也让搬运与物流运输更便捷。

此外，热塑性管道系统能直接应对行业当前核心挑战：技术工人短缺、厂区建设投产节奏加快、现有晶圆厂需更长周期稳定运行。凭借安装更快、操作更安全、返工率更低的特点，热塑性管材可助力半导体厂商更灵活、更稳妥地满足市场需求。

## 热塑性材料基础知识

传统管道系统设计规范大多以钢材为基准，而钢材的标准与材料特性不能直接套用在热塑性材料上。二者最显著的差异之一是热膨胀系数：以PVDF为例，其热膨胀系数

约为 $0.13 \text{ mm}/(\text{m} \cdot \text{K})$ ，是钢材（约 $0.012 \text{ mm}/(\text{m} \cdot \text{K})$ ）的10倍。

实际应用中，需综合多项因素才能保证分析结果准确，包括安装与运行的温差、管内输送介质类型、环境条件、管道长度等。

在微电子领域，现代化生产厂区结构复杂，需搭建跨建筑的大规模管道系统。部分管段铺设在温控室内，部分暴露在自然环境中，系统会面临显著的温度波动。这是规划阶段的关键考量点——若热膨胀管控不当，会引发管道变形、应力集中、长期蠕变失效或支架损坏。

另一核心要点是热塑性材料的受力特性，即材料对短期和长期应力的响应。与钢制管道类似，其短期应力因素包括压力波动、水锤效应、地震活动等；同时热塑性材料具备独特的长期性能，例如在高温或长期载荷下会出现蠕变现象，弹性模量随时间降低。

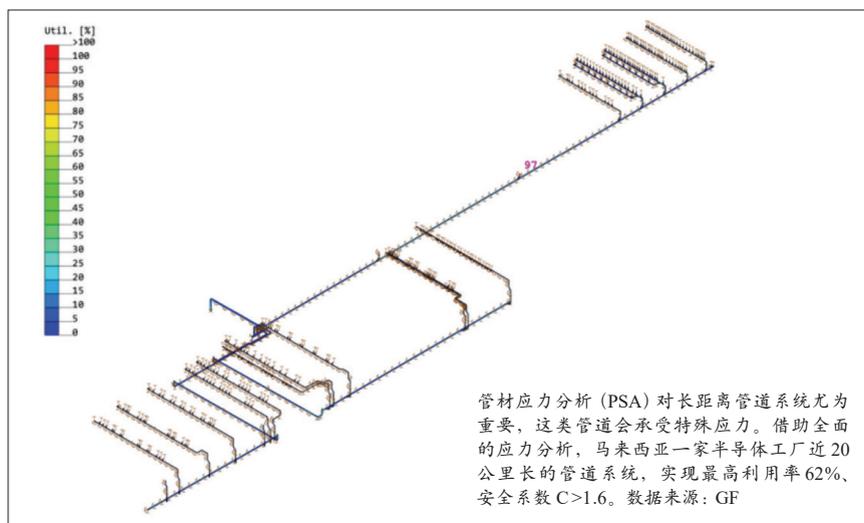
若规划人员不熟悉热塑性材料的特殊属性，或未遵循规范操作，可能引发灾难性故障。要让工业管道系统达到 $\geq 25$ 年的设计使用寿命，通过定制化支架方案控制长期蠕变是关键。

## 为何要开展管材应力分析？

管材应力分析 (Pipe Stress



许多现代生产工厂结构复杂，需要配备庞大的管道系统。要成功使用热塑性塑料，必须在管材应力分析 (PSA) 过程中考虑诸多因素，包括流经管道的介质类型、环境条件以及管道的长度等。



Analysis, PSA) 的目标清晰明确: 预测并降低管道系统的机械应力, 保障管道长期结构完整性。

分析过程会纳入热膨胀、焊接因素、弹性模量、蠕变特性等所有相关参数。这对微电子制造行业尤为关键——该行业不仅要应对强腐蚀性化学品、严苛的质量标准, 还处于快速扩张与人才短缺并存的发展阶段。

为满足市场需求, 现有厂区需要延长运行周期, 新厂区建设速度不断加快。管材应力分析可实现二次支撑钢结构的最优设计, 帮助规划人员规避技术故障、索赔纠纷以及非计划的高成本停机。

同样重要的是, 在高速建设的厂区项目中, 管材应力分析能避免施工低效。提前识别潜在问题区域, 项目负责人可主动管控应力因素, 保障工期进度, 即便工程资源紧张也能顺利推进。因此, 管材应力分析不仅是安全保障措施, 更是提升生产效率与设备开机率的重要手段。

## 管材应力分析 (PSA) 实操规范

### 1. 精准应力计算

要实现可靠、长效、安全的运行,

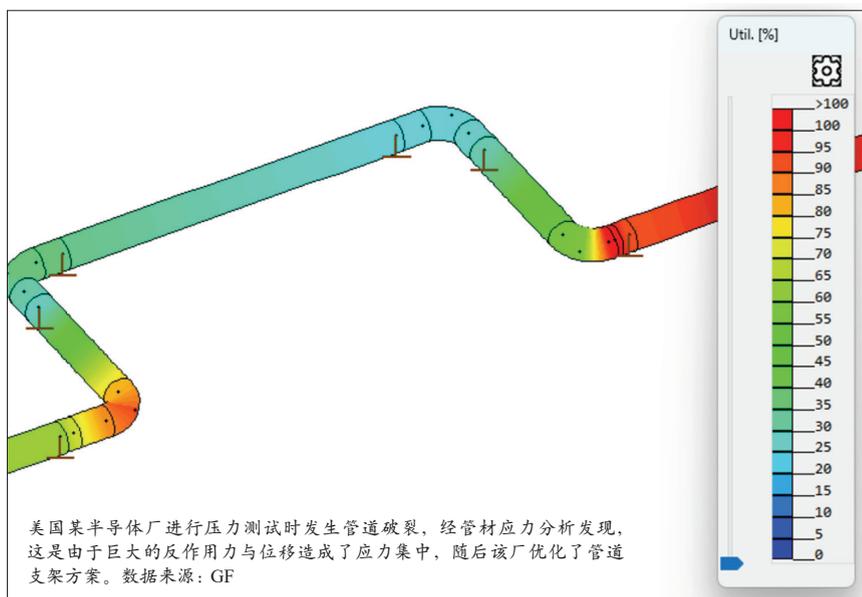
不仅需纳入所有相关参数, 规划人员还必须计算短期应力与长期形变, 因为热塑性材料对温度和应力的响应会随时间变化。

### 2. 熟练掌握分析工具

Caesar II 等常用管道应力软件并非针对热塑性材料优化, 而 ROHR2 等软件可精准模拟热塑性管道系统的短期与长期性能。

但软件仅为工具, 相关参数需由结构工程师精准定义。

### 3. 载荷工况模拟



管道系统在全生命周期内, 可能承受超出设计运行参数的各类载荷, 如水锤、地震活动等, 会对管道部件产生显著应力。

### 4. 定制化管道支架方案

量身设计的管道支架方案必不可少, 需匹配管材的特殊属性。传统金属管道夹具为刚性结构, 而热塑性管道需专用支架, 允许管道自然形变且不造成损伤。支架类型多样, 包括导向支架、滑动支架、弹簧吊架、膨胀节等。

### 5. 遵循标准与规范

依据 DVS 2210-1 等标准出具静力计算报告, 采用热塑性管道系统的正确参数, 可达到甚至超过 ASME B31.3 工艺管道标准、ASME NM.3.1 非金属材料标准。部分国家有法定静力验证要求, 如德国《水法》(AwSV) 第 43 条对双套管管道系统的规定。

### 6. 现有系统检测分析

保障 25 年及以上可靠使用寿命, 不仅依赖前期规划, 还需定期对现有管道系统进行无损检测。若出现应力集中或形变, 建议联合制造商开展状态评估。

## 预制化施工的应力考量

与其他现代化行业相同，微电子行业项目常面临技术工人短缺、工期紧张、成本超支、质量管控、空间受限等挑战。厂外预制化因此成为主流选择——流体解决方案由专业人员在可控环境中组装，大幅简化项目流程。

此外，热塑性材料自重轻、连接方式多样，非常适合预制加工。但预制化因素必须在规划阶段提前考量，尤其是管段运输至施工现场的环节。

温差变化、无运行压力状态会对热塑性管道产生显著应力；同时运输过程会产生约0.5g~0.8g的加速度，可能引发冲击损伤。将这些载荷工况纳入初始应力分析，可保障管段结构完整性，搭配定制化附加支架，还能缓解运输中的位移等问题。

## 借助管材应力分析解决故障问题

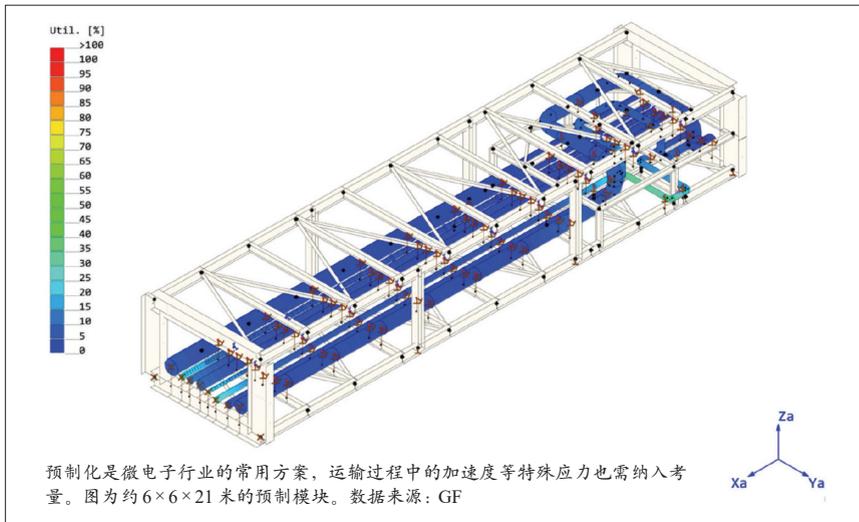
管材应力分析也是分析和处理索赔问题的有效工具。美国某半导体厂的实际案例可直观说明：

管道安装后，在约60℃高温环境下进行压力测试时，管道因滑动支架滑脱发生剧烈破裂。

开展管材应力分析后确认，该管段因巨大反作用力与位移出现应力集中。通过优化管道支架方案、加装导向支架，限制管道横向与竖向位移，使其在该工况下保持精准对位，最终解决了问题。

## 行业实操案例

瑞士流体解决方案提供商乔治费歇尔 (Georg Fischer, 简称GF)，为马来西亚一座先进微电子晶圆厂提供供货服务。该厂需搭建总长近20公里的超纯水与废水管道系统，必须开展全面的管材应力分析。



GF集团不仅提供产品，更以工程合作伙伴的身份为客户提供支持，在项目全周期提供技术方案与问题解决支持。

针对项目需求，管材应力分析重点聚焦长距离管道的特殊应力，核心参数包括应力峰值、作用力、位移峰值及水锤效应。经计算，项目最终安装了约18公里管径d20到d500的聚丙烯管道，以及约1公里管径d20到d160的PVDF管道，并基于应力分析结果优化了支架方案与结构接口。通过全面分析、选用合适规格的材料、定制匹配的支架方案，系统安全系数达到 $C > 1.6$ 。

在定制化支架方案中，支架类型选型至关重要。基于应力分析结果，该厂将部分管段的滑动支架更换为导向支架，选用了GF的Stress Less®支架系列。该产品适用于PP、PE、PVC、CPVC、ABS、PVDF材质的压力管道、废水管道与双套管管道，涵盖导向支架、立式支架、吊架、阀门安装嵌件等多种配置。

马来西亚半导体晶圆厂选用的Stress Less®导向支架，采用金属托架搭配塑料嵌件；夹具可保障抗震等场

景下的结构强度，塑料嵌件则保护管道表面。

嵌件与管道外径间预留标准化设计间隙，让管道在热膨胀时沿轴向自由移动，同时实现可控摩擦。该系列还配备带螺纹安装嵌件的阀门支架，可适配GF阀门约±3英寸(≈7.6厘米)的位移量。

## 总结

管材应力分析是工业管道系统规划的核心环节，对先进半导体制造尤为重要。保障管道长效、可靠、安全运行的关键，在于精准掌握管材材料特性。

由于热塑性树脂种类繁多，计算工程师需采用正确的材料参数。只有使用管道系统制造商认可的计算参数，才能完成热塑性管道系统的精准寿命验证。

尽管与钢材存在特性差异，热塑性材料仍为微电子行业应用提供了诸多显著优势。遵循热塑性管道专用的管材应力分析规范，不仅能简化规划流程，还可实现现有系统的优化与扩容，为运营商保障最优运行效果，消除后顾之忧。◆

# 半导体芯片系统性分析方法论研究

**摘要：**随着半导体技术进入以异构集成和多样化材料为核心的后摩尔时代，产业竞争愈发激烈。在此背景下，深入理解先进商业芯片的技术实现，已成为驱动正向创新、优化工艺路径和构建知识产权战略的关键支撑。本文提出了一套系统性的半导体芯片综合分析方法论，该方法论采用从宏观到微观、多尺度联动的分析框架，融合先进的物理表征、电路功能与结构建模以及多物理场仿真技术，旨在全面揭示芯片从系统架构、功能模块、单元电路直至器件物理与材料特性的系统级设计实现与工艺特征。本文系统展示了如何将分析研究成果有效转化为工艺开发、TQV (Technology Qualification Vehicle) 验证芯片设计以及电路创新的具体指导，并最终形成体系化的知识产权布局与创新路径规划。本研究所构建的分析框架，能够系统揭示芯片的设计逻辑与制造特征，显著缩短技术研发周期，并为构建差异化技术路线提供关键决策依据。

## 引言

当前，全球半导体产业正经历深刻变革。随着摩尔定律演进放缓，技术创新呈现出多维发展态势：一方面，先进制程继续向 3 nm 及以下节点推进，FinFET、全环绕栅极晶体管(GAA)等新型器件结构不断涌现；另一方面，异构集成、Chiplet 等系统级创新成为提升芯片性能的重要路径<sup>[1]</sup>。同时，SiC、GaN 等第三代半导体材料在功率、射频等领域展现出显著优势<sup>[2]</sup>。这种技术多元化格局使得准确判断技术发展方向、合理规划研发路线变得愈发重要。

在这一背景下，对先进芯片进行系统性技术研究的价值日益凸显。对于企业决策者而言，通过深入研究先进产品，可以系统把握行业技术脉络，明晰创新方向，优化研发资源配置<sup>[3]</sup>；对于研究所同仁，基于实证的系统分析能够有效支撑研究方向选择，提升科研成果的产业转化价值；对于高校教授，典型商用芯片案例可为教学科研提供丰富素材，强化学生的工程实践能力。然而，传统的芯片

分析研究往往存在研究维度单一、技术深度不足、与创新决策脱节等问题，难以满足各界的深层需求。

在芯片技术研究服务领域，国际知名机构各具特色。Tech-Insights 在先进工艺节点分析方面具有权威性，但其服务定价较高，且已退出中国市场；PDF Solutions 专注于良率分析和工艺优化，擅长数据建模；Yole Group 的系统级技术研究和成本分析服务近年来在业界广受认可<sup>[4]</sup>。在国内研究机构中，部分企业在电路分析与专利研究方面积累了丰富的经验。这些机构虽然提供了多种选择，但往往侧重于特定技术环节，缺乏从深度技术认知到创新决策的全链条研究能力。

我们观察到，许多机构在技术决策过程中面临共同挑战：企业决策者难以将技术信息转化为产品规划依据，研究所同仁缺乏对产业技术真实水平的系统认知，高校科研团队对技术落地路径把握不足。这些问题的根源在于技术认知与创新决策之间存在断层。为此，本文构建了一套全新的芯片系

统性研究方法论，致力于打通从深度技术认知到创新布局的全流程，为各机构的科学决策提供体系化支撑。本文系统阐述了该方法的核心研究理念、技术框架与实践价值，旨在通过专业的技术与洞察，帮助各机构在复杂的技术环境中把握方向，在激烈的市场竞争中构建核心优势<sup>[5]</sup>。

## 系统性分析方法论框架

本方法论建立在三个核心原则之上：多尺度性、关联性与闭环验证。多尺度性要求分析覆盖从系统级封装、芯片级布局、功能模块、标准单元直至原子尺度的器件结构，以确保系统性认知。关联性强调必须建立不同层级之间的因果联系，例如将特定性能瓶颈与关键路径的布线电容关联，或将器件可靠性表现与界面材料特性关联，从而形成对芯片设计的整体理解，避免陷入局部细节。闭环验证则要求所有通过物理分析得到的结论，都需通过电学测试或多物理场仿真进行交叉验证，确保研究结果的准

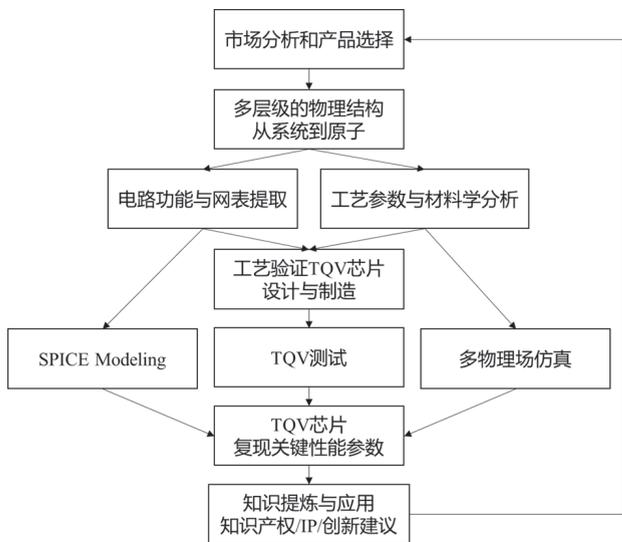


图1：产品系统性分析方法论框架

准确性与工程指导价值。这一原则体现了本文方法在技术创新指导方面的严谨性与实用性。

图1展现了本方法论的技术路线，这是一个迭代优化的闭环过程。从基于明确目标的研究对象选择开始，通过多层次的结构表征与电路功能建模，获取系统的物理参数与电路网表信息，进而指导 SPICE 建模、物理场仿真以及工艺验证 TQV 芯片的设计与制备。这些模型与测试结构构成了从技术研究到工程实践的关键桥梁，使理论认知能够有效指导工艺开发。最终，通过模型仿真与结构测试数据的对比验证，提炼出对工艺优化、知识产权布局和创新设计具有直接指导价值的技术洞见。这些洞见又可反馈至新一轮的研究过程中，形成持续完善的技术创新体系。这一系统性的研究方法不仅为各层级技术人员提供了深度的技术洞察，更重要的是为机构决策者提供了全面的创新评估依据，支撑其制定科学的技术投资与研发策略。

### 研究目标的战略选择与定义

目标芯片的选择直接决定了研究

的价值，这是一个需要综合考虑技术前瞻性、市场影响力和知识产权布局等多维度因素的决策过程。我们重点选取具有代表性的国际先进芯片产品，通过深入研究这些技术标杆，为国内产业的技术突破与创新提供参考。在评估过程中，我们主要从三个维度进行考量：技术代表性关注芯片

是否采用了业界领先或具有特色的技术节点、器件架构或封装方案；市场影响力考察产品在目标应用领域是否具有行业引领地位；知识产权密集度则评估该领域是否存在重要的专利布局机会。例如，在快充市场领域，我们选择研究集成了 GaN HEMT 与驱动电路的先进功率 IC，这类产品代表了功率半导体技术的最新发展方向；在人工智能计算领域，我们重点关注采用 Chiplet 技术的高性能 AI 加速器，这类芯片体现了先进封装和异构集成的技术趋势。

我们建议各机构决策者在选择研究目标时，紧密结合自身的技术发展规划与资源投入计划，选择那些能够为团队带来显著技术提升与创新价值的产品进行深入研究。对于企业决策者，应重点关注与自身产品路线图存在竞争或互补关系的先进产品；对于研究所同仁，应着眼于前沿技术的系统跟踪与创新机会识别；对于高校教授，则应结合教学科研需求选择具有代表性的技术案例。通过与专业研发团队建立长期合作关系，各机构可以构建系统的技术研究数据库，持续追

踪行业技术发展动态，为自主创新提供持续支撑。

在明确研究目标后，需要根据芯片的技术特征制定差异化的研究方案。对于高性能计算芯片，研究重点应置于其互连架构、高级缓存层次以及通过硅通孔和微凸点实现的三维集成技术，这些特征直接决定了芯片的整体性能表现。而对于高压功率器件，则需要聚焦于其元胞结构、终端耐压设计、栅氧质量以及宽禁带半导体外延层的材料特性，这些因素影响着器件的可靠性表现与效率水平。通过这种有针对性的研究维度定义，可以确保研究资源获得最优配置，同时保证最终成果的技术深度与创新指导价值。我们的专业研究团队能够根据各机构的具体需求与条件，提供从全芯片系统分析到关键模块深度研究的差异化方案，确保每一项投入都能获得最大的技术创新回报。

### 多层级的芯片结构研究实践

系统级分析是理解芯片整体架构的起点，通过非破坏性的 X 射线计算机断层扫描与超声波扫描显微镜等先进表征手段，我们可以清晰解析芯片的封装结构，准确识别其采用的集成技术方案，如图2所示。这一

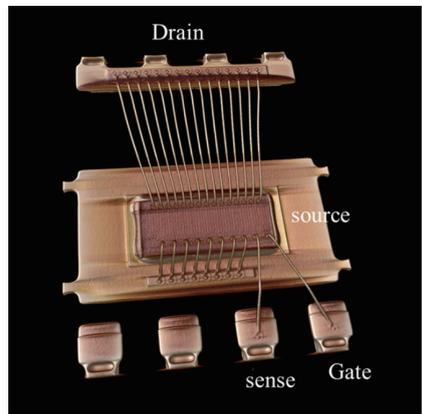


图2：XRM扫描封装信息

研究阶段为封装工程师提供了宝贵的设计参考，包括先进的互连方案、热管理策略和信号完整性保护措施。系统级分析旨在厘清各个功能裸片的空间布局、互连方式以及电源分配网络的整体规划，这些信息为后续深入的芯片级分析提供了重要的系统上下文。随着先进封装技术的发展，系统级分析的重要性日益凸显，特别是在2.5D/3D集成等复杂架构中，互连拓扑与热管理设计往往成为影响系统性能的关键因素。

在完成封装分析后，通过精密的样品制备流程去除封装材料，就可以开展芯片的全局规划分析，如图3所示。这一层面的研究成果为设计工程师提供了完整的芯片架构洞察，包括电源网络设计、时钟树分布和模块布局策略等关键信息。借助高分辨率的光学显微镜 (OM) 和电子显微镜 (SEM) 对顶层金属进行成像与分析，我们可以深入理解设计者在全局规划层面的技术思路。这一阶段需要重点关注电源网络的金属宽度与密度分布，这直接影响芯片的 IR Drop 性能；同时要分析时钟树的布线拓扑，理解其时序控制策略；还需要观察数据总线与模拟 / 数字模块间的物理隔离方案，评估其信号完整性设计水平。这些宏观规划决策在很大程度上决定了芯片的最终性能表现与可靠性水平，

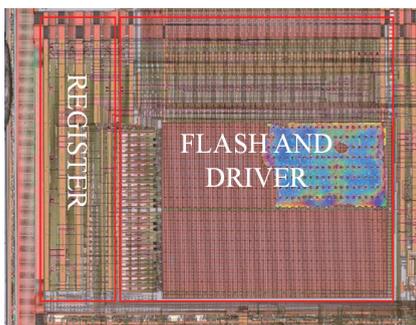


图3: 芯片架构分析

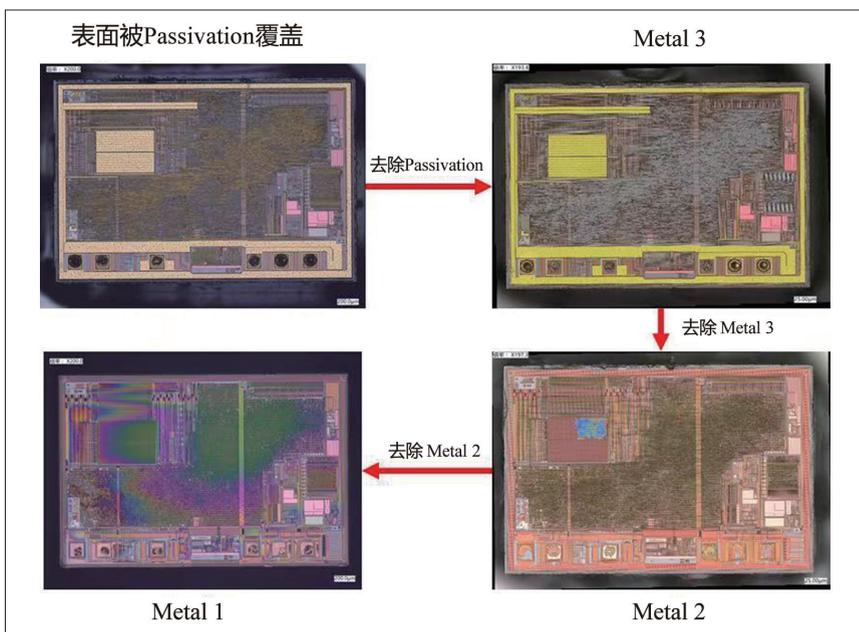


图4: 后端金属互连的逐层去层

是体现设计团队工程经验与技术积淀的重要维度。

随着研究层次的深入，我们进入到功能块级微架构解析层面，这一阶段的研究直接关系到核心知识产权的理解与创新机会的识别。这部分研究成果对设计人员具有极高的参考价值，可以帮助他们理解先进电路的设计理念与性能优化方法。如图4所示，通过精密的逐层表征与OM/SEM成像技术，逐步揭示每层版图的布线规律与元件分布特征，我们可以将物理版图与系统架构知识有效关联，理

解设计实现原理。例如，在现代CPU核的研究中，我们可以识别出不同的流水线阶段、执行单元以及各级缓存的物理实现方式；在电源管理单元的分析中，可以解析其低压差线性稳压器或开关电源控制器的电路布局特点。这一阶段的关键在于识别那些为追求极致性能或功耗而进行的全定制电路设计，这些设计体现了厂商独特的技术积累与创新理念，为后续自主创新提供了重要参考。

标准单元库的分析构成了数字芯片基础研究的重要环节，这部分工作

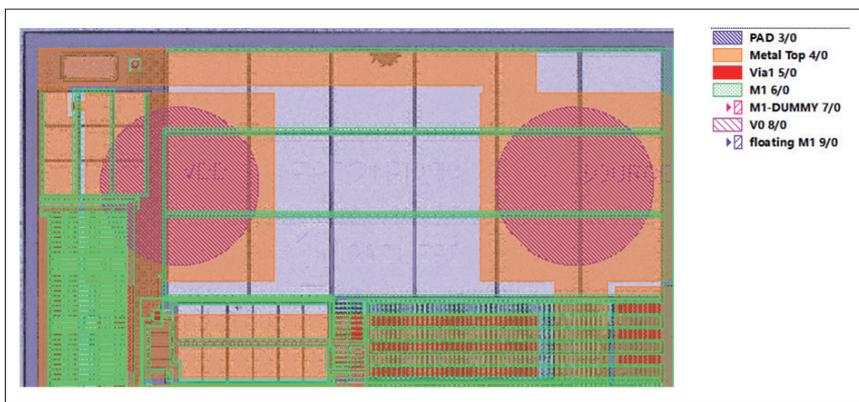


图5: SEM图像转换为GDS版图

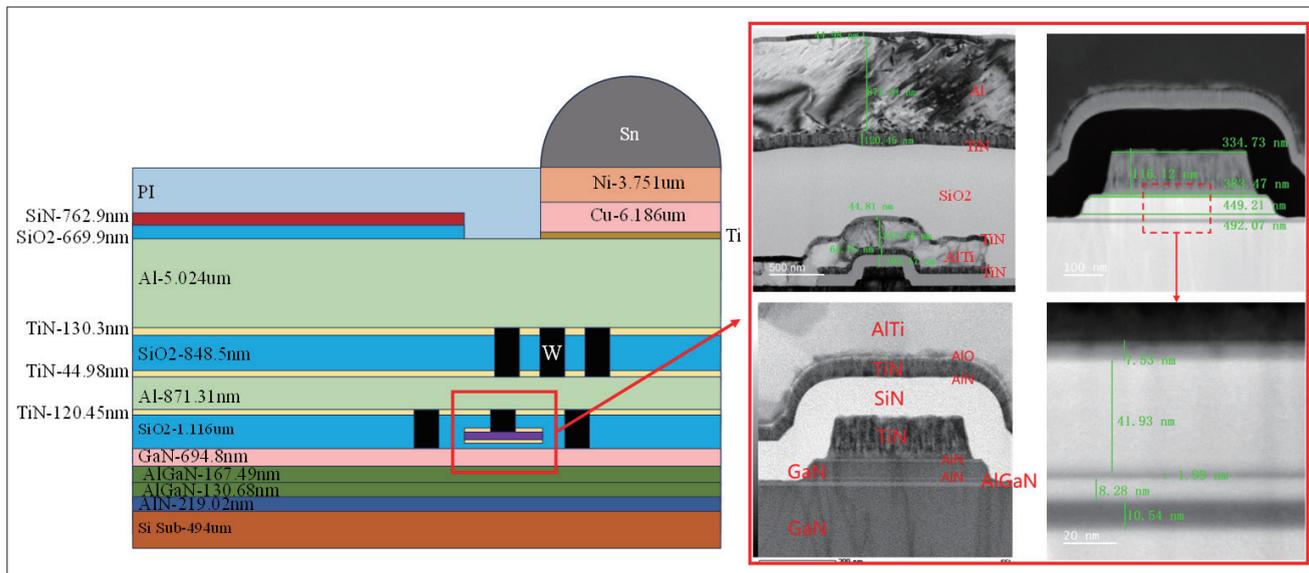


图6: 截面分析工艺参数及材料特性

为设计人员提供了可直接参考的标准单元库信息，同时为工艺工程师揭示了制程能力的关键参数。如图5展示的那样，通过自动化或半自动化的图像处理软件，可以将SEM图像转换为标准的GDSII版图文件，并进一步重构出完整的电路网表。在这个过程中，我们不仅能够获取反相器、与非门、触发器等基本单元的驱动能力与版图尺寸，更能精确测量出该工艺节点的标准单元高度等关键设计规则，这些数据为后续的设计迁移与工艺优化提供了直接的参考依据。在现代芯片设计中，标准单元库的优化程度直接影响到芯片的功耗、性能和面积指

标，因此这一层面的研究对技术创新具有重要的实践指导意义。

最底层的器件级与材料学分析是连接物理实现与工艺技术的关键桥梁，这一深度研究为工艺开发人员提供了详尽的工艺参数和材料特性数据，是工艺优化和良率提升的重要依据。需要借助聚焦离子束(FIB)和透射电子显微镜(TEM)等尖端设备制备并观察纳米精度的定点剖面样品。在硅基先进工艺分析中，我们精确测量FinFET的鳍宽、栅长、栅间距等关键尺寸，分析高K金属栅的堆叠结构，并通过能谱仪分析元素成分分布。在化合物半导体如GaN HEMT

的研究中，我们重点关注其AlGaN势垒层厚度、Al组分、栅极凹槽形态以及钝化层质量，这些参数直接决定了二维电子气浓度与击穿电压特性，如图6所示。此外，二次离子质谱技术能够提供从表面到体内ppb量级的掺杂元素深度分布信息，这些数据对理解工艺机理、指导工艺创新具有不可替代的价值。

### 从物理实现到设计理念的建模与验证

基于深度研究获得的海量数据，我们需要系统地总结出关键工艺特征清单，这份详尽的清单为工艺开发团队提供了明确的工艺开发目标和参数

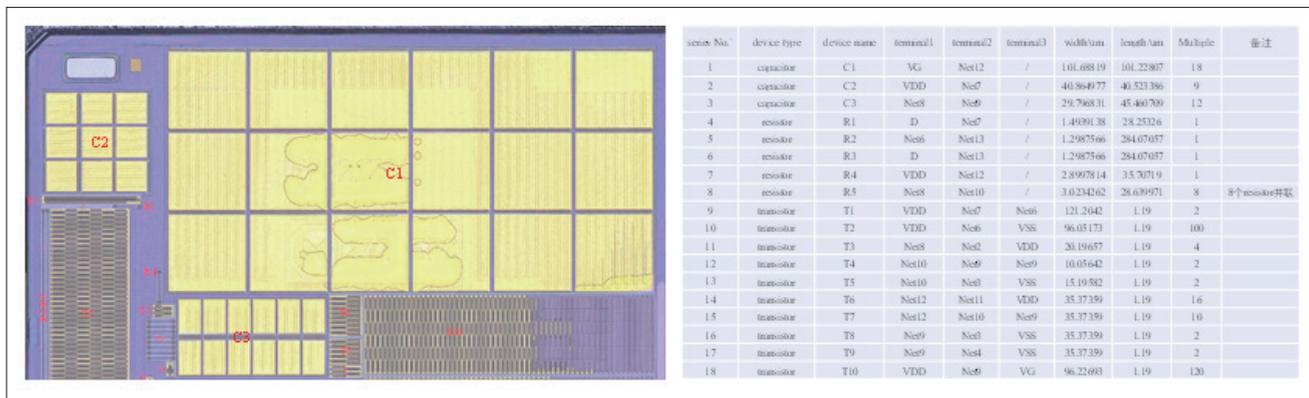


图7: 器件分布与Device List

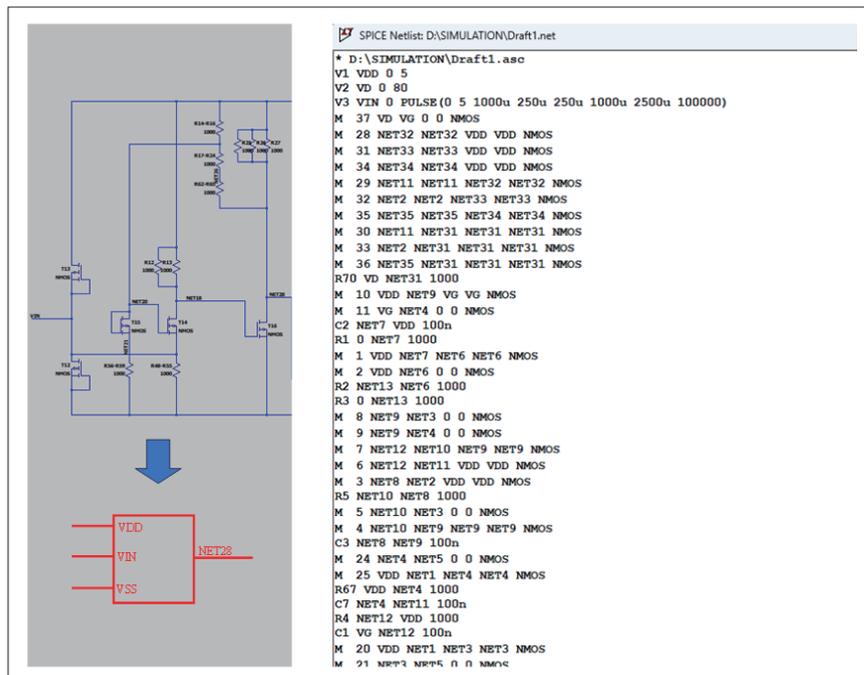


图8: 电路图与网表

范围,大幅缩短工艺调试周期。这个清单包含了金属栅尺寸和材料、接触孔尺寸、介电层厚度、外延层厚度与掺杂等核心参数,例如图7所示。这份系统化的工艺特征清单不仅为晶圆厂进行工艺开发提供了宝贵的数据参考,更重要的是为后续的技术创新奠定了数据基础。在实际应用中,我们基于这些参数设计定制化的TQV验证芯片,用于芯片制造技术的开发与合格认证。这些测试芯片包含晶体管,

电容阵列,电阻链,通孔链等各种测试结构,它们的分析结果能够为IC设计工程师提供关键的IC设计流程的物理与电性基础。通过在自有或合作工艺线上的验证与调试,最终实现从“技术研究”到“创新制造”的能力跨越,这个过程中积累的经验对建立自主可控的制造体系具有重要意义。

电路功能建模与网表重构是理解芯片设计思想的关键环节,这个过程将抽象的物理结构转化为可理解的

功能描述。这部分工作使得设计团队可以高效学习并理解成熟产品的电路架构、模块构成和实现技巧,能够显著降低前期探索的不确定性,为自主创新提供理论基础,加速创新产品的开发进程。现代EDA工具虽然能够辅助完成大部分自动化建模工作,但真正的挑战在于处理全定制设计的模拟/射频电路、识别层次化设计中的模块功能以及校正重构过程中可能产生的电气连接错误。这些挑战要求研究人员不仅需要熟练掌握工具使用技巧,更需要具备深厚的电路设计知识,才能进行有效的人工校对与功能推理。如图8所示,最终生成的高质量电路网表不仅是研究成果的直接体现,更是后续仿真验证和创新设计的基础,其准确性直接关系到整个研究项目的技术创新价值。

多物理场仿真与实验数据的闭环验证是确保研究结果可靠性的重要手段,也是深化技术理解的有效途径。这些仿真分析结果为各个技术团队提供了可靠的设计依据和性能预测,显著降低产品开发风险。如图9所示,在电学性能验证方面,我们将获取的器件物理参数输入TCAD工具,仿真其IV、CV特性曲线,并与通过纳米

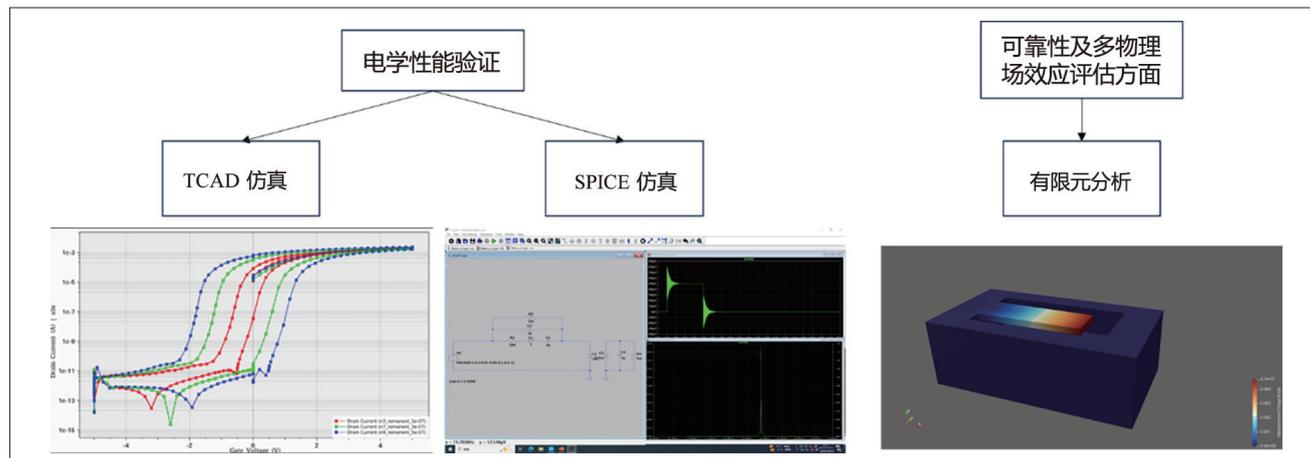


图9: 闭环验证模拟仿真

探针或 FIB 电路修改获取的实测数据进行对比分析。同时，将重构的数字电路网表导入 SPICE 仿真器，并导入基于测试数据建立的器件模型，进而通过仿真验证其逻辑功能与时序特性。在可靠性及多物理场效应评估方面，我们利用有限元分析工具，基于芯片的真实三维结构进行热-力-电多物理场耦合仿真。例如，通过模拟大功率工作条件下的芯片结温与热应力分布，评估其热设计余量；分析封装材料与硅芯片间因热膨胀系数不匹配导致的应力集中现象，预测潜在的分层或开裂风险。这种多维度、多物理场的验证方法极大地提升了研究结果的可靠度与工程指导价值，为技术创新提供了坚实的仿真基础。

### 综合知识产权分析与创新路径规划

在完成技术研究的基础上，我们需要将所有技术发现——包括独特的电路拓扑、器件结构以及特定的工艺步骤——与国际专利数据库进行系统性比对。这项工作为企业的知识产权团队提供了清晰的专利布局指导和风险预警，通过绘制详细的专利地图，我们可以系统识别出目标芯片可能涉及的核心专利及其权利要求范围，这种全景式的知识产权分析为后续的技术开发提供了重要的法律风险预警。在这个过程中，我们不仅要评估自身研发活动的自由操作空间，更要重点标注竞争对手的知识产权布局，这些信息对企业的技术创新战略具有至关重要的参考价值。现代芯片产业的知识产权布局日益复杂，需要专业技术背景与法律知识的深度融合才能做出准确判断与创新规划。

基于全面的性能表征、面积效率分析和成本估算，我们可以对目标

芯片进行客观的竞争力评估。这些研究结论为企业的产品规划和技术决策提供了重要参考，通过将分析结果与自家产品或业界其他标杆进行详细对标，能够明确其在性能、功耗、面积和成本等方面的相对优势与创新空间。更重要的是，这个对标过程能够揭示出现有技术尚未充分探索或解决的“创新空白点”，这些技术空白点正是实现技术超越和差异化创新的宝贵机会。企业可以围绕这些空白点进行系统的专利布局，构建自身的技术护城河。这种基于深度技术研究的专利策略既能够有效管控侵权风险，又可以为企业的长期创新发展奠定坚实的知识产权基础。

我们致力于通过与各机构建立深度研究合作关系，将技术研究成果转化为实实在在的创新能力。对于企业决策者，我们提供基于研究的技术解决方案；对于研究所同仁，我们提供前沿技术洞察与创新方向建议；对于高校教授，我们提供教学研究案例与科研合作机会。我们的工作不仅仅是提供分析报告，更重要的是帮助各机构建立起持续创新的体系化能力。最终，所有的研究洞察都需要转化为具体的、可执行的战略建议，才能充分发挥其价值。在电路层面，我们可以提出一种功能等效但实现方式不同的逻辑结构来开辟新的技术路径；在器件层面，可以建议采用新型的终端耐压结构或栅极堆叠方案来提升产品性能；在系统层面，可以优化电源分配网络以降低整体功耗。这些具体的技术建议为研发团队提供了明确的技术攻关方向，确保创新活动既保持技术先进性又具备商业可行性。此外，基于技术趋势分析和市场需求预测，我们还可以为企业规划中长期的技术发

展路线，帮助其在激烈的市场竞争中构建持续创新优势。

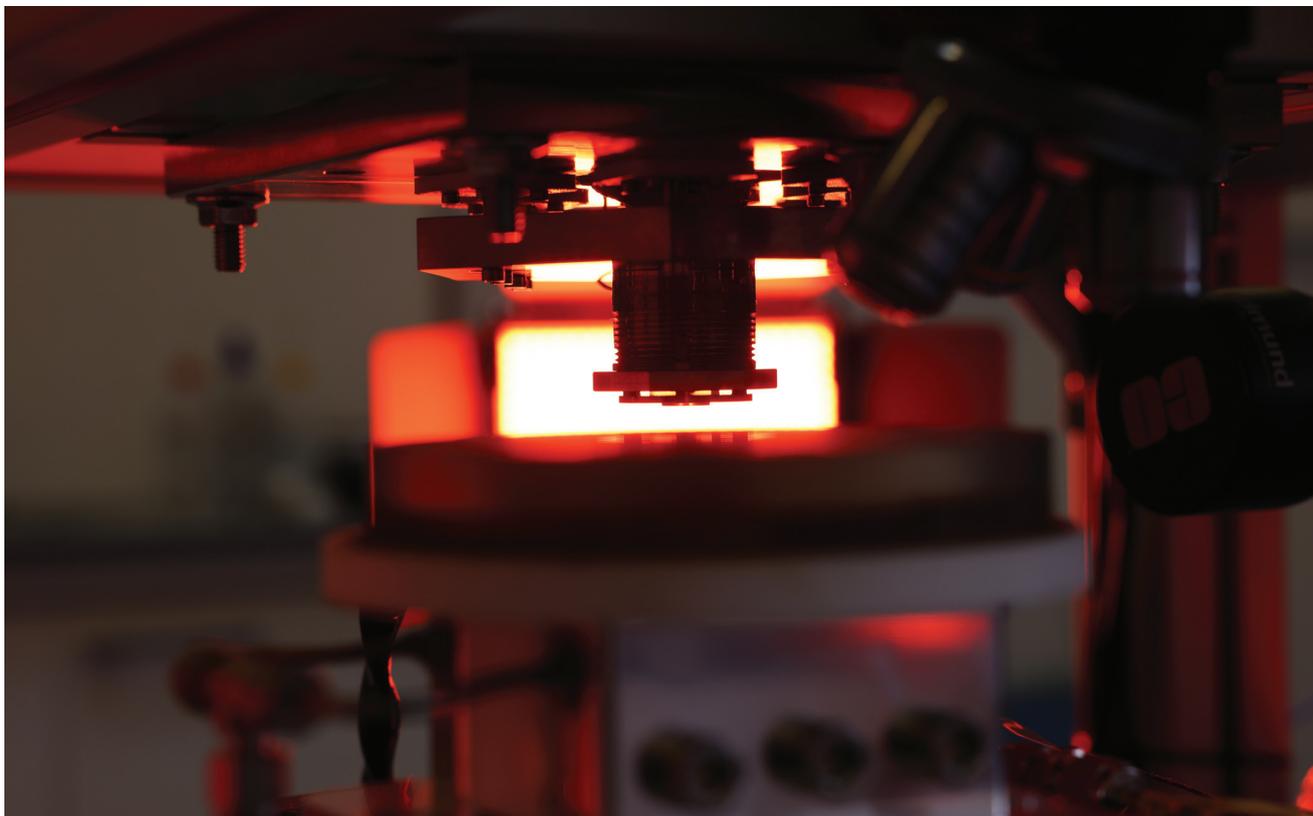
### 结论与展望

本文详细阐述了一套系统性的半导体芯片综合研究方法论，这套方法论已经为众多合作方提供了全方位的技术创新支持，帮助他们在产品开发中优化技术路径，加速创新进程。该方案通过多尺度、关联性、闭环验证的研究流程，成功实现了对商业芯片设计思想、工艺技术和材料选择集合的系统性理解。这种方法论不仅揭示了现有产品的技术实现细节，更重要的是展示了如何将这些信息转化为指导工艺开发的 TQV 验证芯片设计和自主创新的实践方案。通过实际案例的应用验证，本方法论已被证明是连接“技术认知”与“创新能力”之间的重要桥梁，为企业的技术追赶和创新突破提供了行之有效的路径。在当前全球芯片产业竞争格局下，这种深度研究能力正在成为企业构建核心竞争力的关键组成部分。

我们诚挚地邀请各企业决策者、研究所同仁和高校教授与我们开展深度研究合作。通过建立长期稳定的合作关系，我们可以为各机构提供持续的技术跟踪与创新研究服务，助力其在激烈的技术竞争中保持领先地位。我们相信，通过专业的技术研究与创新指导，能够帮助各机构在半导体领域取得更大的技术突破与商业成就。

展望未来，随着 Chiplet、存算一体、光子集成等新范式的快速发展，芯片技术研究的复杂度和重要性都将进一步提升。面对这些新的技术趋势，我们需要在现有方法论的基础上持续创新，特别是在研究效率和深度方面寻求突破。下一步，我们将重点探索

下转第27页



## 通过优化制造工艺 实现先进封装的 最大化应用



释放先进封装的潜力，需要解决上游制造流程中的瓶颈问题，并重新审视全球半导体供应链的策略。

作者：Maksym Plakhotnyuk博士，ATLANT 3D公司CEO及创始人

人工智能芯片营收正飞速增长，这得益于突破性模型的出现，以及图形处理器 (GPU) 与专用集成电路 (ASIC) 领域前所未有的市场需求。

这种快速增长让半导体制造商受益，因为每一代全新人工智能产品，都需要更多数量的前沿芯片，来实现更低的单位运算成本、更优的性能与更高的能效。

为跟上这一需求，并突破传统晶体管微缩的物理极限，先进封装技术——特别是三维堆叠与芯粒 (Chiplet)

架构——已成为至关重要的前沿领域。这类技术可将中央处理器 (CPU)、图形处理器 (GPU)、存储器、高速互联接口等多类芯片与组件，集成到单一异构封装体内。

通过缩短元器件间的物理距离，先进封装能够提升数据传输速率与能效，这也是中美之间日趋激烈的科技竞争中的关键一环。

头部晶圆代工厂与半导体封测代工 (OSAT) 企业已纷纷响应。其中，台积电宣布了千亿美元级别的美国投资

计划，包括在亚利桑那州建设下一代先进封装厂；英特尔近期也扩建了其位于新墨西哥州的先进封装产线，旨在强化本土供应链韧性。

美国旨在推动半导体制造产能回流本土的政策激励与关税机制，进一步推动了这些布局。

### 先进封装或将与晶体管技术创新同等重要

尽管取得了上述进展，挑战依然存在。先进封装技术复杂度极高，涉及中介层、重布线层（RDL）、多颗有源与无源芯片等各类材料与结构的紧密集成堆叠。

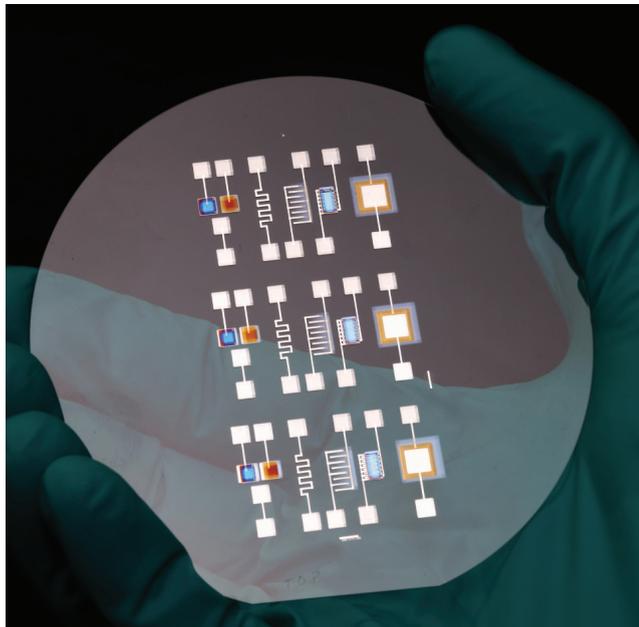
原子层沉积（ALD）等传统薄膜工艺可实现原子级精度，但普遍缺乏大规模封装所需的产能与工艺简洁性。而直接写入增材制造技术（如直接原子层打印 DALP）正在兴起，用以解决部分瓶颈，可更灵活、更快速地构建先进封装结构，同时实现更低的材料损耗、更少的工艺步骤，并保持与原子层沉积相当的精度。

与此同时，承载人工智能芯片的基础设施也必须升级。下一代人工智能加速器与先进封装，需要全新的数据中心设计——包括升级供电系统、前沿散热方案、更高机架密度，以避免出现性能瓶颈，抵消先进封装带来的性能与可持续性提升。

尽管先进封装降低了互联所需能耗，但超大规模人工智能数据中心的总功耗，仍在随海量算力需求持续攀升。

至关重要的是，美国本土大规模先进封装产能预计在2027年年中前难以形成规模，英伟达 Blackwell 系列等美国设计芯片，仍需运往中国台湾地区完成封装。

这一产能缺口为其他国家加速本土产业发展创造了机会，同时也让美国制造商面临额外成本：若产品在海外



封装后需重新进口，还可能产生额外关税，进而削弱本土成本优势。

行业已逐渐形成共识：对人工智能与半导体的未来而言，先进封装的重要性，或将与晶体管技术创新同等关键。正如英伟达首席执行官黄仁勋所言：“为满足人工智能的需求，在实现客户所需的能效与算力方面，先进封装已变得与晶体管设计同等重要。”但要充分释放先进封装的潜力，必须解决上游制造流程瓶颈，并重新审视全球半导体供应链策略。

先进封装不仅有望重塑人工智能领域的力量格局，在国防、生物医学工程、能源等领域同样具备变革潜力——前提是各国与企业能够调整供应链、基础设施与制造工艺，以适应集成化、高性能计算的新时代。◆

上接第25页

人工智能与机器学习技术在自动化图像识别、网表功能自动标注以及海量研究数据智能挖掘方面的应用，这些技术的引入将极大提升研究工作的效率与准确性。我们将持续投入研发，不断提升方法论的完备性与自动化水平，为产业界与学术界提供更加优质高效的技术研究工具与洞察。同时，随着量子计算、神经形态计算等新兴技术的发展，本方法论也需要相应演进，以应对新器件原理和架构的解析需求。我们相信，通过持续的方法论创新和技术工具升级，芯片信息技术研究将在未来半导体产业发展中发挥更加重要的创新引领作用，为全球技术创新提供强有力的方法论支撑。◆

#### 参考文献

1. 张荣, 刘明, 祝宁华, 等. 超越摩尔时代的集成新路径与新技术—第393期“双清论坛”学术综述[J]. 中国科学 (信息科学), 2025, 55(6): 1350-1371.
2. 张波, 邓小川, 陈万军, 等. 宽禁带功率半导体器件技术[J]. 电子科技大学学报, 2009, 38(5): 618-623.
3. Samuelson, Pamela, and Suzanne Scotchmer. "The law and economics of reverse engineering." Yale LJ 111 (2001): 1575.
4. Yole Group. Semiconductor at the Heart of Automotive's Next Chapter – Automotive White Paper, Vol. 2[R/OL]. (2025-09-19). <https://www.yolegroup.com/>
5. McKinsey & Company. Semiconductors have a big opportunity—but barriers to scale remain[EB/OL]. (2025-04-21).

# 毫米波的规模化： 推动5G与6G的连接

**5G**毫米波 (mmWave) 长期以来一直被寄予厚望，可让运营商相比传统 5G 技术提供更高的数据速率、更低的时延和更快的速度。

问题在于，这些高频频段——大约在 24 GHz 到 100 GHz 的频谱——传播距离较短，并且难以穿透树木、建筑物、墙壁甚至雨水等障碍物。

简而言之，5G 的超高速率在毫米波下是可能的，但前提是必须接近天线。因此，目前的 5G 毫米波部署主要局限于人口密集的城市区域、体

育场、机场和热点地区。

那么，行业如何实现毫米波的广泛部署？这可能需要等到 6G。

根据 T-Mobile 的说法，毫米波仍然是其生态系统的一部分，并作为公司更广泛的、以中频段 (mid-band) 频谱为重点的 5G 战略的一环。T-Mobile 的一位发言人表示：“随着时间推移，无线接入网 (RAN) 智能的进步以及新频谱的可用，将使所有频段 (包括毫米波及更高频段) 的更灵活使用成为可能，作为迈向 6G 演进的一部分。”

## 特许的桥梁

持续演进的 3GPP (第三代合作伙伴计划) 标准正不断加强更广泛毫米波部署的基础。但看来，要真正扩大毫米波部署规模，其角色可能会先作为 5G 与 6G 之间的关键桥梁，随后再成为 6G 部署的完整组成部分。

根据 Soitec 移动通信事业部业务发展总监 Luis Andia 的说法，当电信运营商按下启动键时，相关解决方案已经准备就绪。Soitec 开发用于制造芯片的衬底材料，使下一代毫米波半导体成为可能。



在一个社区中，一座配备毫米波天线的 Verizon 蜂窝塔。毫米波的大范围部署可能会成为迈向 6G 演进的一部分，作为连接 5G 与下一代蜂窝网络的桥梁。来源：Verizon

Andia 表示：“技术与应用的融合是毫米波采用的核心动力，随着新兴应用场景对超低时延和高射频性能的需求不断增长，这一趋势将持续加速。”

他指出，许多公司正专注于提升毫米波的商业吸引力，以在适当的成本结构下提供合适的解决方案，包括以下应用场景：

- 扩展现实 (XR)
- 集成式精密感知
- 连接型移动系统
- 高精度工业控制网络
- 微云 (Microclouds)

### 毫米波规模化之路

要扩大毫米波的部署规模，可能存在多种路径。

目前，部署主要通过商场、体育场或人口密集的城市区域和社区密集布置小型基站来实现。

未来的部署可能包括大规模 MIMO (多输入多输出) 和波束成形 (beamforming)，通过传输与接收多路数据流，将信号聚焦于特定用户或目标区域，Andia 解释道。

在毫米波与 Sub-6 GHz 频段之间进行动态切换，以实现无缝覆盖，已经在开发中，并有望随着技术成熟而进一步扩展。

此外，固定无线接入 (FWA) ——也称蜂窝宽带——也是通过将固定的高灵敏度接收器与现有通信网络结合起来扩展毫米波覆盖范围的一种方式。Andia 表示，随后可使用中继器和转发器来绕过障碍物，实现更广泛的覆盖。

### SATCOM 与毫米波

扩大毫米波部署的另一条可能



在麻省塞州阿灵顿，一根装有 Verizon 5G 毫米波天线的电线杆。随着 6G 和卫星通信 (SATCOM) 的实施，此类部署可能会进一步扩大。来源：Daderot

路径是发展卫星通信 (SATCOM)。SATCOM 是一种新兴的下一代通信技术，通过卫星实现蜂窝网络连接。

“毫米波存在巨大的信号损耗，”专注射频业务的纯晶圆代工厂 GlobalFoundries 的高级副总裁 Shankaran Janardhanan 表示。“最大的问题在于解决视距 (line-of-sight) 问题，以及当信号无法穿透墙壁或建筑物时的频率损耗。”

Janardhanan 表示，SATCOM 是毫米波的自然演进，因为它不需要高保真度的蜂窝塔，也不需要绕过建筑物、树木或其他障碍物——毕竟信号是从太空传来的。

他说：“SATCOM 是毫米波更好的应用场景。SATCOM 正在建立直连蜂窝 (direct-to-cell) 网络。随着行业在太空部署更多卫星，这一基础设施将不断增长，服务也会随之扩大。”

他补充说，随着 6G 的推进，6G 蜂窝基础设施与 SATCOM 的结合将可能带来更高规模的毫米波部署。两种技术的共存将显著提升数据带宽容量，从而推动毫米波的更广泛采用。

### 新材料

要增强这些解决方案，将需要多种半导体技术的组合。

毫米波射频 (mmWave RF) 解决方案必须既紧凑、又具备高能效和高可靠性。诸如全耗尽绝缘体上硅 (FD-SOI) 等材料已用于蜂窝收发器和频率转换器。

RF-SOI 解决方案将补充当前用于毫米波的 FD-SOI 技术。Soitec 已开发出一种毫米波衬底，称为 mmWESI，它是“陷阱富含 (trap-rich) 高电阻 RF-SOI (RFeSI)”的变体，旨在支持最高接近太赫兹 (sub-THz) 频率的性能。Andia 表示，该技术目前正在集成到 RF-SOI 代工平台中。

这种材料将使 RFIC 的设计密度得以提升，用于构建同时集成毫米波与 sub-6 GHz 模块的紧凑型射频前端。结合新兴的 AI 加速器和处理器，这将成为在 5G 与 6G 时代之间实现毫米波规模化部署的一种潜在解决方案。◆

(本文作者：Peter Brown，邮箱：PBrown@globalspec.com)

# 是德科技前瞻： 2026年6G发展趋势预测

随着6G研究、早期技术开发以及标准化工作的持续推进，人工智能（AI）、通信感知一体化（ISAC）、能源效率以及新型物理层创新正逐渐成为行业关注的重点。展望2026年，6G领域将呈现怎样的格局？本篇6G展望专题文章中，是德科技的管理团队及技术专家分享前沿洞见，深度剖析影响6G发展的技术路线、系统级挑战与测试和验证需求，助力企业在日益复杂且不断演进的产业环境中行稳致远。

## 是德科技6G首席技术专家 Balaji Raghathan：

“向FR3频段的演进带来了一项独特的挑战：在不新增基础设施的前提下，实现与现有FR1部署等效的覆盖能力。这要求大幅增加天线单元数量，并采用先进的波束成形技术。但多输入多输出（MIMO）的规模化部署，必须与能效优化同步推进。”

“在6G中，AI将成为网络架构的重要组成部分。我们正朝着智能体AI（agentic AI）的方向迈进，届时基站与用户设备均可以自主运行，以实现性能优化。而其挑战在于，如何在边缘端平衡模型复杂度与时延、能耗约束之间的关系。”

“ISAC不仅是技术的创新，更是商业模式的变革。网络可发展成为泛在传感器网络，赋能从养老护理、基础设施监测，到无人机探测、交通合规等多元应用场景。其关键在于，充分利用现有部署，在无需重构物理层的情况下，创造新的价值。”

## 是德科技副总裁兼无线技术总经理 Kalyan Sundhar：

“FR3频段正逐渐成为6G的关键频谱范围，填补了FR1与FR2之间的空白。但这不仅是单纯的频率选择问题，更关乎技术落地的可行性。在某些频段中，天线阵列规模可达730个单元，这比5G现有部署规模高出一个数量级。要实现FR3的技术落地，就必须在封装、温度管理和能效方面实现创新突破。这既是一个新的频谱机遇，同时也是一项硬件挑战。”

“在5G时代，AI主要局限于基站端。而到了6G，我们将迈入新阶段：AI将嵌入收发两端。这意味着更智能的设备、更智能的网络和更智能的交互。这同时也要求人们重新思考模型复杂度、时延和能耗。必须让AI与物理层实现协同设计，而非事后额外引入AI技术。”

“感知技术不仅仅是停留在研究阶段的课题方向，更是6G领域一项具备商业变现潜力的重要功能。无论是监测养老护理中的细微动作，还是协调智能工厂中的机器人协作，感知技术都能创造实实在在的价值。但该功能也增加了复杂度——人们需要厘米级的精度、与通信的稳健集成，以及高效的模式切换能力。而这，正是6G构建差异化优势的关键所在。”

## 是德科技 SystemVue 产品经理 Sassan Ahmadi：

“ISAC正在颠覆人们对无线网络的认知。依托现有通信波形赋予感知能力，人们可将基础设施转化为分布式传感器网络。此举无需额外部署传感器，即可赋能无人机侦测、交通监控和工业安全等应用场景。这种连接与感知的融合，将重新定义未来的服务模式。”

“6G中的AI，其作用不仅在于网络优化，它还将成为控制回路的一部分。我们讨论的是将实时决策嵌入无线接入网（RAN），通过机器学习驱动波束成形、资源分配及移动性管理。但要实现这一目标，必须具备可解释模型、稳健的训练数据，以及验证框架，确保系统在动态环境下的可靠性。”

“若不解决能耗难题，6G的规模化部署将无从谈起。从低功耗射频前端、智能休眠模式，到减少非必要传输的AI编排系统，每个层级都需要融入能效设计。这不仅关乎可持续性，更关乎如何使高密度、大容量网络具备经济和运营层面的可行性。”

## 是德科技 WirelessPro 产品经理 Sang-Kyo Shin：

“在6G中，AI并非后期补充的功能模块，而是一项设计原则。我们将智能能力嵌入架构本身，并在此考量下

进行波形选择、波束管理和资源分配。挑战在于，如何使这些模型兼具可解释性和稳健性，使其能在不可预测的条件下实时运行，同时不影响系统的可靠性或安全性。”

“ISAC 旨在将连接能力转化为感知能力。通过复用标准化通信波形进行感知，人们无需额外部署传感器网络，就可以赋能物体检测、室内定位及环境监测等应用场景。这种融合依托于现有基础设施，创造了全新服务机遇。”

“6G 引入了前所未有的复杂性：AI 驱动的控制回路、感知反馈，以及多领域交互。在硬件原型制作前，高保真仿真环境对验证这些概念至关重要。人们需要能够支持对射频行为、AI 推理和用户动态进行建模的平台，以加速迭代，促进跨学科协作。”

#### 是德科技 6G 物理层架构师兼技术负责人 Javier Campos:

“在 6G 中，AI 与机器学习将深度融入物理层，以支持新功能拓展，并促进更智能的资源分配。核心挑战在于，如何在这些增益与功耗及复杂度限制之间取得平衡。”

“运营商正积极推动复用现有 5G 硬件来建设 6G 网络，这虽然会带来设计限制，但也将驱动创新。我们的关注重点在于，通过更智能的载波聚合与碎片化频段的充分利用，实现最大化频谱效率，而非单纯依赖新增频谱。”

“感知正成为 6G 的一项原生能力。我们对系统进行优化，使其从最开始就支持感知，以无人机应用场景为切入点，同时确保其具备灵活性，可以扩展至多样化的应用场景和感知拓扑。”

#### 是德科技新兴技术项目经理 Giovanni D'Amore:

“射频光子集成是一项意义重大的突破，有望在 6G 落地过程中发挥关键作用。通过将微波、毫米波乃至亚太赫兹的功能集成于单个紧凑芯片，我们能在实现动态频谱接入与载波聚合的同时，避免多硬件平台的复杂性。这种方法既能降低成本、提升能效，又能助力加速 6G 从研发阶段到大规模试验与标准化阶段的发展。”

“可重构智能表面 (RIS) 有望重塑人们对覆盖范围与能效的认知。这类超表面能实时操控无线电传播，实现低功耗覆盖扩展与先进感知能力。尽管该理论概念极具吸引力，但真正的挑战在于从仿真走向实际部署——开发出能经受真实环境考验，并带来可量化性能提升的原型机。”

“ISAC 将推动网络从简单的数据传输管道，向智能平台的转变。通过将感知能力嵌入通信架构，人们可以赋

能预测性交通管理、具备防碰撞功能的工厂自动化，以及基于实时空间映射的沉浸式 XR 等应用场景。这种融合为数字孪生与智慧城市规划开辟了道路，构建出一种连接能力与情境感知无缝共存的新范式。”

#### 是德科技 6G 项目经理 Nizar Messaoudi:

“将不同技术集成到 CMOS 中虽然并非一项光鲜亮丽的工作，但却是至关重要的。随着行业向超大规模 MIMO 和小型化发展，异构集成成为实现 6G 无线电的关键所在。”

“FR3 频段在覆盖范围与容量之间取得了良好平衡，但频段共存仍具挑战。该频谱的多数资源已被占用，因此结合感知技术，在空间共享与时间共享间确定最适合解决方案至关重要。随着 2027 年世界无线电通信大会 (WRC-27) 的临近，全球共用的频段范围将逐步明晰。”

“AI 正成为无线设计的核心，但仅有技术能力本身远远不够。我们还需要建立技术可信度。这意味着需要获取更优质的训练数据、设定明确的目标和开展严格的测试。到 2026 年，AI 模型的可测试性将取得重大进展，技术可信度与验证工作的重要性，将与技术能力本身不相上下。”

#### 是德科技首席科学家 Francisco Garcia:

“数十年来，我们能够确定空口传输的每个比特。而 AI 打破了这种确定性。若要在 6G 中实现 AI 原生功能，就必须以验证传统信号处理的同等严谨性进行验证。否则，我们只是在徒增复杂度，而并未理解其背后的成本。当我们能测量 AI 对整体系统的影响时，真正的突破才会到来。”

“起初，我对将通感一体化技术和语义通信技术结合起来持怀疑态度。但当人们意识到这两层都是在传输编码信息——一个物理的，一个语义的——这便开启了全新的可能性：我们可以使用生成式 AI，设计面向特定任务的物理层。想象一下，无人机不再传输原始视频，而仅仅发送其感知到的任务关键信息。这不仅是高效，更是颠覆。”

6G 正在加速到来，为行业开启一场颠覆性的变革。AI、感知、通信与高效技术在系统层级的深度融合，解锁了前所未有的发展机遇，而挑战亦如影随形。在这场全方位的转型进程中，仿真真实的应用场景并进行测试与验证的能力，将成为决定成败的关键因素。未来，能够有效测试和验证策略的企业，将在新兴的 6G 时代中获得决定性优势。◆

# 使用单芯片 8 × 8 级联收发器实现 4D 雷达成像

本文探讨了通过德州仪器 (TI) 公司 AWR2188 等单芯片 8 × 8 雷达收发器如何为自动驾驶车辆实现先进的 4D 成像雷达。4D 雷达增加垂直角度测量功能来检测物体高度，从而提高 ADAS 的精度。这些器件还支持卫星雷达架构，其中分布式传感器将原始数据流传输到中央处理器，从而简化系统设计并使车辆的雷达覆盖范围更加全面。

要释放自动驾驶功能的潜力，需要高级驾驶辅助系统 (ADAS) 能够可靠地收集详细的环境数据流，包括与其他物体的接近程度、汽车周围和前方物体的类型 (其他汽车、人员、障碍物) 以及汽车行驶的速度。

雷达仍是一项基础技术，使 ADAS 能够更好地感知车辆周围环境并对其做出反应，尤其是在恶劣天气条件下，这类环境不仅会降低驾驶员的视敏度，还会限制视觉和光传感器

的精度。

4D 成像雷达等雷达技术的创新在支持高分辨率感应的同时添加了垂直角度测量以及卫星雷达配置，正加速推动汽车行业向更高层次的自动驾驶发展，其分类标准由汽车工程师学会制定。

这些创新和单芯片雷达收发器可简化全面、高分辨率雷达传感的实现，从而以更高的精度跟踪和识别附近或正在靠近的物体。

## 什么是 4D 雷达？它对自动驾驶有什么影响？

汽车雷达系统通常在车辆的前后角使用短距离和中距离雷达传感器来实现盲点检测、车道保持辅助以及前后侧向来车警示。位于车辆前部的远距离雷达传感器可处理自动紧急制动和自适应巡航控制。4D 成像雷达通过添加垂直角度测量功能来扩展 3D

表1: 传统汽车雷达系统的核心功能

功能	说明
距离测量	通过距离测量实现安全跟车距离
速度检测	使用多普勒频移来跟踪移动物体的相对速度
角分辨率	确定对象的相对位置
多对象跟踪	支持同时跟踪车辆、行人和骑行者

雷达的功能 (如表 1 所示)，允许车辆检测桥梁和隧道等结构的高度。

结合距离、水平位置和速度数据，ADAS 功能可以检测物体并区分道路上的碎屑、障碍物、车辆、路面、行人，甚至是蹲在车辆旁更换轮胎的人员。这些感应功能可实现车辆周围物体的高分辨率可视化 (图 1)。

除了扩展物体检测范围外，4D 成像雷达在精度上也有所提高。与激光雷达或摄像头不同，4D 成像雷达依靠回声定位，使用无线电波来确定物体的位置、速度和形状，从而监测环境和车辆状况。由于无线电波的波长较长，可以穿透雨、雾和灰尘等颗粒，因此 4D 成像雷达在能见度较差的恶劣条件下具有比激光雷达或摄像头更好的性能。

4D 成像雷达从多输入多输出天线阵列获取数据，便于进行高分辨率映射。由于许多天线向周围环境中的目标发送信号，并接收这些目标反射的信号，该天线阵列会生成点云数据，从而改善环境建模和物体分类的精度。

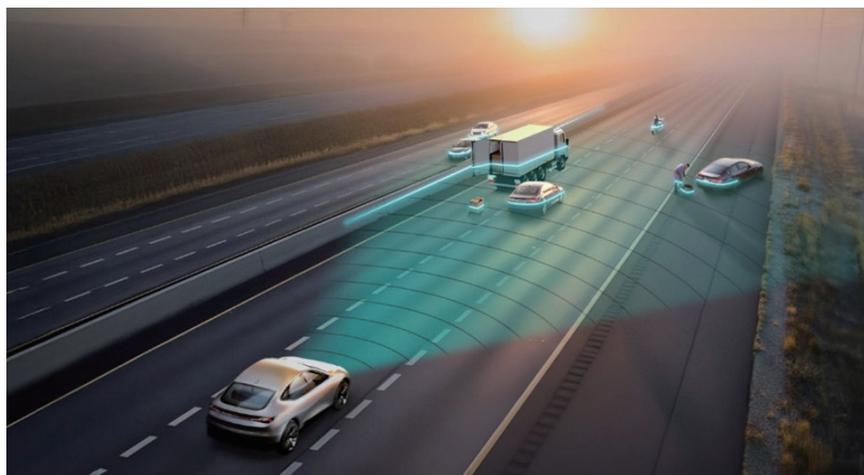


图1: 4D 成像雷达可提供高分辨率数据，包括道路上物体的高度

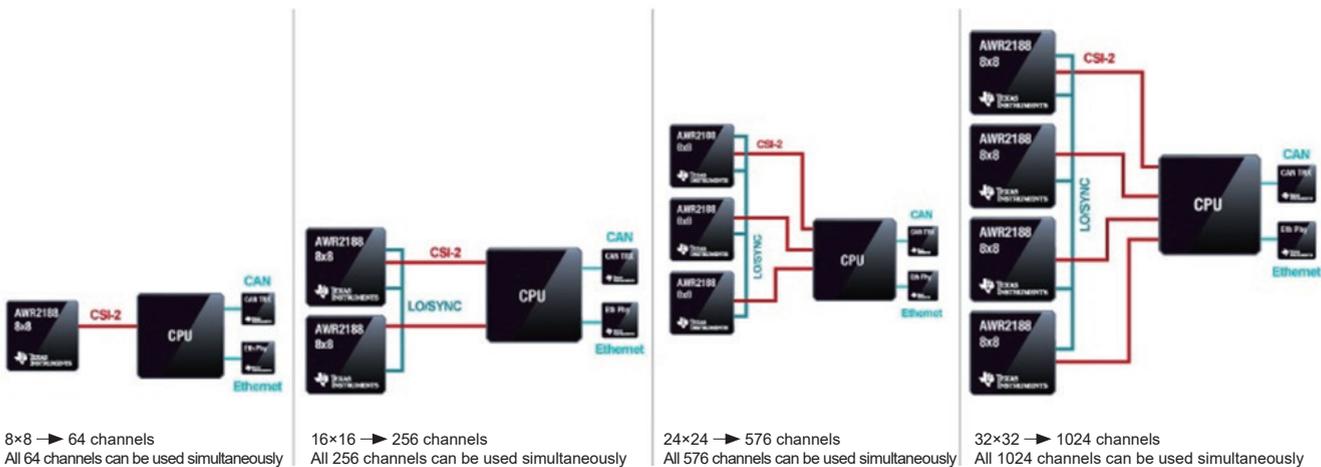


图2: 具有 AWR2188 4D 雷达收发器的 8×8 至 32×32 级联配置

### 单芯片 8×8 雷达芯片如何简化 4D 雷达设计?

实施 4D 成像雷达给汽车原始设备制造商 (OEM) 带来了巨大的挑战。传统的雷达系统通常需要级联多个芯片, 以实现高分辨率成像所需的阵列尺寸和通道数, 因此增加了系统复杂性、功耗和成本。这种集成还需要更多的热管理和更大的印刷电路板尺寸, 使得车辆设计和制造变得复杂。

例如, 使用 4×4 收发器实现 8×8 配置需要两个级联 4×4 收发器以及 PMIC、额外的外设和更大的电路板来对两个 IC 进行布线。这增加了整体系统复杂性、功耗和系统成本。单芯片 AWR2188 收发器可自行实现此配置, 同时仅需将四个 8×8 器件级联在一起即可实现高达 32×32 的可扩展性, 显著降低了系统复杂性。

图 2 显示了 AWR2188 收发器如何从 8×8 配置级联到 16×16、24×24 和 32×32 配置。这种高水平的可扩展性使 1 级汽车供应商和 OEM 能够满足消费者对改进功能和更高自动驾驶水平的需求。

级联这些器件可帮助设计人员

在 >350m 处实现更高的性能和更精确的远距离物体检测 (如图 3 所示), 同时还提供从具有成本效益的独立实施方案到优质雷达系统的可扩展开发路径。

### 单芯片 8×8 雷达收发器如何支持卫星雷达架构

为了支持复杂的 ADAS 功能, 汽车雷达正在从传统的边缘雷达架构 (在每个传感器上处理数据) 向卫星雷达架构 (车辆周围的雷达收发器提供原始数据以供中央电子控制单元 (ECU) 处理) 发展。

通过卫星架构的分布式配置, 中央 ECU 可以更轻松地构建全面的环

境视图, 更大幅度地缩小覆盖范围差距, 而不是像传统的边缘雷达配置那样在边缘处理数据。

在卫星架构中, 中央 ECU 通过其高水平的计算资源最大限度地减少了延时, 从而使车辆能够更快地响应传感器数据。

现代传感器集成越来越多地使用人工智能和机器学习框架来组合来自成像系统和雷达传感器等多个输入源的数据, 从而通过极少的处理或原始传感器输入来提高系统性能。将未过滤的数据流传输到 CPU, 为车队之间基于软件的产品差异化和运营适应性创造了机会, 这是传统架构无法实现的。

下转第35页

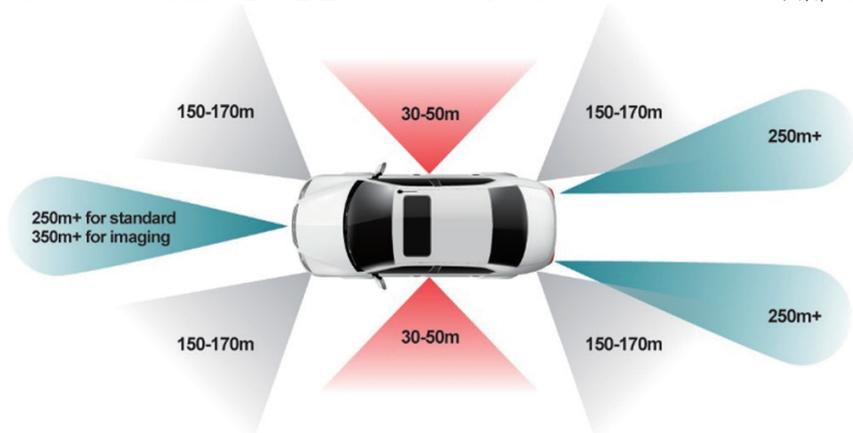


图3: 4D 成像雷达可扩大覆盖范围

# 弥合传感器融合鸿沟： FPGA如何助力边缘端实时机器人应用

自动化是现代工业设施的核心支柱，而机器人技术则是推动其发展的催化剂。当下，由人工智能（AI）驱动的机器人技术正飞速发展，推动着规模更大、技术更先进的工业部署。然而，随着自动化系统在工业场景中的应用范围和规模不断扩大，传感器数据的收集、聚合与分析工作也变得愈发困难。

每新增一个传感器，就会为系统带来更多信号、数据和需求，同时也增加了风险。规模更大、设计更复杂、数据处理量更多的系统，本身就更容易出现错误、滞后、时延和安全漏洞。尽管人工智能和机器学习（ML）模型有助于简化机器人驱动的操作，但将其集成到这些系统中本身就是一项挑战。

随着现代工业自动化系统规模不断扩大、自主性不断增强、整体互联性不断提高，黑客可利用的潜在攻击点数量也随之激增。为了应对不断演变的威胁态势，开发者需要审视支撑这些分布式程度不断提高的自动化系统的底层硬件。

## 传感器融合的必要性的

如今，自动化工业设施的可靠运行在很大程度上依赖于传感器融合：即整合并处理来自各种传感器、设备和流程的数据，对信号进行情境化处理以提高准确性、可视性和针对性。传感器融合有助于优化并提升分析工具的价值及其提供的预测性见解，确

保最小化停机时间，同时提高整体吞吐量和效率。

当代人工智能和机器人领域的专业人士已然认识到，传感器融合是推动先进机器人系统向边缘端延伸的关键所在。它是实现实时响应能力的关键使能因素，而84%的该领域专业人士认为实时响应能力对系统性能而言较为关键或非常关键。当与精密电机控制、功能安全和安全措施相结合时，传感器融合有助于解决设计自动化机器人系统面临的许多关键挑战。

遗憾的是，部署过程中仍存在重大挑战。以摄像头与激光雷达传感器的融合为例：尽管75.7%的受访行业领导者表示青睐这种传感器融合方案，但仅有67.5%的企业成功部署了摄像头-激光雷达融合系统。这一差距折射出，当前仍存在许多技术落地的障碍，阻碍着机器人自动化的高效普及。

## 当前面临的挑战

无论涉及的具体传感器和人工智能模型是什么，工程师都需要支持先进自动化机器人应用的大量组件，这本身就是一个重大挑战。目前，工程师尚未完全攻克的三大技术落地壁垒包括：

### ● 集成

工业机器人系统十分复杂，需要连接众多执行各种任务的先进传感器。将这些系统的各个部分连接起来并确保其可用性，需要芯片级别的灵

活输入/输出（I/O）和高性能，这对许多通用组件来说是一个大问题。尽管如今的处理器使用先进的工艺节点来缩小晶体管尺寸、提高性能并降低芯片裸片尺寸和成本，但这也造成了I/O方面的更多限制，且难以灵活兼容传统的连接需求。

### ● 数字孪生与校准

许多工业设施依靠这类系统，通过将高精度、关键任务自动化来减少人为失误，而任何不同步或连接中断的情形都会产生负面影响。这就要求每台机器人的内部参数与物理动作，都必须与其数字模型实现精准匹配。但遗憾的是，环境及其他各类因素均会影响机器人的运行精度，因此必须持续监控和维护校准。

### ● 成本与功耗

构建搭载人工智能技术的智能机器人，其前期投入成本与后续运维成本均掣肘了这项技术的大规模普及。支撑这类系统运行所需的专用传感器价格高昂，而额外产生的能源消耗、算力投入以及模型训练等多项开支，也构成了新的阻碍。自主机器人还面临着在满足极高计算能力需求的同时，优化功耗并延长运行时间的挑战。

要推动人工智能辅助机器人技术的大规模普及，设计人员需要找到相应方法，在不牺牲速度、算力与效率的前提下，简化并优化基于传感器的边缘架构。这一进程需从底层架构着手，借助现场可编程门阵列（FPGA）

这类专用组件，探索构建边缘设备的全新方案。

### FPGA 如何支持传感器融合

事实证明，FPGA 是设计和部署高性能机器人解决方案的得力工具。它们能够提供传感器融合处理所需的低延迟、同步且确定性的性能表现，同时还能实现常规处理器难以企及的低功耗水平。此外，FPGA 还能满足功能安全、安全防护与设计灵活性等核心需求，并且体积小巧、能效出众。然而，这些特性仅仅是其推动人工智能机器人自动化大规模落地的冰山一角，其潜在价值远不止于此。

FPGA 凭借其独有的复合型能力，为传感器融合的主要挑战提供了一种优质解决方案。这类芯片的核心优势在于并行处理能力，能够同时执行多项任务。通过同时进行信号处理、对齐、传感器融合，并结合计算机视觉与边缘人工智能，FPGA 芯片将部分任务从主计算组件中剥离出来，以

达到降低系统延迟与处理压力，并拓展设备的运行能力的目的。这一特性能够显著加速各类关键任务的处理速度，提升机器人系统的精准度与决策效率，最终实现更可靠、稳定、精确且高效的实时运行。

FPGA 还解决了上文提到的 I/O-算力矛盾，提供了高度可定制的 I/O 和灵活的协议支持。这使其能够与支持以太网、SPI、LVDS、CAN、MIPI、JESD-204B 和 GPIO 等通用标准的各类传感器和执行器实现互操作。这些芯片通过最大限度降低延迟、提供确定性的低功耗处理能力，同时分担传感器融合、计算机视觉以及物理人工智能的工作负载，有助于解决常见的计算和功耗难题，进而全面提升系统整体性能，拓展设备的运行能力。

顾名思义，这些半导体不仅在设计阶段具有灵活性。FPGA 可以在部署后进行更新，从而解决一个常被忽视的障碍：未来需求的变化。其重

新可编程特性进一步拓展了未来推动机器人自动化技术迈向全新阶段的潜力，既能助力技术体系实现迭代升级，以适配不断涌现的新需求，同时又能延长设备的有效使用寿命。

### 当下与未来

随着对实时数据处理与决策需求的日益增长，简化传感器数据的集成与管理工作，将成为机器人自动化成功落地及系统风险管理的关键所在。FPGA 为这些工作的推进奠定了坚实基础，它赋予设计人员足够的灵活性，助力其优化传感器融合方案，同时重新定义智能机器人在当下及未来工业生产中所能发挥的作用。

FPGA 与其他先进组件相结合，将助力引领下一代机器人和自动化部署，并随着该领域的不断成熟继续提供灵活支持。它们充分印证了，尽管面临诸多挑战，智能、自动化和实时的工业机器人解决方案已触手可及。

(莱迪思半导体供稿)

上接第33页

AWR2188 支持两种架构，旨在与行业领先的处理器生态系统集成，助力设计师在设计更高级别自动驾驶车型时，能够更轻松采用卫星雷达架构。图 4 是使用 AWR2188 传感器的卫星架构方框图。

### 结语

通过增强对周围世界的视野，我们可以朝着更具响应性、更安全且自动驾驶体验更完善的未来迈进。为了更好地了解周围环境，现代车辆会采用多种传感模式的组合来增强 ADAS 功能。

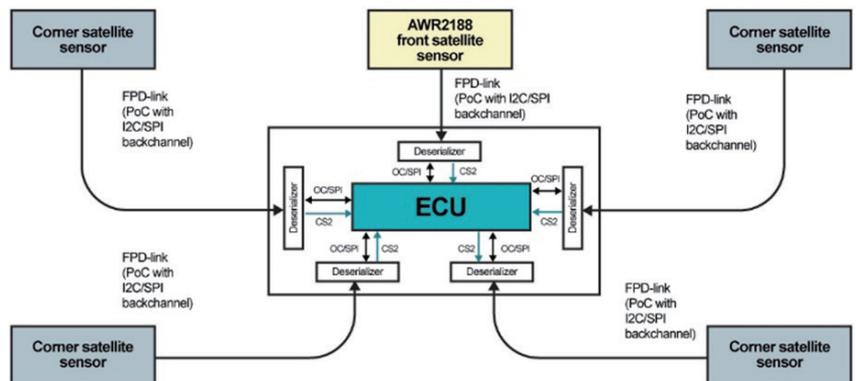


图4：卫星雷达架构的方框图

AWR2188 等 4D 成像雷达收发器可提供支持从边缘雷达应用演进至卫星雷达应用所需的射频性能、通道

数和级联能力。

(德州仪器供稿)

Advertiser	广告商名称	网址	页码
SEMICON China 2026		www.semiconchina.org/zh	IBC
ACM	盛美上海	www.acmrcsh.com.cn	1

## 欢迎投稿

《半导体芯科技》(Silicon Semiconductor China, SiSC) 是面向中国半导体行业的专业媒体, 已获得全球知名权威杂志《Silicon Semiconductor》的独家授权。本刊针对中国半导体市场特点遴选相关优秀文章翻译, 并汇集编辑征稿、采编国内外半导体行业新闻、深度分析和权威评论等多方面内容。本刊由香港雅时国际商讯 (ACT International) 以简体中文出版发行。

本刊内容覆盖半导体制造工艺技术、封装、设备、材料、测试、MEMS、mini/Micro-LED 等。文章重点关注以下内容:

### FAB (Foundry, IDM, OSAT, R&D)

四个环节: 晶圆制造 (wafer 后道)、芯片制造、先进封装、洁净室; 深入报道与之相关的制造工艺、材料分析, 工艺材料、工艺设备、测试设备、辅助设备、系统工程、关键零备件, 以及与 particle (颗粒度) 及 contamination (沾污) 控制等厂务知识。

### FABLESS

芯片设计方案、设计工具, 以及与掩膜版内容和导入相关的资讯。

### 半导体基础材料及其应用

III-V 族、II-VI 族等先进半导体材料的科学研究成果、以及未来热门应用。

《半导体芯科技》欢迎读者、供应商以及相关科研单位投稿, 已甄选中文稿件将在印刷版杂志以及网上杂志刊登; IC 设计及应用等半导体相关内容将酌情予以网络发表 (微信推送、杂志网站)。本刊优先刊登中文来稿 (翻译稿请附上英文原稿)。

## 技术文章要求

1. 论点突出、论据充分: 围绕主题展开话题, 如工艺提升、技术改造、系统导入、新品应用, 等等。
2. 结构严谨、短小精悍: 从发现问题到解决问题、经验总结, 一目了然, 字数以 3000 字左右为宜。
3. 文章最好配有 2-4 幅与内容有关的插图或图表。插图、图表按图 1、图 2、表 1、表 2 等依次排序, 编号与文中的图表编号一致。
4. 请注明作者姓名、职务及所在公司或机构名称。作者人数以四人为限。
5. 文章版权归著作者, 请勿一稿多投。稿件一经发表如需转载需经本刊同意。
6. 请随稿件注明联系方式 (电话、电子邮件)。

## 新产品要求

1. 新产品必须是在中国市场新上市、可在中国销售的。
2. 新产品稿件的内容应包含产品的名称、型号、功能、主要性能和特点、用途等。
3. 新产品投稿要求短小精悍, 中文字数 300~400 字左右。
4. 来稿请附产品照片, 照片分辨率不低于 300dpi, 最好是以单色作为背景。
5. 来稿请注明能提供进一步信息的人员姓名、电话、电子邮件。

电子邮箱: sunniez@actintl.com.hk  
viviz@actintl.com.hk

## 行政及销售人员 Administration & Sales Offices

### 行政人员 Administration

#### HK Office (香港办公室)

#### ACT International (雅时国际商讯)

Unit B, 13/F, Por Yen Buiding, No. 478 Castle Peak Road, Cheung Sha Wan, Kowloon, Hong Kong  
Tel: 852 28386298

Publisher (社长) - China

Adonis Mak (麦协林), adonism@actintl.com.hk

General Manager-China (中国区总经理)

Floyd Chun (秦泽峰), floydc@actintl.com.hk

Editor in China (中国版编辑)

Sunnie Zhao (赵雪芹), sunniez@actintl.com.hk

Vivi Zhang (张雨薇), viviz@actintl.com.hk

#### London Office

Hannay House, 39 Clarendon Road

Watford, Herts, WD17 1JA, UK.

Tel: +44 (0)1923 690200

#### Coventry Office

Unit 6, Bow Court, Fletchworth Gate

Burnsall Road, Coventry, CV5 6SP, UK.

Tel: +44 (0)2476 718 970

Publisher & Editor-SiS English

Jackie Cannon, jackie.cannon@angelbc.com

Tel: +44 (0)1923 690205

### 销售人员 Sales Offices

#### China (中国)

#### Shanghai (上海)

Hatter Yao (姚丽莹), hatterya@actintl.com.hk

Tel: 86 139 1771 3422

Shohan Shen (沈璟晓), Shohans@actintl.com.hk

Tel: 86 176 2122 8315

Amber Li (李歆), amberl@actintl.com.hk

Tel: 86 182 0179 0167

#### Wuhan (武汉)

Grace Zhu (朱婉婷), gracez@actintl.com.hk

Tel: 86 159 1532 6267

#### Beijing (北京)

Cecily Bian (边团芳), cecilyb@actintl.com.hk

Tel: 86 135 5262 1310

#### Hong Kong (香港)

Floyd Chun (秦泽峰), floydc@actintl.com.hk

Tel: 852 2838 6298

#### Taiwan (台湾)

Simon Lee (李若龙), simonl@actintl.com.hk

Tel: 852 2838 6298

#### Asia (亚洲)

#### Japan (日本)

Masaki Mori, masaki.mori@ex-press.jp

Tel: 81 3 6721 9890

#### Korea (韩国)

Lucky Kim, semieri@semieri.co.kr

Tel: 82 2 574 2466

#### US (美国)

Janice Jenkins, jjenkins@brunmedia.com

Tel: 724 929 3550

Tom Brun, tbrun@brunmedia.com

Tel: 724 539 2404

#### Europe (欧洲)

Shehzad Munshi,

Shehzad.Munshi@angelbc.com

Tel: +44 (0)1923 690215

Jackie Cannon,

Jackie.cannon@angelbc.com

Tel: +44 (0) 1923 690205



**SEMICON<sup>®</sup>**  
**CHINA**

Co-located with **FPDCHINA**

# 国际半导体专业展

**March 25-27, 2026**  
SNIEC, Shanghai, China

TRANSFORM  
TOMORROW  
跨界全球 · 芯芯相联



**SEMICON China**  
**小程序重磅上线!**



微信扫描上方小程序码  
点击右上角“...”  
选择“添加到我的小程序”

- 观众注册
- 展位地图
- 展商名录
- 同期论坛
- 邀请函
- 现场活动
- 新闻中心
- 更多

# 2026 研讨会计划 Conference Schedule

CHIP China 晶芯研讨会  
CS 2026 化合物半导体 先进技术及应用大会  
CON

## CSC Webinar

1/4/12月  
线上

- 大数据与AI驱动的先导半导体智能量检测
- “内卷”与突围：如何破除SiC产能过剩？
- Micro-LED：显示技术的下一个“风口”
- PIC的新应用
- GaN下一个增长极
- 超宽禁带器件：最终解决方案？
- 面向未来通信：5G-A与6G的射频前端革新

## 化合物半导体先进技术及应用大会

6月  
苏州

- 解锁GaN功率电子的下一个增长引擎
- 为SiC产业重新赋能
- Micro-LED：如何赢得市场青睐？
- 创新与布局：如何推进表面发射光电子器件？
- 释放超宽禁带材料的潜力

## CSC化合物深研会

9月  
无锡

### 主题：破局·增效·可持续——化合物半导体的下一代技术与市场格局

- 破局与突围：SiC产能与可持续发展
- 后台积电时代，GaN市场谁主沉浮？
- 800V HVDC下的价值链博弈：器件供应商如何破局？
- 超宽禁带半导体的“破晓”时刻：氧化镓与金刚石的产业化路径
- 异质集成：超越“摩尔定律”的化合物半导体新范式
- 化合物半导体的“绿色”与可持续性：机遇与挑战并存

## 化合物半导体先进技术及应用大会

10月  
常州

- SiC：迈向8/12英寸与成本效益的规模化之路
- 如何颠覆现有GaN射频市场格局？
- 超宽禁带器件：氧化镓等的潜力与散热瓶颈突破
- 射频设计革新：AI赋能与3D异质集成挑战
- AI+光显：从算力提升到沉浸式交互体验
- PIC：从光通信到量子与传感的跨界革命

## 芯界深研会

4月  
武汉

### 主题：半导体先进封装技术

- 从互连材料到基板技术的挑战与解决方案
- 高精度贴片/键合设备的核心挑战
- AOI+AI深度学习在纳米级缺陷检测中的应用
- 工艺缺陷的检测与定位、类型分析及闭环优化

## CHIP China晶芯研讨会

5月  
苏州

- TGV技术推动封装应用创新发展
- 面板级封装技术加速崛起进程
- AI驱动光电合封呈现新态势
- 3D封装助力AI算力提升
- 先进封装优化终端设备体验
- 2.5D封装设计实现成本管控
- 混合键合技术持续发展升级
- 推进先进互连技术国产化
- 攻关先进封装新装备技术

## 芯界深研会

8月  
合肥

### 主题：共筑先进半导体制造芯生态

- 车规级SiC模块封装技术研发
- SiC功率半导体产品研发及制造
- 车规半导体SMT贴片与激光焊接协同优化
- 车规芯片供应短缺：产业链如何构建弹性保障体系？
- 宽禁带功率半导体：新能源领域的下一代核心器件
- 未来芯片与先进制造：制程突破与产能保障的联动
- 3D堆叠创新：解锁高密度集成新可能
- 功率半导体新材料应用：重构高效器件技术格局

\*以上主题暂定，请以会议举办议题为准

化合物半导体 半导体芯科技  
CS COMPOUND SEMICONDUCTOR CHINA SS SILICON SEMICONDUCTOR CHINA



SiC半导体芯科技



ACT化合物半导体