

半导体芯科技



SILICON CHINA
SEMICONDUCTOR

CHINA

ISSN 2523-1294

www.siscmag.com

2023年2/3月



面向PIC封装的晶圆级 纳米压印技术 P.15

晶圆级封装Bump制造工艺 P.19

失效分析和可靠性测试 P.23

极大尺寸照射场高分辨率光刻系统 P.25



Angel
BUSINESS COMMUNICATIONS



微信公众号



国际知名媒体授权
引领全球高新科技信息

8本专业杂志(双月刊)
欢迎免费索阅

全年行业资讯



www.actintl.com



免费
订阅

扫一扫添加

ACT读者服务号免费订阅

雅时国际传媒集团成立于1998年，在高增长的中国市场上为众多高科技领域提供服务。通过其产品系列，包括印刷和数字媒体以及会议和活动，雅时国际为国际营销公司和本地企业提供了进入中国市场的机会。雅时国际的媒体品牌为电子制造、机器视觉系统、激光/光子学、射频/微波系统设计、洁净室/污染控制和半导体制造，化合物半导体，工业AI等领域的20多万名专业读者和受众提供服务，雅时国际也是一些世界领先的技术出版社和活动组织者的销售代表。雅时国际的总部设在香港，在北京、上海、深圳和武汉设有分公司。

行业领先级用于在线计量解决方案的 自动化原子力显微镜



Park NX-Wafer

Park NX-Wafer是业界领先的半导体及相关制造业自动化AFM计量系统。该系统能提供晶圆制造厂检查和分析、裸晶圆和衬底的自动缺陷检测以及CMP轮廓测量。Park NX-Wafer具有最高的纳米级表面分辨率和亚埃级的高精度。在持续扫描后,探针针尖的变化可以忽略不计,仍具有高超的针尖锐度保护力。

- 低噪声原子力轮廓仪,用于更精确的CMP轮廓测量
- 亚埃级表面粗糙度测量具有极高的精度和极长的探针使用寿命
- 用于缺陷成像和分析的全自动AFM解决方案
- 全自动系统,包括自动探针更换、机器人晶片搬运
- 能够扫描300mm晶圆



Watch the video

目录 CONTENTS

封面故事 Cover Story

15 用于创新 PIC 封装的晶圆级纳米压印技术

Wafer-level nanoimprint technology for innovative packaging of PICs

通过使用标准半导体大规模生产工艺和现有基础设施,硅光子 (SiPh) 的晶圆制造能力已经成熟,但其封装解决方案仍然是大规模商业化的关键瓶颈。与晶圆制造相比, SiPh 的生产能力仍然落后且缺乏可扩展性,主要限制因素是光纤到芯片的组装。为解决这一挑战, EV Group 与 Teramont 合作,使用简单、可靠且具有成本效益的晶圆级复制工艺开发光学微结构,这种复制工艺被称为纳米压印光刻 (NIL),有助于简化、小型化和标准化光学接口,以弥合 SiPh 封装与晶圆级大批量制造之间的差距。

- Andrea Kneidinger, EV Group



15

编者寄语 Editor's Note

4 推进国产化, 建立中国半导体生态系统

- 赵雪芹

行业聚焦 Industry Focus

5 芯和半导体发布全新 EDA 平台 Notus

5 Chipletz 采用西门子 EDA 解决方案, 攻克 Smart Substrate IC 封装技术

6 华虹半导体拟成立 12 英寸晶圆制造合营企业

6 奥松半导体 MEMS IDM 项目落户西部科学城

6 Wolfspeed 计划在德国建造全球最大的碳化硅器件制造工厂

7 晶盛联合创新产业园加速推进国产大硅片设备研发创新

7 台积电向学界开放 16nm FinFET 技术

7 AgCoat® Prime 键合镀金银线

8 盛合晶微三维多芯片集成加工业务快速推进

8 汉高推出高可靠性非导电芯片粘贴胶膜

9 长电科技 Chiplet 系列工艺实现量产

9 ULC 芯片组可实现自清洁摄像头和传感器



10



23

关于雅时国际商讯 (ACT International)



雅时国际商讯 (ACT International) 成立于1998年, 为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品—包括杂志和网上出版物、培训、会议和活动—为跨国公司和中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站, 以及各种技术会议, 服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港, 在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photronics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

关于《半导体芯科技》

《半导体芯科技》(原半导体科技) 中国版 (SiSC) 是全球最重要和最权威的杂志Silicon Semiconductor的“姐妹”杂志, 由香港雅时国际商讯出版, 报道最新半导体产业新闻、深度分析和权威评论。为中国半导体专业人士, 提供他们需要的商业、技术和产品信息, 帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国半导体产业, 包括IC设计、制造、封装及应用等。

About Silicon Semiconductor China

Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology & product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMS, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

目录 CONTENTS

采访报道 Interview

- 10 创新微系统集成技术，推动半导体产业发展
- 12 和研科技：致力于不断提升半导体设备国产化率
- 13 半导体行业的发展趋势

技术 Technology

- 19 晶圆级封装 Bump 制造工艺关键点解析
Analysis of key points of bump manufacturing process for wafer level packaging
- 23 失效分析和可靠性测试：SAM 现在是必不可少的设备
Failure analysis and reliability testing: SAM is now considered essential equipment
- 25 昂图科技的极大尺寸照射场高分辨率光刻系统克服了 FOPLP 图形形变挑战
Onto Innovation's 'XL' fine resolution large field lithography dramatically cuts FOPLP pattern distortion
- 33 MIT 工程师在硅晶圆上生长出薄如原子的“完美”材料
MIT engineers grow “perfect” atom-thin materials on industrial silicon wafers

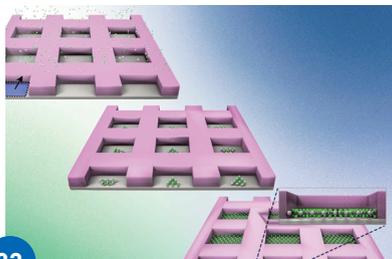
专栏 Conlunm

- 35 具有成本效益的 ASIC 设计途径
A cost-effective path to ASIC design
- 37 用于超大规模数据中心的共封装光学器件
Co-packaged optics for hyperscale data centres

40 广告索引 Ad Index



25



33



35

《半导体芯科技》编委会（排名不分先后）

刘胜 教授
武汉大学 工业科学研究院执行院长

郭一凡 博士
日月光集团工程副总经理

姚大平 博士
江苏中科智芯集成科技有限公司总经理

汤晖 教授
广东工业大学、精密电子制造技术与装备国家重点实验室

于大全 教授
厦门云天半导体创始人

须颖 教授
中国仪器仪表学会显微仪器分会副理事长

罗仕洲 教授
磐允科技总经理

林挺宇 博士
广东芯华微电子技术有限公司总经理

杨利华 院长
两江半导体研究院

王文利 教授
西安电子科技大学电子可靠性(深圳)研究中心主任
雅时国际商讯顾问

张昭宇 教授
香港中文大学(深圳)理工学院
深圳半导体激光器重点实验室主任

刘功桂 教授级高工
中国电器科学研究院股份有限公司威凯技术中心主任

云星 总经理
深圳安博电子有限公司

张弛 总裁
深圳贝特莱电子科技股份有限公司

乔旭东 博士
深创投集团投资发展研究中心总经理

徐开凯 教授
电子科技大学、电子薄膜与集成器件国家重点实验室

何进 教授
北京大学教授、深圳系统芯片设计重点实验室主任

社长 Publisher

麦协林 Adonis Mak

adonism@actintl.com.hk

主编 Editor in Chief

赵雪芹 Sunnie Zhao

sunniez@actintl.com.hk

出版社 Publishing House

雅时国际商讯 ACT International

香港九龙 B,13/F, Por Yen Bldg,

长沙湾青山道478号 478 Castle Peak Road,

百欣大厦 Cheung Sha Wan,

13楼B室 Kowloon, Hong Kong

Tel: (852) 2838 6298

Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988573 /25988567

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 59233884

UK Office

Angel Business

Communications Ltd.

6 Bow Court,

Fletchworth Gate,

Burnsall Road, Coventry,

CV56SP, UK

Tel: +44 (0)1923 690200

Chief Operating Officer

Stephen Whitehurst

stephen.whitehurst@angelbc.com

Tel: +44 (0)2476 718970



ISSN 2523-1294

© 2023 版权所有 翻印必究

推进国产化，建立中国半导体生态系统

近日，浙商科技发布了行业专题报告“2023年半导体未来十大趋势预测”（作者浙商科技分析师陈杭和研究助理安子超）。其中“预测十：国产化5.0推进，建立中国半导体生态系统”，通过梳理国内半导体行业国产替代的发展脉络，从芯片设计、晶圆制造、设备材料到生态建设，将2019-2023年中国半导体国产化发展分为了五个阶段，在此特别把这部分内容分享给读者。

1、国产化1.0（芯片设计）：2019年以信创软件（操作系统）和芯片设计（数字芯片、模拟芯片）几大类为主

2019年5月，限制华为终端的上游芯片供应，目的是卡住芯片下游成品，直接刺激了对国产模拟芯片、国产射频芯片、国产存储芯片、国产CMOS芯片的倾斜采购，这是第一步。

2、国产化2.0（晶圆制造）：2020年以晶圆代工和周边产业链，主要以中芯国际、封测链、设备链为主

2020年9月，限制海思设计的上游晶圆代工链，目的是卡住芯片中游代工。由于全球晶圆厂都严重依赖美国的半导体设备（PVD、刻蚀机、离子注入机等），海思只能转移到备胎代工链，直接带动了中芯国际等国产晶圆厂和封测厂的加速发展。

3、国产化3.0（设备材料）：2021年以晶圆厂上游的半导体设备和材料链为主，比如前道核心设备和黄光区芯片材料

2020年12月，中芯国际进入实体名单，限制的是芯片上游半导体供应链，本质是卡住芯片上游设备。想要实现供应链安全，必须做到对半导体设备和半导体材料的逐步突破，由于DUV不受美国管辖，此阶段的关键是针对刻蚀等美系技术的替代。

4、国产化4.0（设备零部件、EDA/IP、材料上游）：2022年以零部件和EDA为主，进入到国产链条的深水区，最底层的替代

2022年8月，美国发布芯片法案，对国内先进制程的发展进行封锁。想要实现产业自主可控，必须进入国产链条的深水区，实现从根技术到叶技术的全方位覆盖。因此，底层的半导体设备逐渐实现1-10的放量，芯片材料逐渐实现0-1的突破，EDA/IP登陆资本市场，成为全新品类，最底层的设备零部件也将迎来历史性发展。

5、国产化5.0（中国半导体生态系统）：2023年以后，将以建立产业链各环节强供需联系、打通内循环为主要替代目标

我国半导体产业全而不强，半导体产业链的几乎每一个环节都有中国企业，但是整体处于落后位置。由于产业链上下游的中国企业缺乏深度联系，单个企业的进步很容易受美国制裁影响。因此，培育良好的产业生态，实现全自主制造，打通内循环，依托国内的市场优势，实现半导体产业链的不断升级，将成为半导体行业国产化5.0的重要目标。

从报告总结的2019-2023年半导体国产化发展过程不难看出：随着美国等国家对中国半导体限制和封锁的不断升级，特别是2022年美、欧等相继发布芯片法案，并对中国先进制程发展进行更严厉封锁，中国半导体国产化进程从被动转向主动，并形成深度行业共识：要实现产业自主可控，必须培育良好的产业生态，实现从根技术到叶技术的全方位覆盖，要依托国内的市场优势，实现中国半导体产业链的不断升级。

赵雪芹

芯和半导体发布全新EDA平台Notus

芯和半导体在近日举行的 DesignCon 2023 大会上正式发布了针对封装及板级的信号完整性、电源完整分析和热分析的全新 EDA 平台 Notus。

Notus 平台基于芯和半导体强大的电磁场和多物理仿真引擎技术,为设计师提供了一种更加高效且自动的方式,满足在信号完整性、电源完整性和热分析方面的设计需求。Notus 平台提供了一套综合的仿真流程,包含有电源直流分析、电源频域阻抗分析、去耦电容优化、信号拓扑提取、信号互连模型提取和热分析等多个关键应用。

除了 Notus,芯和半导体还在大会上带来了其先进封装解决方案和高速数字解决方案的重要升级,以下是其中的部分亮点:

- 2.5D/3DIC 先进封装电磁仿真工具 Metis 的仿真性能得到了进一步的提升。独有的三种仿真模式:速度优先、平衡、精确优先,进行了新的改进,以帮助用户实现最佳的精度-速度权衡。
- 全波三维电磁场仿真工具 Hermes,进一步改进了其自适应网格技术,以更快地收敛实现期望的精度。它提

升了针对封装和 PCB 设计的编辑功能,例如过孔、走线和形状的编辑操作。Hermes 还支持板级天线的分析,配合强大的数据后处理功能可以显示查看远场和近场电磁仿真云图。

- ChannelExpert 基于图形化的电路仿真平台,为用户提供了快速、准确和简单的方法分析高速通道。它支持 IBIS/AMI 仿真并集成了符合各种 SerDes 和 DDR 标准的规范。ChannelExpert 提供了一整套完整的高速通道综合分析,包括频域 S 参数、时域眼图、统计眼图、COM 以及参数化扫描和优化等。在新版本中,ChannelExpert 集成了 Hermes 和 Notus 电磁场建模工具以支持场路联合仿真功能,并且支持 AMI 建模和最新的 DDR5 标准。
- 升级后的高速系统仿真套件 Expert 系列中的其它工具,包括 SnpExpert, ViaExpert, CableExpert, TmlExpert,进一步提高了易用性和用户体验,添加了更多内置的模板,以更轻松迅捷地实现 S 参数、过孔、电缆、传输线的分析评估等。

Chipletz采用西门子EDA解决方案,攻克Smart Substrate IC封装技术

西门子数字化工业软件近日宣布,无晶圆基板初创企业 Chipletz 选择西门子 EDA 作为电子设计自动化战略合作伙伴,助其开发具有开创性的 Smart Substrate™ 产品。

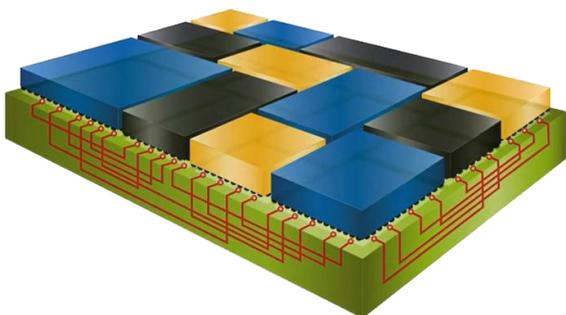
在对可用解决方案进行综合技术评估之后,Chipletz 选择了一系列西门子 EDA 工具,对其 Smart Substrate 技术进行设计和验证。Smart Substrate 有助于将多个芯片集成为一个封装中,用于关键的 AI 工作负载、沉浸式消费

者体验和高性能计算等领域。

Chipletz 首席执行官 Bryan Black 表示:“Chipletz 的愿景是通过开发先进的封装技术来革新封装中的半导体功能,从而弥合摩尔定律放缓与计算性能需求上升之间的差距。Smart Substrate 的设计要求非常高,西门子 EDA 的领先技术可以很好地满足我们的需求。”

为了在基于 Smart Substrate 的封装中设计和验证多个芯片的异构集成,Chipletz 此次采用的西门子 EDA 解决方案包括: Xpedition™ Substrate Integrator, Xedition™ Package Designer, Hyperlynx 以及 Calibre® 的 3DSTACK。

西门子数字化工业软件电子板系统高级副总裁 AJ Incorvia 表示:“在西门子设计工具的助力下,Chipletz 的 Smart Substrate 技术为客户提供了一条强大路径,可将多个芯片,甚至是来自不同供应商的芯片,引入到各种系统封装配置中,进而打造高性能、高性价比的产品。”



华虹半导体拟成立12英寸晶圆制造合营企业

华虹半导体公告，公司与子公司华虹宏力、国家集成电路产业基金 II 及无锡市实体于 2023 年 1 月 18 日订立合营协议，以上四方将分别向合营公司投资 8.8038 亿美元、11.6982 亿美元、11.658 亿美元及 8.04 亿美元，将合营公司注册资本由人民币 668 万元增至 40.2 亿美元。除此之外，合营公司还将以债务融资方式筹资 26.8 亿美元。

根据公告，合营公司将从事集成电路及采用 65/55nm 至 40nm 工艺的 12 英寸晶圆的制造及销售。据介绍，此

次设立的合营公司——华虹制造，项目规划建设一条投产后可月产能达到 8.3 万片的 12 英寸特色工艺生产线。该项目将依托上海华虹宏力在车规级工艺与产品积累的技术和经验，进一步完善并延展嵌入式 / 独立式存储器、模拟与电源管理、高端功率器件、逻辑与射频等工艺平台。

该项目新建生产厂房预计 2023 年初开工，2024 年四季度基本完成厂房建设并开始安装设备。2025 年开始投产，产能逐年增长，最终达到 8.3 万片 / 月。

奥松半导体 MEMS IDM 项目落户西部科学城

奥松半导体 8 英寸 MEMS 特色芯片 IDM 产业基地项目落户西部（重庆）科学城，投资主体为广州奥松电子股份有限公司。据悉，该项目已获得国家相关部委批准，总投资 35 亿元，拟用地 200 亩，包含 8 英寸 CMOS+MEMS 特色传感器芯片量产线、8 英寸 MEMS 特色晶圆快速研发线、西部成渝双城经济圈智能传感器创新研发中心、车规级传感器可靠性检测中心、产学研科研中心及奥松半导体研发办公大楼等建设项目，技术能力覆盖 CMOS+MEMS 特色工艺，可实现各类 MEMS 传感器产品的研发和批量生产。

目前，西部科学城已构建起从 EDA 平台、共享 IP 库、

芯片设计、制造到封装测试的集成电路全新产业链，初步构建了涵盖产业孵化、验证仿真、工艺服务的产业创新生态。

项目投资主体奥松电子是国内应用 MEMS 半导体工艺技术生产传感器特色芯片的领先企业，为客户提供集研发、设计、制造、封装测试、终端应用为一体的 MEMS 智能传感器全产业链解决方案。该项目可全面开展表面硅、体硅以及新工艺、新器件、新系统的研发和量产；具有 MEMS 压阻、压电、硅光、磁材料、MOX、微流控等相关工艺的研发和量产设备，大幅提升产品研发的成功率，实现产品从研发到量产的无缝衔接。

Wolf speed 计划在德国建造全球最大的碳化硅器件制造工厂

全球碳化硅技术引领者 Wolf speed, Inc. 计划将在德国萨州建造一座高度自动化、采用前沿技术的 200mm 晶圆制造工厂。这将是 Wolf speed 公司在欧洲的首座工厂，同时也将成为 Wolf speed 最先进的工厂，并将在欧盟打造突破性创新碳化硅开发与制造中心，以支持满足来自汽车、工业、能源等多种广泛应用不断增长的需求。

这座工厂计划作为“欧洲共同利益重大项目 (Important Project of Common European Interest, IPCEI)”微电子和通讯技术框架下的合作组成部分，其实施将有待欧盟委员会国家援助规则的批准。“欧洲共同利益重大项目”资金将用于支持该项目的技术开发和早期部署。同时，采埃孚也将与 Wolf speed 达成战略合作，提供相当可观的投资以支

持新工厂建设。

Wolf speed 总裁兼首席执行官 Gregg Lowe 表示：“我们不断地扩大半导体生产与创新的生态系统。这座新工厂对于 Wolf speed 和我们的区域客户而言，都意味着向前迈出重要一大步。碳化硅器件能够带来更高的能源效率，在全球朝向可持续电气化转型中发挥着至关重要的作用。这座新工厂对于我们的产能扩充将起到关键作用，从而支持产能受限但又快速增长的产业，尤其是像整个电动汽车市场。在欧洲心脏地带建设一座工厂对于我们十分重要。这样可以更靠近我们非常多的客户与合作伙伴，从而促进下一代碳化硅技术领域的合作。”

晶盛联合创新产业园加速推进国产大硅片设备研发创新

2023年1月12日，晶盛联合创新产业园项目大楼主体全面封顶。这是晶盛布局“三大制造基地”“两大实验中心”重要一步。该产业园位于杭州湾经济开发区高端智造集聚区，总建筑面积约10.9万平方米。

为了助力12英寸大硅片的发展，晶盛机电投资8亿元，在产业园建设12英寸集成电路大硅片设备测试实验线，配置行业前沿的试验检测设备，建设满足高标准要求的试验环境场地，完善公司在试验检测环节的硬件设施，提供满足不同测试要求的试验，积极追踪和运用半导体新技术，实现产品较快的优化以及迭代升级。

试验线2023年7月投入使用后，将加速推进国产大硅片设备研发创新，推动公司设备工艺改进并实现国际领

先，为客户提供硅片设备和硅片生产线测试，加快创新过程，提升客户的竞争力，解决客户在半导体赛道核心技术被“卡脖子”的难题。同时，还将有利于培育研发及工艺人才，加速企业科技成果转化；助力大硅片设备和辅料耗材、零部件的测试，补齐集成电路大硅片设备供应链的短板，加快大硅片设备和辅料耗材的国产化进程，完善集成电路大硅片产业链。

作为国内领先的“先进材料、先进装备”的高新技术企业，晶盛机电将不断加快研发创新进程，向着“打造全球领先的半导体材料装备企业”的目标奋进，用创新赋能中国半导体产业的发展。

台积电向学界开放16nm FinFET 技术

台积电宣布推出大学FinFET专案，目的在于培育未来半导体芯片设计人才并推动全球学术创新。

台积电将向大学院校提供以下资源：

(1) 以台积电N16制程为主的教学用设计套件，包括教育设计案例、训练资料、以及教学影片，引领学生从传统平面式晶体管结构进入到鳍式场效应晶体管结构。

(2) 针对具有影响力的研究项目，包括应用于逻辑、模拟与射频的研究设计，台积电提供N16和N7制程设计相关套件，支持通过MPW服务生产的测试芯片。

根据该项目的内容，台积电将开放给大学院校师生和学术研究人员使用FinFET技术的制程设计套件，以支持其将芯片设计和学习的经验提升到16nm FinFET技术。台积电的开放创新平台（Open Innovation Platform）是一个完备且充满活力的设计生态系统，以支持台积电的技术和生产制造。参与开放创新平台的台积电合作伙伴也会对大学FinFET项目提供支持，有兴趣的学术机构也可以通过台积电提供的网址联系当地的合作伙伴。

AgCoat® Prime 键合镀金银线

在半导体行业中，许多器件的生产都高度依赖黄金来进行引线键合。随着电子设备不断地更新换代，其对内存容量的需求越来越高，半导体厂商对于降低生产成本的需求也越来越迫切。

贺利氏生产的AgCoat® Prime可替代金线，用于电子封装行业。

AgCoat® Prime是一款表面镀金的银线，其技术参数与金线高度一

致，键合过程中不需要惰性气体，因此厂商无需对生产设备和设施进行投资或改造。AgCoat® Prime能够以更低的成本确保高性能，是存储器件、LED和智能卡市场的理



想选择。

AgCoat® Prime的主要优势：

- 实现无惰性气体保护下烧球（FAB）。
- 与银合金线相比，使用寿命更长（60天）。
- 提高二次键合的可操作性。
- 在高温耐久性（HTS）测试和温度循环（TC）测试中，可靠性比金线更高。
- 利用客户现有生产设施，无需任何额外的固定资产投资。
- 可以使用现有的键合机。
- 金属间化合物（IMC）的生长比金线缓慢。

盛合晶微三维多芯片集成加工业务快速推进

盛合晶微半导体有限公司是全球首家采用集成电路前段芯片制造体系和标准，采用独立专业代工模式服务全球客户的中段硅片制造企业。以先进的 12 英寸凸块和再布线加工起步，公司致力于提供世界一流的中段硅片制造和测试服务，并进一步发展先进的三维系统集成芯片业务。

2023 年 2 月 2 日上午，盛合晶微半导体（江阴）有限公司 J2B 净化间装修及配套厂务工程开工仪式顺利举行，标志着三维多芯片集成加工项目进入到新的发展阶段。盛合晶微 J2B 厂房和配套厂务项目施工面积达到 80000 平方米，具有体量大、工期紧、分区复杂的特点，计划 6 月底开始交付使用。

项目总投资 12 亿美元，将打造中国领先、世界先进的新型高端封测基地。盛合晶微以 12 英寸中段硅片制造起步，致力于 3D IC 三维多芯片集成封装技术，现已发展成为业内认可的硅片级先进封装标杆企业。当前，数字经济蓬勃发展、算力需求持续增长，盛合晶微加大投资力度、加快发展速度，旨在把握市场机遇，实现战略扩张，保持行业领先地位。

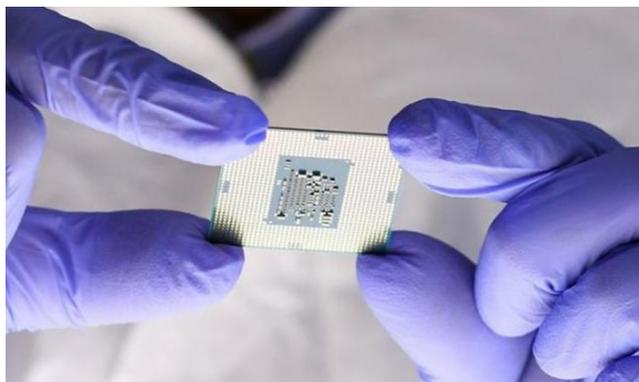
三维多芯片集成封装项目将提升公司高性能高端先进封装一站式综合服务能力，项目建成后，将新增硅片级先进封装每月 8 万片，三维多芯片集成加工每月 1.6 万片的生产能力。

汉高推出高可靠性非导电芯片粘贴胶膜

汉高向市场推出一款针对最新半导体封装和设计需求的高性能非导电芯片粘贴胶膜（nCDAF）。作为一款高可靠性非导电芯片粘贴胶膜，Loctite Ablestik ATB 125GR 适用于引线键合的基板和引线框架类封装，与小到中等尺寸的芯片均可兼容，而且材料自身具有出色的可加工性。

随着微电子封装市场快速向 3D 小型化过渡，更小、更薄、更高密度的封装结构已成为行业新常态。因此，为了满足各种设计场景对封装尺寸的苛刻要求，诸多封装技术专家会选择使用芯片粘贴胶膜，而不是常用的胶水。与胶水相比，芯片粘贴胶膜能够提供可控的厚度和流动性、不会发生树脂渗出现象，而且具有均一的爬胶，固化前后均能保持胶层稳定性。除了上述优势之外，Loctite Ablestik ATB 125GR 还可以为基板和引线框架设计，提供高可靠性、高达车规级“0 级”标准的性能表现，使其成为消费电子、汽车和工业领域严苛应用的上乘之选。

“这款材料的研发极具挑战性，需要同时满足以下两项要求：首先，在各种类型的金属引线框架和基板上均可使用；其次，对于尺寸范围 0.5mm×0.5mm 至 3.0mm×3.0mm 的芯片，均能提供优异的粘合性和固化性能。”汉高粘合剂技术半导体封装材料业务全球市场总监 Ramachandran Trichur 表示，“Loctite Ablestik ATB 125GR 完全符合以上技术要求，有助于实现供应链各个环节的流程简化。此外，这款材料还成功通过了条件苛刻的 1000 次热循环测试（零下 60℃ 到零上 150℃），展示了其卓越



的可靠性。”

Loctite Ablestik ATB 125GR 具有多项独特属性。例如，在室温条件下，具有低模量和低热膨胀系数（CTE）；而在引线键合的操作温度下，则具有高模量以确保可靠的引线键合。该材料在银、铜和 PPF 金属引线框架和基板上均表现出优异的附着力，并具有对于铜引线键合很关键的低离子含量。对于尺寸范围涵盖 0.5mm×0.5mm 至 3.0mm×3.0mm 的芯片，这款材料还能够为所有加工步骤（层压、切割和芯片拾取等）提供出色的可加工性。

Loctite Ablestik ATB 125GR 的推出标志着非导电芯片粘贴胶膜材料的重大进步，从而让封装集成商可以在不同终端设备中使用能够满足各种苛刻半导体应用要求的单一材料。目前，上市的 Loctite Ablestik ATB 125GR 牌号产品的通用厚度为 25 微米，其他定制化厚度可以按需提供。

长电科技Chiplet系列工艺实现量产

长电科技宣布，公司 XDFOI™ Chiplet 高密度多维异构集成系列工艺已按计划进入稳定量产阶段，同步实现国际客户 4nm 节点多芯片系统集成封装产品出货，最大封装体面积约为 1500mm² 的系统级封装。

随着近年来高性能计算、人工智能、5G、汽车、云端等应用的蓬勃发展，要求芯片成品制造工艺持续革新以弥补摩尔定律的放缓，先进封装技术变得越来越重要。应市场发展之需，长电科技于 2021 年 7 月正式推出面向 Chiplet（小芯片）的高密度多维异构集成技术平台 XDFOI™，利用协同设计理念实现了芯片成品集成与测试一体化，涵盖 2D、2.5D、3D Chiplet 集成技术。

经过持续研发与客户产品验证，长电科技 XDFOI™ 不断取得突破，可有效解决后摩尔时代客户芯片成品制造的痛点，通过小芯片异构集成技术，在有机重布线堆叠中介层（RDL Stack Interposer, RSI）上，放置一颗或多颗逻辑芯片（CPU/GPU 等），以及 I/O Chiplet 和 / 或高带宽内存芯片（HBM）等，形成一颗高集成度的异构封装体。一方面可将高密度 fcBGA 基板进行“瘦身”，将部分布线

层转移至有机重布线堆叠中介层基板上，利用有机重布线堆叠中介层最小线宽线距 2μm 及多层再布线的优势，缩小芯片互连间距，实现更加高效、更为灵活的系统集成；另一方面，也可将部分 SoC 上互连转移到有机重布线堆叠中介层，从而得以实现以 Chiplet 为基础的架构创新，而最终达到性能和成本的双重优势。

目前，长电科技 XDFOI™ 技术可将有机重布线堆叠中介层厚度控制在 50μm 以内，微凸点（μBump）中心距为 40μm，实现在更薄和更小单位面积内进行高密度的各种工艺集成，达到更高的集成度、更强的模块功能和更小的封装尺寸。同时，还可以在封装体背面进行金属沉积，在有效提高散热效率的同时，根据设计需要增强封装的电磁屏蔽能力，提升芯片成品良率。

长电科技充分发挥 XDFOI™ Chiplet 高密度多维异构集成系列工艺的技术优势，已在高性能计算、人工智能、5G、汽车电子等领域应用，向客户提供了外型更轻薄、数据传输速率更快、功率损耗更小的芯片成品制造解决方案，满足日益增长的终端市场需求。

ULC芯片组可实现自清洁摄像头和传感器

德州仪器（TI）推出采用超声波镜头清洁（ULC）技术的先进专用半导体，使摄像头系统能够快速检测并使用微小振动去除污垢、冰和水。

以往，去除摄像头镜头上的污染物需要手动清洁，这会导致系统停机，或需要使用各种机械器件，而这些器件可能会发生故障。TI 全新 ULC 芯片组（包括 ULC1001 数字信号处理器（DSP）和配套的 DRV2901 压电式换能器驱动器）采用一种专有技术，让摄像头可以使用精确控制的振动快速自行清除污染物，以便快速消除碎屑，从而提高系统精度并减少维护要求。该芯片组为设计人员提供了一种紧凑且经济实惠的方式，可在各种应用和不同的摄像头尺寸中使用 ULC。

TI 产品营销工程师 Avi Yashar 表示：“ULC 可以让自清洁摄像头和传感器的广泛使用成为现实。现有的清洁方法成本高昂且不切实际，需要复杂的机械装置、昂贵的电子设备和大量处理工作，来检测污染物和执行清洁。随着从汽车和交通摄像头到智能城市和制造业的各种应用不断



发展，其中摄像头数量的激增，人们迫切需要一种简单而经济高效的方式来实现自清洁摄像头。”

使用 TI 的 ULC 芯片组，无需在镜头清洁系统中使用复杂的机械器件，也无需人工干预。ULC1001 控制器包括用于自动感应、清洁、温度和故障检测的专有算法，无需任何图像处理，使 ULC 技术适应性超强，可用于各种摄像头镜头设计。

创新微系统集成技术 推动半导体产业发展

厦门云天半导体科技有限公司董事长，厦门大学特聘教授，于大全博士，近日接受《半导体芯科技》采访，讨论中国半导体产业未来发展以及全球产业动态和趋势。作为一线半导体专业人士，于大全博士在国家半导体封测产业领域践行产学研协同创新，曾主持多项国家科技重大专项 02 专项课题和任务、国家自然科学基金项目，荣获 2020 年度国家科技进步一等奖。他认为中国半导体产业发展“路虽远，行则将至，事虽难，做则必成。”

2023年是希望与挑战并存的一年

在疫情反复和国际地缘政治争端等因素影响下，我们走过艰难动荡的 2022 年，迈入崭新的 2023 年。但是 2023 年仍有许多不确定性，业内非常关注：新的一年半导体行业国际国内环境和产业链生态会如何发展？于博士表示：2023 年不确定和不安定因素还在，美国等发达国家对中国半导体产业发展的限制逐步加码，愈演愈烈；俄乌争端短期仍然没有缓和趋势，国际经济低迷，都给全球半导体行业发展带来挑战，我们要有底线思维和危机意识。但随着国内逐步开放，国内经济将快速回暖，消费类电子



厦门云天半导体科技有限公司董事长 于大全博士

市场有望在下半年迎来复苏，内循环开始发力，这给国内以及全球半导体发展注入动力，整个市场发展前景仍然是光明和充满希望的。同时，针对美国对我国集成电路产业发展的打压，我们需要给出应对措施，通过创新资源的高效整合，提高核心技术开发效率，解决“卡脖子”问题，加快自立自强步伐。

坚定走特色发展之路

厦门云天半导体科技有限公司成立于 2018 年，公司秉承创新微系统集成技术，推动半导体产业发展理念，深耕特色封装领域。

“云天半导体主要有两个技术方向：先进封装和特色工艺。”于博士说，经过几年技术积累，云天半导体在射频器件封装、集成无源器件（IPD）、玻璃通孔技术（TGV）、圆片级封装和扇外型封装进入到量产阶段。面对激烈的市场竞争和各种挑战，云天半导体的应对之策是：聚焦主营业务，坚定走特色发展之路。围绕客户真实需求和痛点，开展紧密合作，降低成本，与客户共同面对市场挑战，一同合作赢得市场。

2022 年云天半导体新工厂投入使用，工程和技术能力大幅度提升；新产品在客户端不断验证和迭代，部分产品进入到量产阶段。特色玻璃通孔技术不断成熟，2022 年底，月订单超过 1000 片，累计出货量已超过 10000 片，已成为该领域领先企业。同时，经过高效攻关，云天半导体解决了滤波器三维封装、3D 无源器件、扇出封装等几个核心产品的技术和可靠性问题，为 2023 年大规模量产奠定了基础。



于博士介绍：“2023年我们主要的工作就是围绕和聚焦核心客户，把圆片级封装、滤波器三维圆片级封装、集成无源器件和玻璃通孔的市场做大，做强，进一步提高产品的市占率。”具体来讲，2023年，云天半导体在封装领域，推出射频器件三维薄膜盖板封装、芯片尺寸封装、驱动芯片扇出型封装、功率器件电镀等。在无源器件方面推出射频天线、高性能电感、电容、电阻、无源滤波器、巴伦以及毫米波滤波器等。这些产品和技术可以广泛应用到手机等智能终端、可穿戴电子产品、汽车电子和生物医疗等多个领域。



云天半导体建有4/6/8/12圆片级封装产线，拥有封装设备三百多台套，为客户提供从产品协同设计、工艺研发到批量生产的全流程研发解决方案以及服务。云天半导体2022年度荣获厦门市“专精特新”奖；先进制造领域“中国未来独角兽之星”奖项和WIM大会颁发的最具投资价值新锐半导体公司Top20。

目前5G网络、智能制造、功率器件、新能源汽车、AI/IoT等技术领域在快速发展，于博士认为：如何解决多芯片集成，减少封装面积、提升系统性能和降低成本成为行业痛点，目前云天积极布局小型化的先进封装、无源器件、系统集成技术（SiP）以及Chiplet集成技术，未来可以支持客户做到更少面积情况下更好的性能表现。

近年来，国家大力支持半导体产业发展，“云天在这样的产业背景下也受益匪浅，感谢国家和地方政府对云天的大力支持，也感谢产业界投资公司对云天的认可和不断支持。目前云天已经顺利完成B+融资，引进战略股东为2023年扩产以及赢得更多客户订单奠定了坚实基础。我们相信云天在产业链上下游的支持下，在5G射频领域、IoT、功率器件、生物芯片以及第三代半导体等各个领域会全面开花，茁壮成长。”于博士说。

路虽远，行则将至，事虽难，做则必成

在中美博弈的背景下，特别是2022年美国颁布《芯片和科学法案》，之后又拉中国台湾、韩国和日本组织四

方联盟，不断升级对中国半导体的打压限制。同时，各国政府都要加强自己的产业链安全和稳定，半导体产业从全球化转向区域化，产业链正在进行重塑，面对复杂多变的国际环境，中国半导体产业如何应对挑战而稳步发展？

于博士表示：美国想方设法阻止中国半导体产业发展，主要影响有几点：（1）先进技术的发展受到很大制约，先进光刻机采购限制影响产业安全和先进技术研发迭代，14nm以下逻辑工艺、先进的3D NAND技术研发受到很大影响，依靠自己的技术突破需要时间更长，代价更高；（2）抢占高端市场受到很大阻碍，存储器、高端处理器（CPU/GPU）、FPGA等芯片产品制造难度加大，技术发展速度减缓；（3）引进海外高端人才，特别是美国的人才变得非常困难。

应对当前挑战，我们能做的是：（1）做好自己，要充分发掘国内外市场，聚焦到成熟工艺，通过先进封装和系统集成推动产业发展；（2）通过协同创新，更高效率的新型举国体制，将核心技术开发效率提高到极致，下决心按时间节点解决卡脖子难题，实现产业自立自强目标。

我们要有危机意识和底线思维。既不能盲目乐观，也不能失去信心。路虽远，行则将至，事虽难，做则必成。企业需要挖掘自身的核心竞争力，走特色发展道路，避免同质化竞争，为客户提供高性价比产品和服务。在比较困难的时期，一方面要生存下来，提高竞争力，一方面也要考虑到未来发展需求，精准布局技术和产品研发，在行业复苏时期，能够快速、高质量发展。◆

（半导体芯科技 赵雪芹）

和研科技：致力于不断提升 半导体设备国产化率



沈阳和研科技股份有限公司总经理 余胡平先生

近年来，全球半导体行业动荡变化，面临巨大不确定性。2022年美、欧相继颁布各自的“芯片法案”，各国纷纷投入巨资支持在本国建设先进半导体制造厂，全球半导体产业链正在重塑过程中。

虽然中国现已成为全球最大的半导体消费国，但我国的芯片自给率还不足20%。面对美国等国家对于中国半导体发展设置的各种限制，为了解决“卡脖子”问题，毫无疑问，我们需要逐步发展完善自己的产业链。半导体产业发展需要各种先进制造设备，设备是产业发展的重要基础。我国政府近年大力支持半导体产业发展，许多设备企业下大力气攻关研发，从而使半导体设备国产化率不断提升。沈阳和研科技股份有限公司就是一家这样的专业半导体设备公司。

专注于国产化精密切割加工设备

沈阳和研科技股份有限公司成立于2011年，是一家专业从事半导体专用设备及配件耗材的研发、销售、咨询、服务于一体的多元化公司。公司技术团队是中国早期研发生产精密划片机的国家项目组，核心成员均为行业内资深专业人士，目标是致力于实现精密切割加工设备国产化，不断提升半导体设备国产化率。通过提供适合市场的创新产品、合理的技术方案、高效贴心的售后服务，最终成为客户值得信赖的合作伙伴！

精密划片机是综合了水气电、高速主轴、精密机械传

动、传感器及自动化控制等技术的精密数控设备。成立以来，和研科技一直秉承着“不断开拓，勇于创新”的理念，以精益求精的态度相继开发了6类10多种产品，依托于先进的产品技术及丰富的行业经验，不断为客户提供合理、实用、高效的产品解决方案。

和研科技专注于6~12英寸DS系列精密划片机、JS系列全自动切割分选一体机等半导体专用精密切割设备，广泛应用于集成电路、分立器件、光电器件及敏感元件等制造领域。精密划片机主要产品包括：6英寸系列DS613、DS616、DS623，8英寸系列DS820、DS830，10英寸系列DS9100、12英寸双轴系列DS9200、12英寸双轴全自动系列DS9260。2022年，和研科技推出了全新“JIG SAW切割分选一体机JS2800”等型号，针对集成电路封装领域对设备提出更高集成度和更高自动化程度的需求，由原先的贴膜，划片，清洗，UV，脱膜，形成对全自动划片分选检测一体机的产品应用。JS2800采用校正伺服控制、TRAY盘缓冲装置、PC UPS、上料防撞装置等先进技术，实现全自动切割分选，可以应用于IC、光学光电、通讯、LED封装、QFN封装、LGA封装、BGA封装等领域。

目前，和研科技以沈阳为中心，在苏州设有和研科技苏州分公司，在东莞、南京、南通、淄博、成都、西安、南昌等地分别设有办事处。

2023年我国半导体产业或迎来新格局

沈阳和研科技股份有限公司总经理余胡平先生，毕业于沈阳理工大学-机械工程专业，自2004年起从事精密划片机研发、设计、销售等工作，已拥有18年资深行业经验，带领团队开拓海内外市场，使国产划片机销量连续8年处于行业领先地位。

“进入2023年，半导体行业正在从周期性低迷中缓慢复苏，为技术革新带来更大的市场空间。随着行业资本开支不断增加，我国成为全球最大



半导体设备市场且国产化率不断提升。随着国内疫情管控的放开，半导体产业或迎来新的格局。”余总说。

在中美博弈的背景下，特别是 2022 年美国颁布了《芯片和科学法案》，美国对中国半导体进口的技术管控和限制不断升级，面对众多挑战，我们该如何应对？

余总认为：就封装设备行业而言，美国加强对半导体设备技术管控，使半导体行业的发展前景增加很多不确定性。封装设备投资巨大、资产回收周期、费用分配是主要难题；封装设备属于资金、技术密集产业，在未来投资规模将进一步扩大；开发及维护不同设备平台，需要综合能力极强的技术专业队伍；需要组建有战斗力的运营、技术、业务专业管理团队；如何保证设备稳定可靠、保持设备的稼动率是最主要的挑战；在流程合理化、管理信息化、联机自动化方面需要提升管理精度；完善解决方案、高标准的质量体系和流程建设是核心竞争力。

对于和研科技来说，2022 年是承上启下的一年。虽然有源于市场行情低迷的压力，但是，和研科技主营的 6~12 英寸 DS 系列精密划片机、JS 系列全自动切割分选一体机等半导体专用精密切割设备销售业绩喜人。2022 年重点向市场推出的全自切割分选一体机 JS2800，已通过国内头部封测企业的验证，进入批量生产阶段。该机型是国内首款完全自主设计研发的 JIGSAW 产品。与之匹配

的 KIT 组件目前已在和研科技苏州公司（苏州和研精密科技有限公司）顺利投产，进一步加速和研科技在磨划领域的布局。和研科技现已具备 KIT 组件研发、设计、生产能力，可按照客户要求定制化。随着全自切割分选一体机 JS2800 成功量产，和研科技实现了在集成电路封测等中高端领域的产业化应用，打破国外对该类装备的技术垄断，实现了国产替代。

“2023 年和研科技将继续深耕集成电路、分立器件、光电器件及敏感元件等制造领域，发挥自身技术优势，增强客户黏度，推进产学研一体化进程。”余总说。具体来讲，2023 年，和研科技将推出全新 HG 系列磨片设备、升级迭代 JS、DS 系列划片设备面向市场。继续加码高端磨划设备的研发投入，大力推进配套设备、KIT 组件的研发、设计、生产体系建立与制造能力。

余总表示：国产半导体设备一直在努力追赶中，对比国际竞品，经过多年的技术积累及市场培养，和研科技在设计制造能力方面日渐成熟，实现了国产设备从无到有的突破，并逐渐发展壮大。现阶段与国外主流品牌相比虽然尚有差距，但差距在不断缩小，正在逐步替代进口，实现设备国产化。同时，封装企业转变观念，大力扶持国产设备的技术进步和生产应用，使得国产设备在很多性能方面取得明显进步。◆

半导体行业的发展趋势

imec CMOS 技术高级副总裁 Sri Samavedam 总结半导体行业的重要趋势

晶体管尺寸缩小变得更具挑战性，为行业带来哪些趋势？

随着逻辑和内存组件的缩小变得越来越困难，晶体管尺寸的缩小变得更加具有挑战性，节点进步带来的改进正在减少，但由于集成技术更加复杂，从而使得半导体的制造成本持续增加。imec CMOS 技术高级副总裁 Sri Samavedam 特别总结了由此给半导体行业带来的一些重要趋势。

在设计方面，有一种趋势是为每个功能（如神经处理、图形、视频等）创建更多领域特定的加速器，并更加关注硬件 - 软件协同优化，以在系统级获得更多收益。



还有一种趋势是寻找特定的技术来解决系统瓶颈，例如内存墙 - 如何在高带宽下获取数据，以足够快的速度和极低功率为逻辑内核提供数据；电源墙 - 如何有效地处理电源传输和散热；打通数据通信瓶颈 - 如何确保有线、光电子和无线基础设施能够处理呈指数增长的数据流量，而不是依赖现成的通用技术。

在高性能计算领域有一些例子，例如 AMD 的 V-cache 技术，其中使用 3D 集成让更多 SRAM 内存直接靠近 CPU。另一个例子是使用硅中介层桥接两个 CPU 芯片，在 Apple M1 Ultra SoC 中就是使用这种技术。还有随着光学 I/O 系统中数据带宽的增加，利用不同的 3D 和 2.5D 技术来大力推动电子和光子 IC 的共封装，以减少寄生电阻。对于 3D 和 2.5D 连接，根据连接密度、成本和复杂性，有多种选择。相关设备、计量和 EDA 基础设施也需要发展成熟，以推动标准化并降低成本，从而实现更广泛的采用。

未来几年在半导体工业中将引入哪些逻辑 CMOS 微缩创新？

Sri Samavedam 认为：使用晶圆背面为器件供电是将引入的下一个主要性能助推器。晶圆正面的传统金属层将用于路由信号，而晶圆背面的金属层将用于电源传输。将电源传输和信号路由分开可以降低电源中的压降（从而提高性能）并减少晶圆正面金属路由的拥塞。Intel 已经宣布他们将在 2nm 节点的纳米片 (nanosheet) 器件架构时引入它。

器件架构除了纳米片和叉片 (forksheet) 以外，还有互补 FET (CFET)，其中 N 器件和 P 器件将使用复杂的集成技术互相堆叠在彼此之上。有几种可能的 CFET 正处于探索研究的早期阶段。在半导体制造后段金属化中，铜双镶嵌集成将被小于 20 纳米间距的高深宽比金属刻蚀图案线取代。imec 一直专注于使钌能够用于直接金属蚀刻。为了降低电阻，钌的深宽比将随着气隙的增加而增加，以减少电容的影响。这些改变将确保后段 RC (电阻 - 电容) 缩放路线图继续用于多个节点。

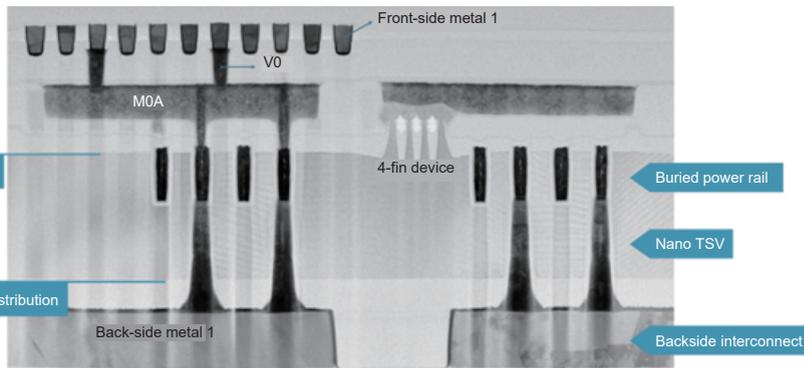


图1：TEM 图像显示出的连接到晶圆背面和正面的FinFET结构。

imec 提出DTCO和STCO计划，以应对行业趋势？

imec 提出了设计技术协同优化 (DTCO) 计划和系统技术协同优化 (STCO) 计划。DTCO 计划致力于跨逻辑、内存和 3D 的设计基准测试，为未来节点构建受技术影响的工艺设计套件 (PDK)。而在 STCO 计划中，imec 使用这些研究的 PDK 来解决内存墙和电源墙等系统挑战。例如，imec 致力于领域特定 SoC 的 3D 分区，并执行多尺度热分析，包括不同的冷却解决方案和混合内存实现。

为了促进 3D 技术成熟，imec 与主要设备供应商密切合作，并与 Cadence 一起工作，以实现 SoC 的真正 3D 分区所需的 EDA 工具。

imec 正在关注的有前途的 CMOS 研发主题

Sri Samavedam 表示：在逻辑方面，imec 继续探索和基量化各种集成和模块选项以实现 CFET 器件，这些器件有望实现 4T 标准单元设计。在半导体制造后段，imec 在高深宽比金属线中加入气隙以实现在 RC 微缩方面取得进展。在量子计算领域，imec 致力于降低硅自旋量子比特器件中的电荷噪声，这有望支持对于量子计算的高保真量子比特操作。

随着光学 I/O 支持的数据速率增加，使用共封装光学器件技术，电子 IC 和光子 IC 可以更加紧密地集成，以减少寄生效应。imec 正在开发新的模块，以使共封装的光学器件成为现实。

在有源内存项目中，imec 继续提高 IGZO (氧化铟镓锌) 器件的器件性能和可靠性，这将在未来的微缩 DRAM 架构中发挥关键作用。在存储计划中，imec 继续推动传统 GAA 结构 3D NAND 闪存扩展路线图的存储应用。◆

用于创新PIC封装的 晶圆级纳米压印技术

数据中心、电信网络、传感器和用于人工智能高级计算中的新兴应用，对于低功耗和低延迟的高速数据传输的需求呈现出指数级增长。我们比以往任何时候都更加依赖这些应用来确保这个世界更安全、更高效。在所有这些市场中，硅光子学(SiPh)在实现超高带宽性能方面发挥着关键作用。因此，开发能够经济高效地扩大硅光子产品生产的解决方案比以往任何时候都更加重要。

虽然通过使用标准半导体大规模生产工艺和现有基础设施，SiPh的晶圆制造能力已经成熟，但SiPh的封装解决方案仍然是大规模商业化的关键瓶颈。

与晶圆制造相比，SiPh的生产能力仍然落后且缺乏可扩展性。主要的限制因素是光纤到芯片的组装，如今的公司通常依赖于非常复杂的解决方案；例如，通过主动对准或高精度工具在芯片上直接使用粘合剂进行光纤粘合。这些因素限制了SiPh的更广泛部署。为解决这一挑战，EV Group (EVG) 与 Teramount 合作，使用简单、可靠且具有成本效益的晶圆级复制工艺开发光学微结构，从而实现生产能力以及复杂结构生产的规模化。这种被称为纳米压印光刻(NIL)的复制工艺有助于简化、小型化和标准化光学接口，以弥合SiPh封装与晶圆级大批量制造(HVM)之间的差距。

NIL概述

NIL是一种精确的复制技术，已被证明非常适合促进具有挑战性几何形状的微结构的图案化，这是光子市场新兴器件和应用所需的技术。该技术非常灵活，可以生产各种形状和结构，例如反射镜、棱镜、球面和非球面透镜、微透镜阵列，以及各种类型的衍射结构。支持的尺寸结构可以是自由形式的，范围从纳米级分辨率到毫米的横向范围。这些3D结构只需一步即可复制，非常适合光子学行业，其中光物质相互作用在很大程度上依赖于形状和几何尺寸。

NIL的另一个关键特性是将这些复杂和高精度的结构直接转移到HVM中，因为可以在单个工艺步骤中在大面积上以高保真度复制数百或数千个结构。总体而言，晶圆级NIL代表了一种高效且低成本的非常规光刻方法，能够复制复杂的微米级和纳米级结构，尤其是晶圆级光学器件(WLO)。

作者：Andrea Kneidinger, EV Group

步进重复母版：将NIL从单个裸片扩展填充到整个母版

步进重复 (S&R) NIL 是制造晶圆级微结构或纳米结构的关键使能技术，因为它弥合了芯片级设计和晶圆级生产之间的关键差距。特别是，它允许缩放先前在平方毫米范围内测量的区域上原型化的结构，以填充整个 200mm 或 300mm 的晶圆。S&R NIL 面临的主要挑战是，初始母版印章的质量决定了后续生产的成功，因此必须保持单个模具母版的质量。因此，单个裸片的母版有必要使用——用电子束、直接激光写入或双光子聚合写入——并精确复制数百甚至数千次，以生产 200mm 甚至 300mm 晶圆生产线的全面积母版（见图 1）。

为满足这一需求，EVG 开发了 EVG770 S&R NIL 系统，该系统可以精确复制微米和纳米图案，用于 HVM 中使用的大面积母版印章制造。它以全自动程序分配光刻胶、对齐结构、相应地压印和脱模。为了支持最先进的母版制作要求，S&R 系统包括完整的工艺控制，在 250 nm 内进行精确对准，并且能够将每个结构定位在对准图案旁边。所有工艺步骤——从分配、压印、固化和脱模——也必须在单一环境中精确执行和监控，以实现最佳反馈控制。

这不仅避免了空气中的颗粒或温度变化等外部来源可能导致缺陷的影响，而且还能够创建具有最佳质量的晶圆级母版和每个可以应用的单个芯片的精确复制品到晶圆级制造中。

在每个复制步骤中——从单个芯片到 S&R 母版，再到工作印章和最终压印——图案尺寸的一些变化是不可避

免的，这是由于 UV 固化过程中交联引起的聚合物收缩。这些变化是可以预测的，一些步骤甚至可以相互补偿，并且对于一组给定的材料，与原始设计的偏差是完全可重复的。因此，可以在主设计中计算补偿。灵活的制造方法，例如 2GL（双光子灰度光刻）或电子束，支持此类设计更改以及较短的迭代时间。

用于大批量制造的晶圆级 NIL

S&R 母版制作工艺之后是晶圆级 NIL 复制，这是在 EVG7300 上执行的。这个工艺包括两个步骤，这两个步骤都在同一个系统上执行的（图 2）。首先，复制 S&R 母版以制作工作印章。此步骤特别有用，因为它最大限度地减少了昂贵母版的磨损并降低了引入缺陷的风险。有缺陷的工作印章可以快速且低成本地更换，这在大批量生产过程中特别有利。

为确保无缺陷的工作印章制造，初始母版上涂有通过旋涂施加的防粘层。接下来，使用 EVG120 旋涂 / 喷涂系统通过旋涂工艺将工作印章材料直接涂在母版上。接下来，将透明背板贴在带涂层的母版上。然后使用 UV LED 光源固化工作印章聚合物，最后从母版上脱模。

制作工作印章后，在器件基板上执行实际压印工艺。这涉及使用与工作印章制造相同的旋涂工艺来在基板上应用专用的材料。

接下来，工作印章和具有分配材料的基板彼此接触。与工作印章制造过程一样，此步骤之后是 UV 固化和脱模，

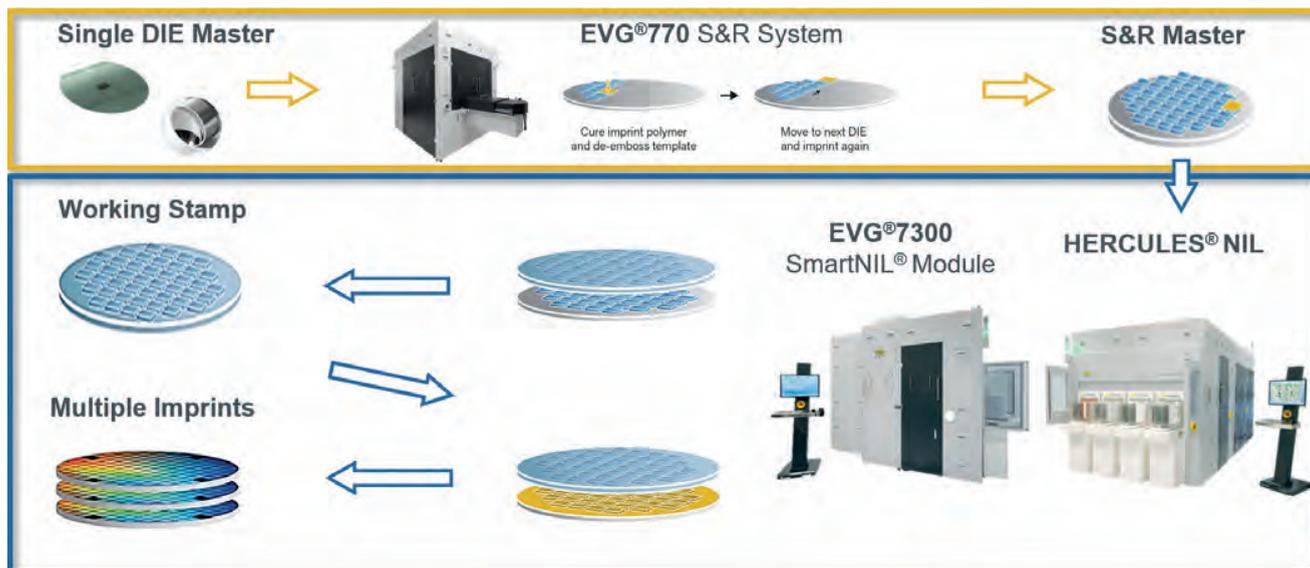


图 1: EVG 的 NIL 工艺和扩展技术：从单个芯片，通过分步重复 (S&R)，到完全填充的母版和大批量制造。

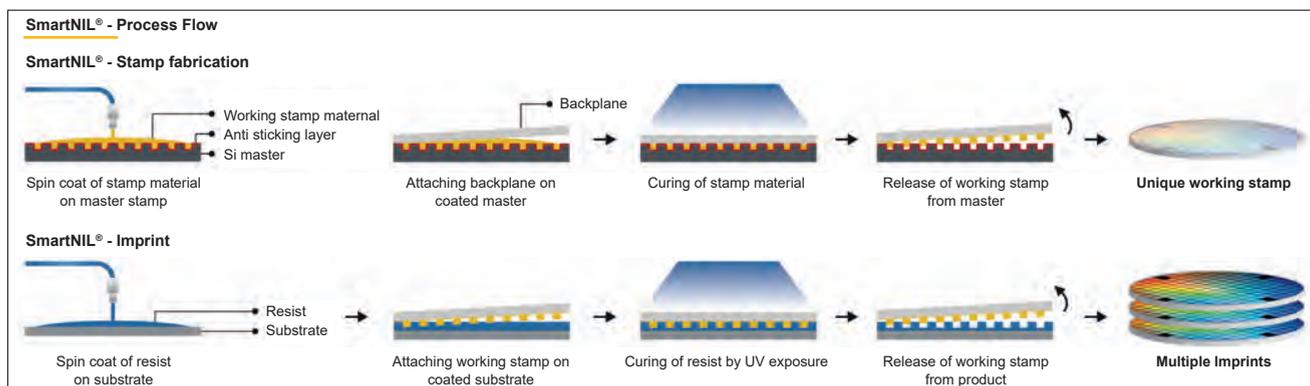


图2: NIL工艺的示意图, 包括两个步骤: 工作印章制作和压印。这两个步骤都是在同一个工具中进行的。

从而在基板上形成最终器件的多个印章。然后可以将工作印章重复用于多次压印, 从而提高 NIL 工艺效率。这种重用工作印章的方法已经在 HVM 应用中得到了证实。

NIL 工艺早已证明其在光学传感器大批量生产中具有高可重复性, 现在正被用于复制硅光子器件封装的复杂光学结构。与金刚石钻孔、激光直写和电子束写入等传统制造方法相比, 它为这些结构提供了显著的产量和成本优势, 这些方法难以扩展到更大的基板并且其产量有限。结合 NIL 工艺可以使用性能最佳的芯片, 并能够有效地将这些高质量图案带入生产线。特别是, 与光子芯片下方光学结构的精确对准, 对于 SiPh 封装器件内所需的出色耦合性能至关重要。NIL 还可以生产复杂的结构, 这通常不可能通过标准 CMOS 工艺生产, 例如具有锐角、曲面或具有高纵横比和低纵横比的结构的光学耦合元件。NIL 在 SiPh 晶圆上提供高图案保真度、可重复性和精确放置光学元件的能力, 在将典型的光纤封装复杂性从组装领域转移到晶圆制造领域方面发挥着关键作用。

与Teramont 合作

EVG 与 Teramont 的合作展示了 NIL 如何帮助实现 SiPh 封装的范式转变。Teramont 通过使用 NIL 实现其 PhotonicPlug 和 PhotonicBump 晶圆级光学元件——使光子封装与标准半导体制造和封装工艺保持一致。NIL 为硅光子晶圆的后处理提供了一个理想的平台, 用于在半导体制造厂或外包半导体组装和测试 (OSAT) 设施中执行的光子“凸点化”工艺。

NIL 已被用于在 8 英寸 SiPh 晶圆上压印光子凸点, 用于执行晶圆级光学耦合元件, 从光子集成电路的波导和到光子集成电路的波导。图 3a 显示了压印在多通道 SiPh 芯片旁边的光子凸点, 图 3b 显示了压印在单个波导通道附近的光子凸点的特写。PhotonicBump 包含一个压印在深 20 微米腔内的偏转镜和第二个透镜元件。偏转镜执行垂直光束偏转以实现宽带表面耦合, 用来替代通常用于硅光子学封装的复杂侧面耦合几何形状。

透镜用于光束扩展, 以建立自对准光学方案^[1], 并

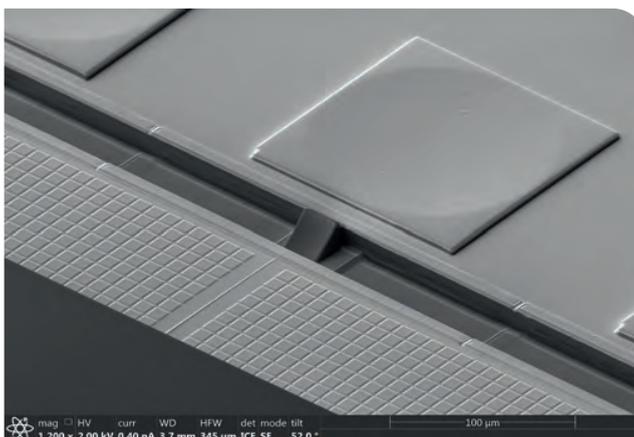
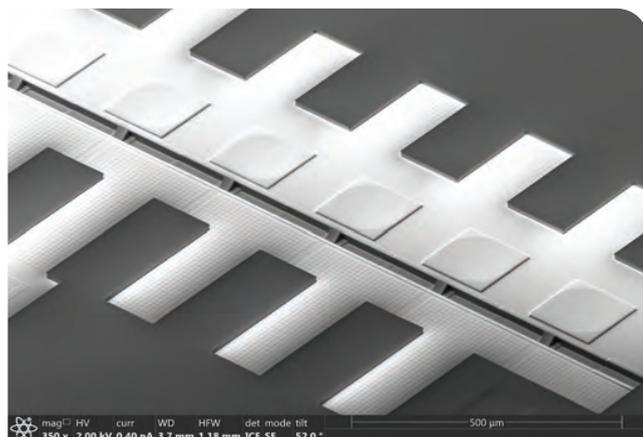


图3: a) SiPh 晶圆上多通道光子集成电路波导旁边的光子凸点 PhotonicBump NIL 压印; b) 特写放大图像显示了包括光束偏转镜和光束扩展镜在内的光子凸点 PhotonicBump 元件。

在与 PhotonicPlug 光纤连接器结合时产生较大的装配容差 (如图 4 所示)。

图 5 显示了与凸点 SiPh 芯片封装时 PhotonicPlug 的光耦合性能。图 5a 显示了 XY 容差图, 图 5b 显示了具有 $>\pm 30\mu\text{m}/0.5\text{dB}$ 的大装配容差和从光纤到波导的总插入损耗为 1dB 的 x 横截面。如此卓越的性能展示了 PhotonicPlug 和 PhotonicBump 的能力以及 NIL 技术执行晶圆级光学元件精确放置的优势。

NIL 与 Teramount 的 PhotonicBump 封装技术相结合, 使光电子行业的晶圆级封装成为可能, 这可能对降低封装和整体产品成本产生深远影响。尽管封装在 CMOS 总生产成本中所占份额仍然相对较小 (但仍在增长), 但它占光子制造总成本的大部分, 而光子制造仍然依赖于单一器件封装方案。由 NIL 和 PhotonicBump 封装实现的晶圆级集成光子学有可能颠覆这种情况。通过 NIL 工艺和创新光学元件的这种结合, SiPh 封装的瓶颈正在转移到光学设计而不是光纤组装容差。

NIL Photonics 能力中心: 灵活的合作模式

作为 EVG 与 Teramount 联合合作的一部分, EVG 通过其 NIL Photonics 能力中心提供 NIL 工艺开发和原型设计服务, 以及 CMOS 和光子制造方面的专业知识, 以协助 Teramount 加速其 PhotonicPlug 技术的开发和产品化。

EVG 的 NIL Photonics 能力中心为整个 NIL 供应链中的客户和合作伙伴提供开放式创新孵化器, 以协作缩短创新光子器件和应用的开发周期和上市时间。

该中心高度灵活, 能够适应客户的不同需求, 同时确保为开发的各个方面提供最高水平的知识产权保护。无尘室

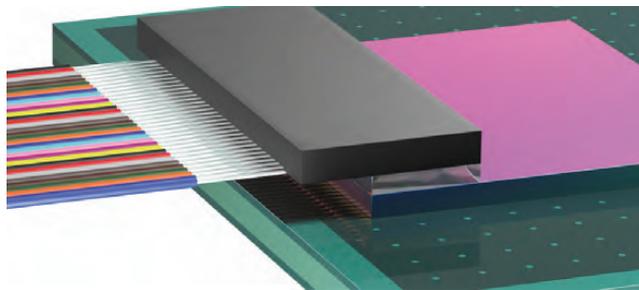


图4: 上) 组装在“凸点”SiPh 芯片上的 PhotonicPlug 光纤连接器示意图。下) PhotonicPlug 光学元件包括单模光纤、偏转镜和扩束镜。当与 PhotonicBump 光学器件结合使用时, PhotonicPlug 光学器件形成自对准光学方案。

旨在满足最严格的客户要求, 并允许采用虚拟生产线概念, 将晶圆重新引入客户晶圆厂进行进一步的工艺过程。◆

致谢

作者感谢 Teramount 的 Hesham Taha 为撰写本文所提供的帮助。

参考文献

1. “Photonic plug for scalable silicon photonics packaging”, A. Israel et al. Proc. SPIE 11286, Optical Interconnects XX, 1128607 (28 February 2020); doi: 10.1117/12.2543490

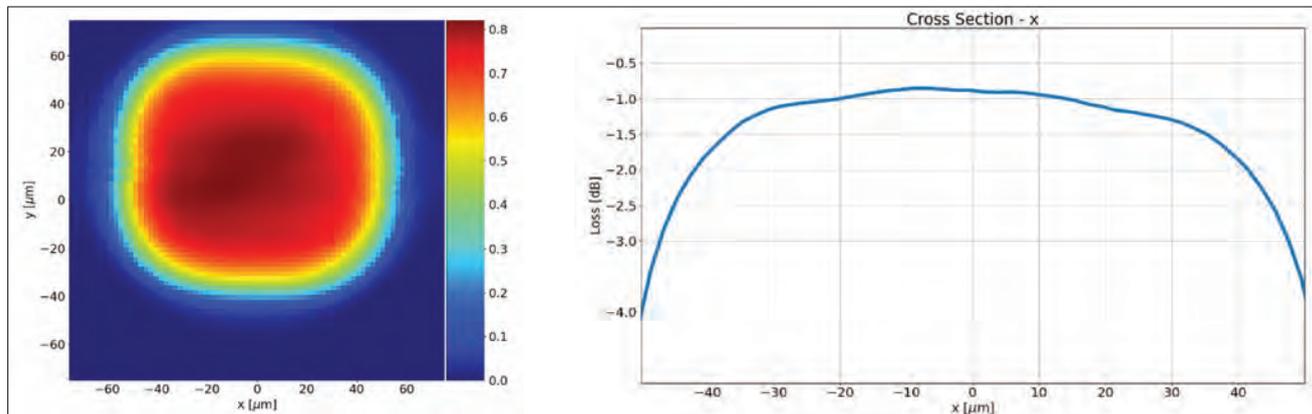


图5: a) 耦合到 SiPh 芯片时测得的 PhotonicPlug 装配容差的 XY 图。b) PhotonicPlug 组件容差的 X 截面呈现 $>\pm 30\mu\text{m}/0.5\text{dB}$, 从光纤到波导的总插入损耗为 1dB。

晶圆级封装Bump制造工艺关键点解析

射频前端 (RFFE) 模组国内外手机终端中广泛应用。它将功率放大器 (PA)、开关 (Switch)、低噪声放大器 (LNA)、滤波器 (Filter)、无源器件等集成为一个模组, 从而提高性能, 并减小封装体积。然而, 受限于国外专利以及设计水平等因素, 国产滤波器的份额相当低。在模块集成化的趋势下, 国内射频巨头在布局和生产滤波器。声学滤波器可分为声表面滤波器和体声波滤波器, 其中声表面滤波器可根据适用的频率细分为 SAW、TC-SAW 和 IHP-SAW。体声波滤波器适用于较高的频段, 可细分为 BAW、FBAR、XBAR 等。无论是 SAW (Surface Acoustic Wave filter) 还是 BAW (Bulk Acoustic Wave Filter), 均是在晶圆级封装后以倒装芯片的工艺贴装在模组上。在晶圆级封装 (WLP) 工艺中, Bump 制造是相当重要的一道工序, 因此, 本文将浅谈滤波器晶圆级封装中 Bump 制造的关键点。

当前业内常见的几种 SAW filter Wafer Bumping 工艺如下:

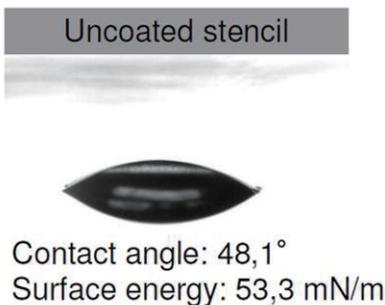


图3: 无纳米涂层钢网 (Source: Laser Job)

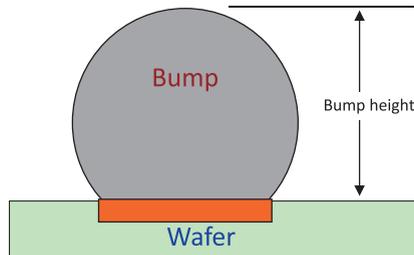


图1: 球高。

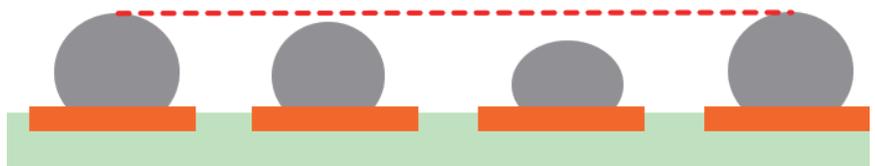


图2: 共面度。

1. 通过打线工艺在晶圆的 UBM (Under Bump Metal) 上植金球。
2. 通过钢网印刷工艺在 UBM 上印刷锡膏, 再经过回流焊成球。
3. 先在晶圆的 UBM 上印刷助焊剂, 将锡球放到 UBM 上, 再经过回流焊完成植球。

本文重点介绍第二种工艺。通过对印刷锡膏方案的剖析发现, 在 Bumping 工艺中 Bump 的高度和共面度 (同一颗芯片上 Bump 高度最大值最小值之差, 差值越低越好) 是最重

要的关键指标 (如图 1 和图 2)。下面从钢网的工艺和设计、锡膏的特性等方面进行分析。

钢网印刷

钢网印刷的目的是使锡膏材料通过特定的图案孔沉积到正确的位置

上。首先, 将锡膏放到钢网上, 再用刮刀使其通过钢网开孔沉积到焊盘上。钢网与晶圆之间的距离 (印刷间隙)、印刷角度、压力、速度和膏体的流变特性是确保锡膏印刷的关键参数。一旦钢网开孔被膏体填满, 脱模后膏体留在每个焊盘上, 沉积在焊盘上的体积取决于钢网的孔距和孔壁的质量、焊盘的表面特性和膏体的流变性能。

钢网的加工工艺与开孔设计

钢网孔壁质量、尺寸一致性、定

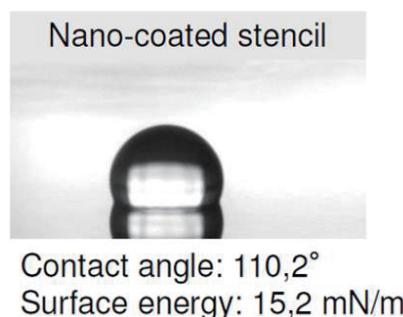


图4: 纳米涂层钢网 (Source: Laser Job)

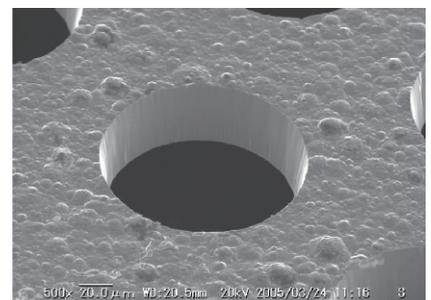


图5: 电铸钢网孔壁 (Source: Bon Mark)

General Stencil Design Rules (IPC-7525)

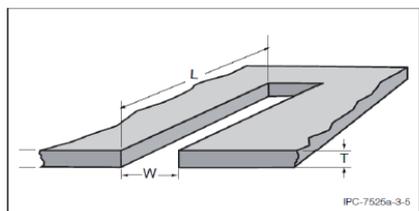


Figure 3-5 Cross-Sectional View of A Stencil

$$\text{Aspect Ratio} = \frac{\text{Width of Aperture}}{\text{Thickness of Stencil}} = \frac{W}{T}$$

$$\text{Area Ratio} = \frac{\text{Area of Aperture}}{\text{Area of Aperture Walls}} = \frac{L \times W}{2 \times (L + W) \times T}$$

- Aspect ratio ≥ 1.5
- Area ratio ≥ 0.66 (Historical limit)
- Area ratio ≥ 0.55 (Electroformed)

图6: 钢网开孔规则。

位精度和钢网生产成本是钢网生产工艺的选择标准。考虑到带有 Bump 的滤波器是以倒装芯片的工艺应用在前端射频模组里，其特点是 Bump 的尺寸小 (bump 高度在 50~100 μm 之间)、间距小、对 Bump 高度的一致性要求高 (共面度在 10 μm 以内)。为了满足以上要求，业内最常选用的是纳米涂层钢网和电铸钢网。

纳米涂层钢网的工艺是：在激光切割的基础上对钢网进行清洗，然后在钢网内壁进行打磨抛光以降低粗糙度，最后涂覆纳米涂层。纳米涂层使接触角显著增加，从而降低钢网材料的表面能，有利于锡膏脱模。

电铸钢网的制作方法是：先在导电基板上用光刻技术制备模板，然

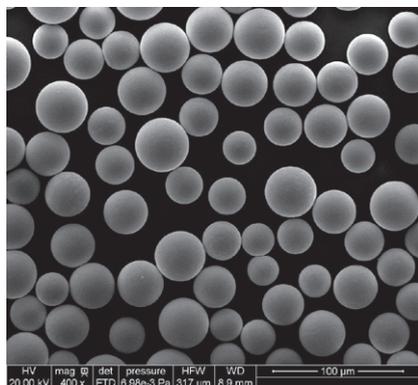
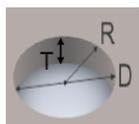


图7: Welco 焊粉 SEM 图片。



Area Ratio (Circular)

$$= \frac{\pi R^2}{\pi D \times T}$$

最好最稳定。

小结一下，纳米涂层钢网的印刷表现略逊于电铸钢网，其涂层在批量生产一段时间后可能会脱落，但是纳米涂层钢网的价格远低于电铸钢网；电铸钢网的侧壁非常光滑，其印刷表现最好，是超细间距应用的最佳选择，但电铸钢网的价格相当昂贵。钢网的选择取决于客户对产品特性和成本的综合考量。

开孔面积比

由于 CTE 不匹配会影响封装的可靠性，符合高度要求的 Bump 在这方面会起到积极的作用。这就要求钢网印刷过程可靠地沉积稳定的锡膏量，以产生坚固的互连。锡膏从钢网孔的释放是由锡膏在钢网孔侧壁和晶圆焊盘之间的相互作用决定的。据文献记载，为了从钢网印刷中获得良好的膏体释放效率，模板开孔面积比 [开

孔面积比 = 开口面积 / 孔壁面积] 应大于 0.66。该比率限制了给定孔径大小的模板厚度，并要求使用更薄的模板来印刷更细的间距。随着钢网制作工艺的提升，钢网开孔的面积比可以适当降低，如图 6 所示。

锡膏

锡膏是由焊粉和助焊剂均匀混合而成的膏体，其中锡球的形状、颗粒大小、尺寸分布、氧化程度以及助焊剂载体的流变性能和配方体系，都对锡膏的印刷和回流性能起着重要作用。细间距印刷用的焊粉一直是贺利氏电子的优势，因为 Welco[®] technology (一种在油介质中分散熔融合金的制造技术) 利用两种不同介质的表面张力存在差异的原理，用工艺配方控制粉末尺寸范围，摒弃了传统的网筛工序，避免了粉末颗粒因网筛而导致的形变(表面积变大)。再者，粉末在油介质中得到充分保护，减少了粉末表面的氧化。Welco[®] 焊粉搭配贺利氏独特的助焊剂配方体系，使印刷锡膏的转化率能够得到保证。

当前市场上 SAW/BAW 滤波器的应用中常见的 Bump 高度为 50-100 μm ，结合单个芯片的 layout，即相邻 bump 的最小间距，以及相邻芯片的 bump 的最小间距，6 号粉和 7 号粉锡膏是匹配的选择。粒径的定义是基于 IPC 的标准 (如图 8)，即 6 号粉有 80% 的焊粉粒径分布在 5-15 μm 的区间。

IPC	T4	T5	T6	T7	T8
Magnification x2000					
IPC Spec PSD >80%	38-20 μm >90%	25-15 μm >90%	15-5 μm >90%	11-2 μm >85%	8-2 μm >80%

图8: IPC 粒径规格。

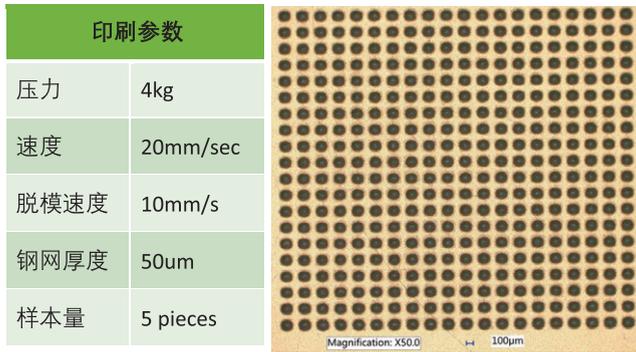


图9：印刷后。

选择合适粒径的锡膏非常重要，助焊剂体系的选择也是非常关键。因为一些 SAW 的 IDT 位置是裸露的，焊锡膏或助焊剂的飞溅都有可能影响 IDT 的信号和声波之间的转换。对此，贺利氏开发的 AP5112 和 AP520 系列产品在开发时均在飞溅方面做了深入的研究，从而尽可能避免飞溅问题。Bump 中空洞的表现也是非常重要的质量指标，尤其是在模组中经过多次回流焊之后。

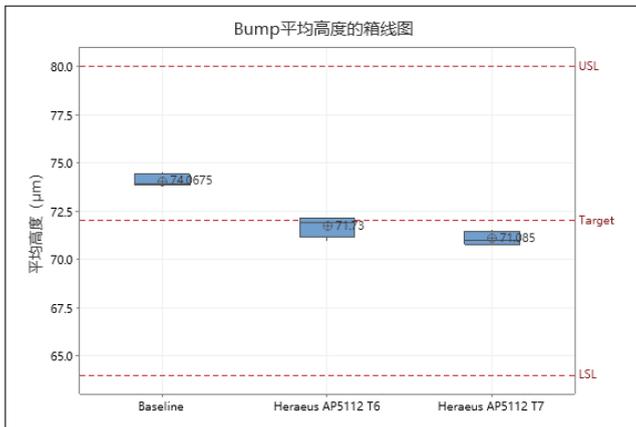


图10：Bump高度数据。

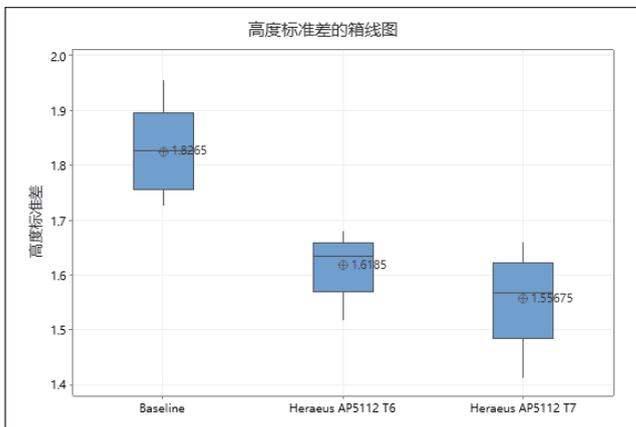


图11：Bump高度标准差。

案例分享

应用：SAW filter

6 inch 钽酸锂晶圆（印刷测试以铜板代替钽酸锂晶圆）

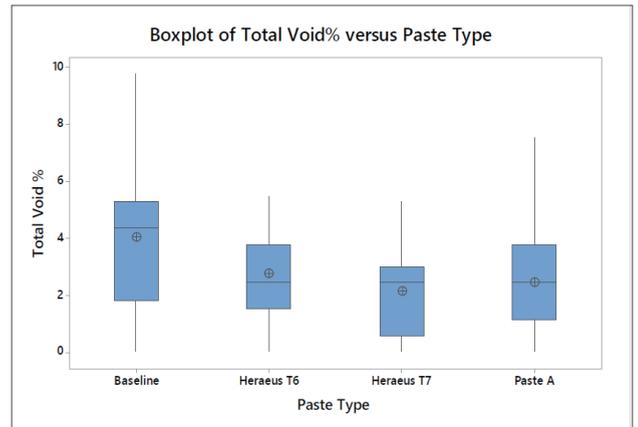
Bump 高度 = $72 \pm 8\mu\text{m}$ ；共面度 $< 10\mu\text{m}$

钢网开孔尺寸：130*140*50µm

锡膏：AP5112 SAC305 T6

印刷稳定性是影响 bump 高度一致性的关键因素。印刷窗口的定义通常受印刷设备的能力、钢网的加工工艺、产品设计等因素的影响，通常通过实验验证获得。如图9所示，6号粉锡膏的连续印刷表现优异，没有发现连锡和大小点的问题。Bump 的高度数据能够更好地说明。

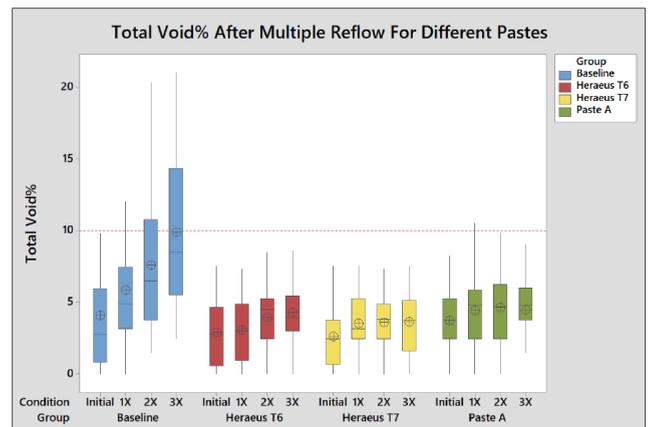
在回流焊过程中，已印刷在 UBM 区域的锡膏逐步熔化，助焊剂流至焊锡四周，而焊料熔化后回流到 UBM 上并在界面之间形成金属间化合物（Intermetallic layer），冷



Results

- Heraeus T7 (Best) > Heraeus T6 > Paste A > Baseline

图12：Bump void 数据。



Results

- Heraeus T7 (Best) > Heraeus T6 > Paste A > Baseline

图13：多次回流焊后空洞变化的数据。

却后形成一定高度的 Bump。Bump 的平均高度非常靠近目标值，且标准差相对较小，如图 10 和图 11 所示。

Bump 高度的指标非常关键，Bump 中的空洞也至关重要。在 SAW filter 上面的结果显示，贺利氏的 6 号粉和 7 号粉具有良好的表现，如图 12 所示。

晶圆级封装最终会以芯片级应用到系统封装，即以倒装芯片的工艺集成到模组里。在此过程中会经历多次回流焊工艺，那么回流焊之后 bump 内部的空洞会发生怎样的变化？对此，我们测试了 3 次回流焊之后 bump 内部空洞的变化，结果如图 13 所示。贺利氏的 6 号和 7 号粉锡膏

对应的 Bump，在经过 3 次回流焊之后仍然能够保持在比较好的水平。

总结

本文简单阐述了晶圆级封装的关键技术点。贺利氏 Welco 焊粉和独有的助焊剂配方体系能够匹配 SAW、BAW 等滤波器的晶圆封装需求。更深层次的技术细节，如 Bump 高度的设计和球高与锡膏量的关系，敬请期待下一篇文章。不论是晶圆级封装还是先进封装贺利氏都能提供成熟的解决方案。◆

Brewer Science 推出新型富硅间隙填充材料

Brewer Science 宣布推出 OptiStack® PL200 系列材料，这是一种富含硅的高深宽比间隙填充材料，旨在提供卓越的平坦化，解决牺牲的间隙填充应用中面临的问题。该材料系列还通过提供保护性、易于剥离的间隙填充材料来克服纳米片架构的挑战，从而促进下一代先进节点图案化。

OptiStack® PL200 系列材料是一种创新的旋涂富硅间隙填充材料，与传统间隙填充材料相比具有极低的缺陷率。该材料系列旨在为小于 10 纳米的沟槽和通孔结构提供出色的间隙填充，同时还为坚固、可靠的光刻和刻蚀转移提供出色的平坦化。产品的稳定性提供了 365 天的长保质期（在 21℃ 下）。

双镶嵌是所有现代半导体后段生产线 (BEOL) 金属化中用于制作铜互连的重要工艺。双镶嵌过程中的一个关键步骤是对引入的通孔结构进行间隙填充，为后续的沟槽开口做准备。传统上，使用厚底部抗反射涂层 (BARC) 或有机间隙填充材料来填充通孔。由于一些底部较低的金属层现在必须经过多个图案化步骤才能达到所需的临界尺寸 (CD)，因此整个间隙填充、图案化和刻蚀过程就变得更加复杂。

新的 OptiStack® PL200 系列材料在几个方面改进了传统工艺：

① 更少的步骤。匹配氧化物刻蚀速率的能力。由于新材料与周围的介电材料一起刻蚀，因此可以消除传统 SOC 使用间隙填充时所需的额外凹陷步骤。

② 与间距拆分工艺更兼容。这种新材料在基于 O₂ 的

灰化工艺中具有非常低的收缩率。它可以在光刻胶剥离后留存下来，并为随后的第二和第三步光刻步骤做好多重图案化准备。

③ 易于剥离。OptiStack® PL200 系列材料可通过几种常见的湿法刻蚀化学品（如 SC1）完全去除。具有零缺陷能力的单步湿法清洁还可以为窄小的水平纳米片提供有效清洁，从而有助于下一代应用。

④ CMP 兼容性。当需要严格的全局平坦化时，这种新材料可以通过 CMP 进一步平坦化，用于高低地貌和 / 或图案密度大幅变化的设备。

与传统解决方案相比，OptiStack® PL200 系列材料提供无与伦比的间隙填充能力、在各种间距密度下的出色平坦度、极低的 O₂ 灰化收缩和最小的缺陷率，所有这些都对于提高先进节点中许多制造层的良率至关重要。

OptiStack® PL200 系列材料在其他应用方面也显示出巨大潜力，尤其是在先进的 FinFET 工艺和未来架构中，例如叉片、纳米片 / 环栅 (GAA) 和 CFET。

减少先进工艺中清洁不充分造成的良率损失

传统的等离子清洁工艺清洁深层结构不够充分，从而导致潜在的污染或晶体管结构损坏。在叉片或纳米片 / 环栅晶体管结构中，水平纳米片的清洁至关重要，因为纳米片上或纳米片之间的残留材料会阻止后续原子层的去除或沉积。使用 SC1 进行清洁可有效去除 OptiStack® PL200 系列材料，并且在构建 N 型金属氧化物半导体 (NMOS) 和 p 沟道金属氧化物半导体 (PMOS) 结构时不会损坏关键区域。

失效分析和可靠性测试： 为什么SAM现在是必不可少的设备

扫描声学显微镜(SAM, Scanning Acoustic Microscopy)已成为半导体供应链完整性、在线制造、研发、质量控制实验室中不可或缺的测试设备,甚至可以对所有制造材料进行100%全面检查。

制造商测试实验室、研发中心、材料研究小组和质量控制部门,寻找微小缺陷正在刺激对扫描声学显微镜(SAM)设备的投资。失效分析和可靠性检测计量技术已变得至关重要,现在SAM与X射线和扫描电子显微镜(SEM)等其他实验室测试和测量仪器并驾齐驱。在当前电子元器件供应链极其受限的市场条件下,SAM是一种非常高效的工具,可以帮助减少半导体供应链中假冒器件的扩散。

SAM也被称为超声波无损检测(NDT, Non-Destructive Testing),在工业中用于识别制造过程中产品或组件中的小缺陷,并用于在现场器件发生失效时分析失效的特定根本原因。对这种强大的失效检测能力的需求,正在刺激该技术在消费、工业和军用电子元器件制造商中的使用日渐增加。

SAM提供强大的非侵入式、非破坏性成像和材料分析,用于检查不透明材料的内部结构。它可以提取特定深度的信息并将其应用于创建二维和三维图像,而无需耗时的断层扫描程序或昂贵的X射线设备。专家可以分析SAM图像以检测和表征器件缺陷,例如键合界面中的裂纹、分层、夹杂物和空隙,以及评估PCB上的焊接和其他界面连接。

SAM的最新进展有助于检测比



以前小得多的缺陷。

“先进的相控阵SAM系统可以提高失效分析的水平,因为它提高了检测的水平和精度。过去的目标是检测到500微米的缺陷;现在的目标已经变成了检测50微米的缺陷。通过这种类型的测试,我们可以检查材料并发现以前未被发现的缺陷,”总部位于弗吉尼亚州的工业SAM超声波无损检测系统制造商OKOS的总裁Hari Polu说。OKOS公司服务于电子制造、航空航天和金属/合金/复合材料制造商以及终端用户的市场。

当制造商利用更高级别的失效检测和工具时,电子元器件的生产良

率和整体可靠性都会显著提高。同时项目会加快进度,现场的潜在失效点也能够被消除。

由于使用SAM的显著优势,越来越多的制造商正在为研发和QA实验室配备SAM计量设备,并将其集成到生产线中以进行100%的全检。

SAM满足半导体和电子元器件行业需求

在半导体和电子元器件行业,对无损失效分析和可靠性测试的需求正在加速增长。在这些行业中,具有极高的一致性而且没有缺陷或杂质对于制造是至关重要的。无论产品是晶圆、

分立电子元器件产品，还是手机、视频游戏、EV 汽车子系统或火箭子系统中使用的封装组件，情况都是如此。

SAM 满足了半导体和电子元器件行业的这一需求。该测试已经成为对半导体组件进行 100% 检测的行业标准，用于识别微电子器件中的空隙、裂纹和不同层的分层等缺陷。

除了半导体组件本身，当今的电子元器件产品还包含各种特种金属、合金、塑料和玻璃元件。所有半导体组件都需要以消费者可用的形式进行整合和封装。因此，SAM 设备得以同步发展，现在正用于检测构成半导体组件的“封装”中这些类型材料表面下的缺陷、脱粘、裂纹和其他不规则现象。

由于用这些材料制成的许多组件的关键性质，高纯合金应该高度一致，杂质和污染水平要达到极低。铝、锌、钴、铜、钛、铅、钼、镁和不锈钢等高纯金属和合金是电子元器件、航空航天和医疗设备等许多行业的支柱。

SAM 设备节省成本和时间

扫描声学显微镜的功能是将来自换能器的聚焦声音引导到目标物体上的一个点。撞击物体的声音被散射、吸收、反射或传输。通过检测散射脉冲的方向和“飞行时间”，可以确定边界或物体的存在及其距离。

为了生成图像，样品会逐点、逐行扫描。扫描模式范围从单层视图到托盘扫描和横截面。多层扫描最多可包含 50 个独立层。可以提取特定深度的信息并将其应用于创建二维和三维图像，而无需耗时的断层扫描程序或昂贵的 X 射线设备。然后人们可以分析图像以检测和表征裂纹、夹杂物和空隙等缺陷。

较小的制造商和独立测试实验室可以选择桌面型 SAM，该型设备提供超过 300 毫米的扫描范围，最大扫描速度为 500 毫米 / 秒，精度和可重复性为 ± 5.0 微米。其软件允许使用保存的数据以虚拟方式重新扫描、查看和分析数据，以进行同步实时分析或收集后重新查看。通常，此类台式设备用于分析数据以进行失效分析、产品检验、质量控制、研发、过程验证，以及确定产品可靠性、过程质量控制和供应商资格。

随着要求的提高，为了适应更高水平生产方面的测试，制造商通常会使用具有高速检测能力的更大系统。然而，这时的挑战在于要以极高的吞吐量执行此检查，并且还要通过 100% 的检查来识别和移除不符合质量要求的组件。这需要更先进的设备，这些设备可以同时检查多层，通常也是在多个通道上以自动方式扫描处理托盘中的多个样本以加速该过程。

根据 Polu 的说法，SAM 还可以定制设计以完全集成到大批量制造系统中。先进的相控阵系统可检测特种金属和合金中的微小缺陷，从而对所有材料进行 100% 的检查。半导体工厂现在可以对托盘中的晶圆、面板和分离组件进行 100% 的检查。

幸运的是，SAM 技术的最新进展显著提高了吞吐速度和缺陷检测能力。当 100% 检查需要高吞吐量时，可使用超快速单或双龙门扫描系统以及 128 个传感器进行相控阵扫描。多个换能器也可用于同时扫描以获得更高的吞吐量。

“传统的 5MHz 传感器最多可能需要 45 分钟来检查 8-10 英寸的方形或圆形合金。然而，如今，带有 64-

128 个传感器的先进相控阵和用于渲染图像的创新软件可以将检查时间缩短至五分钟，并且可以更精细地检测小杂质或缺陷。” Polu 说。

与进行扫描的物理和机械方面的硬件同样重要的是，软件对于提高分辨率和分析信息以生成详细扫描至关重要。

多轴扫描选项支持对复合材料、金属和合金进行 A、B 和 C 扫描、轮廓跟踪、离线分析和虚拟重新扫描。这时的能够通过检查软件对缺陷和厚度测量进行高精度的内部和外部检查。

各种软件模式可以实现简单和易用，可以进行详细分析，也可以自动化进行生产扫描。离线分析模式也可用于虚拟扫描。

Polu 估计 OKOS 的软件驱动模型使他们能够降低 SAM 测试的成本，同时还能提供相同质量的检查结果。因此，即使是一般的测试实验室也可以使用这种类型的设备。

“由于当今对检测和精度的严格要求，每家公司最终都会转向更高水平的失效分析，” Polu 说。“工业 SAM 设备的成本优势和时间节省使得这种要求成为可能。”

OKOS 在加利福尼亚州圣克拉拉、亚利桑那州凤凰城和弗吉尼亚州马纳萨斯设有实验室，提供符合现有工业和军事标准的合同分析和测试服务。该服务还使客户能够在投资设备之前审查技术和可行性。

如今，在众多行业中，与传统方法相比，SAM 提供的失效分析细节水平极高，从而具有最佳价值。因此，人们现在普遍认为先进的 SAM 系统是研发和质量保证实验室以及高速生产线中必不可少的工具。◆



昂图科技的极大尺寸照射场高分辨率光刻系统克服了FOPLP图形形变挑战

异构集成技术集成了多个来自不同制程与功能各异的芯片来达到更优越的效能。在大尺寸的面板级封装中，现存的步进式曝光机有着最大单一照射场（Exposure Field）尺寸的限制，迫使图形化制程中需要使用多个光罩图形结合来达到更大的封装尺寸，这导致了较低的生产吞吐量，并增加了制造成本。昂图科技的新型JetStep® X500曝光机的每单位照射场最大可达到250 mm x 250 mm，大幅降低了每片基板所需的曝光次数，从而进一步降低了扇出型面板级封装（FOPLP）的制造成本。

高性能电脑，5G，智能手机，数据中心，智能汽车，人工智能与物联网这些终端应用，大部分都需要使用异构集成技术来达到下一世代的效能需求。为了在单个封装中集成更多的芯片，单一封装尺寸将从75 mm × 75 mm 成长到 150 mm × 150 mm，抑或是更大的尺寸。异构集成是一个重要的技术，引领着我们更接近下

一个世代，此世代将各种科技融入了我们的生活之中，不论是智慧型的工厂，或是在城市中穿梭的各种自动驾驶车辆与载具，抑或是将人们更紧密的连接在一起的移动设备和让人们变得更健康的可穿戴设备，等等。

不论如何，为了更接近下一世代，将带来一些对于现存科技的挑战。其中之一便是对于各种终端装置的效能与

作者：John Chang, Corey Shay, James Webb, Timothy Chang; ONTO INNOVATION INC.

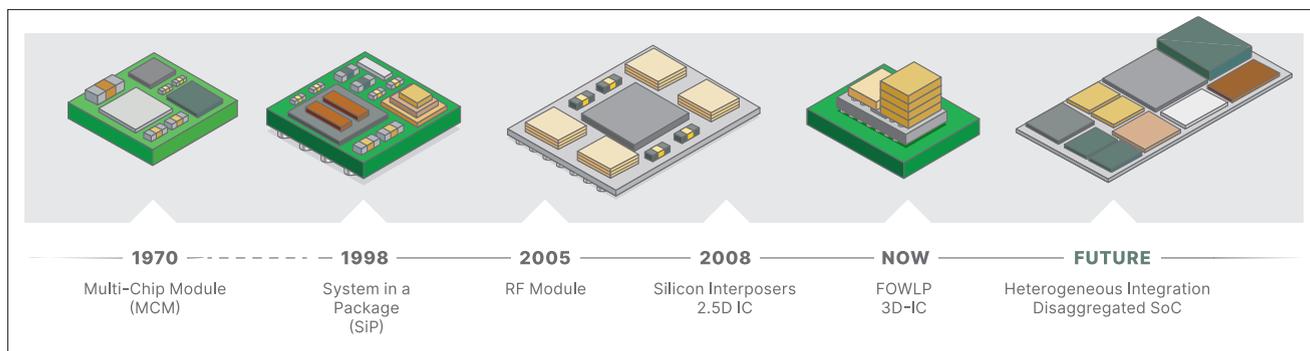


图1: 异构集成 (Heterogenous Integration) 结合了多个不同的芯片与组件集成, 在单一封装中来达成下一世代的装置效能需求, 所以封装尺寸可以预期会有显著的成长。(Source: Cadence)

功能的要求越来越严格。下一世代的异构集成技术, 扇出封装技术与面板级封装技术便是常用来达成这些要求的技术, 这些要求将需要结合更大的封装尺寸, 更小的芯片连结通道与更大的封装基板, 为了同时满足这些需求, 更严格的套刻 (Overlay) 规格将会成为封装中光刻制程中主要的挑战之一。(图 1)

当重布线层 (RDL) 一层一层叠加的过程中, 或会对封装基板的表面与内部造成不同的应力影响, 这些应力的存在将会导致封装基板的形变与翘曲。假如封装基板因为高温, 高压与其他制程产生形变与翘曲, 该状况将会引起基板上的图形或芯片偏离原本所应当在的位置, 并进而影响光刻制程中套刻的结果, 而且此情形在越大的基板尺寸上会更加的严峻。当这些图形或芯片偏移在光刻制程中没有被完整的认知并矫正, 这最终将会导致严重的套刻误差 (Overlay Error) 进而影响到产品良率。

与此同时, 在不久的将来, 为了满足更先进的性能需求, 先进封装 (Advanced Package, AP) 将会需要 $1\ \mu\text{m}$ 线宽的制程, 而先进基板封装 (Advanced IC Substrate, AICS) 将会需要 $3\ \mu\text{m}$ 线宽的制程, 并且套刻预算 (Overlay Budget) 将会变得更加

的紧缩。举例来说, 现今的 AICS 典型的套刻良率 (Overlay Yield) 只有 95% 到 97%, 在更先进的小线宽制程中, 我们可以预期套刻良率会更低。

那么, 一个极大单位照射场, 高分辨率 (Extremely Large Exposure Field Fine Resolution) 的光刻系统要如何应对这些异构集成所带来的挑战呢? 为了更好的了解这类系统的性能, 例如昂图科技 (ONTO INNOVATION INC.) 的 JetStep® X500, 我们将分析使用光刻系统所收集的图形与芯片的偏移量与位移检测数据, 并结合第三方套刻分析程序 (Overlay Analysis Algorithm) 去分析并了解偏移图形的误差项 (Error Term) 与形变组件 (Distortion Components), 进而找出一个可行解决方案或是一套光刻策略来克服这些芯片位移误差或是图形形变。为了克服这些种种的挑战, 并且同时满足大量量产 (HVM) 的需求, 需要设计一个全新的光刻系统: 如昂图科技的 JetStep® X500。在此篇研究中, 我们成功的展示了如何使用 JetStep® X500 去克服这些挑战并达到异构集成中严格的套刻需求。

图形拼接 (stitching) 的挑战

异构集成为增加更多功能或

是达到更高的性能, 需要集成多个芯片在 $75\ \text{mm} \times 75\ \text{mm}$, $150\ \text{mm} \times 150\ \text{mm}$ 或者更大的单一封装之中。针对异构集成的大尺寸封装, 现今先进封装 (Advanced Packaging) 步进式曝光机面临着一个挑战; 最大单位照射场尺寸 (Exposure Field Size) 只有 $59\ \text{mm} \times 59\ \text{mm}$ 的这个限制。对大部分的步进式曝光机而言, 因为这个单一照射场的尺寸限制, 需要使用多个的曝光步骤来完成上述的封装尺寸甚至更大的单一封装尺寸。这种光刻方式就是所谓的“拼接 (Stitching)”。拼接需要多种不同的光罩图形, 高精度需求所带来的低错误容许率而且有低产量的缺点, 进而导致生产费用的提高。无论如何, 将单一照射场尺寸增大 (至少大于 $150\ \text{mm} \times 150\ \text{mm}$) 到不须使用拼接的光刻方式可以排除上述提到的问题, 并且可以有效的增加产能。

举例来说, 现今的先进封装步进式曝光机在使用 $59\ \text{mm} \times 59\ \text{mm}$ 的照射场尺寸进行光刻制程, 需要 64 次曝光步骤才能完成一个 $510\ \text{mm} \times 515\ \text{mm}$ 基板大小。当我们使用极大照射场曝光机, 只需要 4 个曝光步骤便能完成一个 $510\ \text{mm} \times 15\ \text{mm}$ 大小的基板, 这实现了不需要拼接光刻方式, 并且排除了拼接光刻所需的高精度与严

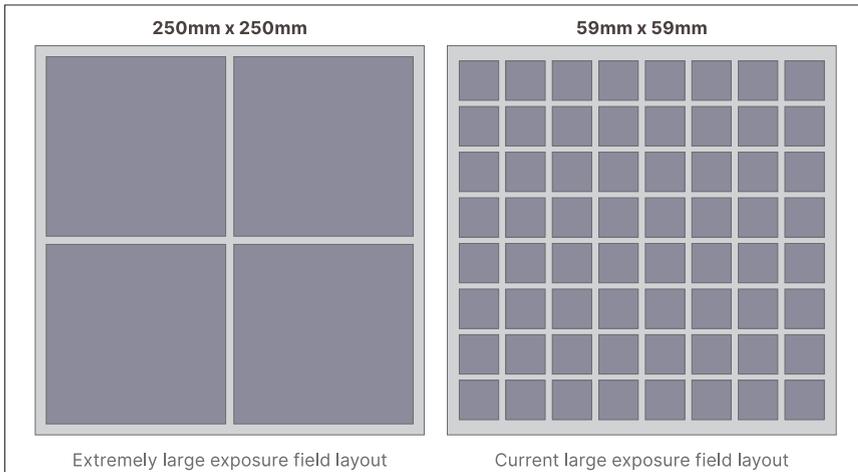


图2: 在510 mm × 515 mm的面板基板上使用极大单位照射场 (250 mm × 250 mm) 的曝光布局与使用传统单位照射场 (59 mm × 59 mm) 的曝光布局。如图中所示, 使用极大单位照射场的光刻制程只需4次曝光步骤便能完成整片基板, 但是使用传统单位照射场 (59 mm × 59 mm) 的光刻制程需要64次曝光步骤才能完成整片基板。

格的均匀度需求。(图2)

JetStep® X500 所提供的 250 mm × 250 mm 单位照射场光刻性能允许用户在单一次曝光中完成一个或多个大尺寸封装。相对于传统的单位照射场光刻方式, 有着显著性的产能提升。这个极大照射场高分辨率的光刻系统装备了一个可将光罩图形放大 2.2 倍的投影镜组, 这使得 250 mm × 250 mm 极大尺寸照射场成为可能, 并且同时具备了 3 μm 的线宽线距解析性能。另外此系统也具备了 ± 400 ppm 场放大 (Magnification) 补偿性能与 ± 100 ppm 单向场变体 (Anamorphic Magnification) 补偿性能, 与标准套刻性能可以小于 1 μm。为了展示该光刻系统的高分辨率性能, 我们选择了尺寸为 510 mm × 515 mm 的 ABF (Ajinomoto Build-up Film) + 覆铜板 (Copper Clad Laminate) 以及铜籽晶层 (Copper Seed Layer) 晶圆为测试载具, 并贴合了 10 μm 的干膜光阻来进行 3 μm 分辨率的展示。

图3所示的测试结果为 JetStep® X500 仅使用四次曝光去完成该测试

载体的光刻制程, 用来展示该系统在使用极大照射场的条件下, 3 μm 线宽线距的性能。图3展示了在 3 μm 的线宽线距下, 该系统可以提供高达 60 μm 的景深 (Depth of Focus) 性能, 这表示该极大照射场高分辨

率的光刻系统是可以达成小线宽线距且大尺寸单一封装的制程, 并且同时使用大型尺寸面板为基板来实现大量量产的需求。

为了测试该光刻系统的标准套刻性能, 我们选择了一个 510 mm × 515 mm 的玻璃基板, 并涂布 1.4 μm 厚的液态光阻薄膜为测试载具。在进行第二层套刻层的图形化工艺中, 每一次曝光皆会使用区域对准校正 (Site by Site Correction), 如图4所示。我们将确认第一层图形与第二层图形之间套刻误差去决定最终的套刻结果。套刻误差值是由判读区域中的重叠尺标 (Overlapped Verniers) 来决定的。

在此套刻性能的展示测试中, 每一照射场区域皆包含 3 × 3 个量测点, 测试载具包含了 2 × 2 照射场区域, 这代表了我们在测试载具上共量测了

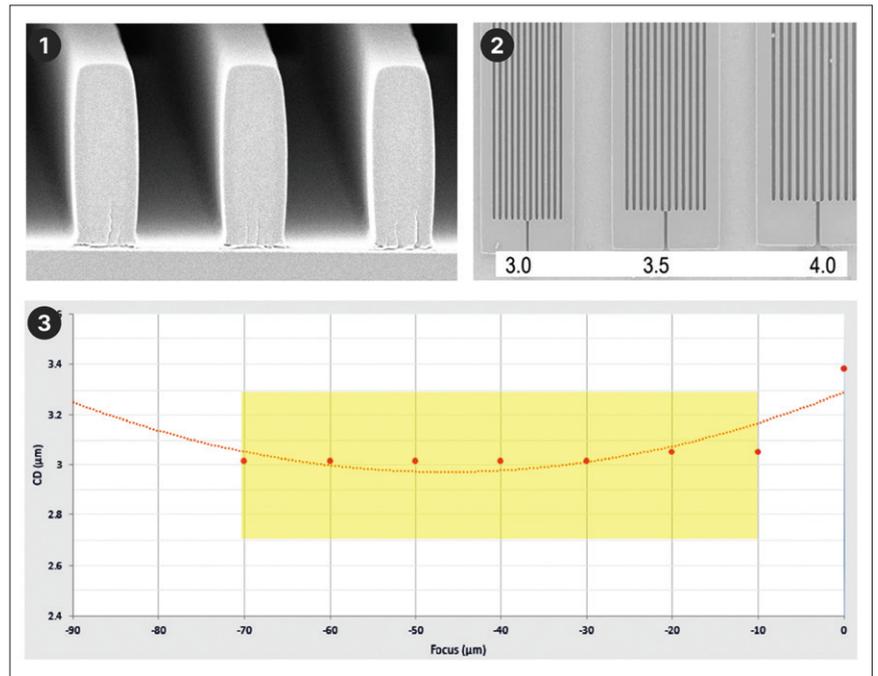


图3: 极大照射场高分辨率光刻系统的分辨率性能 (Resolution Performance) 展示。(1) 在铜籽晶层晶圆上, 3 μm 线宽线距基于 10 μm 厚度的干膜光阻上 (深宽比 1:3.3) 的横切面结果。(2) 3 μm、3.5 μm 与 4 μm 低密度与高密度图形区域的解析性能结果与比较。(3) 3 μm 线宽在 10 μm 干膜上的泊松曲线 (Bossung Curve) 分析。X轴为焦距 (单位 μm)、Y轴为关键尺寸 (CD, 单位 μm)。从图中我们可以观察到在 510 mm × 515 mm 的测试载具上, 3 μm 线宽线距的景深达到了 60 μm。

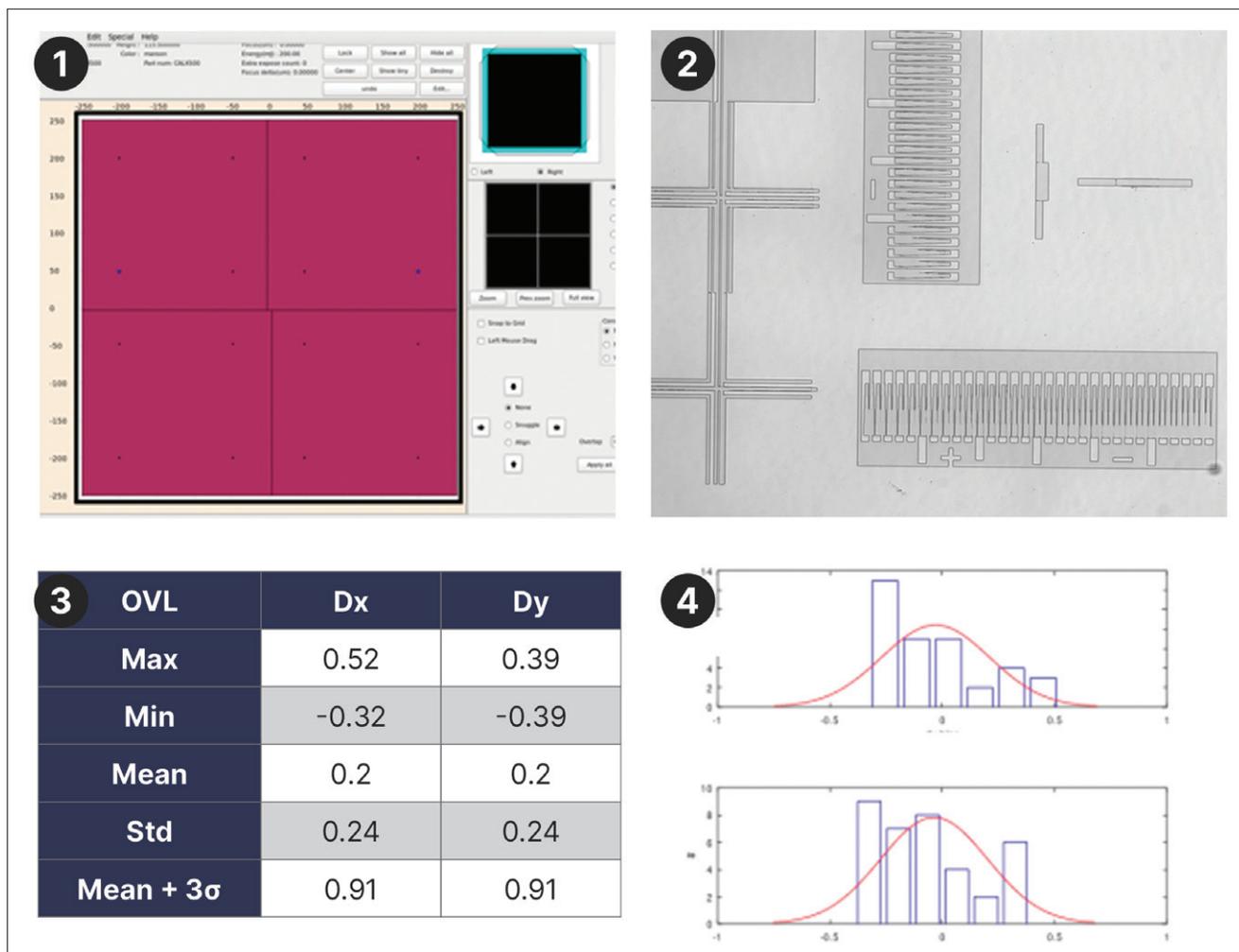


图4: 极大照射场高分辨率光刻系统的标准套刻性能 (Standard Overlay Performance) 展示。(1) 套刻性能展示的曝光布局图。由四个250 mm × 250 mm的曝光照射场来完成510 mm × 515 mm的测试载体的光刻工艺, 每个曝光场区域包含了四个对准图形来进行曝光时的区域对准修正 (Site By Site Correction)。(2) 图中的重叠尺标 (Overlapped Vernier) 图形是由第一层光刻图形与第二层光刻图形交叠而成, 藉由读取重叠尺标可以决定该区域的套刻结果。(3) 套刻结果统计表。(4) X轴套刻误差与Y轴套刻误差分布图。由图中可看到套刻误差平均值接近0, 并且没有明显峰值被观察到。

36点来决定最终的套刻结果。根据上述的套刻性能结果与分析, 极大照射场高分辨率的光刻系统的 X 轴套刻误差的平均值 + 3 倍标准差 0.91 μm, 而 Y 轴套刻误差的平均值 + 3 倍标准差的结果为 0.91 μm。这些数字验证了极大照射场, 高解析的光刻系统确实可以达到一个非常极限的套刻数字: 小于 1 μm。而这将是未来先进封装光刻制程的关键之一。

套刻误差矫正

为了展示极大照射场, 高分辨

率的光刻系统的图形误差矫正性能, 我们使用了该系统的场矫正 (Intra-Field Correction) 性能与整体矫正 (Global Correction) 性能来进行这次展示。该光刻系统的整体矫正性能包含了 XY 方向的平移 (Translation), 旋转 (Rotation), 单轴放大 (Scale) 和正交 (Orthogonality) 误差矫正, 而该系统的场矫正性能包含了 XY 方向的平移 (Translation), 旋转 (Rotation), 场放大 (Magnification), 辐射畸变 (Radial Distortion) 和梯形 (Trapezoid) 误差矫正。结合场矫

正与整体矫正性能可以实现单向场变体 (Anamorphic Magnification) 与图形歪斜 (Skew) 误差的矫正性能。该光刻系统装备了反射式对准系统, 该系统可以用来认知对准图形在基板上的位置, 结合该光刻系统的网格移动平台的位置信息, 我们可以得到该基板上所有图形的误差值。将此图形误差数据结合昂图科技的图形分析算法: StepperMatch 和 Dolana, 我们便可以了解并分析出存在基板中的图形的误差项与形变组成组件。

当我们使用 StepperMatch 与

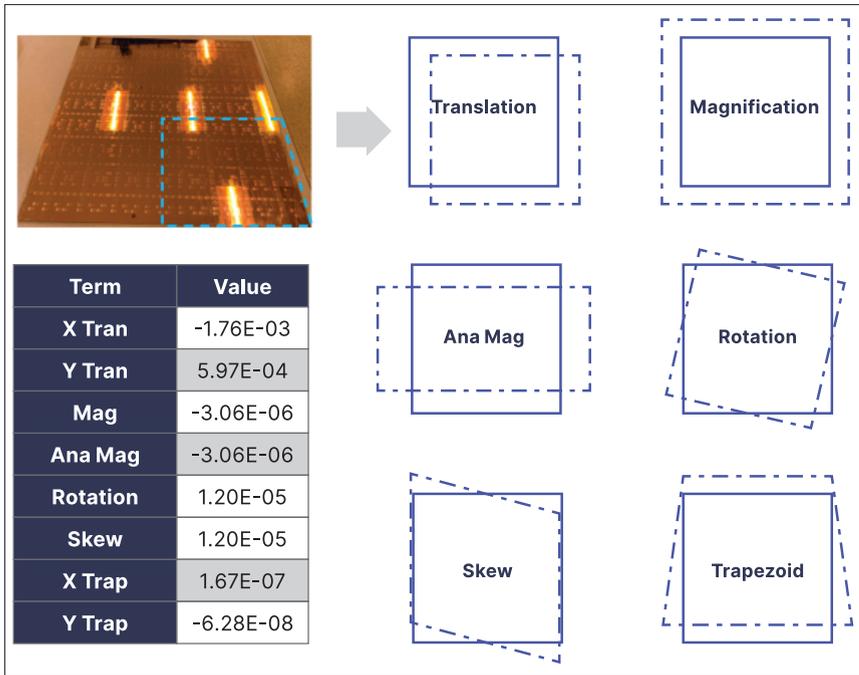


图5: 在一个510 mm×515mm尺寸的测试载体上, 其中一象限 (Quadrant) 的误差项 (Error Term) 与形变组成组件 (Distortion Component)。在此图表中的数字为分析算法在公式中用来描述每个误差项用的系数。

Dolana 分析由光刻系统所收集的图形误差数据, 我们可以得到该测试基板或载体中的图形误差项与形变组成组件。如图 5 所示, 我们在测试载体上的单一象限区域发现了平移误差, 旋转误差, 场放大误差, 单向场变体误差, 梯形误差和歪斜误差, 与

单一象限区域不同的是, 在测试载体的整体形变中多出了单向桶形变 (Anamorphic Pincushion) 与辐射歧变 (Radial Distortion) 形变等。

我们发现 510 mm×515 mm 的测试载体上的每一象限区域皆拥有不同形式的误差项与形变组件, 这代表

着整体对准校正 (Global Alignment Correction) 无法完全的矫正测试载体上存在的位置误差与形变。每个象限区域都需要独特补偿值去矫正他独特的位置误差与形变。这代表了在光刻工艺中, 当我们可以针对每个象限区域去矫正该区域独特的形变与误差的补偿时, 那我们将能达到最佳的套刻良率。图 6 展示了整体对准校正的误差形变组件矢量图与区域对准校正的误差形变组件矢量图。这两张图皆是由同一个测试载体的数据中分析得出的。从图 6 的整体对准校正的平移误差矢量图 (Translation Error Vector Map) 中我们可以观察到, 该误差方向往左下方偏移, 但是在使用区域对准校正的第三象限区域的平移误差矢量图, 我们可以观察到该误差方向往左上方偏移, 这整体对准校正的误差方向是完全相反的, 并且在其他的误差项矢量图也可以观察到同样的状况。

我们在测试载体涂布上了液态光阻, 并应用这篇研究中提及的算法去分析测试载体上的误差项与形变组件, 并针对测试载体上的每一象限区

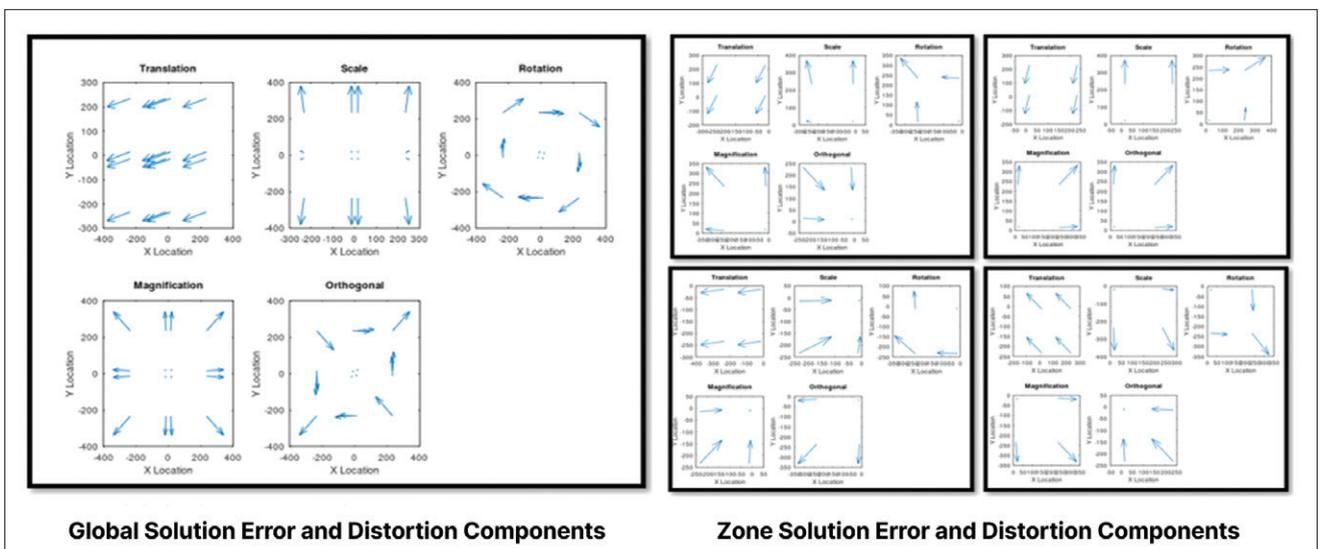


图6: 使用整体对准校正 (Global Alignment Correction) 的误差形变组件矢量图与使用区域对准校正 (Site By Site Alignment Correction) 的误差形变元件矢量图的比较。

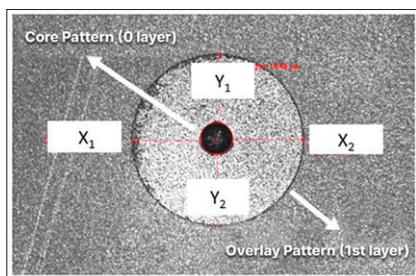


图7：套刻量测方法，用来决定套刻的X方向误差，Y方向误差与矢量。中心的黑点为第0层的核心图形，较大的圆为第一层的套刻图形，X方向误差 = $X_1 - X_2$ ，Y方向误差 = $Y_1 - Y_2$ ，套刻误差向量 = $\sqrt{(X_1 - X_2)^2 + (Y_1 - Y_2)^2}$ 。

域算出相对应的补偿矫正值并应用在曝光制程之中，然后再将该测试载具拿去完成整个图形化制程。之后我们使用光学显微镜与相对应的量测软件来量测测试载具上套刻的结果。每个象限区域量测左上，左下，右上，右下，并在中间的区域量测2点，所以每个象限区域皆量测6点，测试载具上共有四个象限区域，所以总共量测24点来决定最终套刻的结果。图7描述了我们如何量测并定义套刻的结果。

图8显示了测试载具的最终套刻结果。最大的X方向误差为5.42 μm ，最大的Y方向误差为5.72 μm 。基于测试载具提供者的数据库，假如图形形变或偏移有正确的被认知并在曝光制程中使用适当的补偿值，我们可以预期最终的套刻结果会小于10 μm 。根据图中的资料，套刻误差的最大矢量值小于7 μm ，并且X误差与Y误差值皆小于6 μm 。这代表了在此展示中，测试载具上的图形形变和偏移皆被有正确的认知出来并且被正确的矫正。假如测试载具上的图形形变和偏移没有使用适当的补偿值矫正的话，那么最终的套刻误差将会高达20 μm 或者更高，如图9所示。

根据前述的研究，我们在测试载具上发现了平移（Translation），旋

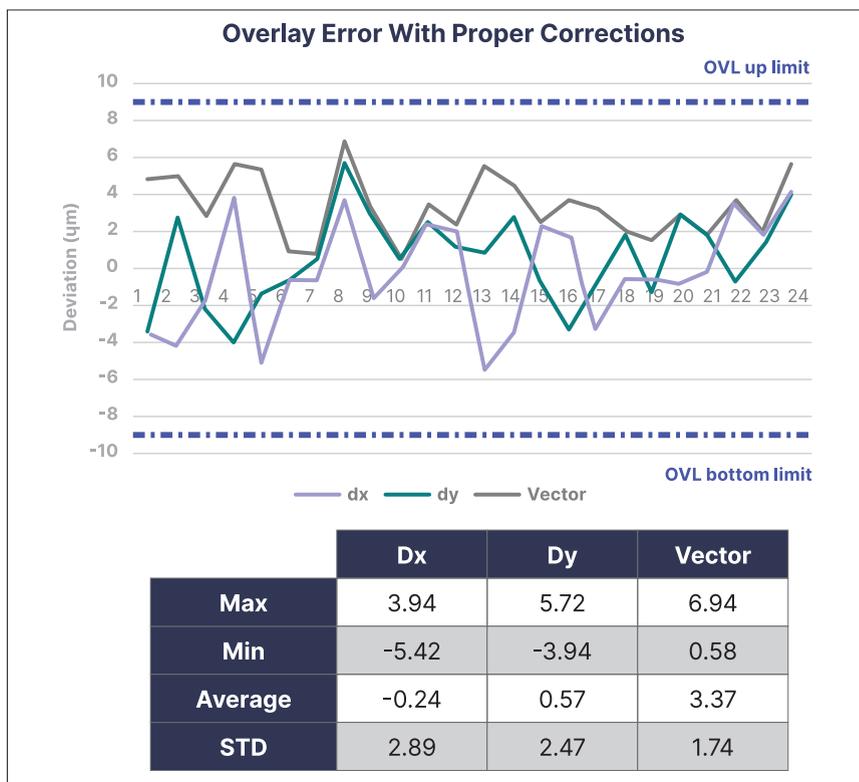


图8：使用了适当补偿值与矫正方法的套刻结果。图中单位为 μm 。最大的套刻误差小于7 μm 。

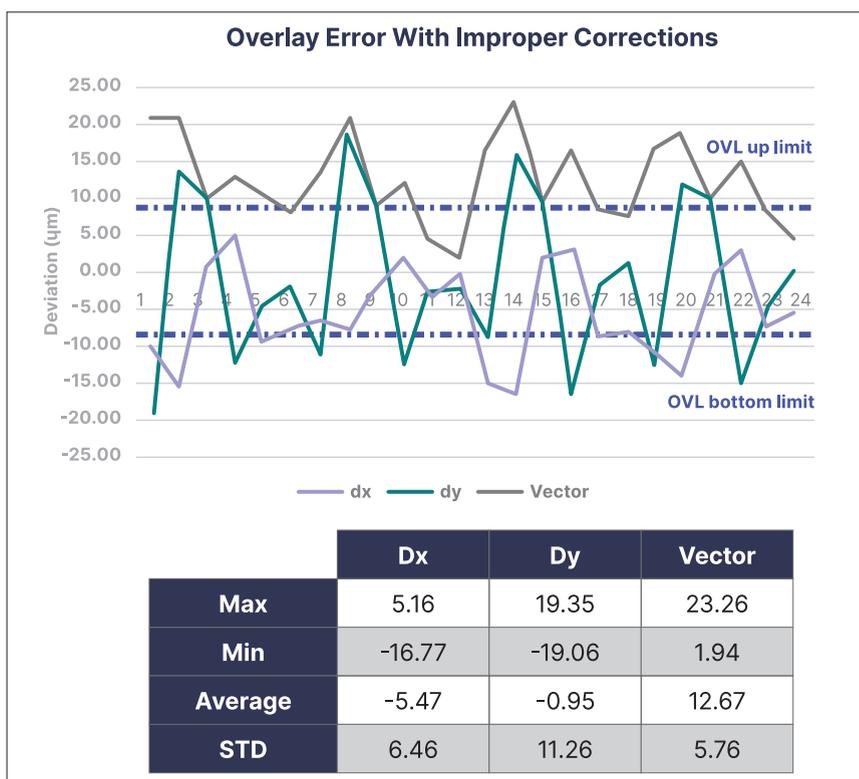


图9：没有使用适当的补偿和矫正方式的套刻结果。图中单位为 μm 。最大的套刻误差为23.26 μm 。这个结果验证了在光刻工艺中，若没有使用适当的补偿值和矫正方式将会导致极大的套刻误差进而影响到光刻制程良率。

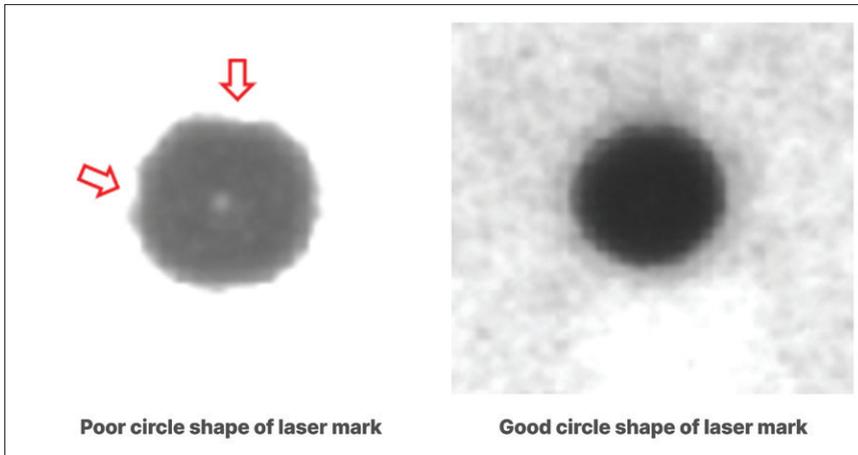


图10: 由激光钻孔系统 (Laser Drill System) 所制造出的对位图形 (Alignment Mark)。光刻工艺中的对位图形可能包含一个或多个以上的图形。相较于右边的图形, 左边的图形的外观明显有缺角, 这将会影响光刻系统中的对位系统的判读并且生成不正确的对位结果 (Improper Alignment Solution), 进而导致影响到最终的套刻结果与良率。

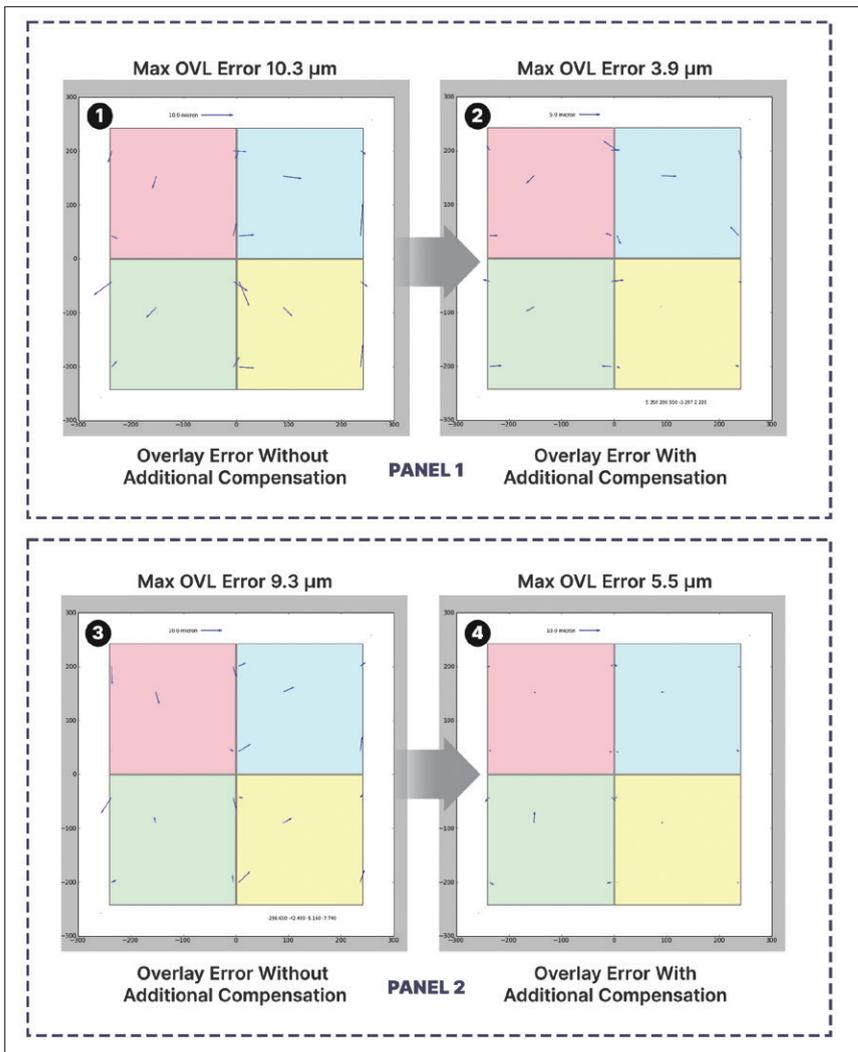


图11: 使用额外的区域域补偿与不使用额外的曲域补偿的套刻误差比较。根据算法的预测, 使用额外的单区域补偿可以有效地降低最终套刻的误差。

转 (Rotation), 单轴放大 (Scale), 场放大 (Magnification), 单向场变体 (Anamorphic Magnification), 梯形 (Trapezoid) 和正交 (Orthogonality) 误差。这指出了为了得到好的套刻结果。光刻系统能去矫正这些种类的误差项将会是关键之一。

此研究中的测试载具是使用先进基板封装的 (AICS) 制程所制作出来的, 测试载具上的对准图形 (Alignment Mark) 是经由激光钻孔工艺所制造出来的。由于激光钻孔系统的性能限制, 我们可以预期并且也实际观察到由激光钻孔所制作的对位图形有位置精准度较低 (Low Accuracy) 的问题, 且图形形状控制 (Shape Control) 性能也比较差, 而这些问题将会导致最终对位结果的误差。(图 10)

对位结果的误差会进一步影响到套刻误差的结果。即使光刻系统中的对位系统非常精准的认知出对位图形, 根据我们的研究, 仍然会有一定的对位误差存在, 为了更进一步地达到更好的套刻结果, 这个问题必须被克服。

针对上述的对位结果误差, 我们发现额外的象限区域补偿 (Additional Zone Compensation) 可以有效的解决这个情形。为了更好的了解这个情形, 我们使用了昂图科技所开发出的套刻图形分析算法来分析并预测当我们使用了额外的象限区域补偿后的套刻结果。此算法是专用来分析套刻误差中可被补偿的误差项 (Correctable Term), 并且预测矫正后的结果。

在将可补偿的误差项移除后, 该算法将可以精准的预测最终的套刻结果。图 11 的左图是未被补偿前的套刻结果, 而右图是补偿后的最终套刻结果, 根据该算法的预测, 经过额外

Yield Threshold 97%			Yield Threshold 98%			Yield Increased	
	Final Yield	Yield Loss		Final Yield	Yield Loss		
Layer 1	97.00%	3.00%	Layer 1	98.00%	2.00%	Layer 1	1.00%
Layer 2	94.09%	5.91%	Layer 2	96.04%	3.96%	Layer 2	1.95%
Layer 3	91.27%	8.73%	Layer 3	94.12%	5.88%	Layer 3	2.85%
Layer 4	88.53%	11.47%	Layer 4	92.24%	7.76%	Layer 4	3.71%
Layer 5	85.87%	14.13%	Layer 5	90.39%	9.61%	Layer 5	4.52%
Layer 6	83.30%	16.70%	Layer 6	88.58%	11.42%	Layer 6	5.29%
Layer 7	80.80%	19.20%	Layer 7	86.81%	13.19%	Layer 7	6.01%
Layer 8	78.37%	21.63%	Layer 8	85.08%	14.92%	Layer 8	6.70%
Layer 9	76.02%	23.98%	Layer 9	83.37%	16.63%	Layer 9	7.35%
Layer 10	73.74%	26.26%	Layer 10	81.71%	18.29%	Layer 10	7.96%
Layer 11	71.53%	28.47%	Layer 11	80.07%	19.93%	Layer 11	8.54%
Layer 12	69.38%	30.62%	Layer 12	78.47%	21.53%	Layer 12	9.09%
Layer 13	67.30%	32.70%	Layer 13	76.90%	23.10%	Layer 13	9.60%
Layer 14	65.28%	34.72%	Layer 14	75.36%	24.64%	Layer 14	10.08%
Layer 15	63.33%	36.67%	Layer 15	73.86%	26.14%	Layer 15	10.53%

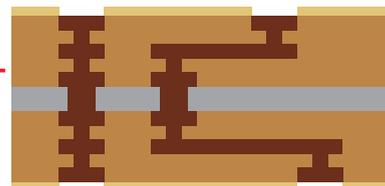


表1. 光刻制成的套刻良率估算表。在此表格中，原始的套刻良率被设定为97%，在一个六层结构的封装中，光刻制程最大将会造成16.7%的良率损失。而改善后的套刻良率我们将其设定在98%，光刻制程最大将会造成11.42%的良率损失。而从表格得知，在一个六层结构的封装中，1%的光刻制程的套刻良率改善便可以达到5.29%最终良率的改善。

的区域补偿后，测试载具1和测试载具2上最大的套刻误差将会降低3.9 μm和5.5 μm，如同图11所示。

根据异构集成与高效能的需求，在不久的将来，先进基板(Advanced IC Substrate)封装将需要3 μm的先进制程来迎合需求。而因应这些先进的制程，也将会需要更严格的套刻规格。在先进基板封装的光刻制程中，传统的每个重布线层的套刻良率为95%到97%(或者以上)。表1中，左边的表格是原始套刻良率的累积良率损失，中间的表格为改善后的套刻良率与累积良率损失，右边的表格则是累积良率的改善。以表1中红框中为例子，我们将97%设为原始套刻良率，改善后的套刻良率为98%，在一个六层结构的封装中，仅仅1%的套刻良率改善便可以达到5.29%累积良率的改善。当然这只是一个大概的估算，但是从此估算便可以得知改善套刻良率是整体封装良率来说是多么的重要。

结论

基于此篇研究中的资料我们可

以得知，一个极大照射场，高分辨率的光刻系统是可以实现3 μm的分辨率并且其标准套刻性能可以达到1 μm(平均值+3倍标准差)的。研究中也验证了极大照射场，高分辨率的光刻系统是有性能可以矫正一个510 mm×515 mm的ABF+CCL基板上的图形偏移与误差进而达到良好的套刻结果。根据此篇研究的分析与讨论中得知，正确认知并矫正基板中误差项与图形形变，使用区域对准校正方法并且加上额外的区域补偿将是在扇出型面板级封装中得到最佳的套刻结果的重要关键。

在不久的将来，随着光刻工艺越来越小的分辨率需求，套刻的规格也会变的越来越严格，在异构集成的封装工艺中，套刻的控制将会变得越来越重要，期许此篇研究可以给用户们提供一个方向，让他们可以克服越来越加严格的套刻需求。◆

鸣谢

作者特别要感谢 David Giroux, John Kennedy 和 Karie Li 在软件与算法上的帮助, Casey Donaher 和 Perry Banks 在光刻系统的技术支持, Paul

Sun 和 Jeremy Zhang 在光刻制程中的帮助。同时感谢 JetStep® X500 项目的所有成员们。

参考文献

- John Chang, Onto Innovation, “Large-field, fine-resolution lithography enables next-generation panel-level packaging,” Chip Scale Review, November-December 2021, Volume 25, Number 6.
- John Chang, Timothy Chang, Casey Donaher, Perry Banks, Aries Peng, Onto Innovation, “Extremely large exposure field with fine resolution lithography technology to enable next-generation panel-level advanced packaging,” ECTC 2021.
- Yoshio Nishimura, Ajinomoto Co., Inc., “Advanced insulating film for next-generation smartphone performance requirements,” ECTC 2019.
- Keith Best, John Chang, Mike Marshall, Jian Lu, Rudolph Technologies, “Lithography solutions to overcome die placement error, predict yield, increase throughput and reduce cost,” IWLPC, 2019, FOPLP.
- Roger McCleary, Philippe Cochet, Tom Swarbrick, Chin Tiong Sim Rudolph Technologies, Yong Chang Bum, Andy Kyawoo, Aung, STATS ChipPAC, “Panel level advanced packaging,” Singapore, ECTC 2015.
- James E. Webb, Steven Gardner and Elvino DaSilveira, Rudolph Technologies, “Improved compensation for a reduction stepper to meet the challenges for advanced packaging applications,” IMAPS 2013.
- Chris Mack, Fundamental Principles of Optical Lithography P.314 - P.326.
- John D. Armtiage Jr., Joseph P.Krik, “Analysis of overlay distortion patterns.”

MIT工程师在硅晶圆上生长出薄如原子的“完美”材料

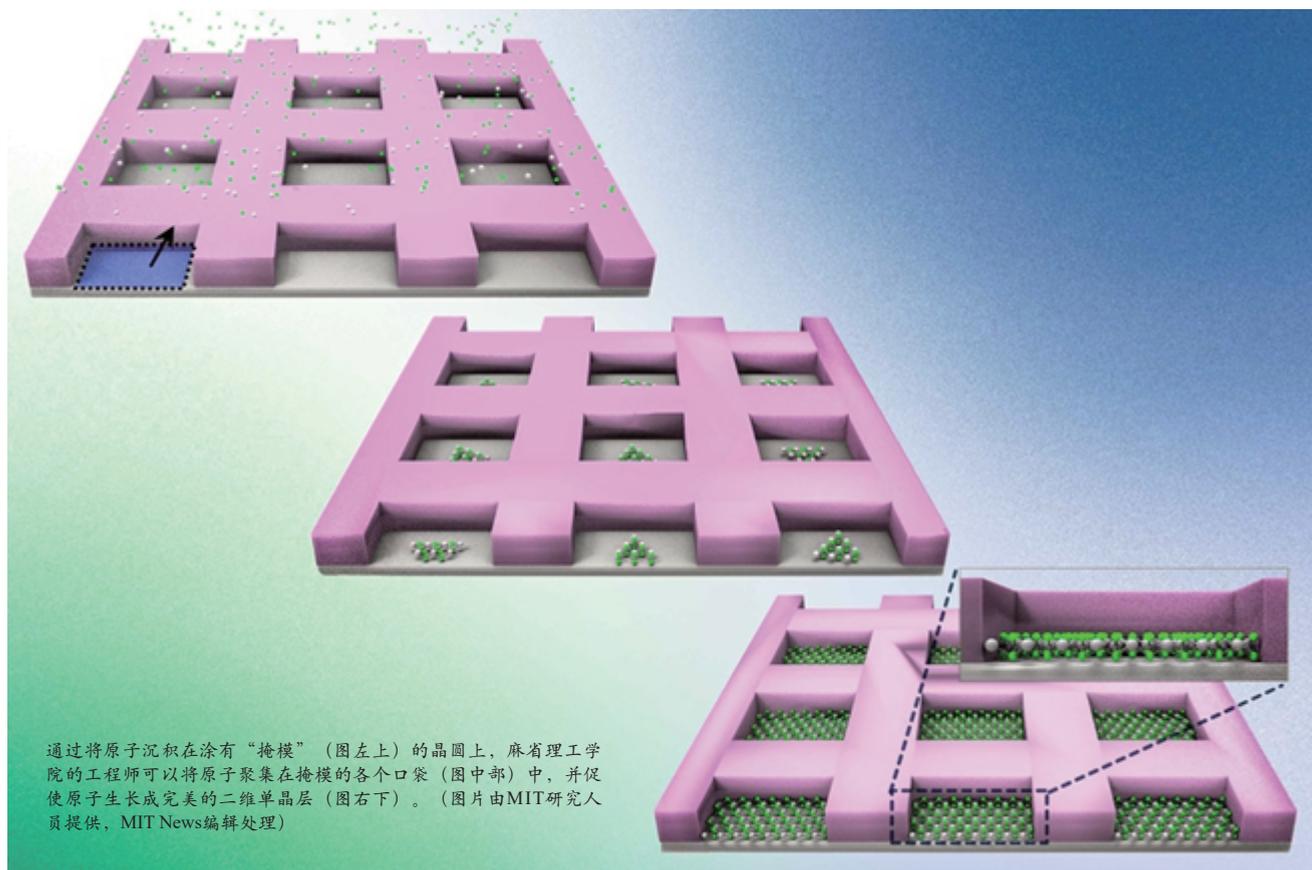
该技术可以让芯片制造商生产基于硅以外材料的下一代晶体管。

根据摩尔定律，自1960年代以来，微芯片上的晶体管数量大约每两年翻一番。但预计这一发展轨迹很快就会趋于平稳，因为一旦用硅这种材料制成的器件尺寸下降到一定尺寸以下，硅（现代晶体管的支柱）就会失去其电气特性。

进入二维材料，精致的二维完美晶体片，薄如单个原子。在纳米尺度上，二维材料可以比硅更有效地传导电子。因此，寻找下一代晶体管材料的重点是将二维材料作为硅的潜在替代品。

但在电子行业过渡到二维材料之前，科学家们必须首先找到一种方法，在符合行业标准的硅晶圆上设计构建二维材料，同时保持其完美的晶体形态。麻省理工学院(MIT)的工程师现在可能有了解决方案。

该团队开发了一种方法，通过在现有的硅晶圆和其他材料上生长二维材料，可以让芯片制造商用这样生长的二维材料制造体积越来越小的晶体管。这种新方法是一种“非外延单晶生长”的形式，该团队首次使用这种方法在工业硅晶圆上生长纯净、无缺陷的二维材料。



通过将原子沉积在涂有“掩模”（图左上）的晶圆上，麻省理工学院的工程师可以将原子聚集在掩模的各个口袋（图中部）中，并促使原子生长成完美的二维单晶层（图右下）。（图片由MIT研究人员提供，MIT News编辑处理）

通过他们的方法，该团队用一种称为过渡金属二硫化物（transition-metal dichalcogenides，简称 TMD）的二维材料制造了一个简单的功能晶体管，众所周知，这种 TMD 材料在纳米尺度上的导电性能优于硅。

麻省理工学院机械工程副教授 Jeehwan Kim 表示：“我们希望我们的技术能够推动基于二维半导体的高性能的下一代电子器件的开发。我们已经解锁了一种使用二维材料延续摩尔定律的方法。”

Kim 和他的同事在《自然》杂志上发表的一篇文章详细介绍了他们的方法。该研究论文的麻省理工学院合著者包括 Ki Seok Kim、Doyoon Lee、Celesta Chang、Seunghwan Seo、Hyunseok Kim、Jiho Shin、Sangho Lee、Jun Min Suh 和 Bo-In Park，同时，该研究合作者还包括：德克萨斯大学达拉斯分校、加州大学河滨分校、圣路易斯华盛顿大学以及韩国的一些机构。

晶体拼布

为了生产二维材料，研究人员通常采用手工工艺，将原子薄片小心地从大块材料上剥离，就像剥洋葱层一样。

但大多数块状材料都是多晶的，包含多个随机方向生长的晶体。在一个晶体与另一个晶体相遇的地方，“晶界”充当电屏障。流过一个晶体的任何电子在遇到不同方向的晶体时都会突然停止，从而降低材料的导电性。即使在剥离二维薄片之后，研究人员也必须在薄片中搜索“单晶”区域，这是一个乏味且耗时的过程，很难在工业规模上应用。

最近，研究人员发现了制造二维材料的其他方法，方法是在蓝宝石晶圆上生长它们——蓝宝石是一种具有六边形原子图案的材料，可以促使二维材料以相同的单晶方向组装。

“但没有人内存或逻辑行业中使用蓝宝石，因为其中所有基础架构都基于硅。对于半导体工艺，你需要使用硅晶圆。” Kim 说。

然而，硅晶圆没有蓝宝石的六边形支撑支架。当研究人员试图在硅上生长二维材料时，结果得到的是随机拼凑的晶体随意合并，形成许多阻碍导电性的晶界。

“人们认为在硅上生长单晶二维材料几乎是不可能的，现在我们证明可以。而我们的诀窍是防止晶界的形成。” Kim 说。

晶体种子口袋

该团队的新方法“非外延单晶生长”不需要剥离和搜索二维材料薄片。相反，研究人员使用传统的气相沉积法将原子泵送到硅晶圆上。原子最终沉积在晶圆上并成核，生长成二维晶体方向。如果任其发展，每个“核”或晶体的种子都会在硅晶圆上以随机方向生长。但是 Kim 和他的同事找到了一种方法来对齐每个生长的晶体，以在整个晶圆上创建单晶区域。

为此，该团队首先用“掩模”覆盖硅晶圆，“掩模”即是一层二氧化硅涂层，研究人员将其图案化成很多微小的口袋，每个口袋都设计用来捕获晶体的种子（籽晶）。然后，他们在掩模晶圆上流动原子气体，这些原子气体沉降到每个口袋中，形成二维材料——在本例中为 TMD。掩模的口袋聚集了原子，并促使它们以相同的单晶方向组装在硅晶圆上。

“这是一个非常令人震惊的结果，即使二维材料和硅晶圆之间没有外延关系，每一个掩模口袋里都是单晶生长。” Kim 说。

通过他们的掩模方法，该团队制造了一个简单的 TMD 晶体管，并表明其电气性能与相同材料的纯薄片一样好。

他们还应用该方法来设计构建多层器件。在用图案掩模覆盖硅晶圆后，他们先生长了一种类型的二维材料来填充每个正方形的一半，然后在第一层二维材料上面再生长第二种类型的二维材料以填充正方形的其余部分。结果是每个正方形内都有一个超薄的单晶双层结构。Kim 说，未来可以通过这种方式生长和堆叠多种二维材料，以制造超薄、灵活和多功能的薄膜。

Kim 说：“到目前为止，因为还没有办法在硅晶圆上制作单晶形式的二维材料，因此整个半导体行业一直在不转移到二维材料的情况下努力实现下一代处理器。现在我们已经完全解决了这个问题，有办法使器件小于几纳米。这将改变摩尔定律的范式。”

这项研究得到了美国国防高级研究计划局、英特尔、IARPA MicroE4AI 计划、MicroLink Devices 公司、ROHM 公司和三星的部分支持。◆

具有成本效益的 ASIC 设计途径



ASIC是具备独特功能的“微电子摇滚巨星”。甚至连浩瀚的天空也没有让 ASIC 的应用受到限制；深空探测器经常将 II-VI 和 III-V 族化合物半导体材料领域的工程成果带到其他行星及更远的地方。但是，ASIC 设计必须要大量的资本投入吗？Swindon Silicon公司的专家们采取一种更加容易、但却有效的方式深入地研究 ASIC 设计的流程、困难和前景。

电子制造商求助于专用集成电路（ASIC）来优化他们的产品，以实现更高的产量，缩小其尺寸，并将其电路技术“藏匿”起来。有一种常见的误解，就是认为 ASIC 的价格高得离谱，或者设计时间过长，让人望而却步。然而，正如混合信号 ASIC 公司 Swindon Silicon Systems 的模拟设计经理 Mike Coulson 博士所说：在现实中，ASIC 开发人员拥有一些技巧，可以使 ASIC 解决方案方便和广泛使用。

ASIC 的作用

ASIC 是针对特定应用而设计和优化的芯片。它将数量众多的模拟和数字组件集成在单个紧凑的封装内，从而使电子产品的外形尺寸之小达到了不可思议的地步，这是通过其他方式做不到的。它允许根据成本要求严格优化各个方面的规格，提供差异化的性能，同时使材料清单(BoM)的选择范围不再受限于规格过高的现成有售部件。另外，它还隐藏了所有潜在的新颖电路技术，使其免遭“窥探”：相比印刷电路板 (PCB)，对 ASIC 进行逆向工程设计要困难得多，因为在 PCB 上，组件的标记和相互连接情况是一览无遗的。

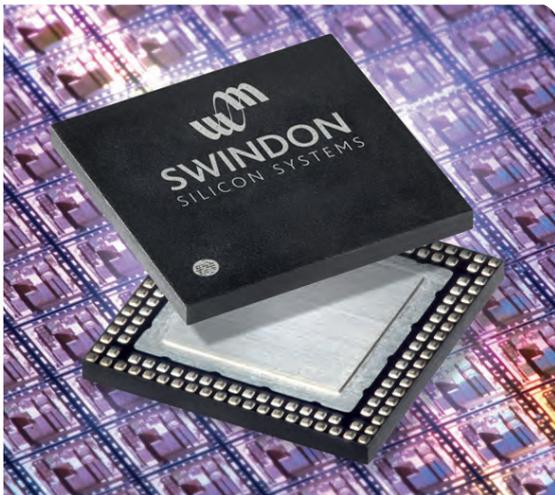
尽管有潜在的好处，但是由于感知投资 (perceived investment) 和 / 或所要求的时间进度表的原因，许多公司都不愿意考虑定制 ASIC。他们也许认为，定制意味着“从零起步”：对 ASIC 的每个方面都要从头开始设计。在某些设计中，即产量极高的部件（在硅片面积和制备成本必须绝对最小化，以及前期投资合理的情况下），这种做法是有其一席之地的。但是在所有其他情况下，有经验的 ASIC 设计公司可以采用各种不同的技术和方法将非经常性工程 (NRE) 成本降至最低，并大大加快产品上市时间。

共封装现成有售的芯片

典型的 ASIC 项目是集成客户传感器或执行器产品的模拟和数字电子器件。当产品已经作为原型或首个生产版本存在时，它很可能将采用现成有售的 IC 来构建。模拟部分通常是相当定制的，包含许多单独的芯片和支持性的无源组件（电容器和电阻器），而数字部分则常常由现成有售的微控制器单元 (MCU) 提供。

始终明智的做法是考虑 MCU 是否被完全占用，因为标准部件在设计时顾及到了多功能性，而且，为了让它们起到最终的作用，通常拟定了过高的技术规格。但是，

如果 MCU 物有所值，那么就有可能以经济划算的方式获得“裸芯片”。这意味着，采购 MCU 芯片的时间点是：在其被密封于我们习惯在 PCB 上看到的黑色塑料“封装”内之前。然后，MCU 裸芯片就能与任何定制设计的芯片“共封装 (co-packaged)”，这样它们就可以在定制封装内并排放置，甚至是彼此上下堆叠。芯片在封装的内部连接在一起（比如：通过极其微细的键合线来完成连接）。



专业供应商那里获得 IP 块的授权许可，并将其纳入定制设计的硅芯片中。对于复杂但传统的 IP 块（比如支持特定标准的射频收发器）来说，这可以很好地发挥作用。以这种方式获得的 IP 通常可以在企业内部进行调整，使其满足客户的具体要求。这种灵活性意味着，与从零开始时相比，极其复杂的系统可以在短得多的时间里实现单片集成。另外，这种方法还带来了安心，因为获得

授权许可的 IP 也已通过在跨行业的许多产品中使用进行了全面的实地测试。

共封装的一个关键的优势是设计范围的最小化 - 它使得 ASIC 设计人员能够专注于设计的独特方面，或者那些成本最容易得到优化的方面。这常常是模拟元件部分，因为它会涉及到数量太多的分立组件。通过缩小定制设计芯片的范围，NRE 和产品上市时间可以显著缩减，同时在外形尺寸方面得到相同的改进。

ASIC 设计流程

IP 重用

Swindon 完全可以采用另一种节省成本和时间的方法，这对历史较长的 ASIC 公司来说是开放的。该方法是知识产权 (IP) 重用。凭借 50 年的定制 IC 交付经验（特别是在汽车和工业应用领域），Swindon 获得了大量的电路块 IP。这些 IP 中的大多数已经在现场得到了验证，目前在数十亿颗芯片中工作，并在一些可以想象到的最恶劣的环境中运行。这些现成的电路块可以被部署到新的项目中，只需做极少的改动（或不做任何改动），可以减少很多设计和验证时间。

如果你想知道某个 ASIC 是否会给你的产品带来好处，请找一家有信誉的 ASIC 供应商咨询。为这些需求提供服务的公司应该拥有广泛的技能，支持电路设计从概念到原型阶段的每个方面；最好的咨询公司会很愿意在整个初期生产阶段与他们的客户一起工作。此外，他们还应具备在后续设计迭代中继续与客户合作的能力，并根据需要重用电路 IP 以加速生产周期。当 Swindon 收到一个新的咨询时，公司的专家就会充当顾问，努力了解客户的愿望和他们更广泛的系统。这使得我们的专家可以推荐实际 ASIC 和外部组件之间系统的最佳分区，以及 ASIC 电子电路的最佳分区。然后，在制定 ASIC 的正式要求（这些要求基于客户的意见和 Swindon 自己的专业知识）之前，Swindon 会拿出一个经过成本估算的提案。从这些要求出发，开发了一种具有单独规定子块的架构；这些子块被传递给一个设计团队进行实施。开发 ASIC 的时间表（从最初的设计要求到完成经过生产测试的器件）将视设计的复杂性而有所不同。但是在所有的情况下，与交钥匙统包供应商合作是至关重要的，他们能够负责项目的所有方面，从最初的咨询，到封装和鉴定，再到生产测试和供应等皆在其列。

除了电路设计本身之外，有经验的团队还会提供一些比较抽象、但却极其宝贵的专门技术。例如，完成过众多不同模数转换器的规格拟订和创建的设计团队，能够很快地确定最适合某种特定规格的架构。这种经验有助迅速启动早期设计流程，从而确保从初步介入快速进展到拿出经过成本估算的 ASIC 提案。

IP 采购

当企业内部知识产权不可用时，有一种替代方法能加快时间进度并减少 NRE。取而代之的是，设计师可以从

定制的 ASIC 能够确保客户产品的竞争优势。有经验的供应商将为客户的应用提供优化的解决方案，并熟知所有的技术，以尽可能快速和有效地交付客户的定制芯片。这让他们能够确保客户的投资得到最大和最快的回报。◆



用于超大规模数据中心的 共封装光学器件

通过装备数据中心以满足日益增长的业务需求，正逐步地将硅光子和 PIC 组件集成为混合共封装光学（CPO）模块，这一方法对工程师和研究人员提出了挑战，即在不牺牲性能或功耗指标的情况下实现相关技术的融合。欧洲光子产业联盟（EPIC）探究了业界主要制造商凭借微电子和光子技术创新来努力保持数据流动性的方法。

在人工智能（AI）和机器学习领域技术进步的推动下，数据中心的流量出现了前所未有的快速增长，网络基础设施必须在保持甚至减少其总功耗和占用空间的同时扩大容量。随着下一代 / 第二代共封装光学器件（CPO）的推出，该行业将如何向超大规模数据中心运营阶段迈进？在本文中，我们将概述一些行业巨头（欧洲光子产业联盟 EPIC 的成员）怎样从不同的角度来满足用户对于 CPO 的需求。

中国海思（华为下属子公司）：

华为是共封装光子器件领域的主要参与者之一，他们的先进光子学部门负责开发华为较大型系统所用的光子光学组件。目前，他们正在位于加拿大的海思半导体（HiSilicon Technologies）公司解决开发 100 Tbit/s 共封装光学器件所面临的挑战，作为华为的前 ASIC 设计中心，海思半导体解释说：行业内的普遍共识是，在 100 Tbit/s

交换机所需的带宽下，如果不耗尽交换机芯片的全部功率预算，就不可能以电子方式移动数据。因此，在 100 Tbit/s 传输速率下，共封装光学器件是必不可少的。但是，从模块的角度来看，由于存在可靠性问题，而且封装也变得更加困难，所以不可能将模块的数量增加一倍。

故此，作为用于实现所需较高密度的解决方案，将是把共封装光学器件的容量增加到从每个模块引出的每根光纤约 200 Gbit/s，且每根光纤可以传输多个波长。这将需要向系统输入更多的光功率，尽管已经取得了许多进展，但是 Bernier 认为，最终他们将需要新的技术。

为此，他们目前正在参与由国际光子学倡导联盟（International Photonics Advocacy Coalition，简称 IPAC）发起的两个研究项目。一个项目旨在为外部激光源开发一种标准形状因子，另一个项目则是研究对 100 Tbit/s 共封装光子器件造成限制的重要问题、系统架构和电子器件的演变。现在，人们普遍认为，未来的任何器件都将包含一

作者：Peter Ossieur, IDLab 高速收发器项目经理, IMEC

个连接器，因为这对供应链和装配链来说将更加容易。然而，倘若目的是增加密度，同时降低对楼梯通道的电力要求，那么可能不得不去掉连接器。

日本 Senko Advanced Components 有限公司：

位于美国的 Senko Advanced Components 公司的主任技师 Tiger Ninomiya 指出了 CPO 连接器在数据中心交换机应用中面临的四个主要挑战：1) 光纤数的增加和怎样布置光纤的进出；2) 外部激光源的使用；3) 面板密度的变化要求为激光源和收发 (TRx) 通道预留空间，以及 4) 内部光纤布线的难题（因为光纤现在位于系统的内部）。

关于光纤数的增加，12.8 兆兆位交换机通常具有 32 个端口，每个传输模块有 8 根光纤，在使用并行光学器件的情况下，加起来共有 256 根光纤。同样地，具有 CPO 的 51.2 兆兆位交换机在交换机 ASIC 基板上嵌入了 16 个模块。当采用并行光学器件时，每一个 CPO 光学引擎可以具有多达 64 根光纤，加起来仅 TRx 就有 1024 根光纤——这是它们现在所处理的光纤数的 4 倍。

关于面板密度的问题源自需要有更多的光纤，以及为外部激光源找到放置空间。MPO 连接器具有比双工类型连接器更好的密度。然而，每个连接器的光纤数与光学性能之间存在着关联性。随着光纤数的增加，保持较低的损耗变得很具挑战性，特别是在具有多排多模光纤的情况下，比如 MPO-24 和 MPO-32。

Senko 正在利用其 SN-MT 连接器来解决此问题，每个这样的连接器能够承载 16 根光纤，这改善了面板上的光纤密度，同时保持了较低的损耗。与 MPO 连接器相比，SN-MT 连接器的尺寸大致为前者的一半，而密度则比 MPO-16F 增加了 2.7 倍。SN-MT 甚至提供了优于 MPO-24 和 MPO-32 的密度，而使用单排型金属箍 (1-row type ferrule) 时，光学性能与单排 MPO 不相上下。Senko 还在运用其他技术来克服面板密度问题。这些技术包括用于入中夹板连接器 (mid-board connectors) 的光纤路由选项；一个光纤路由随机排列箱 (shuffle box)，和背板连接器。

板载光学器件联盟 (COBO) 和共封装光学器件工作组由 Tiger 担任主席，其旨在为专注于光学连通性和远程激光源的 CPO 实施方案提供技术指导和标准。2022 年 7 月，他们发布了一份关于光学连通性的白皮书，该白皮书详细介绍了如何利用这些技术。^[1]

美国 OFS Optics 公司 (古河电工的一家子公司)：

在过去 30 年的大部分时间里，OFS Optics 一直在参与许多不同的特种光纤应用和市场。更确切地说，在电信和数据通信领域，他们主要与 OEM 厂商合作，提供掺铒光纤、偏振保持光纤和低弯曲损耗光纤。最近，OFS 一直在开发新型光纤，比如空芯光纤和多芯光纤。另外，他们还在开发用于共封装光学器件的外部激光源 (ELS) 模块。对于 OFS Speciality 的销售总监 John Earnhardt 来说，从“铜缆占主导地位”到“光纤占主导地位”的转变带来了诸多挑战。

从光纤的角度来看，无论是偏振保持 (PM) 光纤还是单模光纤，都有模场直径的问题。在有些场合中，用户希望有一个传统的 9 微米类型的模场直径，而在其他情况下，他们则想要一个非典型的模场尺寸，以直接与芯片对接——选项可能是采用 3 微米的模场，还有几个介于 3 微米和 9 微米之间的选项。

随着收发器模块尺寸的缩小，以及转向 QSFPDD (双密度四通道小型可插拔封装) 和 OSFP (八通道小型可插拔封装)，低弯曲损耗变得越来越重要，在 CPO 领域，也很有可能面临实现低弯曲损耗的压力。采用 PM 光纤时，存在着与传统 PM 特性 (像光纤节拍长度和偏振消光比 [PER] 等) 有关的潜在问题。另一个值得关注的领域是多径干扰，特别是随着向低弯曲损耗光纤的转移，以及将两

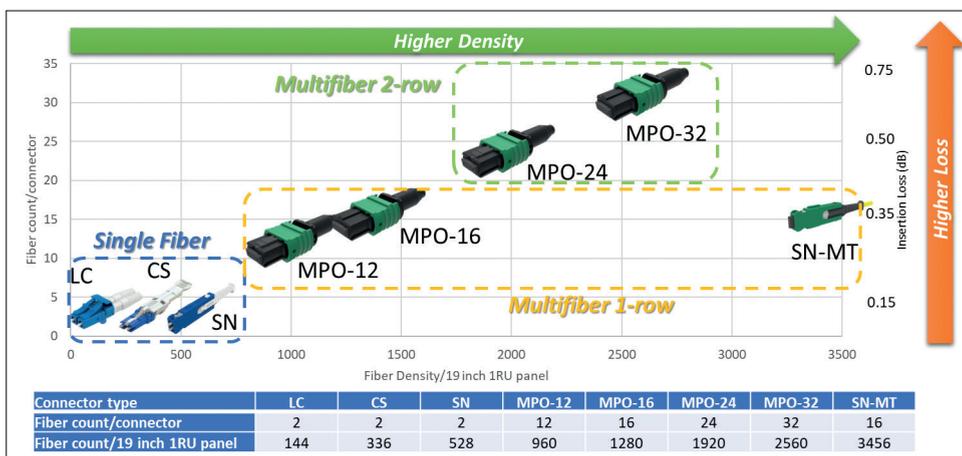


图1: Senko Advanced Components 有限公司的光纤密度、插入损耗和每个连接器光纤数的演变。

根光纤拼接在一起时可能出现的模场直径不匹配。

除了光学考虑因素之外，还有机械因素需要考虑。在这方面，他们发现改善容限指标的压力越来越大，例如：与磁芯包层偏移、磁芯直径和包层直径有关的容限。机械特性直接影响激光在光纤中的总传输效率。至于包层直径的问题，即 80 微米或 125 微米，他们最初的 ELS 样品基于 125 微米的包层直径，但是他们注意到了这样的压力，就是收发器和其他类型应用需要更多地使用 80 微米光纤（包括 PM 和 SMF）。另外，OFS 还发现了光纤涂层的两个新兴趋势。其一是包层直径越来越小，例如，对于 80 微米包层，包层直径从 165 微米转变为 135 微米。另一个趋势是对替代涂层的需求不断增加，此类涂层至少可以在回流焊的较高温度下短期存留，并可能在一些有局部热点的光子封装中存留较长的时间。

德国 Fraunhofer IZM:

在过去的十年中，Fraunhofer IZM 一直在使用光子互连的计算和数据中心应用领域进行创新。他们在系统概念与设计、光子和射频组件设计、信号完整性和电路板设计、硅光子学中介层（采用硅穿孔导线技术开发）、3D 集成、倒装芯片组装、共封装、系统评估和基准测试等领域做出了贡献。在 CPO 领域，他们从一个数据中心互连旗舰项目开始，目标是利用光学互连和 3D 集成技术，使数据中心和高性能计算机在“配线架到配线架”、“板到板”和“芯片到芯片”等所有层级上均达到更高的运行速度。最近，他们参与了 MASSTART（兆兆位 / 秒级时代收发器的大规模制造）项目，设立该项目旨在促进 Tb/s 级数据中心之间和内部收发器的大规模制造。对于 Fraunhofer IZM 的集团经理 Tolga Tekin 来说，数据中心网络拓扑结构面临的一个主要挑战是，70% 以上的流量停留在数据中心之内。这意味着，接口必需具有足够的能力和对称性，以连接所有的节点。收发器数据速率与以太网交换机端口速度保持一致。串行器 / 解串器（SerDes）速度定义了收发器的端口速度。封装约束条件将芯片基数（chip radix）限制在每个 ASIC 256（512）个端口。尽管 SerDes 阵列在不断发展以支持更高的比特率，但是，随着比特率的增加，SerDes 的功耗将会升高。

解决方案的接受程度取决于其成本。就典型的单模数据中心收发器而言，成本目标是每 Gbps 1 美元，因此，在交换机面板上有 32 个端口的收发器的光学器件成本

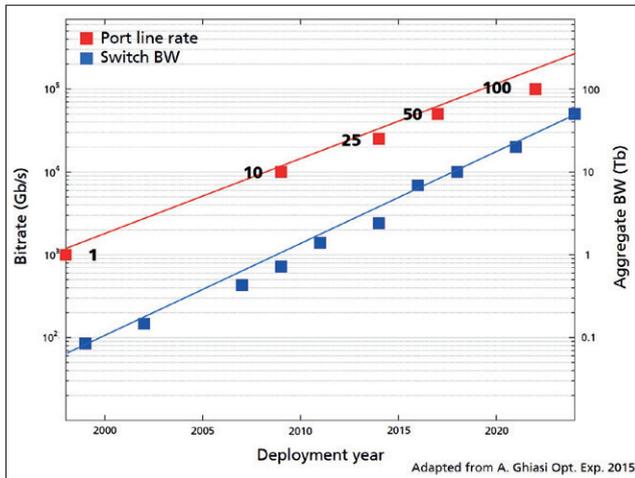


图2：交换机和收发器带宽的演变。改编自参考文献^[2]。

为 10000 ~ 13000 美元，这使得整个数据中心的收发器成本大约为 5000 万美元。因此，Fraunhofer 正在开发一种成本削减战略，该战略基于使 I/O 与逻辑系统“脱钩”。这么做的效果是将芯片 I/O 的功耗从 180W（用于其 25 兆兆位交换机 ASIC）降低至 40W。与此同时，他们已经能够扩大链路覆盖范围，从而将损耗从 12 dB 减至 1 dB。最近完成的欧盟项目 L3MATRIX 致力于研究用于低功耗和低成本数据中心的大规模硅光子学矩阵。

该项目旨在利用光子交换改善底层网络技术，以实现规模效益，同时控制功耗水平。在共封装光学器件中，使用与集成 III-V 族化合物半导体材料和硅光子学相结合的微型透镜阵列直接耦合光纤阵列，并将其直接连接到交换机 ASIC。他们专注于具有共封装光学器件的 25 兆兆位交换机，使用基于硅光子学与集成 III-V 族化合物半导体材料的 2D 收发器阵列。这些器件可以处理多达 256 个流通槽（lane），通过在硅光子器件上粘合 III-V 族化合物半导体层，以马赫-曾德尔（Mach-Zehnder）配置来使用集成型激光器。总的来说，共封装光学器件的未来是创造一个新的生态系统，这将涉及到组件制造商和更高层次的系统集成商的努力，以创建一个网络，让行业中的所有厂商和研究机构等都参与进来，以制定正确的标准，设计和集成这些新组件，并扩大生产规模。◆

参考文献

1. https://www.onboardoptics.org/_files/ugd/8abe6c_708f0fd7e75c4415b5eca3e35f7d1116.pdf
2. A. Ghiasi, “Large data centers interconnect bottlenecks,” Opt. Express, no. 23, pp. 2085-2090, 2015.

Advertiser	广告商名称	网址	页码
Park		www.parksystems.cn/hybrid-wli	1
2023第22届成都全球芯片与半导体产业博览会		www.cwgce.com	IBC

欢迎投稿

《半导体芯科技》(Silicon Semiconductor China, SiSC)是面向中国半导体行业的专业媒体,已获得全球知名权威杂志《Silicon Semiconductor》的独家授权。本刊针对中国半导体市场特点遴选相关优秀文章翻译,并汇集编辑征稿、采编国内外半导体行业新闻、深度分析和权威评论等多方面内容。本刊由香港雅时国际商讯(ACT International)以简体中文出版发行。

本刊内容覆盖半导体制造工艺技术、封装、设备、材料、测试、MEMS、mini/Micro-LED等。文章重点关注以下内容:

FAB (Foundry, IDM, OSAT, R&D)

四个环节:晶圆制造(wafer后道)、芯片制造、先进封装、洁净室;深入报道与之相关的制造工艺、材料分析、工艺材料、工艺设备、测试设备、辅助设备、系统工程、关键零备件,以及与particle(颗粒度)及contamination(沾污)控制等厂务知识。

FABLESS

芯片设计方案、设计工具,以及与掩模版内容和导入相关的资讯。

半导体基础材料及其应用

III-V族、II-VI族等先进半导体材料的科学研究成果,以及未来热门应用。

《半导体芯科技》欢迎读者、供应商以及相关科研单位投稿,已甄选中文稿件将在印刷版杂志以及网上杂志刊登;IC设计及应用等半导体相关内容将酌情予以网络发表(微信推送、杂志网站)。本刊优先刊登中文来稿(翻译稿请附上英文原稿)。

技术文章要求

1. 论点突出、论据充分:围绕主题展开话题,如工艺提升、技术改造、系统导入、新品应用,等等。
2. 结构严谨、短小精悍:从发现问题到解决问题、经验总结,一目了然,字数以3000字左右为宜。
3. 文章最好配有2-4幅与内容有关的插图或图表。插图、图表按图1、图2、表1、表2等依次排序,编号与文中的图表编号一致。
4. 请注明作者姓名、职务及所在公司或机构名称。作者人数以四人为限。
5. 文章版权归作者所有,请勿一稿多投。稿件一经发表如需转载需经本刊同意。
6. 请随稿件注明联系方式(电话、电子邮件)。

新产品要求

1. 新产品必须是在中国市场新上市、可在中国销售的。
2. 新产品稿件的内容应包含产品的名称、型号、功能、主要性能和特点、用途等。
3. 新产品投稿要求短小精悍,中文字数300~400字左右。
4. 来稿请附产品照片,照片分辨率不低于300dpi,最好是以单色作为背景。
5. 来稿请注明能提供进一步信息的人员姓名、电话、电子邮件。

电子邮箱: sunniez@actintl.com.hk
viviz@actintl.com.hk



www.siscmag.com

行政及销售人员 Administration & Sales Offices

行政人员 Administration

HK Head Office (香港总部)

ACT International (雅时国际商讯)

Unit B, 13/F, Por Yen Buiding, No. 478 Castle Peak Road, Cheung Sha Wan, Kowloon, Hong Kong
Tel: 852 28386298

Publishing Director (出版总监)

Adonis Mak (麦协林), adonism@actintl.com.hk

Editor-in-Chief (编辑)

Sunnie Zhao (赵雪芹), sunniez@actintl.com.hk

Vivi Zhang (张雨薇), viviz@actintl.com.hk

Sales Director (销售总监)

Lisa Cheng (程丽娜), lisac@actintl.com.hk

General Manager-China (中国区总经理)

Floyd Chun (秦泽峰), floyd@actintl.com.hk

London Office

Hannay House, 39 Clarendon Road

Watford, Herts, WD17 1JA, UK.

T: +44 (0)1923 690200

Coventry Office

Unit 6, Bow Court, Fletchworth Gate

Burnsall Road, Coventry, CV5 6SP, UK.

T: +44 (0)2476 718 970

Publisher & Editor-SiS English

Jackie Cannon, jackie.cannon@angelbc.com

+44 (0)1923 690205

销售人员 Sales Offices

China (中国)

Wuhan (武汉)

Lisa Cheng (程丽娜), lisac@actintl.com.hk

Tel: 86 185 7156 2977

Mini Xu (徐若男), minix@actintl.com.hk

Tel: 86 187 7196 7314

Phoebe Yin (尹菲菲), phoebey@actintl.com.hk

Tel: 86 159 0270 7275

Mandy Wu (吴漫), mandyw@actintl.com.hk

Tel: 86 187 7196 7324

Shenzhen (深圳)

Yoyo Deng (邓丹), yoyod@actintl.com.hk

Tel: 86 135 3806 1660

Jenny Li (李文娟), jennyli@actintl.com.hk

Tel: 86 137 2881 3915

Shanghai (上海)

Hatter Yao (姚丽莹), hattery@actintl.com.hk

Tel: 86 139 1771 3422

Helena Xu (许海燕), helenax@actintl.com.hk

Tel: 86 130 6168 5321

Amber Li (李歆), amberL@actintl.com.hk

Tel: 86 182 0179 0167

Beijing (北京)

Cecily Bian (边团芳), cecilyB@actintl.com.hk

Tel: 86 135 5262 1310

Hong Kong (香港特别行政区)

Floyd Chun (秦泽峰), floyd@actintl.com.hk

Tel: 852 2838 6298

Asia (亚洲)

Japan (日本)

Masaki Mori, masaki.mori@ex-press.jp

Tel: 81 3 6721 9890

Korea (韩国)

Lucky Kim, semieri@semieri.co.kr

Tel: 82 2 574 2466

Taiwan, Singapore, Malaysia

(台湾, 新加坡, 马来西亚)

Regional Sales Director

Floyd Chun (秦泽峰), floyd@actintl.com.hk

Tel: 852 2838 6298

US (美国)

Janice Jenkins, jjenkins@brunmedia.com

Tel: 724 929 3550

Tom Brun, tbrun@brunmedia.com

Tel: 724 539 2404

Europe (欧洲)

Shehzad Munshi, Shehzad.Munshi@angelbc.com

Tel: +44 (0)1923 690215

Jackie Cannon, Jackie.cannon@angelbc.com

Tel: +44 (0) 1923 690205



2023

4月26日-28日

成都全球芯片与半导体产业博览会

中国芯
芯动力
信未来

西部IC
重要行业
盛会

成 中
都 国

挺进成渝双城经济圈从这里开始

配套活动

- 2023主论坛(成都国际集成电路产业与应用发展高峰论坛)
- 2023中国IC设计与创新发展论坛
- 2023中国国际西部嵌入式系统安全论坛
- 2023中国西部集成电路封测行业技术交流会
- 2023中国西部半导体设备与核心不见制造商交流会
- 2023中国西部创新半导体器件与电源创新技术研讨会
- 2023IC新产品新技术发布会

联系人：田先生 金先生

电 话：18584594618 19802738028

邮 箱：318040636@qq.com

官 网：WWW.CWGCE.COM

同期举办：2023第22届中国国际（西部）光电产业博览会



2023

化合物半导体先进技术及应用大会

Compound Semiconductor Conference for Advanced Technology and Applications

— 线上 —

01月 SiC车规应用，爆发在即

- 衬底及外延制备技术
- 配套设备
- 新能源应用
- 封装技术

04月 GaN功率应用，厚积薄发

- 衬底及外延制备技术
- 配套设备
- 通讯网络
- 高功率电子
- 失效分析

06月 MicroLED取得的进展

- 制造工艺
- 外延技术
- 激光加工
- 快速检测
- 修复技术
- 技术进展

09月 基于VCSEL芯片的检测及加工创新技术

- 工艺特点
- 技术突破
- 激光雷达
- 汽车
- 刻蚀
- 封装

12月 基于深紫外消杀/封测/制造创新技术

- 芯片制备
- 检测技术
- 消杀技术
- 工艺难点
- 封装展望

— 线下 —

05月 — 苏州

2023

半导体先进技术创新发展和机遇大会

11月 — 太仓

化合物半导体先进技术及应用大会

*以上计划暂定，具体请以主办方通知为准

化合物半导体

CS COMPOUND SEMICONDUCTOR CHINA

化合 · 链接 · 赋能



扫码关注公众号



扫码添加客服号