

半导体芯科技

S/S **SILICON**
SEMICONDUCTOR
Connecting the Silicon Semiconductor Community

CHINA

如何让湿法清洗设备运行良好? 10

材料化图形成像帮助芯片设计者优化PPAC 17

22nm FD-SOI嵌入式MRAM技术助力工业级MCU和物联网应用 20

扫描式超声波显微镜用于3D封装器件的分析 25

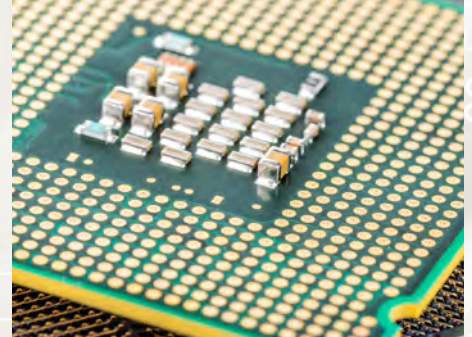
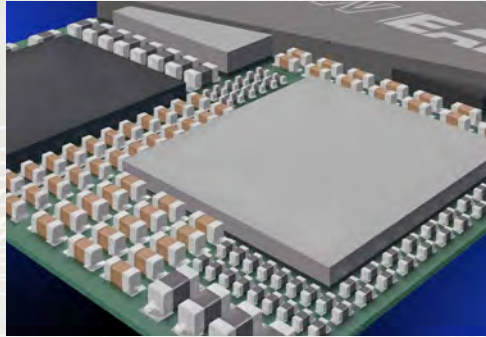
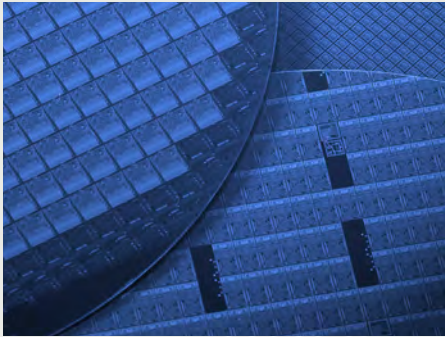
半导体市场的第三次发展浪潮与封装面临的挑战 31



微信公众号



MPM | Camalot | Electrovert Vitronics Soltec | Despatch



用于半导体封装的印刷、点胶、 回流焊、清洗和热处理设备

ITW EAE 正在推进半导体封装下一代技术的创新与发展。新技术能显著提高生产率和良率。

MPM® Edison™ 是市场上最精确的印刷机。Camalot® Prodigy™ 点胶机具有最先进的技术，例如 Dynamic Dual Head™ (动态双头)，无论零部件之间如何旋转，两个点胶泵都可以同步点胶。

Vitronics Soltec 回流焊系统具有无与伦比的可靠性。Electrovert® 离心和在线清洗系统能对高级封装进行高性能清洗。Despatch® 提供用于聚合物固化等的高性能烘箱。

专为提高半导体良率而设计



Electronic Assembly Equipment

ITW EAE

请浏览 www.itweae.com, 获取更多信息。

A division of Illinois Tools Works

注册已经开始了

EDI
CON

2020

Electronic Design Innovation Conference

电子设计创新大会

2020年10月13-14日

国家会议中心，北京，中国

访问www.mwjjournalchina.com/edicon注册参会

- ▶ 5G/先进通信
- ▶ 毫米波技术
- ▶ 放大器设计
- ▶ 电磁兼容/电磁干扰
- ▶ 低功耗射频和物联网
- ▶ 前端设计

- ▶ 电源完整性
- ▶ 雷达和国防
- ▶ 射频和微波设计
- ▶ 信号完整性
- ▶ 仿真和建模
- ▶ 测试和测量



www.mwjjournalchina.com/edicon

目录 CONTENTS

技术 Technology

- 10 如何让湿法清洗设备运行良好?**
Ensure Wet Process Cleaning Equipment Success
 - *JST Manufacturing*



化学品管路若拐弯过多会变得杂乱，厂务化学品输送系统的压力会降至无法充满化学品储罐的程度。因此，在配置管路时必须以更直接的方式，保持足够的压力以适当为化学品储罐充液。

- 13 “围绕分子”：实现卓越的全方位气体输送方案**
Surrounding the Molecule: A Comprehensive Approach to Gas Delivery Excellence With Unprecedented Performance
 - *Applied Energy Systems*

- 17 材料化图形成像帮助芯片设计者优化 PPAC**
Materials-Enabled Patterning Helps Eliminate Trade-Offs in PPAC
 - *Regina Freed, Applied Materials*

- 20 22nm FD-SOI 嵌入式 MRAM 技术助力工业级 MCU 和物联网应用**
Manufacturable 22nm FD-SOI Embedded MRAM Technology for Industrial-grade MCU and IOT Applications
 - *V. B. Naik, K. Lee, K. Yamane, R. Chao 等, GLOBALFOUNDRIES*

- 25 扫描式超声波显微镜用于 3D 封装器件的分析**
Rely on SAM for 3D Package Device Analysis
 - *PVA TePla Analytical Systems*

- 27 新的拉曼光谱法将系统缩小到单颗芯片上**
A New Raman Spectroscopy Approach Shrinks the System onto A Chip
 - *Els Parton, Harrie Tilmans, Pol Van Dorpe, imec*

关于雅时国际资讯 (ACT International)



雅时国际资讯 (ACT International) 成立于1998年，为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品—包括杂志和网上出版物、培训、会议和活动—为跨国公司及中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站，以及各种技术会议，服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港，在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photronics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

关于《半导体芯科技》

《半导体芯科技》(原半导体科技) 中国版 (SiSC) 是全球最重要和最权威的杂志Silicon Semiconductor的“姐妹”杂志，由香港雅时国际资讯出版，报道最新半导体产业新闻、深度分析和权威评论。为中国半导体专业人士，提供他们需要的商业、技术和产品信息，帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国半导体产业，包括IC设计、制造、封装及应用等。

About Silicon Semiconductor China

Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology & product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMS, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

目录 CONTENTS

编辑寄语 Editor's Note

4 “芯”事杂谈

Talking About the Chip

- SiSC 编辑部

5 产品聚焦 Product Focus

- 佳能：半导体光刻机 FPA-8000iW

- 西门子：CAD 草图绘制技术用于 AI 芯片设计

- KLA 突破性电子束缺陷检测系统 eSL10™

- ONTO：Element™ 全自动傅里叶变换红外光谱仪

- 普发真空：新一代气体分析仪 OmniStar®

- Vitrox 面向多方面应用的 SWIR 检测方案

- AMAT：新型刻蚀系统 Sym3® 面向先进存储器和逻辑芯片

- SENTECH：SENDURO® MEMS 全自动薄膜测量设备

- PerkinElmer 化学高分辨多重四极杆 ICP-MS

- 盛美：Ultra C VI 单晶圆清洗设备

观点 Viewpoints

31 半导体市场的第三次发展浪潮与封装面临的挑战

The Real Third Wave of Semiconductor Market Growth and Some Packaging Challenges

- Asif Chowdhury, UTAC GROUP

37 “传感 + 控制 + 存储”协同，打造一站式芯片体系

Integration of "Sensing, Control & Storage" to Create A One-Stop Chip System

- 赵雪芹

专栏 Column

38 瑞萨电子扩展超低功耗嵌入式控制器 RE 产品家族

Renesas Expands Its RE Family of Ultra-Low-Power Embedded Controllers

- SiSC 编辑部

40 广告索引 Ad Index

《半导体芯科技》编委会（排名不分先后）

刘胜 教授
武汉大学 工业科学研究院执行院长
汤晖 教授
广东工业大学、精密电子制造
技术与装备国家重点实验室
于大全 教授
厦门云天半导体创始人
林挺宇 博士
广东芯华微电子技术有限公司总经理
杨利华 院长
两江半导体研究院

王文利 教授
西安电子科技大学电子可靠性(深圳)研究中心主任
雅时国际商讯顾问
张昭宇 教授
香港中文大学(深圳)理工学院
深圳半导体激光器重点实验室主任
刘功桂 教授级高工
中国电器科学研究院股份有限公司威凯技术中心主任
冀运景 总经理
深圳明锐理想科技有限公司

云星 总经理
深圳安博电子有限公司
刘丰收 总经理
上海望友信息科技有限公司
李光 常务副总裁
深圳雷曼光电股份有限公司
张弛 总裁
深圳贝特莱电子科技股份有限公司
乔旭东 博士
深创投集团投资发展研究中心总经理

社长 Publisher

麦协林 Adonis Mak

adonism@actintl.com.hk

主编 Editor in Chief

贺贵鸿 Mizy He

mizyh@actintl.com.hk

出版社 Publishing House

雅时国际商讯 ACT International

香港九龙 B,13/F, Por Yen Bldg,

长沙湾青山道478号 478 Castle Peak Road,

百欣大厦 Cheung Sha Wan,

13楼B室 Kowloon, Hong Kong

Tel: (852) 2838 6298

Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988571

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 59233884

UK Office

Angel Business

Communications Ltd.

6 Bow Court,

Fletchworth Gate,

Burnsall Road, Coventry,

CV56SP, UK

Tel: +44 (0)1923 690200

Chief Operating Officer

Stephen Whitehurst

stephen.whitehurst@angelbc.com

Tel: +44 (0)2476 718970



社长 Publisher

麦协林 Adonis Mak

adonism@actintl.com.hk

主编 Editor in Chief

赵雪芹 Sunnie Zhao

sunniez@actintl.com.hk

贺贵鸿 Mizy He

mizyh@actintl.com.hk

出版社 Publishing House

雅时国际商讯 ACT International

香港九龙 B,13/F, Por Yen Bldg,

长沙湾青山道478号 478 Castle Peak Road,

百欣大厦 Cheung Sha Wan,

13楼B室 Kowloon, Hong Kong

Tel: (852) 2838 6298

Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988571

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 59233884

UK Office

Angel Business

Communications Ltd.

6 Bow Court,

Fletchworth Gate,

Burnsall Road, Coventry,

CV56SP, UK

Tel: +44 (0)1923 690200

Chief Operating Officer

Stephen Whitehurst

stephen.whitehurst@angelbc.com

Tel: +44 (0)2476 718970



“芯”事杂谈

近两年来，美国对于中国半导体优秀企业的打压频现，其手段一如既往如多年前狙击萨达姆的那样，情报到位、目标精确、精准打击；战略上步步为营，行动上刀刀见肉；从美国高端芯片、工艺设备、软件的直销以及凡采用了美国产品和技术制造的一切产品均在限制之列，似我等产业旁观者，也能感觉这如同层层叠叠的海浪袭来让人压抑。于是，我国半导体行业陷入了三种状态，一部分开始思考着手下一轮的产业布局，一部分偃旗息鼓选择观望，还剩下的更加狂躁欲借东风搅乱风云。

华为海思作为当事者，反而成了开始冷静并高调做事的那个。最近有几条消息：1) 华为在日本的采购金额暴增 50%；2) 华为创始人任正非日前带队访问上海交通、复旦、东南大学、南京大学，促进产学研结合，推进科研创新和人才培养；3) 华为及中兴正着手改变产品设计，因此放慢了 5G 基站的建设；4) 华为将专注于提供云技术和云服务，为了在美国对其消费者业务的制裁中生存下来；5) 华为将 5G 技术结合到自动驾驶汽车当中；等等。

这意味着，这家企业再也不会寄希望于美国的仁慈，即便未来美对华政策有可能放宽，终究是猫戏老鼠受制于人。因此丢掉幻想、准备斗争才是王道！在此之前，第一要务还是抓紧时间备货，除了本土企业之外，零部件的供应商大多来自日本、韩国以及台湾地区；赶在下一波禁制扩大化之前先顾好眼前的业务。再者广招才俊，试图从基础研究上着手，期望未来十年之后能掌握真正创造性的技术。通过寻找新的突破口，将自身的技术优势投入到新兴应用的开发当中，避开当下热门应用遭遇的阻击。

其实，受到美国压制的何止于华为、中兴，包括产业链上的关联行业、科研单位等等，有的已深受其害，有的奋起直追。国内企业如 OPPO、小米、康佳、TCL 等传统企业、以及互联网企业如百度、阿里巴巴纷纷采用各种方式参与到‘造芯’运动当中，这无疑是在审时度势之后的产业布局，由于这些公司以往在终端消费类产品上取得的成就（有原始资本的积累，以及终端市场的消化能力），此番造芯计划更加显得有的放矢。只是，前方珠玉在前碰壁图破壁之时，后方的追随者该如何避开这些枷锁？这是新进或转型企业应该考虑的事情。

近二十年以来，我们国家的信息电子行业建设迅猛，太阳能、LED、显示屏等泛半导体产业几番浮沉，来自官方、民间投资的力量促使了很多企业的非理性成长以及非理性消亡。差别在于：当年很大程度上出于冲动型建设，今日的产业状况是：投资更专业更嗜血，政策更明确、监管力度与项目评估能力更强，唯有这全局统筹力度令人堪忧，这点可以从目前南京德科玛、以及武汉弘芯遭遇的困顿可以窥见一斑，相信未来三五年我们能见到的更多；眼下这看似星火燎原实则烟花易冷！

如今集成电路建设受到全民关注，我国消费市场的需求量及承受力足以支撑起诸多新兴技术的落地，比方说近两年来很热门的 AI、自动驾驶汽车、IoT、智慧工厂等等，促进了 GPGPU 等高端芯片、存储器、射频前端、传感器等产品的国产化替代进程。这是天时与地利兼具。然而“人和”未到火候，企业缺乏人才，学校教学不能学以致用。近期倒有个好消息，集成电路被擢升为一类学科。

当然，我们的眼光不应只围绕着少数几家企业打转，在关注国外企业动向的同时，更应力挺国内的企业，尤其是一些芯片设计公司。

佳能：半导体光刻机“FPA-8000iW”

佳能于7月上旬发售面向后道工序的i线步进式光刻机“FPA-8000iW”。在半导体器件的制造过程中，半导体光刻机起到“曝光”电路图案的作用。通过一系列的曝光，在硅片上制造半导体芯片的过程称为前道工序；保护精密的半导体芯片不受外部环境的影响，并在安装时实现与外部电气连接的封装过程称为后道工序。

近年来随着IoT的发展，封装基板变得越来越集成化也越来越薄。例如，由于高性能CPU或FPGA需要连接到多个高速大容量存储器，因此面

向数据中心的高端芯片，其封装朝着集成化、大型化方向发展；如AI芯片、HPC等。作为先进的封装技术之一，PLP不仅支持半导体器件的高度集成和薄型化，而且还通过大型基板的应用实现了高产能。

佳能FPA-8000iW光刻机可提供高标准的解像力，满足用户利用高产能大尺寸方形基板的封装需求。它在实现半导体封装的进一步细化和大型化的同时，还降低了成本。

具体来说，该平台可支持最大尺寸为515×510mm的方形基板（芯片



占用面积为93%，而300mm晶圆相对是64%），并针对大尺寸基板容易发生的翘曲问题，通过搭载新的传送系统，可在矫正10mm大翘曲的状态下进行曝光。再者，佳能自主研发的投影光学系统可实现52×68mm的大视场曝光，达到1.0μm解像力，可应对PLP等高端封装工艺的各种用户需求。

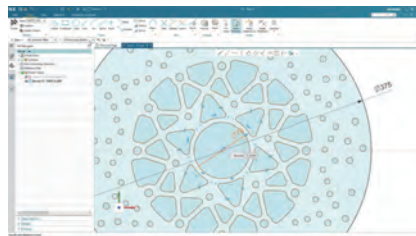
西门子：CAD草图绘制技术用于AI芯片设计

西门子数字化工业软件推出新款NX™ Sketch软件工具，用于捕捉2D概念；全新解决方案将彻底革新作为设计流程必要组成部分的CAD草图绘制过程。通过改变底层技术，用户能在无需提前定义参数、设计意图与关系的情况下绘制草图。通过使用AI实时推断关系，用户可以摆脱纸张和徒手绘制，转而在NX™软件内真正构建概念设计。

这项技术极大地提高了概念设计草图绘制的灵活性，可以简化导入的数据，利用历史数据实现快速设计迭代，并在单一草图内处理成千上万的曲线。随着在NX中加入系列增强功

能，西门子Xcelerator解决方案组合将继续融合先进技术，甚至包括核心建模技术，以帮助用户消除传统障碍，大幅提高生产力。

分析显示，在日常工作流程中，普通用户约有10%的时间都用来绘制草图。此外，在当前的设计环境下，由于用户必须预先确定设计规则与关系的级别，并将其构建在草图内，大多数概念草图都是在CAD软件之外进行绘制的。设计师通常在概念设计阶段并不能定义最终产品，这就要求草图绘制环境具备灵活性，并可以随着设计而演化。NX提供了在3D CAD环境下进行2D纸质概念设计的灵活性，



在业内率先打破了设计方面的前期限制。NX可以识别切线及其他设计关系，以便实时调整，无需定义及受到诸如尺寸或关系等约束要素的限制。

西门子数字化工业软件致力于推动数字化企业转型，实现满足未来需求的工程、制造和电子设计。西门子Xcelerator解决方案组合可帮助各类规模的企业创建并充分利用数字化双胞胎，为机构带来全新的洞察、机遇和自动化水平，促进创新。

KLA突破性电子束缺陷检测系统eSL10™

KLA公司推出eSL10™电子束图案化晶圆缺陷检查系统。该系统具有独特的检测能力，能够检测出常规光学或其他电子束检测平台无法捕获

的缺陷，从而加速了高性能逻辑和存储芯片的上市时间（包括那些依赖于极端紫外线EUV光刻技术的芯片）。eSL10的研发始于最基本的构架，针

对研发生产存在多年的问题而开发出多项突破性技术，可提供高分辨率及高速检测功能，这是任何其他电子束系统都难以比拟的。

eSL10 电子束检测系统拥有多项创新技术，能弥补对关键缺陷检测能力的差距。独特的电子光学设计提供了相对广泛的操作运行范围，能够捕获各种不同制程层和器件类型中的缺陷。1) Yellowstone™ 扫描模式每次可以扫描收集 100 亿像素的信息，支持高速运行的同时不会影响分辨率，在较大区域内也能高效地研究潜在弱点，实现缺陷发现。2) Simul-6™ 传感器技术可以通过一次扫描同时收集表面、形貌、材料对比度和深沟槽信息，从而减少在器件结构和材料

中识别不同缺陷类型所需的时间。3) 凭借先进的 AI 系统，eSL10 运用了深度学习算法，将关键缺陷 (DOI) 的信号与图案本身和制程带来的噪声信号区分开，帮助在研发与量产提升阶段及时捕获和分类关键缺陷。

三维器件结构，例如用于内存应用的 3D NAND 和 DRAM，以及用于逻辑器件的 FinFET 和 GAA 结构，都要求晶圆厂重新考虑传统的缺陷控制策略。eSL10 与 KLA 的旗舰 39xx ('Gen5') 和 29xx ('Gen4') 宽光谱晶圆缺陷检测系统相结合，为先进的 IC



技术提供缺陷发现和监测解决方案。双方合作提高了产品的良率和可靠性，有助于更快地发现关键缺陷，从而解决从研发到生产的缺陷问题。

新型 eSL10 系统平台具有独特的扩展性，可以沿用到整个电子束检测和量测应用。

ONTO: Element™全自动傅里叶变换红外光谱仪

在先进半导体器件的制造中，Onto Innovation 全新的 Element™ 材料分析平台用作检测介电层控制解决方案，包括硼磷硅玻璃中的硼、磷元素浓度及先进制程中氢元素的监测。

Element™ 平台的硬件搭配了独特且经过认证的高级算法，可以胜任那些对客户极具挑战的制程控制。通

过 Element™ 平台客户找到材料特性和芯片制造中变量的相关性，能轻松控制延展性并提高最终产能。随着半导体制程节点朝着更先进方向发展，它要求更稳定的制程控制监测手段。此外随着更多的介电元素或半导体元素逐渐得到重视，产线上采用 FTIR 监测将成为一种必然趋势——这就是



客户在经过长期而苛刻的筛选之后选用 Element™ 平台的原因。

普发真空：新一代气体分析仪 OmniStar®

普发真空发布紧凑型便携式台式分析仪 OmniStar，可在大气压下分析气体，广泛运用于化学工艺、半导体工业等。机器的进气口配有毛细管，可在最高 350℃ 的温度下使用，可以防止在过工艺气体分析过程中产生蒸气凝结。同时，得益于两级进气系统，气体供应几乎可以实现完全无分层。

OmniStar 的应用更广泛，使用不锈钢毛细管。与其他分析方法（如 FTIR 或 GC-FID）不同，OmniStar 与另一款 ThermoStar GSD 350 可同时

检测质量范围内的所有气体。

凭借新型质谱仪软件 PV MassSpec，OmniStar 可以进行定性和定量分析。该软件提供了一个清晰且易于操作的平台，不但能够记录和显示测量数据以及参数集，甚至可以对完整的测量序列进行编程和自动化，根据设备型号的不同，质量范围分为 1-100u，1-200u 和 1-300u 三种类型。

与同类设备相比，OmniStar 体积小巧，结合了 7 英寸触摸屏，操作便捷。用户不仅能完全控制设备，而且



可以通过智能手机或平板电脑进行简单的测量，避免受限于电脑端或 PV MassSpec。

最后新型分析仪还具备检测极低（最低 <100ppb）、气体消耗低（1-2 sccm）、测量时间快（最高 1 ms/u）的特点。为了扩展工艺适应性，还可选择加配质量平衡校准设备或受监控的腐蚀性气体吹扫系统。

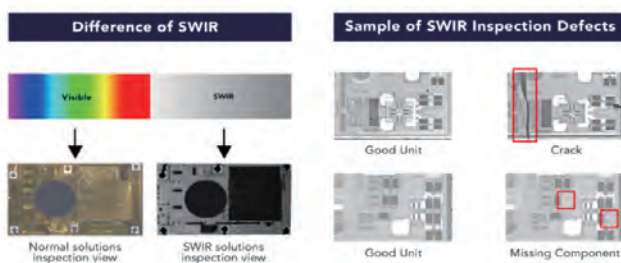
Vitrox面向多方面应用的SWIR检测方案

Vitrox (伟特科技) 推出最新的短波红外 (SWIR) 检测方案, 通过采用军用级摄像机的设计, 可提供高清视觉检测结果。该项技术能检测封装设备的内部缺陷, 例如内部裂纹、组件缺失、分层、崩缺等, 尤其是 WLCSP, 这是使用标准解决方案所无法实现的。

SWIR 光在 1000~1700nm 的波长范围内可见及不可见。只有特殊的传感器才能看到比可见波长更长的波长。SWIR 摄像机生成的图像可以让您看到肉眼看不到的东西。正常可见光的波长范围为 380~780nm。

伟特 SWIR 方案能解决在晶圆生产过程中遇到的难题。晶圆片上或片间很容易发现裂纹或剥落等缺陷, 相比使用仅能检测晶圆片表面缺陷的标准摄像头, SWIR 摄像头可以发挥更多的效用, 它生成的图像有助于透视硅片, 借助这个特征它能检测出裂缝、空隙或其他缺陷。SWIR 摄像机也可成为芯片检测过程的绝佳解决方案。

此外, SWIR 方案还能检测到由晶



圆切割 (包装前) 而造成的缺陷, 例如隐藏在硅材料内部的裂纹; 因此在芯片制造过程中, 该方案主要是检测标准视觉无法用标准系统的检测程序所捕获的器件内部缺陷, 如下图描述了标准视检与 SWIR 的图像的对比效果。

AMAT: 新型刻蚀系统Sym3[®]面向先进存储器和逻辑芯片

应用材料推出——Centris[®] Sym3[®] Y 刻蚀系统。该系统采用创新的射频脉冲技术, 为客户提供极高的材料选择性、深度控制和剖面控制, 使之能够在 3D NAND、DRAM 和逻辑节点 (包括 FinFET 和 GAA) 创建密集排列的高深宽比结构。

Sym3 刻蚀系统于 2015 年首次推出, 在很短时间内得到市场的认可。系统拥有独特的技术特征: 高电导反应腔架构能够提供特殊的刻蚀剖面控制, 快速有效地排出每次晶圆工艺产生的刻蚀副产物。再者, Sym3 Y 系统采用了专有的新型涂层材料, 可保护关键腔体组件, 设备的优势更为明

显。时至今日, Sym3 反应腔出货量达到了 5000 台大关。

AMAT 为客户的新型 3D 结构或开辟 2D 微缩新途径提供全新的材料成型和成像方法, Sym3 系列正是实现这一战略的关键产品。通过采用独特的 CVD 镀膜技术对 Sym3 系统进行协同优化, 客户能增加 3D NAND 内存器件中的层数, 并减少 DRAM 制造中四重成型所需的步骤数。通过将上述技术与其电子束检测和审查技术一同部署, 可加快研发并大规模实现行业最先进节点的产量爬坡, 从而帮助客户改善芯片功耗、增强芯片性能、降低单位面积成本并加快上市时间。



每个 Sym3 Y 系统均包括多个刻蚀和等离子清洁晶圆工艺反应腔, 并由智能系统控制可确保每个反应腔都拥有一致的性能, 从而实现稳定的工艺和高生产力。全球多家领先的 NAND、DRAM 和代工厂逻辑节点客户都在使用这一新系统。

SENTECH: SENDURO[®] MEMS全自动薄膜测量设备

德国 SENTECH 公司推出 SENDURO[®] MEMS 全自动薄膜测量设备, 用于传感器和 MEMS 制造。

新设备使用光谱反射法和椭偏法实现可靠且精确的膜层测量, 非常适合优化测量速度、精度和光斑尺寸。

SENDURO[®] MEMS 配备了反射仪并结合椭偏仪, 基于最准确的步进扫描分析仪测量模式, 可用于膜厚测

量、光学常数(μ点)、以及基于多层堆栈的薄膜分析,灵活性好、准确性高,同时还能提供精确的测点位置。此外,设备采用 SpectraRay/4 软件,并配备 SECS/GEM 软件接口选项,可支持工厂主机与设备之间的通信。

SENDURO® MEMS 可处理双面晶圆以及晶圆边缘去除,兼容 4 寸、6 寸及 8 寸晶圆。此外,设备还配置了机械手和预对准器,方便自动装

载晶圆。测绘台支持 200mm 及以下晶圆的单点与多点测量;设备的模式识别有两种可选,即微点光谱椭圆仪(100×100μm²)和微点反射仪(80μm²)。

此外,设备可测量多种材料,包括氧化硅、氮化硅、氮氧化硅,非晶硅、多晶硅,光刻胶、聚酰亚胺,Al、Pt、Cr 金属薄膜和 TiN、TaN、TCO 和 ITO 导电膜;而构建在硅片、绝



缘硅上衬底、硅膜、硅上 GaN, SiC 等材料上的单层薄膜和堆栈层则用于 MEMS 和传感器的生产。

PerkinElmer 化学高分辨多重四极杆 ICP-MS

PerkinElmer 的 NexION® 5000 是一款化学高分辨多重四极杆电感耦合等离子体质谱(ICP-MS),用于半导体工业无机元素检测,包括过渡金属、碱金属、碱土金属、重金属以及如 B, P 等无机元素。

ICP-MS 是分析无机元素离子的必备手段,广泛应用于工艺生产中晶圆片、化学品、电子特气、靶材等的无机元素杂质检测。ICP-MS 具有灵敏度高、检出能力强、分析速度快等特点,几乎可以分析元素周期表中所

有元素。

NexION 5000 具有无与伦比的检出能力与稳定性,利用四组四极杆平台控制消除质谱干扰的化学反应和最小化非质谱干扰,使反应精确可控,避免副反应发生,实现极低的检出能力以及出色的长时间稳定分析能力,如化学品硫酸中 Ti 和 Zn 都能轻松满足 10ppt 要求,同时长时间运行性能也非常优秀。

无机元素会对芯片制程产生影响,包括电压击穿、高的暗电流等,



同时也会影响良率。因此,对无机元素的监控越发重要。据最新的半导体制程要求:超纯水的无机元素离子含量小于 1ppt,超纯化学品小于 10ppt,甚至有的企业标准定为 5ppt 以内。

盛美: Ultra C VI 单晶圆清洗设备

盛美半导体发布 Ultra C VI 单晶圆清洗设备。Ultra C VI 用于存储芯片的批量化清洗,可缩短存储产品的生产周期。新设备基于盛美成熟的多腔体技术,进一步扩展了清洗设备产品线。Ultra C VI 系统配备了 18 个单片清洗腔体,对比 12 腔设备 Ultra C V 系统,其腔体数及产能增加了 50%,而设备宽度不变、长度略有增加。

Ultra C VI 适合用作先进存储器的单晶圆清洗,包括 DRAM (≤ 1y 节点) 和 3D NAND (≥ 128 层)。该设

备适用于各种前道和后道工艺,如聚合物去除、中段钨或后段铜工艺的清洗、沉积前清洗、蚀刻后和 CMP 后清洗、深沟道清洗和 RCA 标准清洗。

清洗过程中可使用多种化学组合,包括标准清洗(SC1, SC2)、氢氟酸(HF)、臭氧去离子水(DI-O3)、稀硫酸双氧水混合液(DSP, DSP+)、有机溶剂或其他工艺化学品等。最多可对其中两种化学品进行回收,节约成本。

该设备还提供物理辅助清洗方法备选,例如二流体氮气雾化水清洗或



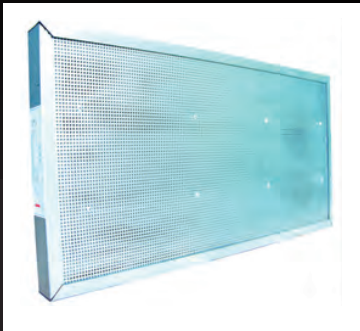
者盛美专有的空间交变相位移(SAPS)和时序能激气穴震荡(TEBO)兆声清洗技术。可选配异丙醇(IPA)干燥功能,应用于具有高深宽比结构的制程。目前,设备有待交付 Fab 厂进行评估。

半导体洁净室专用净化设备

高效全自动 智能控制FFU

特点

1. 滤料：进口PTFE
2. 效率：99.99995%
3. 节能：效能提升58%
4. 控制：全自动智能控制



深圳市中建南方环境股份有限公司

电话：0755-26620315/4006699583

深圳市南山区西丽街道西丽工业区新光路15栋、8栋101、201、7栋101-3#

网址：www.zjnf.cn

邮箱：zjnf@zjnf.cn

如何让湿法清洗设备运行良好？

专业的指导可以使半导体制造在整个安装及运行过程中均步入正轨。

对于半导体制造商、化合物半导体制造商、晶圆材料供应商和研发实验室而言，利用湿法清洗设备来生产极其可靠的产品是至关重要的。因此，针对工艺设备、设计规格、测试、安装和配管整个工艺流程，选择与具有深厚专业知识的供应商合作是成功之所在。

在半导体制程中，“清洗”一般指的是刻蚀工艺，用于精确去除材料的表面薄膜（如 SiO_2 层）。在其他应用中，清洗还可以泛指使用诸如有机溶剂、酸、碱之类的溶剂来去除不需要的微粒和其他沾污（如光刻胶）。

清洗工艺包括将晶圆片移至极高温度的化学槽中，槽内可能是酸、碱或易燃溶剂，因此请教专家可提高整体操作的安全性，同时改善系统的结构使之更符合人体工程学。它通常需要从多种技术中选择最合适的方案。这可能涉及到各种化学品、温度控制、酸槽 / 药液、人体工程学设计，

以及清洗、过滤、通风、安全以及废液处理技术。

为实现批量生产，清洗工艺可能面临着设备的自动化与升级。如果在无尘室中进行清洗，则整套自动化系统（包括电机和机械臂）也必须适合该环境。

如果必须过早更换设备以适应自动化，任何可能的碰撞会导致质量或安全问题，继而延误生产，甚至造成数百万美元的损失。为避开这些“障碍”，有必要与专业的设备制造商合作，可以从头到尾帮助优化整个产品生命周期。

再者，把湿法清洗工艺的各方面都考虑进去极为重要，然而细节决定成败，哪怕是清洗设备中的一个极小环节没有规划好，也可能导致一些问题，例如不遵守当地的消防或建筑法规，甚至无法通过门、走廊或电梯把设备运抵洁净室。



“厂务系统化”通常容易被忽视，厂务意味着安装、配管（供应去离子水、化学药液、排液、排气系统等）和安全合规性。当规划新的生产设备时，厂务将成为一项主要成本；为适应现有受限的厂务设施，须对设备进行设计调整，此时可以降低这项成本。这就是为什么与设备供应商合作在项目报价时要将厂务成本考虑在内的原因。

JST Manufacturing 是一家设计和制造手动及自动化清洗设备的公司，提供具备所有功能的专有系统，以及完整交钥匙清洗工艺所需的传输系统。公司位于美国博伊西，其公司总裁 Louise Bertagnolli 表示，“遗漏重要细节会导致严重的问题，影响生产的同时还得翻新设备，因此需要提前把厂务系统考虑透彻了。”

例如，Bertagnolli 指出了必须正确实施各种物流 / 运输甚至是输送方式，这包括将产品和化学品输入到设备中或者从设备中输出，如何将设备搬入洁净室并进行配置，更不用说满足安全性和排气系统要求等。

Bertagnolli 表示，“清洗设备外形可能较大，所以必须检查电梯、门和走廊的空间大小，以确保它们适合转运。否则，制造商不得不使用一台吊车通过第六层窗户来吊装设备。”

因此，为避免失误，并确保湿法清洗设备的设计、安装和厂务配置过程可以完全符合所有安全和性能要求；对于制造商而言，与具有专业知识的设备厂商合作并能为自己提供一站式服务及方案——这点非常重要。而预先获得所需专业知识，可确保湿法清洗设备能够按要求运行，不会出现意外情况。

成功规划

要确定安全性和合规性，则须进行多方面的分类，以确保将设备的设计能结合半导体制造厂的相关因素，与之共存。

关于遵守防火规范，Bertagnolli 表示，如果半导体制造商在无尘室内拥有自己的防火系统，则清洗设备需要与该系统相互通信。

因此，该设备若在着火等紧急情况下需要关闭，设备须先行通知 Fab 厂内的火灾报警系统。灭火管道也必须密封好并保持足够的压力。另外，半导体制造厂需要采用专



业认证的防火材料，并获取火灾保险的资格。

Bertagnolli 补充道，在遵守 OSHA 规定的前提下，为了安全起见，制造商必须在断电时锁定及标记出设备前面三英尺范围的区域。因此，这也需要规划。如果没有专业的指导，厂商在规范化过程中会有很多地方容易出错。她建议在这些方面寻求行业专家的帮助，专家可以根据需要提供一站式指导。这点尤为重要！

例如，出现计划外的问题可能会导致高昂成本的改造或寻求其他解决方法，为了避免出现问题而耽误生产，Bertagnolli 郑重提到，有必要对设备的安装过程进行详细规划，具体到设备需要通过哪台电梯、经过哪个走廊甚至是哪道门，这些都是湿法工艺槽或者湿法设备必须考虑到的运输问题。

根据 Bertagnolli 的说法，许多洁净室都设有 sub-fab 层，因此也有必要确保在正确的





会充斥大量的气体。若厂务化学系统中管路的拐弯过多，一旦管路混乱会降低管路内压力，则药液储罐不能适量填充。因此，化学管路必须以更直接的方式进行配置以维持足够的管道压力，最终才能准确地为湿法清洗设备以及药液储罐供液。

Bertagnolli 声称，“要使厂务配置顺利进行，事先必须掌握大量的专业知识、做好计划并严密关注项目中的每个细节”。若厂务配置彻底，则可帮助规划项目及简化后续的维护任务，从而避免不必要的安全风险或成本。”

楼层位置上设有结构支撑 / 铁脚架。为了达到安全合规性和配套性能，制造商还必须为 Fab 厂设计完善的排气系统，使之具有每分钟几立方英尺的空气流速。

此外，厂务工程还包括为去离子水、化学药品和废液排放系统进行配管，不能出现任何泄漏。Bertagnolli 强调说，“当需要从远处输送化学药液时，应为化学管路提供必要的泵压，这也是设计时常见的纰漏；并且按照安全法规，在相关化学品产线上需要采取双重密封。”

事实上，若缺乏足够的压力，化学生产线 / 药液储罐不能定量或者足量供料，会存在其他问题，例如管路中

例如，应考虑供水管如何穿过洁净室，若供水管的布局占用了用于执行设备维护的空间，则会降低安全性和效率。但若规划好了，供水管路或清洗设备的维护空间可以位于不同的、且不存在冲突的区域。

最重要的是，若要顺利而安地全地使用湿法工艺清洗设备，需要确定许多细节，才能有效地处理设计规范、厂务系统和生产。

如果在一站式指导下进行了周密的计划，则整个企业可以在第一时间以最小的成本运行；并且在未来很长一段时间内，可以顺利进行生产。◆

化学品管路若拐弯过多会变得杂乱，厂务化学品输送系统的压力会降至无法充满化学品储罐的程度。因此，在配置管路时必须以更直接的方式，保持足够的压力以适当为化学品储罐充液。


上接第37页

EMC 特性已在 5G 基站、家电类客户端得到验证，可靠性良好。公司正致力于发展三大平台：无线连接平台、超低功耗平台以及车规级 MCU。众所周知，车规级 MCU 对于产品的可靠性及安全性均提出严格的要求。

关于传感器，兆易创新 2019 年通过收购思立微进入传感器市场，完善了公司在人机交互领域的核心技术和产品系列。传感器产品线包括触控、指纹、健康监控，从技术角度来看就是声、光、电。公司的传感器指纹解决方案在业内是最齐全的，涵盖从电容、光学到超声的方案。自 2010 年至今，从触控、指纹芯片、光学指纹 SoC 到

MEMS 指纹超声芯片，公司的研发成果喜人、产品线得到完善。兆易创新 SENSOR 事业部市场总监刘浩雷先生表示：2020 年将推出采用特殊工艺的 TOF 芯片以及硅麦产品。

舒清明总结道：作为一家设计公司，企业的成功离不开上下游的密切合作；目前与中芯国际以及先进封装厂展开合作。基于‘传感+控制+存储’协同，我们希望打造万物互联时代一站式芯片体系，为客户提供以 MCU 为核心、辅以存储和传感的完整方案；共同为终端客户打造高品质的产品和服务，共创双赢！◆



“围绕分子”： 实现卓越的全方位 气体输送方案

您很少看到、闻到或感受到它们。然而，它们对于众多工艺创新的作用至关重要。

在 半导体制造、电子制造、航空航天以及实验研究等应用场景中，高纯和超高纯气体对于工艺流程的完整性至关重要。对于某些要求高精度的应用，即便是微量杂质也可能对产品的良率有着极其重要的影响。

在 AES 公司 (Applied Energy Systems)，我们把高纯和超高纯分子作为工作的核心，就像它是在您的工艺中心一样。我们孜孜以求，以“围绕分子”为目标，为创新者提供一切所需的服务，确保提供高纯气体以实现卓越的工艺。以下我们将从“围绕分子”技术的专业度、纯度、高纯传输方式、技术创新、安全度、客制化及服务这些方面展开话题。

“围绕分子”之专业技术

任何气体输送系统中起决定性作用的始终是系统供应商。具体来说，合作伙伴的专业度、追求卓越的态度以及协作精神，这三者对于如何将高纯分子（气体）从储气站/仓/罐投入到使用点是至关重要的。AES 秉持严格的纯度标准已有五十多年历史，在我们设计的每个气体输送系统中，无论是标准气体还是定制气体，AES 均采用了非凡的专业水准。

我们的团队由经验丰富的专家组成，他们了解高纯气

体输送的最细微差别，我们将为每个客户提供所需的专业服务。客户将 AES 视为合作者，因为我们专注于满足每个客户的独特需求。

拥有专业知识让我们能够理解问题背后的原因，从而为每个参与项目的玩家提供附加值。这些专业知识是“围绕分子”的第一层保护圈，并渗透在我们提供的所有解决方案和服务中。

“围绕分子”之纯度

“围绕分子”的下一层保护圈是纯度。没错，本质上来说纯净的气体是不含杂质的。但是，“围绕分子”的纯度其意义远不止于此。一个应用场景中的工艺气体有可能是另一个场景中的目标杂质。

为了真正地掌握纯度，在设计气体输送设备和气体输送系统时，我们必须了解每种应用场景中精确的纯度要求，包括工艺气体、潜在的沾污、所需纯度级别 (ppbv 或 pptv)，以及为达到预期结果所采用的其他技术类型。

我们有着严格的纯度标准，以及非常清楚这种应用可能会带来灾难后果的潜在污染源，因此，污染将不会产生。这就是为什么我们在自己的设备中备份各种应用条件，用以确认高纯气体和超高纯气体输送系统性能的原因。

除了具备专业的设备评估和严格的质量保证测试区域，AES 还拥有百级和万级洁净室，可确保气体的纯度标准达到客户要求。

“围绕分子”要求有合适的设备。气体输送系统是应用环境中最重要的设备之一，它由无数的关键零件组成，它们完美地协调工作。单个组件的缺点可能会危及整个系统的纯度和安全性标准。因此，气体输送系统供应商必须专注于系统的所有组成部分——从机柜、控制器到净化器。这样做是有必要的。

AES 常年专注于气体输送系统，可确保每个组件的质量和可靠性，几十年以来，超高纯度 SEMI-GAS[®] 和高纯度 VERSA GAS[™] 设备产线能满足客户对于纯度的复杂且严苛的要求。我们的控制系统可提供精确的操作控制，同时也支持工业 4.0 应用。

最后但也是极其重要的一点，我们的 ARM 净化部门提供了功能强大的 POU、Micro-Bulk 和 Bulk purifiers 系列，可满足各种净化需求。客户可以从这套全方位的产品系列中，选择最适合其工艺气体要求和预算的系统解决方案和服务，也即客户只需选择与一家供应商合作即能满足各种输气设备的需求。

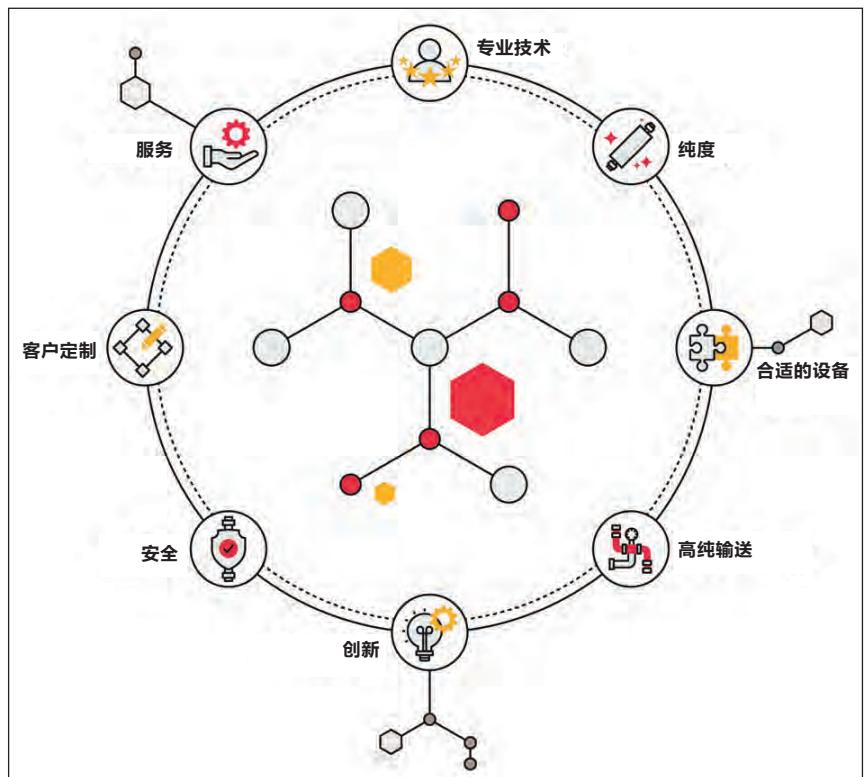
“围绕分子”之高纯输送

简而言之，气体输送系统是将纯净气体传输到应用终端。因此，“围绕分子”的下一层保护圈是超高纯工艺管道，该管道将准备就绪的高纯气体从应用现场中的源设备输送到您的工艺设备中。

AES 提供的高纯和超高纯工艺管道服务，与我们的系统级专业知识紧密结合在一起。无论是在无尘室，空间受限区域、地下室还是室外环境中工作，AES 都可以通过安装工艺气体管路、排气管、管道和互连管线、并提供完整的分析测试来确保管道工程的质量。

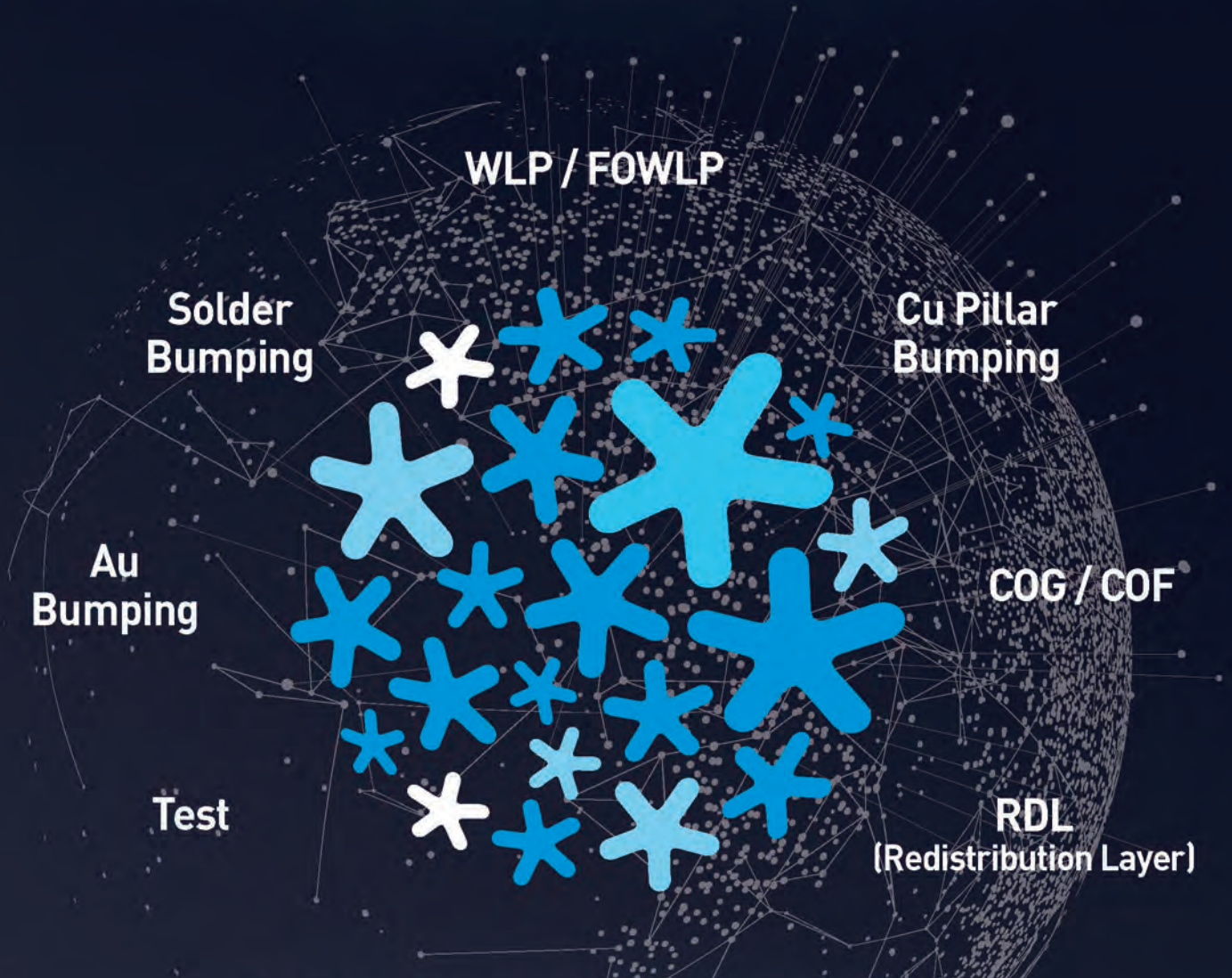
“围绕分子”之创新

随着数据在制造业中变得越来越普遍，“围绕分子”的技术显得至关重要。随着应用场景复杂度的提高，为了



WORLD NO.1

Specialized IC Packaging Company



**为了您的未来事业取得成功，
超越看望当前您的需求**



LB Semicon

17792 京畿道平泽市青北邑青北产团路138号

TEL +82-31-680-1600 FAX +82-31-680-1798

www.lbsemicon.com



随着数据在制造业中变得越来越普遍，“围绕分子”的技术显得至关重要。随着应用场景复杂度的提高，为了更有效地维护、监视和测量气体的纯度，我们有必要利用该技术来兑现承诺。

更有效地维护、监视和测量气体的纯度，我们有必要利用该技术来兑现承诺。

除了利用各种净化技术——包括吸气剂、催化剂和吸附剂以外，我们还致力于提供能支持现场应用的交互系统。例如，我们的 SCADA-ready 控制技术可以帮助创新者，将其气体输送系统集成到工业 4.0 标准设备中。我们一直为卓越的创新者提供服务，通过采用最新技术，以保持客户的领先地位。

“围绕分子”之安全

除了分子的纯度，确保系统的安全运行同样重要。在许多应用中，当有害气体接触到某些材料时，具有很高的

燃烧风险。在高压应用中，系统方案可能导致危险的爆炸。无论何种应用场景，安全性都是重中之重。

我们的每个气体输送系统都配有排气柜、火灾探测系统、洒水系统以及本地和远程紧急停机保护。此外，如果超出了特定的阈值，我们的系统就会拉响安全警报。

“围绕分子”之客制化

尽管标准解决方案可以满足绝大部分的要求，但不断增加的应用复杂性往往需要进行客户定制。AES 拥有专业的工程能力和品类众多的产品组合，能为客户定制核心系统；而 AES 自适应性定制化的应用解决方案，可以满足客户对于特定气体输送的要求。

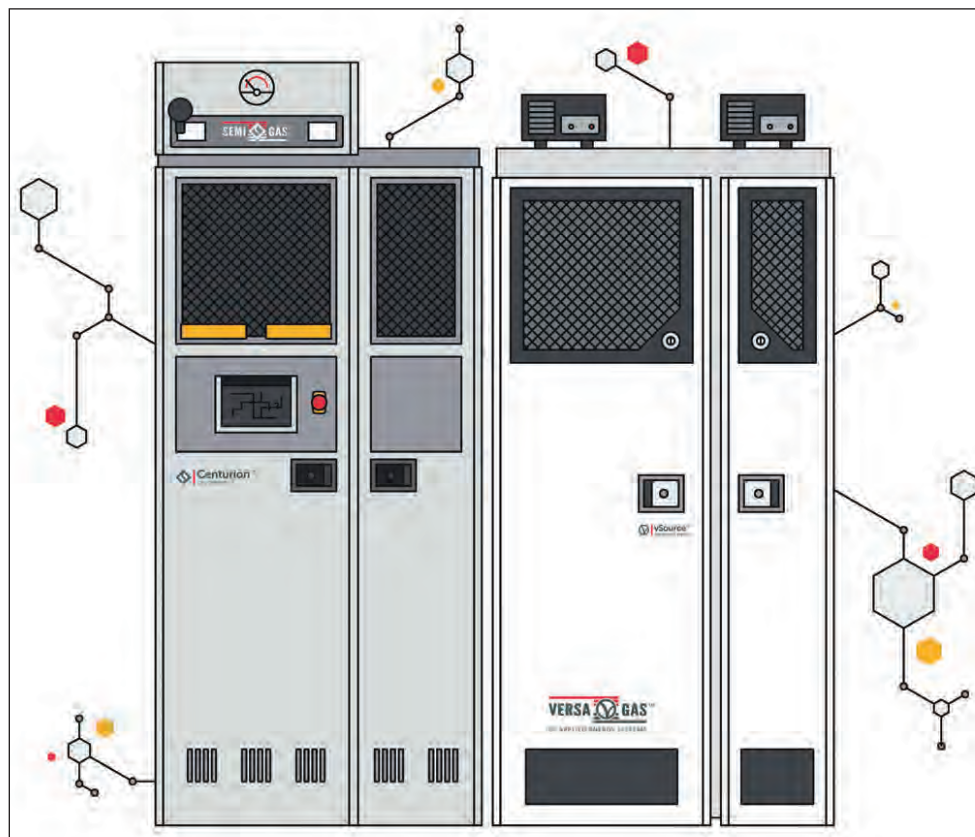
我们的应用解决方案从深入了解应用需求开始，到工程设计、生产、内部验证和安装——围绕每个阶段的独特需求构建解决方案。

“围绕分子”之服务

在气体输送系统的整个运转周期中，我们承诺提供给“围绕分子”的服务肯定远远超出单纯的气体传输。通过我们的客服部门，AES 公司将致力于为客户提供可信赖和可靠的现场支持服务。

从分析测试和安装、调试及培训，到持续的维护和服务，提供完整的周期服务流程可确保公司能一直可靠地提供高纯气体。

高纯度气体是我们的使命。但我们的客户与使命同等重要。这种以服务为中心的经营理念提高了团队的响应能力和协作能力，并最终为每个高纯气体的用户创造价值。◆



材料化图形成像帮助芯片设计者 优化PPAC

在半导体产业的黄金时代，当 Gordon Moore 还在为自己的公司制定路线图时，晶体管平面尺寸的缩小带来了芯片在功耗、性能和面积/成本（PPAC）方面的同步进展。但随着时间的推移，登纳德缩放比例定律（Dennard Scaling）不再对降低功耗有所帮助，而材料工程开始发挥作用，促进功耗、性能和面积/成本的持续提升。其中，高 K 值金属栅极就是一个最有力的例证。

最近，工程师们普遍承认这种矛盾的存在：设计工程师忙着优化功耗和性能，而工艺工程师则在积极地减小特征尺寸来减少面积和成本。无论是代工厂、逻辑或是存储器 IDM，尤其当特征尺寸缩小至 8nm 以下时，先进的设计理念未能与工艺创新有机地结合。尽管节点命名法意味着器件尺寸在缩小，特征尺寸的缩减速度却不及以往。此外，我们也看到成本降低的速度在急剧放缓（图 1）。

为什么尺寸缩小并未按应有的速度不断进步呢？为什么高端硅成本依然如此昂贵？答案在于芯片设计的复杂性：如今的芯片设计层数繁多，各层之间还必须无缝连接。

以 DRAM 为例。一个 DRAM 器件大约有 7 个关键图形层，每层各不相同（图 2）。除了浅沟槽隔离（STI）层、电容、位线和字线的物理结构不

同，还有些层的长宽比很高，这使得相邻层的对准难度越来越大。这些不同的特征图形必须要完好地成像并对准才能确保器件正常工作。然而，这些截然不同的图形层若同时缩小，会给工艺的实现带来更大的复杂性。一旦工艺不能满足要求，图形边缘定位误差（EPE）会增加电阻、降低性能，最终导致良率损失和器件故障。

在路线图受阻的情况下，我们需要一个“新战略（New Playbook）”来改善芯片性能、功率、面积成本以及产品面市时间（PPACt）。“新战略”包括：

- 新的计算架构
- 新的片上新器件和 3D 结构
- 新型材料
- 持续缩减 2D 尺寸的新方法（此乃本文重点话题）
- 异构设计和先进封装

从设备的角度来看，我们需要做的不仅仅是引进新的薄膜材料或改进

刻蚀之类的单项工艺。我们还需要综合考量，并根据每个器件的需求量身定制、开发出相应配套的改良技术。

这种从单项工艺到材料集成解决方案的演进也可以帮助客户减少工艺步骤、研发成本和时间，最终加快产品上市的速度。以下是笔者在今年二月底召开的 SPIE 先进光刻会议上发布的三项创新技术，这些技术展示了如何通过使用先进图形成像的综合方法让芯片制造商在多方面受益。

直角侧壁掩膜

直角侧壁（square spacer）掩膜技术用于自对准双重曝光（SADP）和自对准多重曝光（SAQP），侧壁沉积和侧壁刻蚀是个不小的挑战，所用的材料相对柔软是部分原因，顶部和底部容易弯曲不易形成直角。这会导致不均匀性和间距漂移，进而造成光刻套准误差和垂直偏差 EPE——在更小的工艺节点上，这类

挑战 | 成本效益呈比例递减

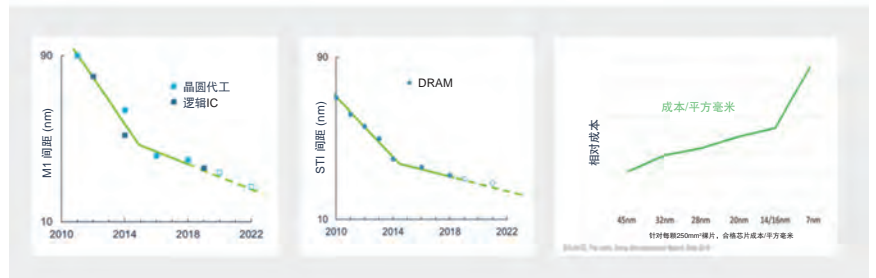


图1. 芯片设计的复杂性导致特征尺寸的缩减速度在放缓，成本却在上升。

作者：Regina Freed，应用材料公司

成本 | 图形各层尺寸缩小: DRAM技术

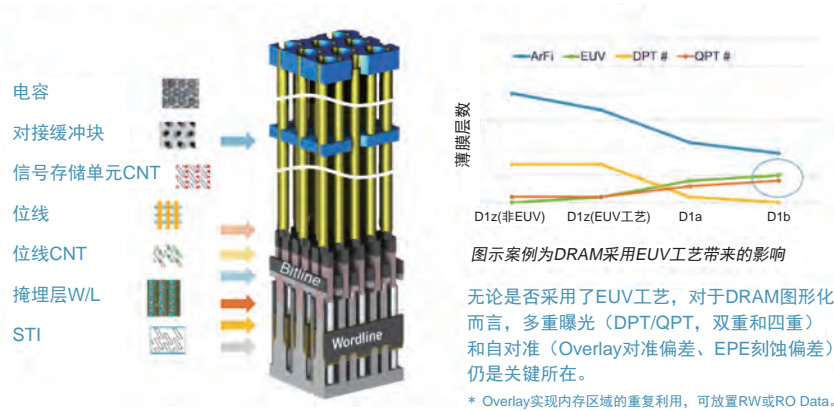


图2. DRAM器件中不同的层对于图形缩小和对准均提出了挑战。

波动（即产生位移等动态变化）问题会更为严重。

我们先捋捋思路：侧壁沉积和侧壁刻蚀就是将核心掩膜（mandrel mask）定义出的图案（pattern）挖空，留下侧壁作为硬掩膜（hard mask）。芯片制造商通常会通过另外增加工艺步骤来解决上述波动问题，这也将提高成本和工艺复杂性。此外，尽管通过增加硬掩膜刻蚀和核心掩膜刻蚀工艺，可以减少首次侧壁刻蚀产生的波动性，但也会影响设计人员获得预想的图案分辨率，也即特定的间距（pitch）或关键尺寸（CD）。换言之，因解决边缘定位误差问题而追加的工艺步骤，它同时伴随着性能的降低，最终导致设计结果不能精准控制。

应用材料公司开发的一项新工艺就能够优化侧壁材料，使其能更适应刻蚀工艺，从而实现更好的对准效果（图3）。这项工艺首先使用CVD工艺以类似ALD的精度沉积非晶硅，然后用我们的Centris® Sym3™刻蚀系统进行图形成像，同时用VeritySEM®系统测量。我们提供的解决方案能让芯片制造商在使用传统工

艺的同时，还能保持图形成像的保真度，通过去除不必要的沉积和刻蚀工艺，将SAQP多重曝光次数从15次缩减至11次。反之，这有助于客户采用更为经济高效的方式来实现缩小图形尺寸。

横向刻蚀

应用材料公司开发的另一项独特技术被称为横向刻蚀。在使用传统的光刻和刻蚀工艺的时候，设计人员只能以有限的紧密度将各种特征结合在一起。这在水平方向上称为最小线空距，在垂直方向上称为顶底厚度。当使用EUV时，目前最小线空距约为36nm，而顶底厚度约为40nm。如果该线空距对设计方案而言尺寸太大，芯片制造商就不得不投资额外的图形成像步骤——要么是增加掩膜切断或选择性掩膜，要么增加EUV光刻-刻蚀步骤。而唯一的替代方案是继续使用较大的芯片面积，但这会增加芯片面积/成本的比值。

刻蚀历来是自上而下进行的。但应用材料公司开发了一项创新型的横向刻蚀技术，它能够进行45度角的

SaXP图形成像波动性 | 直角侧壁掩膜

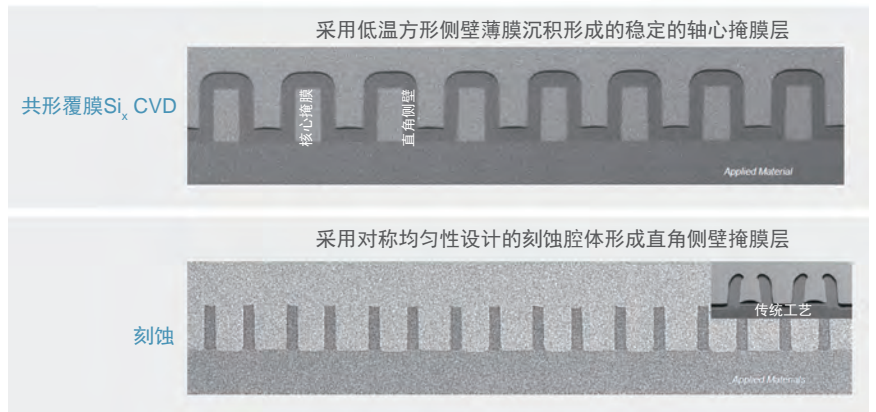


图3. 与传统工艺相比，应用材料公司独特的侧壁材料能实现更好的均匀性和对准效果。



©Applied Materials, Inc. 2020

图4. 应用材料公司的创新型横向刻蚀技术可将EUV掩膜次数减少50%甚至更多。

刻蚀，为设计人员带来了新的设计自由度（图4）。通过控制刻蚀方向，我们就能够在保持纵向掩膜厚度下，横向收缩CD。事实证明，我们已能实现在横向CD独自缩小的同时将顶底膜厚纵向往下减薄约20nm。

横向刻蚀可以让设计人员减少工艺步骤，让各项特征结合更紧密，从而增加面积密度，惠及更多器件的应用。我们将这一工艺与 Producer[®] Precision[™] CVD 碳和硅硬掩膜、Sym3[™]刻蚀以及 PROVision[™]电子束测量和缺陷控制进行协同优化，以实现先进的图形化解决方案，使设计人员有机会将 EUV 掩膜次数减少 50% 甚至更多。

选择性工艺

我们在 SPIE 先进光刻会议上发布的第三项技术是一种选择性材料沉积工艺。该工艺可解决 EPE 的问题，通过控制不同结构层之间的位错来改善图形缩小效果。与传统沉积不同，选择性处理技术（包括沉积/刻蚀）用于消除 EPE，从而通过约束设计规则缩小尺寸并减少掩膜次数。

要让选择性沉积有效减少 EPE，有两大关键挑战必须设法克服。第一，

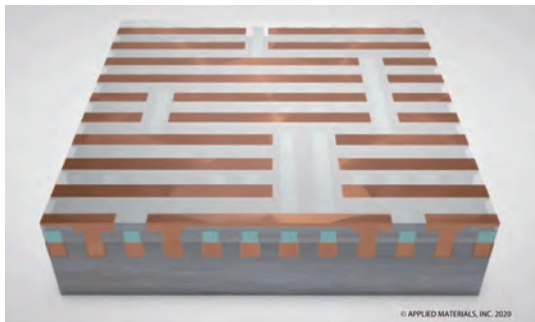


图5. 视频显示了结合AMAT工程能力的通孔流程，目的是减少掩膜次数并改善EPE（视频演示：<http://blog.appliedmaterials.com/materials-enabled-patterning>）

晶圆表面必须足够洁净且零缺陷，以便在所需材料（而非其他材料）上进行选择性沉积。晶圆上的任何缺陷都会损害它的可选择性。第二个挑战是有效地控制选择性沉积的材料，这种材料不仅会垂直生长，亦可水平生长。由于上述挑战的存在，大多数选择性沉积仅限于在薄层材料上进行。

应用材料公司利用 Endura[®] 沉积平台、Producer[®] Selectra[™]选择性刻蚀技术以及 PROVision[™]电子束测量和缺陷检测技术开发出了一项协同优化的选择性工艺解决方案。我们已经在图5所示的通孔工艺流程中演示了这一项工艺。首先从金属层开始进行材料选择性生长；随后进行填充和平坦化；接下来进行氮化钛（TiN）硬掩膜传统工艺处理，通孔光刻层积；然后

继续通孔光刻，再转入刻蚀。当我们在一个方向上进行刻蚀时，它对定义沟槽的 TiN 起到掩膜作用。我们新开发的材料具有选择性刻蚀性能，这意味着通孔会被完美刻蚀成一个矩形，该矩形定义了两个金属层彼此交错的位置。通过最大限度地扩大通孔尺寸，该技术可消除 EPE，也避免与互连尺寸减小相关的问题。

如果设计人员要求通孔间的间距比光刻的最低分辨率更接近，他们就必须采用多次光刻-刻蚀的通孔工艺。通过采用这项新工艺，客户可以定义一个孔径较大的通孔，并且该通孔仅仅建立在两个金属层之间的交叉处。这样，我们就能将底部和顶部器件层进行完美对准，从而节省工艺步骤，并建立更大孔径的低阻抗通孔（图6）。

VLSIresearch 董事长兼首席执行官 Dan Hutcheson 表示：“真正的创新之处在于，与传统的多重曝光多次图像合成的切割掩膜法相比，应用材料公司能够创建新的通孔工艺，从而减少 EPE 引起的良率损失并降低成本；同时还能从通孔中匀出 0.7nm 间距。除了提高良率外，减少 EPE 还能增加每片晶圆的收入；这是因为芯片的可靠性和性能均有提升，功耗却更低。”

总而言之，这一“新战略”为我们带来了加快推进行业路线图的新方法，包括从全局角度应对尺寸减小的挑战，以求同时解决 PPACt 的各项问题。通过协同优化应用材料公司的诸多技术，我们可以提供新的材料来实现尺寸缩减的新途径，在不影响设计的前提下让经济高效的 scaling 能够继续推进。

欢迎步入材料化图形成像时代！

选择性工艺科实现EPE和成本的优化

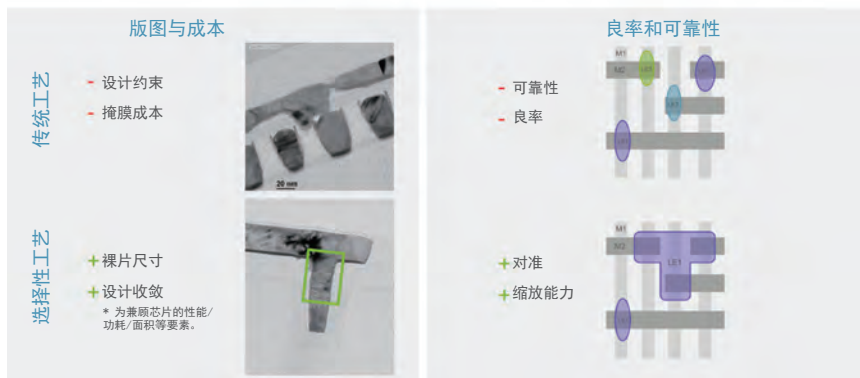


图6. 与传统工艺相比，具有完全选择性的自对准图形化工艺可降低电阻、增加良率并减少掩膜层数量。

22nm FD-SOI嵌入式MRAM技术助力工业级MCU和物联网应用

近年来，人们对高密度和低功耗嵌入式非易失性存储器（eNVM）技术的兴趣日益浓厚，其目标是新兴领域的各种应用，例如：自动驾驶汽车（AV）、物联网（IOT）以及以数据为中心的人工智能（AI）应用。鉴于此，许多半导体产业一直都在积极开发嵌入式MRAM（eMRAM）技术，以便取代eFlash和SRAM技术。因为这项技术具有出色的耐久性和较高的数据保留能力，以及超越28nm的低功耗和可扩展性选项^[1-6]。

我们之前已由晶圆级测试展示了40Mb 22nm FD-SOI eMRAM模块的功能，突出显示sub-ppm BER、数据保留以及从1Mb收集的早期可靠性结果^[1-3]。然而，为了确保eMRAM产品的可制造性，需要验证具有高良率的封装级产品的功能性和可靠性。

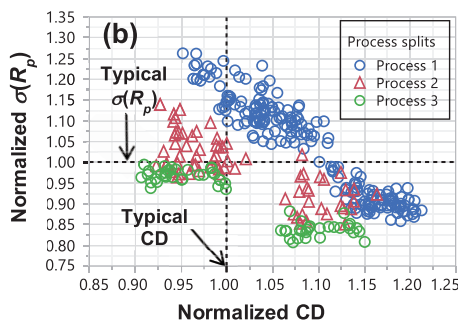
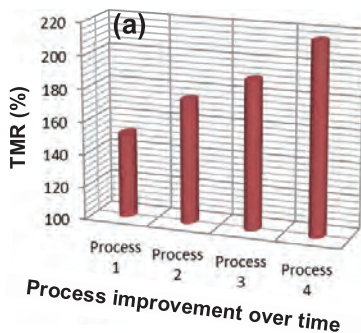


图2. 为获得最佳MTJ性能，随着时间推移的工艺改善趋势：(a) 适用于不同工艺的TMR (2) Rpsigma。TMR和Rp sigma都得到了显著改进，以在125℃条件下获得足够的读取裕量。125℃条件下的TMR/ $\sigma(R_p)$ 约为24 (SA限值约为20)。

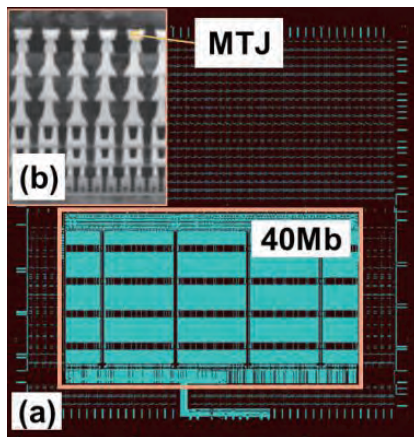


图1. (a) 40Mb 22nm FD-SOI eMRAM模块，(b) MTJ阵列的横截面TEM。

本研究使用先进的磁隧道结（MTJ）堆叠、集成和蚀刻工艺，通过在较大工作温度范围（-40至125℃）和ECC-off模式下实现封装级产品的功能性和可靠性，证明了22nm FD-SOI eMRAM的可制造性。我们的eMRAM产品能够通过标准的可靠性测试，如LTOL（168小时）、

HTOL（500小时）、1个月周期耐久性测试以及5次焊料回流测试，失效率小于1ppm。

22nm FD-SOI eMRAM技术

以上通过在ECC-off模式下的较大工作温度范围（-40至125℃）内实现封装级产品功能和可靠性，我们展示了适合工业级MCU和物联网（IoT）应用且可用于生产的22nm FD-SOI嵌入式MRAM（eMRAM）产品。

图1显示的是40Mb 22nm FD-SOI eMRAM模块，其中小图为MTJ阵列的横截面TEM。该芯片配备内部偏压、时序控制系统和ECC。内部电压以“tick”为单位，由寄存器设置进行控制。MTJ堆叠、集成和蚀刻工艺已进行优化，以符合400℃ BEOL和HPD2后退火工艺要求，但仍符合晶片级的所有MTJ性能要求。

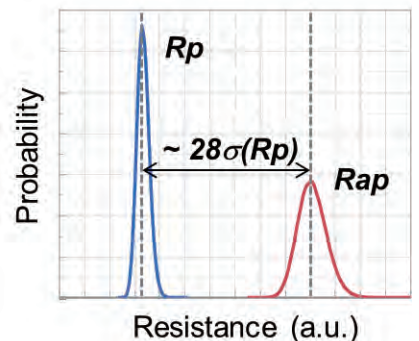


图3. 实际1Mb单元阵列的Rp和Rap状态的位单元电阻分布。

作者：V. B. Naik, K. Lee, K. Yamane, R. Chao等，GLOBALFOUNDRIES新加坡

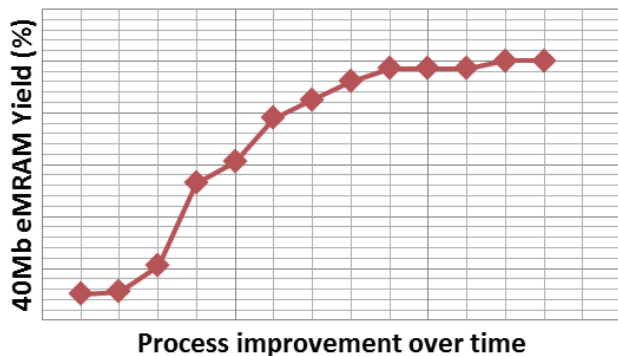


图4. 40Mb eMRAM t_0 BER ($< 6E-6$) 随时间推移的良率改善趋势。

通过实现高隧穿磁阻效应 $TMR = (R_{ap} - R_p) / R_p$ ，其中 R_p 为并联 (P) 或状态“0”电阻，而 R_{ap} 为反并联 (AP) 状态“1”电阻和减少 MTJ 电阻分布，进一步改良 MTJ 堆叠和刻蚀工艺，进而提高 20% 的读取裕量，以确保在 125°C 量产时

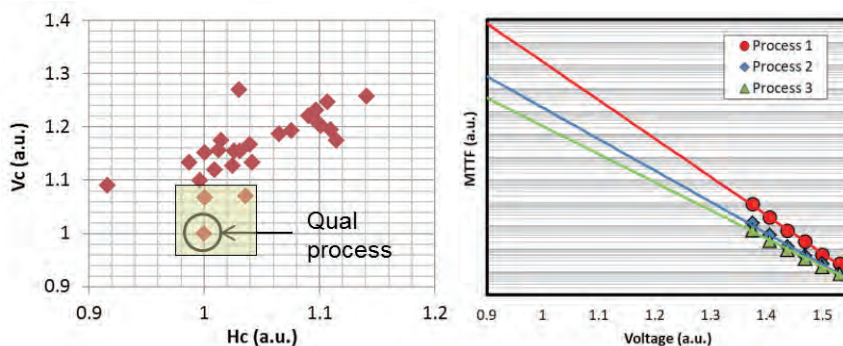


图6. (a) 针对不同堆叠拆分的标准化 MTJ V_c 与 H_c 的对比；(b) MTTF 与电压之间的关系，显示不同工艺拆分的固有 TDDb 有所改善。

能保持稳定的良率。

由于采用了先进的 MTJ 堆叠和刻蚀工艺， TMR 和电阻分布得到改进，可实现 $TMR/\sigma(R_p) \sim 24$ (一般 SA 要求 > 20)，从而确保在 125°C 的条件下能获得高良率。通过提高自旋转移力矩效率，通过 5 次焊料回流测试后，再

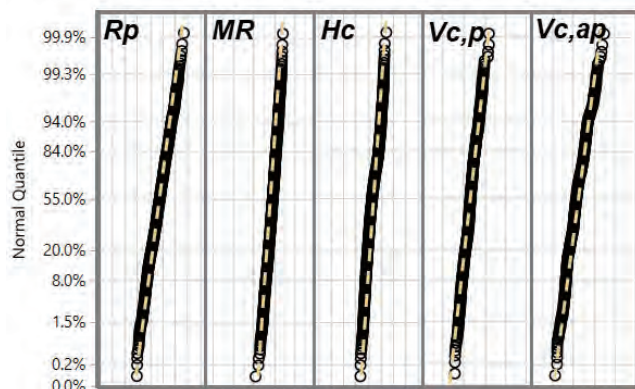


图7. MTJ ET 参数: R_p 、 MR 、 H_c 、 $V_{c,p}$ 和 $V_{c,ap}$ 在认证过程中的分布。

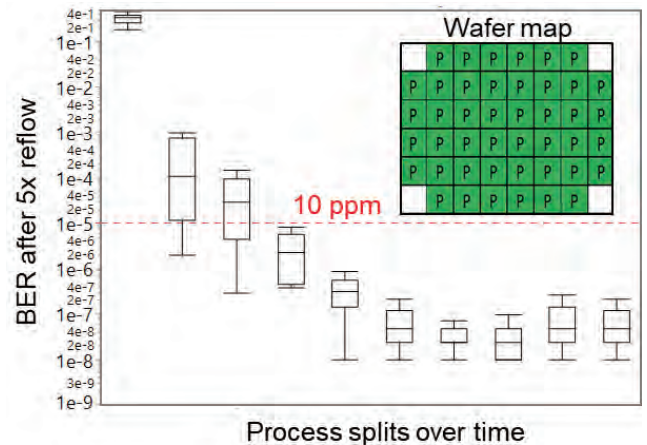


图5. 不同 MTJ 工艺在 5 次焊料回流后的 BER 改进趋势；根据 10ppm BER 标准要求，整个晶圆达到 100% 的 5 次焊料回流性能。

提高写入裕量 (图 2)。图 3 则展示了实际的 1Mb 位单元 MTJ 电阻分布，描述 $\sigma(R_p) \sim 28$ 的较宽分隔。随着时间推移，

良率呈现重大转折变化，最终工艺实现了稳定的高良率 (图 4)。通过 5 次回流测试后，MTJ 和刻蚀工艺的 BER 趋势呈现不同状态 (图 5)。通过优化工艺，整个晶圆实现了稳定的回流性能 (中位数 BER $< 1E-7$)。

图 6 显示不同 MTJ 堆叠的标准化开关电压 (V_c) 与矫顽磁场 (H_c) 之间的关系，所有这些堆叠都通过了 5 次

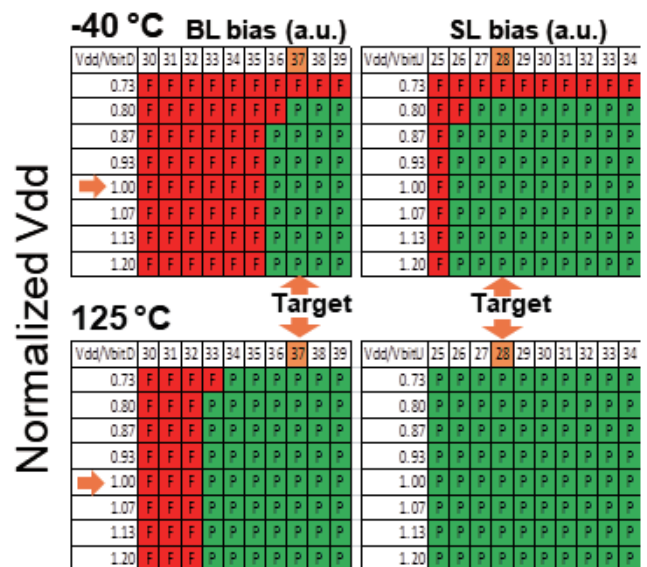


图8. 在 -40°C 和 125°C 条件下写入 shmoo 数据，P/F 标准为 BER $< 1E-6$ 。内部写入偏置由偏置系统控制。

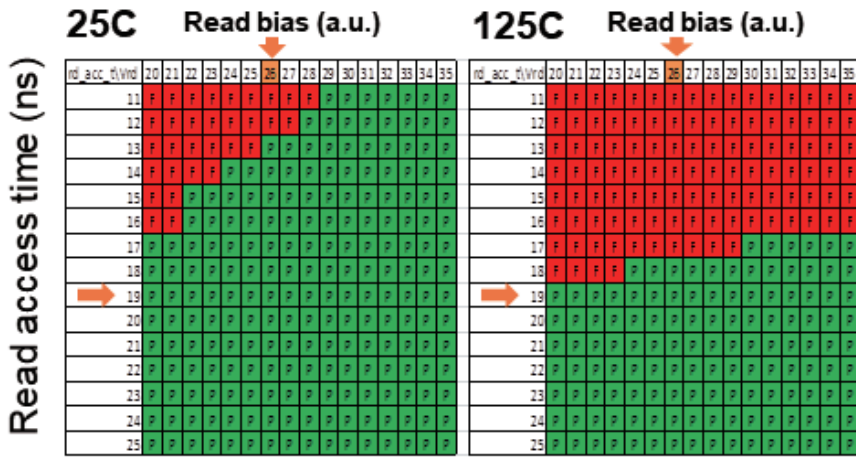


图9. 在25°C和125°C条件下读取shmoo数据, P/F标准为BER < 1E-6。

焊料回流测试, 且良率为 100% (BER < 1ppm)。阴影区域中的数据点显示出最佳写入裕量, 并且选择了产品认证堆叠来获得最佳耐久性裕量, 同时

满足 5 次焊料回流要求。为进一步提高耐久性裕量, 我们调整了 MgO 阻障和刻蚀工艺。来自位单元阵列的 TDDDB 特征 (图 6b) 显示, 在工作电压下使用 Process 3 (用于认证), TDBB 的固有改进 > 2。在晶圆级进行最终认证过程中, 所测量的 MTJ 电气测试 (ET) 参数的分布, 描述了整个晶圆的常态分布 (图 7)。此后, 我们展示了从大量封装零件中收集到的 40Mb eMRAM 产品性能数据。选择工作电压 (V_{op}) 偏置条件来过度驱动芯片, 以涵盖芯片到芯片以及晶圆到晶圆的 t_0 BER < 1ppm 差异变化。

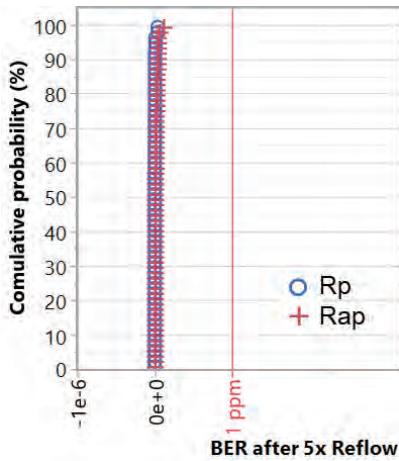


图10. 针对Rp和Rap状态的40Mb eMRAM封装部件的5次回流BER; 5次焊料回流后, 所有部件均符合1ppm标准。

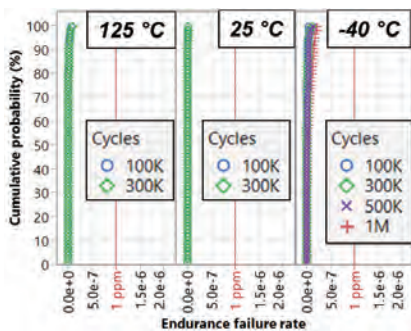


图11. 每个周期间隔 (最长1个月周期) 后, 40Mb eMRAM封装部件在-40°C、25°C和125°C条件下的周期耐久性数据。所有部件均符合1ppm的耐久失败率标准。

eMRAM产品写入/读取性能

图 8 显示在 -40°C 和 125°C 条件下写入脉冲 200ns 时的写入 shmoo 数据, 通过 / 未通过 (P/F) 标准则根据 BER < 1ppm (无 ECC) 设置。该芯片配备了内部偏置控制系统, 通过跟踪 MTJ 设备的温度灵敏度, 可确保在整个工作温度范围 (-40~125°C) 内具有可比较的写入裕量。结果显示, 在 -40°C、 V_{op} 条件下, 具有足够的写入裕量 ($P \rightarrow AP$: $V_{op} = 28$ ticks, $AP \rightarrow P$: $V_{dn} = 37$ ticks)。

图 9 显示 25°C 和 125°C 时读取

的 shmoo 数据, 通过 / 未通过标准为 BER < 1ppm。尽管由于 TMR 的降低, 读取裕量窗口在 125°C 时缩小, 但在目标读取偏置 (~26 ticks) 且在无 ECC 的情况下, 成功的读取操作已达到 19ns (目标=22ns) 的读取访问时间。

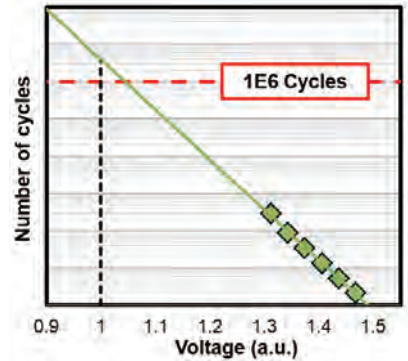


图12. 对于1ppm的失效率, 来自TDDDB数据的预测周期数与25°C条件下电压的关系。模块符合在Vop上大于1E6周期的耐久性要求。

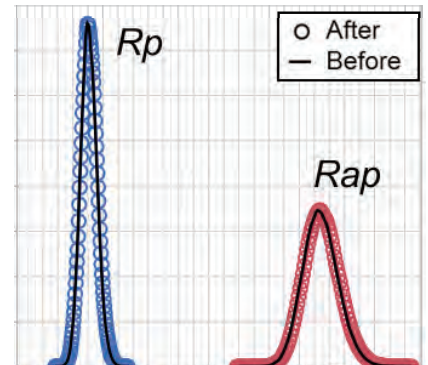


图13. 1个月耐久性周期前后128Kb位单元阵列的Rp和Rap状态下位单元电阻分布。1个月耐久性周期后未观察到电阻降级。

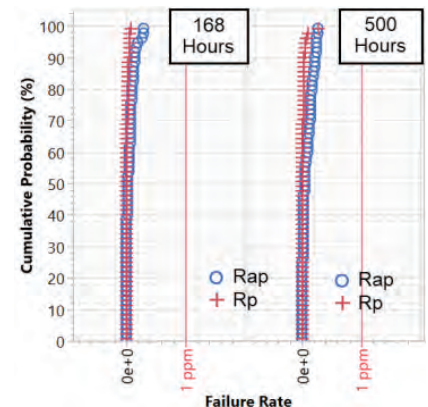


图14. 在125°C条件下, 经过168和500小时Rp和Rap状态后收集的HTOL测试数据的累积概率。

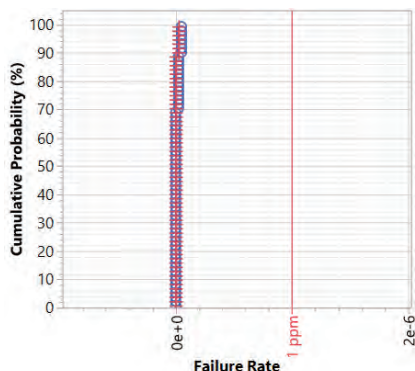


图15. 在-40℃条件下, 经过168小时Rp和Rap 状态后收集的LTOL测试数据的累积概率。

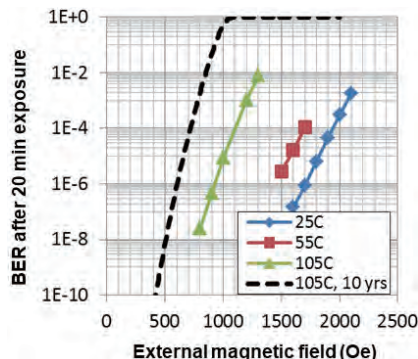


图16. 在25℃、55℃和105℃条件下, 在磁场暴露20分钟的待机抗磁性。10年的预测显示, 在105℃条件下, 低于600 Oe的失效率为0.1ppm。

eMRAM产品的可靠性

我们对磁隧道结 (MTJ) 堆叠、集成和蚀刻工艺进行了优化, 使其符合 400℃ BEOL 和 HPD2 后退火工艺要求, 并实现 MTJ 性能, 从而满足所有产品要求。从封装级数据可以确

认, eMRAM 产品通过了标准可靠性测试, 如 LTOL (168 小时)、HTOL (500 小时)、1 个月周期耐久性测试以及 5 次焊料回流测试, 失效率 <1ppm。

图 10 显示 R_p 和 R_{ap} 状态下 40Mb eMRAM 封装部件进行 5 次焊料回流测试后的 BER。所有部件均通过了 BER < 1ppm 标准。图 11 显示在不同的周期间隔下, 封装部件在 25℃、-40℃ 和 125℃ 条件下的不同耐久性。若将双极脉冲 (在一个周期内编程 / 擦除) 应用于 40Mb 模块, 尽管在 -40℃ 条件下 V_c 升高, 但所有部件均通过了 1 个月的耐久周期测试, 失效率也小于 1ppm。

我们根据位单元阵列的 TDDB 数据, 预测了 25℃ 条件下以及 200ns 写入脉冲时 1ppm 耐久性失效率的周期数 [2]。结果显示, 即使用 E-model 进行保守估计, 若模块在 V_{op} 上, 也可以满足 5E6 周期要求 (图 12)。由此验证了图 11 所示的封装级耐久性。图 13 显示在 -40℃ 条件下承受双极 200ns 写入脉冲的 1 个月耐久周期前后, R_p 和 R_{ap} 状态下 128Kb 的位单元电阻分布。由于未观察到电阻分布的降级, 从而可确保耐久周期后的模块读取性能。

External magnetic field (Oe)	25°C						125°C					
	Read bias (a.u.)						Read bias (a.u.)					
	H-field\Vrd	20	22	24	26	28	30	20	22	24	26	28
0	P	P	P	P	P	P	P	P	P	P	P	P
100	P	P	P	P	P	P	P	P	P	P	P	P
200	P	P	P	P	P	P	P	P	P	P	P	P
300	P	P	P	P	P	P	P	P	P	P	P	P
400	P	P	P	P	P	P	P	P	P	P	P	P
500	P	P	P	P	P	P	P	P	P	P	P	P
600	P	P	P	P	P	P	P	P	P	P	P	P
700	P	P	P	P	P	P	P	P	P	P	P	P
800	P	P	P	P	P	P	P	P	P	P	P	P
900	P	P	P	P	P	P	P	P	P	P	P	P
1000	P	P	P	P	P	P	F	F	F	F	F	F

图17. 在25℃和125℃条件下, 通过磁场扫描读取干扰shmoo数据。

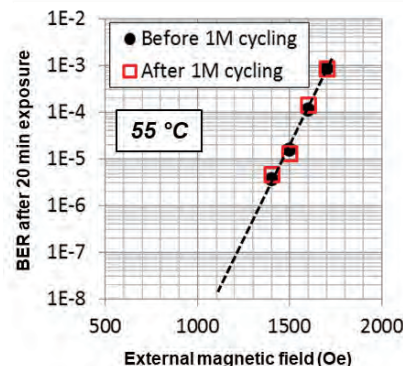


图18. 在1个月耐久性周期前后, 在55℃条件下经受20分钟磁场暴露的待机抗磁性。

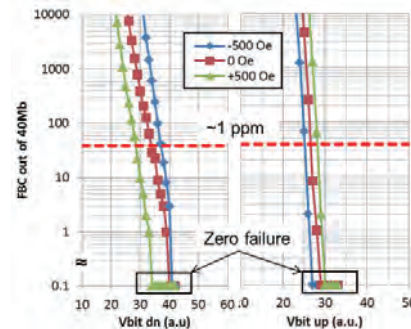


图19. 在25℃条件下, 0±500 Oe磁场下40Mb eMRAM 模块的WER图。

测试, 也通过了失效率小于 1ppm 的标准 (图 15)。延长时间的 HTOL 和 LTOL 测试将长达 1000 小时, 仍在持续进行中。

eMRAM抗磁性

我们评估了 40Mb eMRAM 在待机和活动模式下的抗磁性, 以检查模块能力, 使其能够涵盖需要抗磁性的各类广泛应用。我们在不同温度条件下 (25℃、55℃ 和 105℃) 测试了待机抗磁性, 将模块暴露于外部垂直磁场 20 分钟后, 再计算 40Mb 以上的读取失败次数 (图 16)。我们以 100 Oe 的步幅使用 800-2100 Oe 的磁场范围, 以获得足够的误差来预测低至 0.1ppm 的 BER。

图 16 显示在磁场暴露 20 分钟后的 BER 与外部磁场的关系, eMRAM 模块在 105℃ 条件下 20 分钟的待机

图 14 显示 R_p 和 R_{ap} 状态下 168 小时和 500 小时后, 在 125℃ 条件下的高温工作寿命 (HTOL) 性能。封装部件完全符合失效率小于 1ppm 的 HTOL 性能要求。我们还在 -40℃ 条件下进行了 168 小时的低温工作寿命 (LTOL)

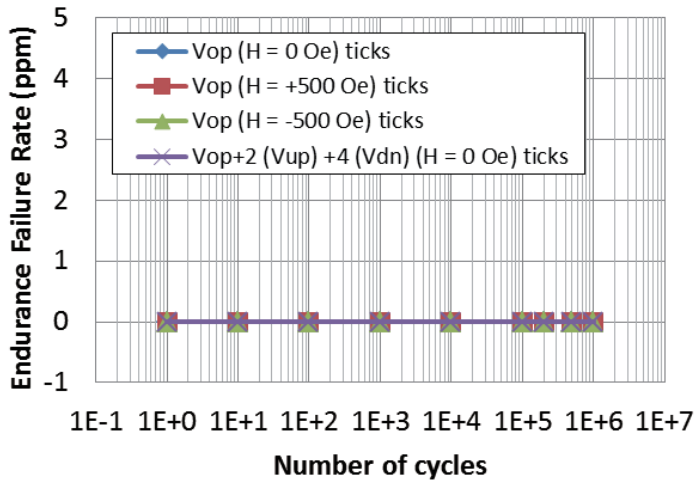


图20. 在-40℃条件下, 0及±500 Oe磁场下的周期耐久性数据, 以涵盖活动模式下的抗磁性。

抗磁性大于 800 Oe, 失效率小于 0.1 ppm。使用畴壁传播能量势垒 (E_B) 模型, 预测在 105℃ 条件下 10 年的待机抗磁性约为 600 Oe^[7]。尽管高 EBMTJ 堆叠的读取干扰 (RD) 预计会大幅减少, 但外部磁场可以在高工作温度下对 RD 进行适当调整。

我们通过监控读取失败, 并同时增大读取偏置和外部磁场, 在 25℃ 和 125℃ 条件下从 40Mb 模块收集到的 RD shmoo 数据。每个场步的有效停留时间约为 1 秒 (图 17)。P/F 标准是小于 1ppm。在 900 Oe 以下没有发现任何读取失败, 同时读取偏差在偏置范围内也没有发现任何调制: 测试了 20-30 tick 的范围 (一般约为 26 tick)。

结果显示, 在 -40℃ 和 V_{op} 条件下

Logic	22FDX
Density	40Mb
Bitcell	1T-1MTJ
Read Access Time	22 ns
Write Cycle Time	200 ns
Clock Frequency	40 MHz
IO Width	X78 (x64 data + x14 ECC)
Power Supply (Core/IO)	0.8V / 1.5V

表1. 40Mb eMRAM模块规格表。

承受 1 个月耐久周期前后, 在 55℃ 下的磁场暴露 20 分钟所收集到的待机抗磁性数据。1 个月耐久周期后未观察到抗磁性降低 (图 18)。

当外部磁场调制 V_c 时, 它会增加模块 V_{op} , 从而降低整体耐久性裕量。因此, 活动模式的抗磁性最终会受模块耐久性裕量的限制。为评估活动模式抗磁性能, 我们在存在恒定磁场的条件下测试了晶圆级的 40Mb 模块写入错误率 (WER) 和耐久周期性能。图 19 显示在 $P \rightarrow AP$ 和 $AP \rightarrow P$ 方向都存在零与 ± 500 Oe 外部磁场的情况下, 40Mb 模块的 WER 图。在外部磁场为 -500 Oe 和 +500 Oe 的情况下, 根据 $BER < 1ppm$ 的标准, 模块的 V_{dn} 中值 V_{op} 增加约为 4 tick, V_{up} 增加了约为 2 tick。

在 -40℃ 条件下, 从具有 200 ns 双极脉冲的 1Mb 子阵列中, 以不同 V_{op} 值 (相对于 0, ± 500 Oe 外部磁场值) 收集到有关周期耐久性的数据 (图 20)。即使在最坏的情况下, V_{op} 同时受到 V_{dn} 的 +4 tick 和 V_{up} 的 +2 tick 的过度驱动, 以覆盖随机方向的 500 Oe 外部磁场, 也未观察到 1 个月周期后的耐久失败。此结果证明了 eMRAM

模块功能可覆盖约 500 Oe 的活动抗磁性, 而封装级抗磁性仍在进行产品可靠性检查测试。

结论

我们通过 ECC-off 模式下实现封装级高良率和产品可靠性, 证明了 22nm FD-SOI 40Mb eMRAM 的可制造性。通过使用先进的 MTJ 堆叠、集成和刻蚀工艺, 可以对 TMR 和电阻分布进行充分优化, 以符合 400℃ BEOL 和 HPD2 后退火工艺要求, 同时仍具有良好的高温读取裕量和低温写入裕量。从封装级数据可以确认, 产品通过了可靠性测试, 如 LTOL (168 小时)、HTOL (500 小时)、1 个月周期耐久性测试以及 5 次焊料回流测试 (失效率 $< 1ppm$), 证明性能稳定可靠。此外, 我们确认 40Mb eMRAM 模块能够在 105℃ 的温度条件下, 覆盖约 600 奥斯特 (Oe) 的待机抗磁性长达 10 年, 并具有约 500 Oe 的活动抗磁性。此处展现的结果确保 eMRAM 已能够用于各种工业级和 IoT 应用的大规模量产。◆

致谢

本文三十三名作者感谢 Everspin Technologies 所做的贡献。由于篇幅有限, 本文仅挑选前四位作者刊登。

参考文献

1. K. Lee, et. al., *IEDM*, 27.1.1 (2018)
2. V. B. Naik et. al., *IRPS 2C.2* (2019)
3. K. Lee, et. al., *VLSI Tech.*, pp. 183 (2018)
4. Yi-Chun Shih, et. al., *VLSI Tech.*, pp. 79 (2018)
5. O. Golonzka, et. al., *IEDM*, 18.1.1 (2018)
6. Y.J. Song, et. al., 18.2.1 (2018)
7. S. Srivastava, *App. Phys. Lett.*, 114, 172405 (2019)

扫描式超声波显微镜 用于3D封装器件的分析

高准确度的晶圆键合和裸片堆叠的出现，使得新一代3D半导体器件得以实现。随着堆叠层数的增多，复杂性也有所增加，进而使得可靠而非破坏性检测成为获得高良率和产品可靠性的关键。本文主要探讨扫描式声波显微镜（SAM），其可扩展性、准确的检测方法可促成高可靠性、高良率的生产。

先进3D封装背后的概念是垂直堆叠多颗裸片或晶圆片（Z轴方向），以较低的功率要求、较小的尺寸和较低的成本实现更好的性能。但是，随着3D封装变得越来越复杂，想要确定多层堆叠裸片、硅中介层和互连线中的缺陷也日渐困难起来。这里提到的互联，指的是硅穿孔（TSV）及细间距微凸块。

由于不太容易接近内部组件，又需要扫描多个堆叠层，因此在制造和失效分析中，现在我们将关注重点逐步转移到采用非破坏性测试法。在3D封装中，采用扫描式声波显微镜（SAM）进行的非破坏性测试能识别尺寸小至亚微米级的缺陷，可以用于提供100%的检验和失效分析。

3D先进封装

一般而言，通过堆叠（和晶圆键合）硅晶圆或裸片并将其垂直互连，这就是如何应用3D封装来制造产品。它涵盖了许多集成方案，包括3D晶圆级封装、系统级封装（SiP）、叠层封装（PoP）、2.5D和3D封装、堆叠式IC及其他形式的异构集成。

为了实现垂直堆叠，早期的3D封装依赖的是诸如引线键合和倒装芯片等互连技术。如今，芯片之间的通信一般采用具有TSV的硅或有机中介层或者桥接层。中介层充当芯片和印刷电路板（PCB）之间的连接桥梁，同时增加了I/O和带宽。

另外，在3D设计中运用小芯片（chiplets）的概念，为先进封装获得良好的发展势头。通过垂直堆叠组件的方式，该方法采用第三方供应商提供的模块化芯片（即小芯片）构建封装或系统。

运用小芯片来组建微电子系统的一个主要好处是，能够选择优化的CPU、IO、FPGA、RF或GPU组件；通过挑选合适的组件并利用裸片到裸片互连方案（包含硅中介层、硅桥接层或高密度扇出）来实现小芯片的封装。这种方法已经被Intel采纳，该公司近期发布了Foveros 3D封装技术，该技术允许复杂的异构逻辑芯片直接相互层叠。Intel使用的是有源中介层，而非典型的无源硅中介层。作为一种替代方案，Intel还提供了硅桥接层技术，该项技术被称为嵌入式多

裸片互连桥接（EMIB）。

美国国防部高级研究计划局（DARPA）已计划制定一个面向商业、军事和航空应用的第三方大型小芯片集录。据称，DARPA的CHIPS计划（通用异构集成和IP重用策略）旨在提高整体系统的灵活性，并将设计时间最多压缩70%。

Andreas Olofsson在DARPA提供的项目信息中写道：“CHIPS的愿景是打造一个分立型模块化、可重复利用的IP区块的生态系统，可以运用现有和新兴的集成技术将这些IP区块组合成一个系统。”

不管对于商用、消费类、抑或是国防等级的组件来说，小芯片的推广之是存在挑战的，包括如何验证和测试来自诸多第三方供应商的每种小芯片。另外，将多个小芯片集成到堆叠式3D封装中还需要高密度互连，所有这些都是潜在的故障来源。

例如，与其他3D封装类型相比，具有TSV的堆叠式裸片要求尺寸更小、间距更细的焊接凸块，这为缺陷检测方面带来了额外的难题。封装中任何有缺陷的小芯片都将导致

器件的失效，即便所有其他的模块均运行正常。

考虑到小芯片、中介层和其他组件的组合价值，即便是单个有缺陷的小芯片或者互连欠佳，都会使整个3D封装不能正常工作。因而推动了制造过程要求100%检验的进程，最理想的是采用非破坏性测试。

3D封装的非破坏性测试

采用三维设计的制造商会面临诸多挑战，比方说产量相对要高，且生产过程必须进行100%检验，以识别并剔除那些不符合质量要求的3D封装或组件。

在可用的非破坏性测试方法中，针对堆叠式裸片或晶圆片在内的测试和失效分析，扫描式声波显微镜是使用最广泛的技术。

SAM使用超声波对不透明衬底的内部结构、界面和表面进行非破坏性检查。由此产生的声学特征可以构建成三维图像，通过对三维图像的分析来检测和表征器件缺陷，如裂纹、分层、杂质和键合界面出现的空洞，以及评估焊接和其他界面连接状况。

声波显微镜拥有一种独特的特性，就是它能够对声波与样品的弹性作用进行成像。以这种方法，将显微镜用于完成不透明材料的内部成像。

SAM的工作原理是把来自高频超声波换能器的聚焦声波指向目标物体上的小点。当声波撞击到材料内部的缺陷、非均质或边界时，部分散射声波将被探测到。换能器将反射的声波转换成电磁脉冲，并显示为具有定义灰度值的像素，从而创建一幅图像。

为了生成图像，对样本进行逐点和逐行扫描。扫描模式从单层视图到托盘扫描和横截面扫描。多层

扫描能够包括最多50个独立层。来自不同深度的图像也可以合并成单次扫描，我们称之为超声波断层显微成像(TAMI)。

当需要较高的产量时，最多4个换能器能够同时进行缺陷扫描。在单个衬底上可以使用多个换能器。这个方法所采用的图像是拼接在一起的，且是交替地，多个换能器能够同时扫描多个衬底。

Logan补充道：

“SAM特别适用于小型、复杂的三维器件的检验。该设备对亚微米级厚度的分层和空气间隙的存在是十分敏感的。”

3D封装中最常见的缺陷是分层、衬底裂纹、裸片倾斜、错位和微凸块中的空洞以及其他凸块缺陷。另外，焊接架桥、爆米花式裂纹、以及底部填充胶中的空洞也是很普遍的，就像TSV中的空洞和分层一样。微型SAM图像的分辨率取决于所用的声波频率、被扫描材料的属性和换能器的孔径。为3D封装检验生成的超声波信号其频率通常在15MHz至300MHz的范围内。作为所有SAM系统的核心，换能器所起的作用至关重要；就像PVA TePla Analytical Systems等制造商，它们运用一种独有的薄膜工艺流程来设计和制造换能器。

超声波信号的频率甚至可以提高



至GHz范围，即便是亚微米级的缺陷也可以检测到。比如，PVA TePla的高分辨率、GHz频率的SAM设备，在镀膜后可立即检测出TSV存在的空洞，空洞的直径为5μm、深度50μm。

Logan声称，几家主要的可编程逻辑器件供应商已经评估并采购了高分辨率SAM检测设备，用于下一代3D产品的非破坏性分析，能够对封装的异常现象进行扫描。

Logan总结道，“3D芯片制造商正在尝试突破其缺陷检测能力的极限。因此，目前针对扫描式声波显微镜设备的评估方法常常归结为：设备在实现100%检验的前提下，如何以最快吞吐速度提供最高的分辨率。”

新的拉曼光谱法 将系统缩小到单颗芯片上

新获专利的imec概念利用硅光子器件和数千个微型干涉仪，将拉曼光谱仪减小到智能手机的大小。

拉曼光谱仪是一种经过时间验证的方法，通过采用从样品反射到仪器中的部分光束，来分析材料的组分。目前最常见的高度精确的拉曼光谱仪为台式规格，价格昂贵；而手持式拉曼光谱仪则存在性能局限，且同样售价高昂。imec新的解决方案不同于现有的手持式光谱仪，它兼具台式系统的高光通量和光谱分辨率，从而开辟了一系列全新的应用范围，可以使用更实惠的手持式光谱设备来分析复杂的样品。

鉴别对象从中世纪绘画到药品

1928年，印度物理学家拉曼（C. V. Raman）发现了拉曼光谱，并因此于1930年荣获诺贝尔物理学奖。拉曼光谱用于鉴别材料（液体、粉末、固体），并更多地了解材料成分。如今的光谱仪用激光照射材料，通过分析散射光的某个特定部分，就能制成光谱图。被分析的散射光即所谓的“拉曼散射”，其特征是波长不同于激光的波长。它来源于材料中的分子振动。在光谱图中可以识别出每种材料和化合物的光谱“指纹”。

拉曼光谱仪应用于许多不同的领域，事实上，它可以用在所有需要进行非破坏性材料分析的应用当中。例如：在药剂学领域，拉曼光谱仪能显现药片中活性化合物的分布情况。另外，它还可以根据陨石的矿物组成对球粒陨石和非球粒陨石进行分类。它甚至能够探究碳分子的杂化类型，判断出它是 sp^2 还是 sp^3 杂化。在半导体研发领域，拉曼光谱仪可用于确定石墨烯的电特性和层数，或对某些特定层中的应力进行特性分析。在生命科学领域，拉曼光谱仪能够显示细胞与特定药物之间的相互作用。在艺术作品中，该技术用于鉴别作品使用了哪些颜料，从而确定艺术家的身份与艺术特性、创作手法、以及作品的年代。甚

至连阿尔卑斯山“冰人”奥茨的木乃伊皮肤，拉曼光谱仪也能对其做仔细检查。

现有设备：台式和手持式

目前市面上在售的拉曼光谱仪为数众多，它们针对各种不同的应用略做调整。拉曼系统通常作为显微镜使用，通过使用一束衍射受限光斑照射样品，并使用高NA（数值孔径）物镜收集拉曼光子。除了这些市占率最大的台式设备之外，还出现了功能类似的手持式设备。对于像艺术作品考究或者考古学等“实地”研究来说，此类手持式设备确实很方便。

手持式拉曼光谱仪不如台式设备好，这是测量设备小型化经常遇到的情况。针对绘画作品中的颜料研究，手持

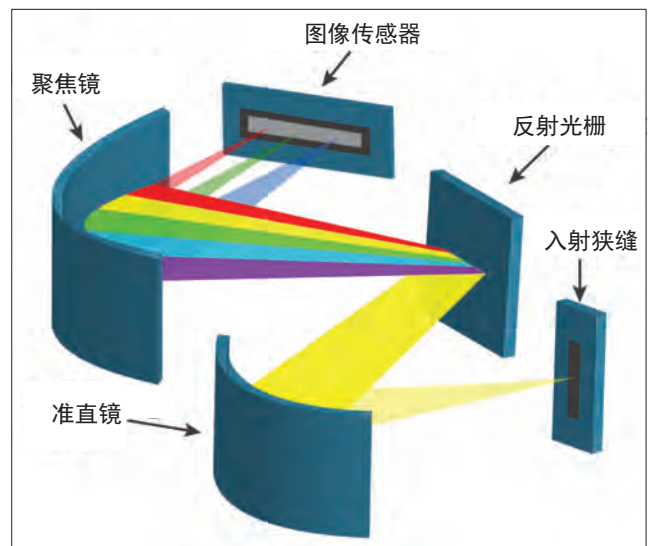


图1. 现有的分布式手持光谱仪采用入口狭缝、反射镜和光栅，如图中方案。采用这种方式时，光学扩展量和光谱分辨率通过入口狭缝的尺寸相耦合。减小光谱仪的尺寸会导致较低的光谱分辨率，或让光学扩展量在可接受范围内。

作者：Els Parton, Harrie Tilmans, Pol Van Dorpe, imec

注：本文所涉研究有部分是在欧盟资助的IoSense项目下进行的。

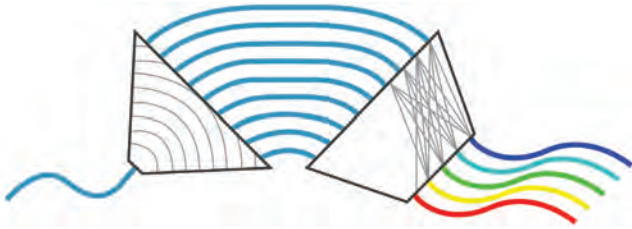


图2. 现有的基于光子器件的手持式光谱仪，受到单模波导的光学扩展量的限制。

式拉曼光谱仪能出色地完成工作，这是因为颜料会产生很强的拉曼信号。但是，对于不透明液体（如牛奶）、皮肤或粉末等成分更加复杂的样品，现今的拉曼系统不足以应对，或者需要漫长的测量时间。此外，手持式拉曼光谱仪的高昂价格也严重阻碍了它的广泛使用。倘若市场上有价格便宜、但性能高超的手持式拉曼光谱仪供应，情况会怎么样呢？它们可实现哪些新型应用？我们不妨想想“随时随地”进行食品筛查，在全科医生办公室进行黑色素瘤皮肤筛查，或者由权威机构在整个供应链上进行药品真伪筛查。在食品和饮料行业中，它可用于特性分析，以及识别和评估各种食品和农产品的真实性、安全性和质量属性。举例来说，拉曼作为一种理想的技术，可以用于识别和指示食用油的掺假或确定饮料中的酒精含量。使用拉曼光谱进行多组分分析是确定牛奶质量的关键，比如通过实时测定牛或山羊生产的牛奶的脂肪、蛋白质和水含量。对于化妆品，拉曼光谱可用于验证组分的纯度，例如用于个性化保湿霜和精油的成分（桉树，生姜，薰衣草，罗勒，香草）。此外，它还可用于确定药物制剂中溶剂的剩余浓度，以确定某种细胞培养物的营养水平是否足以维持其生长。

改进当前手持式设备存在的困难

在开发拉曼系统的过程中存在两大挑战。首先，自发拉曼散射一般情况下是非常微弱的，因此拉曼光谱仪面临的主要困难是，如何将弱的非弹性散射光与强的瑞利散射激光分离开来。

其次，在诸如食物或人体组织等强散射介质中，入射光子不是局限在一个小点上，而是产生一个模糊的点，其大小可达几毫米。这增加了“光通量”或“光学扩展量”，也就是光在空间和角度上扩散的量度。光谱仪常常限制光学扩展量，对于紧凑型设备，该数值大幅下降。

在常用的色散光谱仪中，光聚焦在一个狭缝上，其光谱成分采用衍射光栅予以分离。高光谱分辨率设备(<1nm)的小型化需要缩减狭缝宽度，从而降低光学扩展量。

使用集成光子器件和波导可以实现光学器件的最终小型化。单模波导的光学扩展量（这是该方法能够缩小的最终值）等于 λ^2 ， λ 为波长。如果使用的波长为比如860nm，则会得到光学扩展量为 $7.3e-7\text{mm}^2\text{sr}$ ，比分析漫散射样本所需的数值要低 10^6-10^7 倍。

基于硅光子学的空间外差光谱仪

由于手持式拉曼光谱仪中目前使用的方法存在局限性，因此人们研究了其他的方案。另一类光谱仪基于光干涉，并在傅里叶变换光谱仪或空间外差光谱仪中得以实现。这些方案本质上就拥有较大的光学扩展量，因而更加经得起“适应性调整”（scaling proof）。

一种众所周知的傅里叶变换光谱仪基于迈克尔逊干

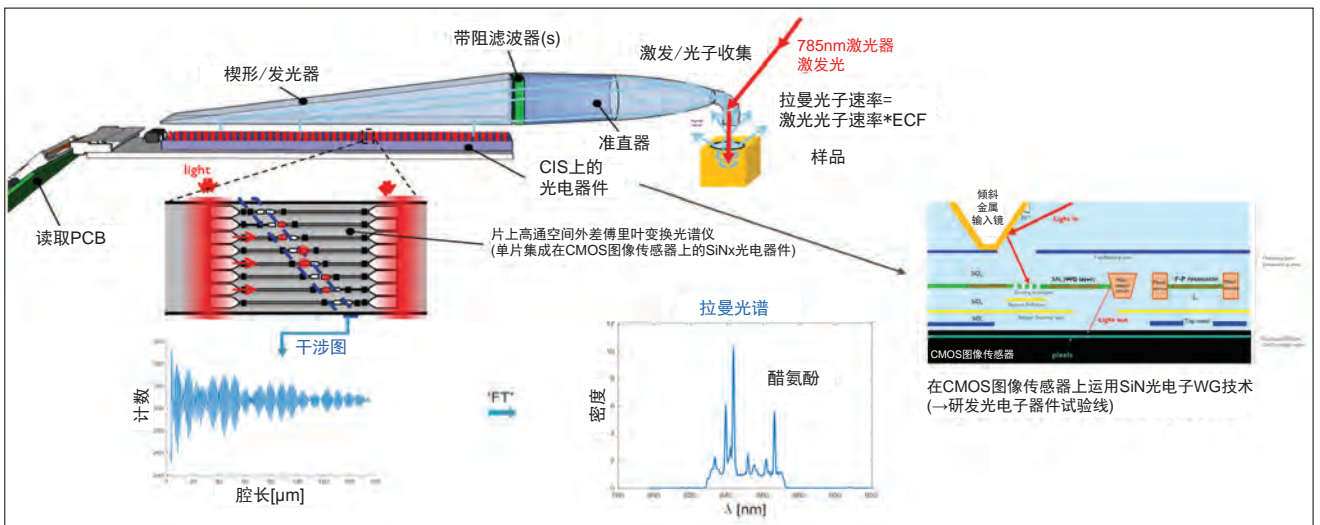


图3. imec研究人员开发的用于手持式拉曼光谱仪的专有解决方案，在CMOS图像传感器上单片集成了近100万个干涉仪。这种组成在不牺牲样品的光学扩展量的前提下可实现极小型化。通过这个方法，还能够测量复杂的样品。此外通过使用该模块化技术，设备的价格可远远低于目前使用的同类产品。

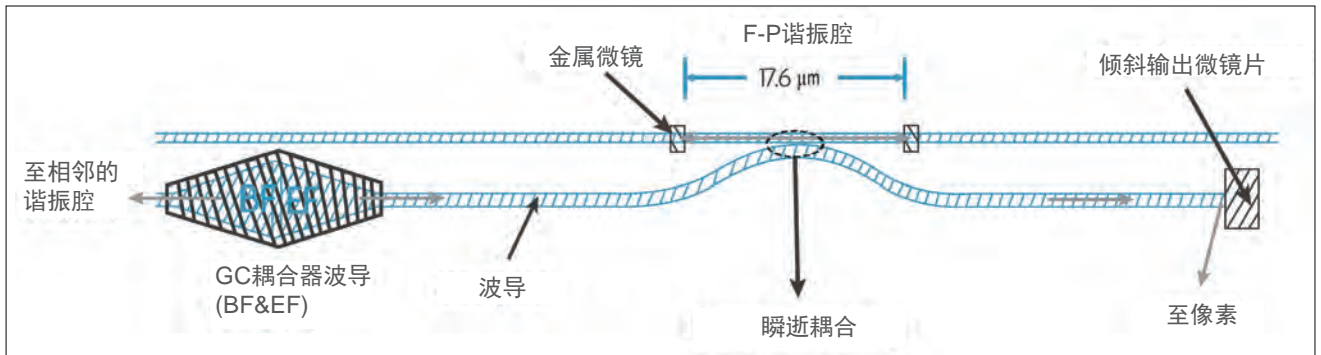


图4: 光谱仪模块结构图（部分），它展示了一个瞬逝耦合法布里-珀罗谐振腔（长17.6μm）以及光栅耦合器和用于将光耦合至像素的倾斜输出反射镜。

涉仪。一束光被分成两个光束，这两个光束沿着不同的路径行进，然后汇聚在一起并发生干涉。这在即将测量的波长中实现了细小的差异。特别在设计小型化设备的时候，该设计的缺点就体现出来了，即采用了两个反射镜，且其中的一个反射镜是活动的。

imec 的研究人员现已开发出此类设计方案的集成式光电子版，即不含活动部件的集成空间外差光谱仪。在该场合中，光学扩展量所受的限制较小，等于 $n\lambda^2$ ，其中 n 为干涉仪的数量。如上所述，假设复杂样品所用的波长为 860nm，则首选的光学扩展量约为 $0.5\text{mm}^2\text{sr}$ ，那么将需要大约 100 万个干涉仪。这种大规模并行处理方式可利用集成光电器件来实现。这种专有解决方案在 CMOS 图像传感器上单片集成了近 100 万个干涉仪，并采用微镜片来传输光束。

这是新开发的拉曼光谱仪的工作原理：激光（785nm 波长）聚焦在样品上，借助一个复合抛物面聚光器（CPC）来收集和校准散射光子。在对瑞利散射光子进行滤波（在 785nm）之后，采用楔形光波导和芯片集成式微镜将拉曼光子引至片上波导（WG）接入端口。通过确定好楔形和入射光角度，微镜能改变光线的方向，效率超过 50%。通过链接至独立单模 WG 干涉仪的光栅将变向光线耦合到 WG 中。干涉仪拥有一定的波长范围，能为原始光谱的重构创造了条件。其输出波长与集成型 CMOS 图像传感器的像素间距一致，以此作为一个高度并行的探测器阵列。将芯片线焊至 PCB，并与一块客制化读取 PCB 连接，借此可以捕获数据并将它传输到计算机设备当中。计算机用于重构光谱并显示所需的性能。

氮化硅是波导材料的首选

由于波导对于 CMOS 兼容性和可见光透过率均有要求，因此选择氮化硅作为波导材料。通过采用 200mm 波

作者简介： Els Parton



Els Parton 获比利时天主教鲁汶大学工程学位和博士学位。她于 2001 年加入 imec，担任一名科技编辑。除了撰写大量有关 imec 研究的论文之外，她还是 imec 杂志主编（电子杂志，月刊）。www.imecmagazine.com

Harrie Tilmans



Harrie Tilmans 在荷兰特温特大学获得电气工程博士学位。他曾在特温特大学、波士顿大学、威斯康星大学麦迪逊分校、江森自控公司（密尔沃基）、鲁汶天主教大学（比利时）和 CP Clare 公司（比利时哈瑟尔特）担任研发职位。他的研究领域包括 MEMS 谐振器和谐振式传感器、微型继电器和 RF-MEMS 开关；MEMS-CMOS 工艺集成技术、MEMS 封装和组装技术以及集成光子学。自 1999 年 9 月以来他一直在 imec（比利时鲁汶）工作，最初担任团队主管，之后担当 imec 首席科学家和项目经理。他一直从事多个 MEMS 和光电子系统（工业和基金资助）项目，最近的研究方向进入了生命科学领域。他与别人合著了 250 多篇论文，并发表了 20 余项专利。2001 年，他因在微型谐振器方面富有开创性的工作而获奖——Eurosensors XV Fellow Award。

Pol Van Dorpe



Pol Van Dorpe 因其在自旋电子学领域的出色工作获得比利时天主教鲁汶大学工程学院的博士学位。之后，他被任命为 imec FWO-Flanders 博士后研究员（2006~2012 年），并专注于金属纳米光子学、或用于生物传感器和能量收集的表面等离子体光子学。在此期间，他在斯坦福大学工作了一段时间，并在世界范围内与该领域的著名科学家建立了合作关系。他的研究工作成果已经在颇有影响力的期刊上发表了 140 多篇同行原著论文，并被引用了 5000 多次。自 2012 年起，他在比利时天主教鲁汶大学物理系兼任副教授；他是 imec 生命科学部的一名积极活跃的主要成员，在那里他领导着一支从事实验生物光子学研究工作的团队。他的研究重点是“在生命科学领域中运用集成光子开发新型应用”。

长的光束,对 CMOS 图像传感器晶片的后段制程 (BEOL) 进行正面照射,可以形成单片式波导堆栈。后续工艺在 200mm CMOS 试验线上进行,可以使用 193nm DUV 光刻工艺来实现波导和光栅耦合器的微影成像。

光谱仪模块采用基于 SiN 的波导光电器件构建,其功能在 CMOS 图像传感器 (CIS, 用于电读取) 上得到实现。当前设计中使用的光谱仪模块由大规模并行的瞬逝耦合合法布里-珀罗 (Fabry-Perot) 干涉仪组成,这些干涉仪的长度各有不同,介于 2.2 μm 至 152.8 μm 之间 (线性步进为 0.2 μm)。入射光用一个光栅耦合器 (GC) 耦合至波导结构中;接着使用倾斜金属输出微镜把来自波导结构中的光耦合至 CIS 的读取像素当中 (图 4)。在光谱仪模块的截面图中,展示了 F-P 谐振腔,以及文中提到的经光栅

耦合的倾斜金属输出微镜的俯视图。

结语

拉曼光谱仪是一种功能强大的分析技术,其应用非常广泛。现有的台式设备体积相当庞大,且售价高达几十万美元/欧元。而现有的手持式解决方案无法达到高端应用所需要的性能。正是因为 imec 提出了这种新概念,手持式拉曼光谱仪的性能障碍得以克服。通过在 CMOS 图像传感器上单片集成大规模并行的波导干涉仪,可以在小型化设备中同时实现高光通量和高光谱分辨率。将此创新的系统内置于 imec 的 SiN 生物光子平台,可保证系统运行稳固以及批量生产时的可兼容性。◆

imec 新一代高精度低功耗超宽带技术实现 10cm 以内的精准测距

imec 利用新一代高精度、低功耗超宽带 (UWB) 技术,扩展了其安全近距研究计划。Imec 一直致力于汇集硬件和软件方面的专家开发下一代超宽带技术,在具有挑战性的环境中实现不到 10cm 的测距精度,而功耗却比当前方案低 10 倍。超宽带技术支持各种高精度和安全的无线测距应用。举个例子,汽车中常用的“智能锁”解决方案,当车主接近时自动将车门解锁,而当车主离开时将其锁定。从安全门禁系统 (无密钥) 访问、AR/VR 游戏到资产追踪和机器人、工业 5.0 应用,这项技术为各种领域中的微定位应用铺平了道路。

尽管与某些替代方案相比,UWB 固有的问题很多,如功耗较高、占用空间较大,其潜力仍未得到开发。Imec 此举标志着释放 UWB 技术潜力的重要一步。

imec 这项计划旨在进行安全和非常高精度的测距技术开发,该项计划的负责人 Christian Bachmann 经理解释说,“UWB 的功耗、芯片尺寸和相关成本一直阻碍该项技术的发展,尤其是在无线测距应用的部署。一方面,imec 全新的 UWB 芯片开发成果显著减少了基于数字式 RF 板块的占位面积: imec 能在 1mm² 的尺寸上集成三个用于到达角测量的收发器。”此外,imec 的设计还实现极低的功耗: 低于 4mW / 20mW (Tx/Rx), 相对现有的方案高出 10 倍。它建立在 imec 在安全距离限制方面的长期专业知识的基础上,以提高该技术对潜在中继攻击的适应性。

imec 基于数字式 RF 构思方案让 UWB 技术占地更小、更具成本效益以及更安全,这有利于先进半导体工艺节点的实施。它符合新的 IEEE 802.15.4z 标准,并得到在业内影响力较高的联盟的支持,包括汽车连接联盟 (CCC) 和精细测距 (FiRa)。

作为这些硬件开发的补充,IDLab (根特大学的 imec 研究小组) 的研究人员提出了基于软件的增强功能,可以显著提高在恶劣环境中 UWB 的无线测距性能。比如工厂或仓库,人和机器不断走动,金属障碍物引起大量反射,所有这些都影响 UWB 定位和测距的精度。

来自 IDLab 的 Eli De Poorter 教授解释说,“使用机器学习,我们创建了智能锚点选择算法,该算法可以检测 UWB 锚点与被跟踪的移动设备之间的 (非) 视线。基于此可以估算测距精度、并校正测距误差。由于该方法还启用了机器学习功能,可对网络的物理层参数进行自适应调节,以此减小测距误差。”

“我们已经证实在具有挑战性的工业环境中,UWB 的测距精度优于 10cm,与现有方法相比提高了 2 倍。虽然 UWB 本地化应用通常是定制化的,且是手动配置的,但 imec 智能锚选择软件可在任何情况下运行。通过这些自适应配置,下一代低功耗高精度 UWB 芯片可用于其他方面,例如在流行病期间使用小型且具有隐私性的设备改进接触追踪。”◆



半导体市场的第三次发展浪潮与封装面临的挑战

半导体产业较之全球 GDP 而言只占其中很小一部分，约为 0.5%。然而，半导体器件在几乎所有其他市场部门和行业的发展与增长中都发挥了非常重要的作用。半导体是我们日常生活中不可或缺的部分。过去五十年中，该利基市场从几乎空白的领域发展成为价值约 5000 亿美元的市场。它带来的新技术和创新不仅极大改变和改善了生活的几乎所有方面，而且还推动了许多其他市场的增长。[注：本文的预测是在新冠肺炎疫情对市场的潜在负面影响尚未完全确定之前做出的。]

图 1 显示了从 1995 年到 2019 年半导体市场的五年复合年均增长率 (CAGR)。半导体行业自开创以来始终保持平稳增长，同时该行业也曾有过几段两位数增长的时期。第一次浪

潮出现在上世纪 90 年代，由个人电脑 (PC) 和笔记本电脑市场的显著增长所推动。图 1 显示在这段发展期内，五年 CAGR 超过 20%。之后，由于 2000 年的互联网泡沫的破裂，市场经历了一段下行周期。下一波增长，或者说是第二波增长出现在二十一世纪初至 2008 年左右，也就是上次金融危机 (2008 年) 之前，是由手机和平板电脑的出现和普及所驱动。从那以后，半导体市场几乎再也没有出现年度同比两位数增长。过去十年间，没有任何一个五年 CAGR 达到两位数。

随着行业走向成熟，年度同比增长态势逐步趋于缓和。尽管如此，半导体市场权威人士仍在继续讨论，如果存在某个因素，将是什么会推动半导体市场的下一次两位数增长。人们曾在过去十年中的很长一段时间普遍

认为物联网 (IoT) 将成为半导体市场下一个两位数增长的驱动力。然而，尽管物联网得到了天花乱坠的宣传，但由于各种原因，预期的增长并未实现。或许关键原因之一是基础技术的中心价仍然相对较高，导致许多新奇的物联网终端产品价格仍然超出了大众消费者的承受能力。

近段时间在半导体领域得到广泛宣传的是 5G。各方在围绕 5G 技术将成为推动半导体市场下一次巨大增长潜在引擎的讨论中又一次达成了共识。但这一次不同的是，炒作很可能成为现实，不仅是因为 5G 的普及潜力，还因为其他一些重要基础技术的显著改进，如人工智能 (AI)、虚拟现实 (VR)、增强现实 (AR) 和云计算。如图 2 所示，随着 5G 技术的发展，这些关键技术的改进可能会形成一种

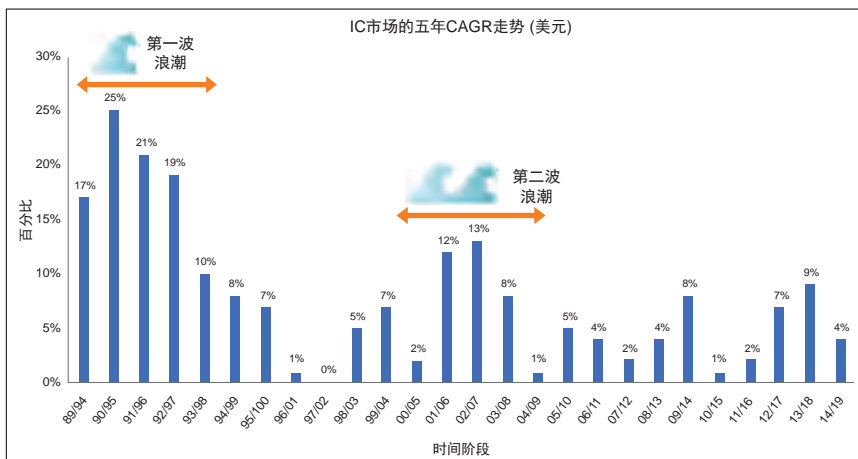


图1. 集成电路 (IC) 市场从1994年至2019年的五年CAGR波动情况。来源: IC Insights



图2. 基础技术的发展和融合可能推动半导体市场的增长。

作者: Asif Chowdhury, UTAC集团

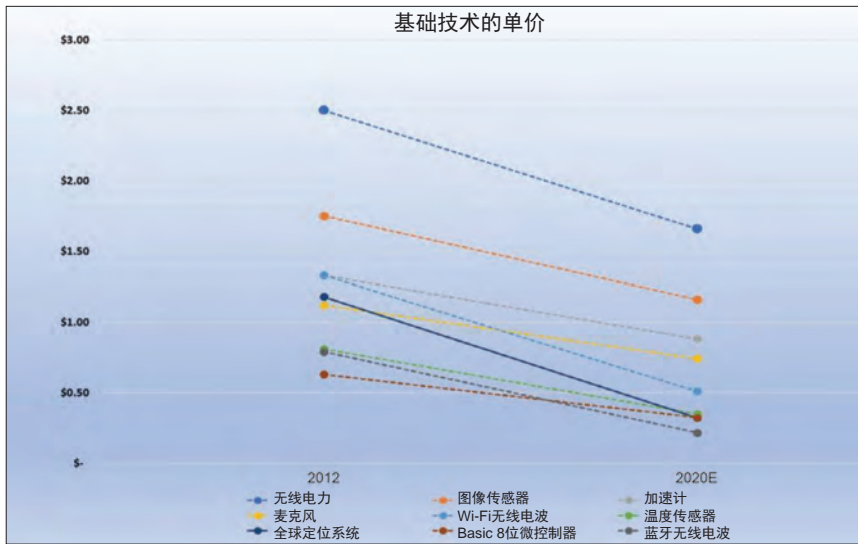


图3. 基础技术的单价在过去十年间稳步下降。

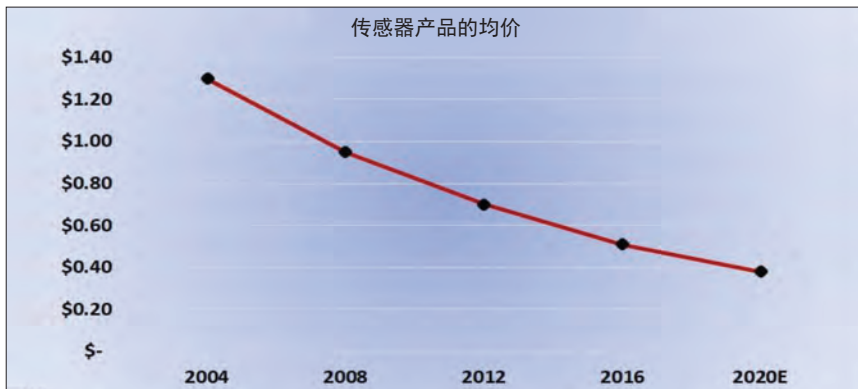


图4. 作为物联网关键推动者的传感器产品，其平均价格已大幅下降。来源：Goldman Sachs

融合，将从真正的智能家居到全自动驾驶汽车等各个领域开创下一代电子产品。

除上述基础技术的显著改进之外，另一个重要现象也可能使这种融合创造和发展下一代产品。

过去十年中，所有这些技术的单价都在下降，使“物品”价格变得更便宜，消费者也因此更能负担得起。图3显示了从2012年到2020年，一些重要基础技术，如电源、各种传感器产品和无线电设备的价格显著下降。微机电系统 (MEMS) 等传感器产品是物联网产品取得成功和增长的关键。图4显示了传感器的平均单位成本如何从2004年的1.30美元下降到2014年的0.60美元，并估计到2020年将下降到0.38美元。MEMS技术能让我们的模拟世界实现“数字化”。图5显示了MEMS传感器的单价从二十一世纪初的超过3.00美元下降到2018年的约0.50美元。图5正确预测了本世纪20年代前五年MEMS单价可能出现的两种结果。

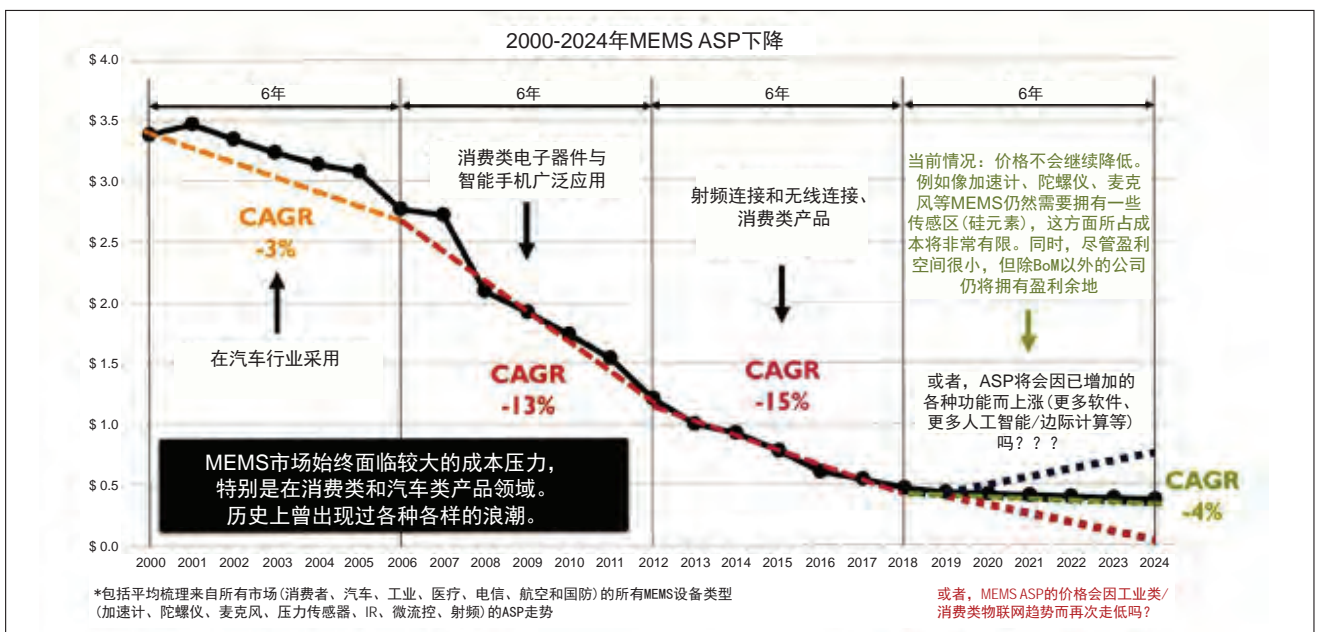


图5. MEMS平均销售价格 (ASP) 变化。来源：MEMS行业状态报告, Yole Développement, 2020年3月

WAFER ID MARKING & SORTING



InnoLas Semiconductor GmbH是一家位于德国的公司, 专注于为半导体行业提供高质量的晶圆ID打标刻码设备以及高可靠性的晶圆分选设备。



INNOLAS
SEMICONDUCTOR

innolas-semiconductor.com

这两种情况都有可能发生, 取决于MEMS的集成和应用情况。先进集成MEMS产品的单价可能会因产品的复杂性而上涨, 而标准MEMS产品的价格则会因体量更大的物联网应用而下降。但是, MEMS的平均单价将继续走低。

对技术融合而言, 最重要的元素(图2)就是5G毫米波技术的开发和部署。虽然关于未来两到三年内部署5G的潜力有很多传言, 但真正的5G要到本世纪20年代后五年才能广泛提供。这种真正的5G技术将成为下一代电子应用的基础。

看待5G的最佳方式是将这项技术的部署分为两个阶段。如图6所示, 第一阶段是低于6GHz频率范围, 第二阶段是高于24GHz频率范围。目前计划在2020年底开始的5G部署属于第一阶段。在这个阶段, 大多数4G基础设施可以与5G升级组件一起使用, 而消费者将不得不购买新的5G手机。在这个低于6GHz的频率范围内, 虽然传输速度将比目前的4G更快, 但不会拥有像5G第二阶段(即5G毫米波)部署那样的阶跃函数性能改进。5G的真正优势就在于这个频段。如图7所示, 5G毫米波的数据速率与4G相比可以提高100倍, 延迟可降低10倍, 传输容量可增加100倍, 允许数量更多的连接设备。

5G毫米波将需要全新的基础设施, 因为它只能通过“视线”传输工作。换句话说, 通信基站必须彼此靠得更近。这需要一段时间来实施, 而且很可能要到2024年甚至更晚的时候才能在广泛的地区准备就绪。

5G毫米波技术部署带来的显著性能提升将开启传输容量的全新境界, 并引领先进技术的创造与发展。

例如, 高达100倍的传输速度将允许无缝传输高分辨率的8K视频, 人们可以在手机上非常流畅地观看这类视频。这种更高的传输速度以及降低10倍的延迟, 对于自动驾驶汽车的普及至关重要。在完善的安全标准、更高水平的连接性能和经过改进的信息娱乐系统的共同推动下, 汽车电子器件和半导体市场持续以5%至8%的CAGR增长。随着自动驾驶汽车的普及, 汽车中的电子器件数量预计将大幅增加。图8显示了全球汽车生产数量以及电子器件成本占整车成本的百分比从2000年的实际增长到2030年的预计增长情况。到2030年, 一辆汽车的总成本估计将有50%来自电子元件。半导体器件的用量会随着每辆汽车电子元件数量的增加而提高。

技术融合将在各个领域带来其他新产品和产品改进, 如5G手机和基础设施(基站)、工厂和工业自动化、先进医疗技术、自动驾驶汽车、电子

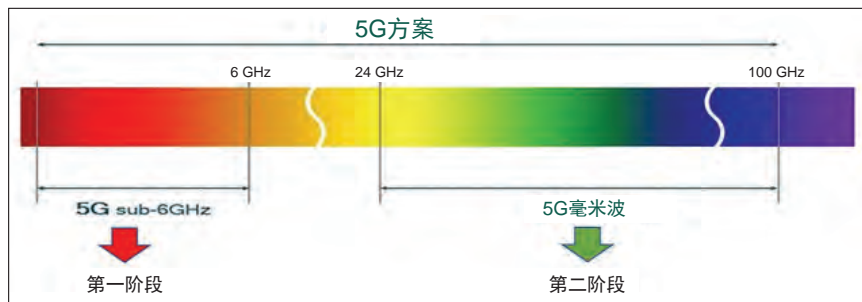


图6. 5G部署的两个阶段: 第一阶段<6GHz, 以及第二阶段的较高频率, 或称毫米波。

件数：十亿件	2016	2017	2018	2019E	2020F	2024F	2030F	CAAGR 2016-2019	CAAGR 2019-2024	CAAGR 2019-2030
SO/TSOP/SOT/OIP	76.0	83.0	88.8	83.0	81.0	91.0	140.0	3.0%	1.9%	4.9%
QFP/LCC	13.2	14.5	15.5	14.5	14.0	15.5	18.6	3.2%	1.3%	2.3%
QFN/FC QFN/MIS	41.6	45.5	50.4	48.9	48.4	70.2	158.4	5.5%	7.5%	11.3%
WB BGA/FC BGA/PGA/LGA	1.7	1.7	1.9	1.8	1.9	2.2	3.8	1.9%	4.1%	7.0%
用于DRAM的WB CSP/堆叠式CS/PFC CSP	23.4	28.2	30.7	28.6	29.5	40.5	65.3	6.9%	7.2%	7.8%
WLCSP	26.0	30.5	32.5	30.6	29.2	42.0	84.0	5.6%	6.5%	9.6%
SIP(FC和WB)	4.0	4.2	4.5	4.1	4.0	4.9	8.4	0.8%	3.6%	6.7%

表1. 常规大容量封装类型的实际和预测生产件数。来源：2016年的实际数据至2024年的预测数据来自Prismark；2030年的预测数据来自Asif Chowdhury。（E表示该年的估计值，F表示该年的预测值）



图7. 与4G相比的5G毫米波性能总结。

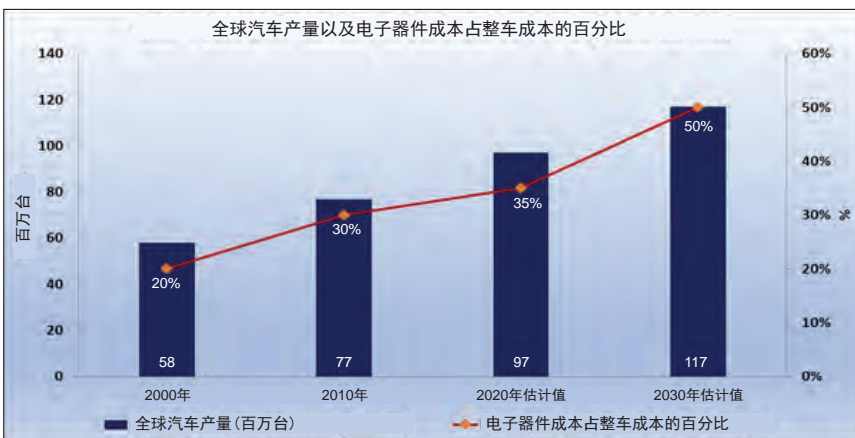


图8. 2000年至2031年全球汽车产量以及电子器件成本占整车成本百分比的增长情况。

竞技、安保，当然还有物联网（图9）。事实上，我们很有可能在本世纪20年代的后五年见证物联网的蓬勃发展。

这些新一代电子产品和设备的迅猛发展将反过来推动新的快速增长，或者说是半导体市场的第三次发展浪潮。这一潮估计将在2024年之后出现。如图10所示，在本世纪20年代的后五年，半导体行业可能会再次出

现两位数增长。根据上述估计，半导体整体市场价值到2030年将超过1万亿美元，外包封装和测试（OSAT）的价值将超过1000亿美元。

5G的革命性发展还将给封装和测试技术带来重大挑战，并将推动全新先进封装技术的发展。然而，物联网、汽车半导体、电子竞技等领域的发展也将增加对更常见半导体封装类

型的需求。

表1显示了常规封装类型从2016年到2018年的实际件数，以及2019年的估计生产件数。该表还显示了这些封装类型分别到2024年用于5G第一阶段和2030年用于5G第二阶段时的预测数量。基于导线架的方型扁平无引脚（QFN）封装继续具有最佳性价比，更小的封装形式解决方案通常具有良好的热性能和电气性能。QFN和模封互连基板（MIS）封装的需求将大幅增加。由于物联网的普及，模拟和传感器产品的需求量将明显上升，预计2019年至2030年的CAGR为11.3%。晶圆级芯片规模封装（WLCSP）从2019年至2030年的CAGR估计为9.6%，将成为继QFN之后的第二大需求。这包括为标准产品采用的扇入式以及为先进集成的多功能集成电路采用的扇出式晶圆级封装。一些标准的表面粘装元件（SMD）封装也会迎来更多增长，例如非常流行的8引脚小外形集成电路（SOIC）。汽车市场也将需要更多的方型扁平式封装（QFP）。对球栅阵列封装（BGA）和平面网格阵列封装（LGA）等层压封装技术的需求也将持续增长，特别是使用倒装芯片互连技术的封装。系统级封装（SIP）预计将显著增长，因为对移动电话应用

等特定领域新增功能的需求将推动对异质整合的需求。

5G 毫米波设备的封装和测试将需要创新思维，甚至可能是颠覆性的技术创新。

历史上，大多数集成电路（IC）的封装和测试都必须处理最高 6GHz 的频率范围。4G 解决方案的频率范围为 450MHz 至 3.7GHz。然而，5G 毫米波（第二阶段）将使用 24GHz 至 100GHz 频率范围（尽管业界似乎正在向 ~28GHz 的解决方案趋同）。这些频率明显高于 4G 甚至 5G 第一阶段目前使用的频率（低于 6GHz）。

图 11 显示了从 2G 开始的射频（RF）前端模组发展情况，并总结了 5G sub-6GHz 和 5G 毫米波所需的封装解决方案。在 5G 第一阶段，对现有封装解决方案的扩展将发挥作用。但 5G 毫米波或第二阶段将需要新的技术，如相位阵列天线和封装天线（AiP）。由于 5G 毫米波技术的波长较短，在互连时损耗较大，因此天

线需要设计在集成电路（IC）芯片上，或至少与射频前端模组集成。对它们进行具有性价比的测试将更具挑战性。

新材料的开发将是高频设备生产具有适用性和低成本封装解决方案的关键。虽然超模压塑料封装是行业主力，在行业中拥有最大的传输容量和最多的基础设施，但这将不适合 5G 毫米波射频设备。例如，用于塑料封装的模压塑封料具有较高的介电常数，不适用于 20GHz 以上的射频设备。

因此，除非材料供应商提出这样的模压塑封料，否则不得不采用更昂贵的空腔式封装解决方案。

最后，封装和测试部门仍然缺乏有效处理上述高频射频解决方案的专

关键技术的融合与赋能



图9. 关键技术的融合以及这些基础技术的单价显著降低将在本世纪二十年代推动市场发展。

业知识。半导体后端行业需要招募了解这些高频要求，并能填补封装设计和最终测试知识空白的射频工程师。

5G 技术革命带来的技术融合，人工智能、虚拟现实和增强现实及云计算方面的改进，以及这些关键技术单位成本的降低，将形成一股完美浪潮，为半导体行业的下一个增长阶段提供强劲动力。

虽然 5G 第一阶段已经可以在一

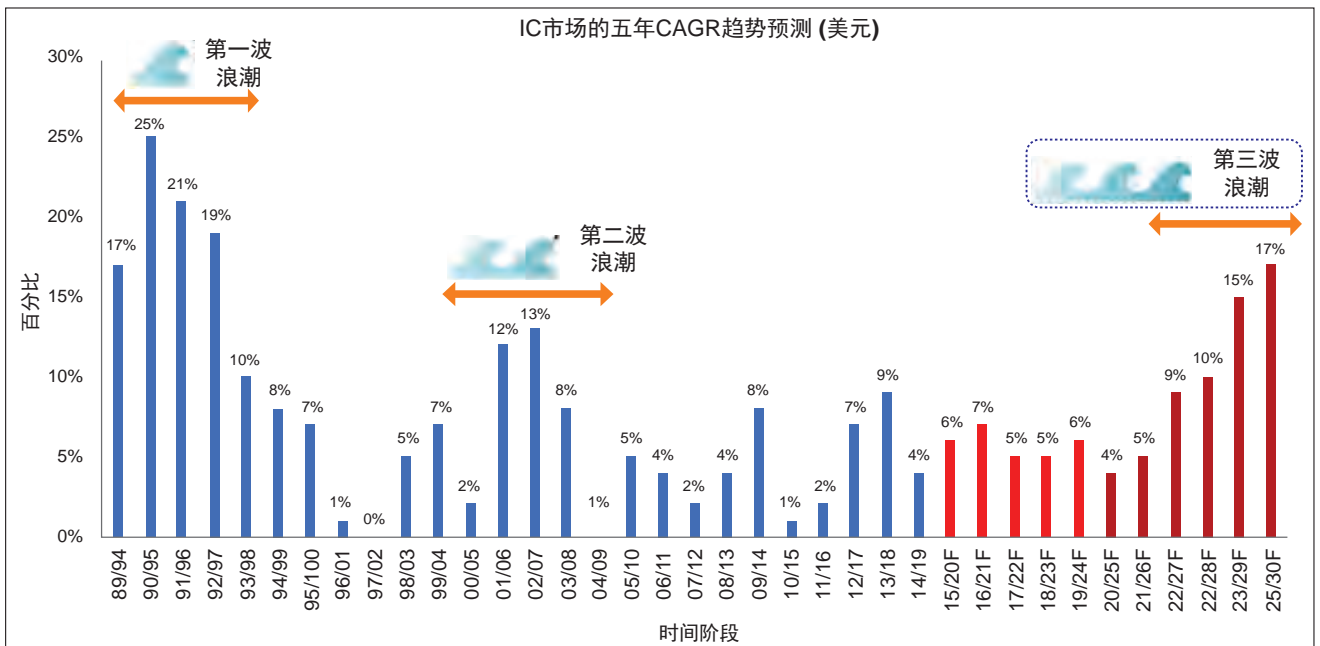


图10. 受到关键技术融合以及这些技术较低单位成本的推动，半导体行业可能会在本世纪二十年代后半程经历两位数增长。来源：89/94年至14/19年数据来自IC Insights；15/20年至25/30年的预测数据来自Asif Chowdhury

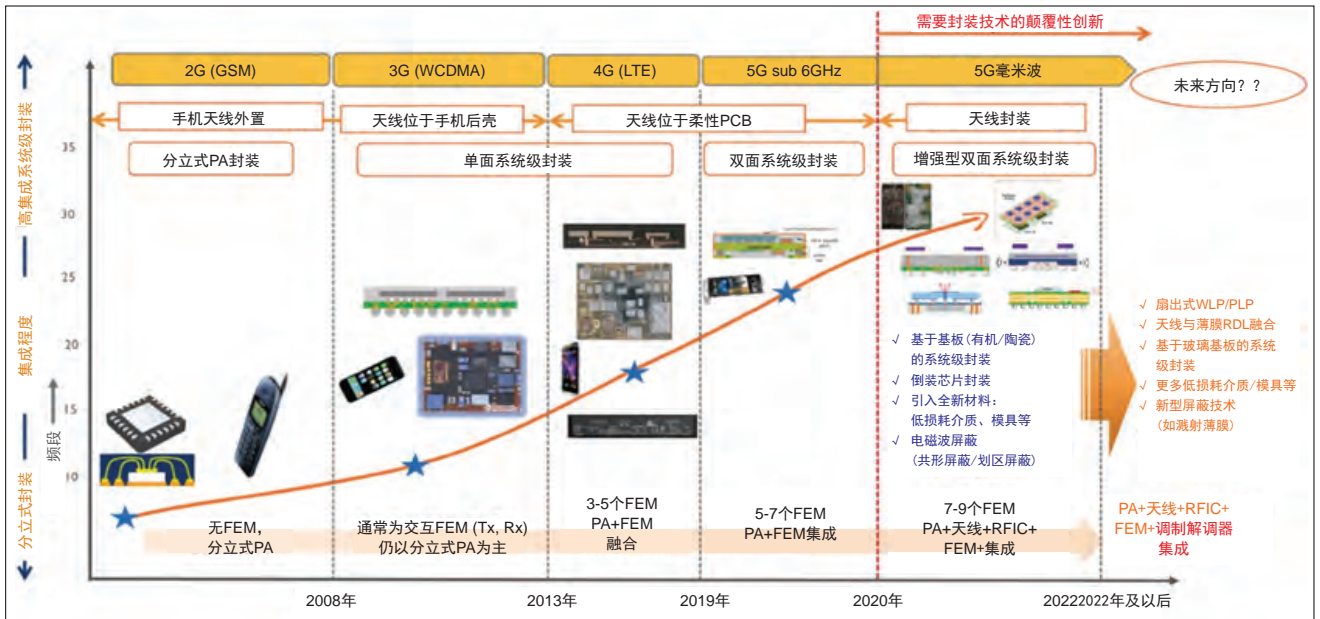


图11. 射频前端封装的历史和路线图。来源：Yole Développement

些地方使用，而且在世界其他地方也即将出现，但5G毫米波第二阶段的普及将主要发生在本世纪20年代的后五年。由于这是实现融合的基础技术，因此我们也同样将在本世纪20年代的后五年迎来半导体行业的两位数增长。

具有性价比的5G毫米波设备封装和测试将是成功确保半导体实现第三次增长浪潮的关键挑战之一。◆

鸣谢

作者感谢来自UTAC新加坡的

Carol Chiang、Prismark的Brandon Prior以及Yole Développement的Sandrine Leroy在提供一些最新图表时所做的重要贡献。

此文首发于英文版《Chip Scale Review》5/6月刊。

《若干政策》：半导体企业最高可获十年免税

2020年8月4日，国务院发布《新时期促进集成电路产业和软件产业高质量发展的若干政策》（简称《若干政策》）。《若干政策》分为八大领域，包括财税政策、投融资政策、研究开发政策、进出口政策、人才政策、知识产权政策、市场应用政策和国际合作政策。其中，半导体行业及投资者最为关注的，当属财税政策。

财税政策的第一条最受关注，也即针对集成电路企业的减免政策。其中，集成电路生产企业减免力度最大：国家鼓励的集成电路线宽小于28nm（含）、且经营期在15年以上的集成电路生产企业或项目，第一年至第十

年免征企业所得税。

这个优惠力度可见一斑。按图索骥，中国28nm及以下制程标准的晶圆代工厂，除了中芯国际，理论上还有华虹、台积电（南京）、厦门联芯、粤芯、武汉弘芯、合肥长鑫满足条件。然而近期武汉弘芯传出用EUV光刻机抵押贷款事宜，因此这条政策是否有做进一步的规范与限制暂不得知，比方说考核企业实际的运营状况、项目进展、科研成果等等。

此外，《若干政策》的惠泽程度并不局限于28nm及以下，集成电路全行业都有优惠政策，只是优惠力度有所不同。1) 65nm（含）且经营期

15年以上的集成电路生产企业、项目，第一年至第五年免征企业所得税，第六年至第十年减半征收；2) 130nm（含）且经营期在10年以上的企业、项目，则是第一年至第二年免征，第三年至第五年减半征收；3) 对于线宽小于130nm（含）的集成电路生产企业纳税年度发生的亏损，准予年度结算后置，总结转年限最长不得超过10年。

国家同时也鼓励集成电路设计、装备、材料、封装、测试企业和软件企业，自获利年度起，第一年至第二年免征企业所得税，第三年至第五年减半征收。◆

“传感+控制+存储”协同， 打造一站式芯片体系

随着5G、物联网、AI、大数据、无人驾驶等新兴技术的崛起，集成电路作为关键支柱性产业，也迎来更加广阔的发展空间。作为中国本土企业，兆易创新十五年来在集成电路领域深耕细作，通过不断优化产业布局与技术方向，打造了以存储器、微控制器（MCU）和传感器三大板块为核心的业务体系。

2020年8月21日，兆易创新在北京泰富酒店举办“兆存储·易控制·新传感”主题研讨会上，展现公司在存储器、MCU和传感器方面的先进技术与产品方案，同时就行业趋势和产业未来同与会者展开深度探讨与交流。

兆易创新执行副总裁、存储器事业部总经理舒清明先生介绍了公司的发展历程、产品技术和全新战略布局。经过多年的励精图治，公司在业界已取得骄人成绩：全球Top 1无晶圆厂NOR Flash供应商，SPI NOR Flash市场占有率是全球第三，在中国品牌芯片设计公司中，Flash和32位通用MCU排名第一，传感器排名第二。

舒清明表示：2016年是兆易创新的一个里程碑，公司上市。2017年与合肥产投签订了先进的DRAM合作项目，2019年收购了思立微（传感器）。2019年发布全球首颗RISC-V内核32位通用MCU。截止去年，公司的Flash出货量已经超过130亿颗，MCU超过4亿颗。

兆易创新的存储器包括NOR Flash、NAND Flash和DRAM。其中，NOR Flash容量覆盖从512Kb到512Mb，大容量产品线已面世达到2Gb。未来几年，NOR Flash市场将得益于IoT为主的可穿戴相关应用，以及TWS、汽车电子、智能手机、互联网及5G等新型市场，它们对NOR Flash的需求量在稳定增长，预计每年市场容量会保持在10%的一个增长速度。此外，NAND Flash主要是二维NAND Flash，预计未来几年，整个2D NAND Flash市场容量会恢复增长，目标市场是网络通信、智能电视以及可穿戴、机电和工业控制等。

兆易创新Flash事业部市场经理薛霆先生表示：目前Flash产品线有26大产品系列，16种容量，4个电压范围（1.8V、2.5V、3.3V及宽压），7款温度规格，25种封装方式，以及全球首批8管脚SPI NOR Flash。此外，1Gb、2Gb、4Gb和8Gb的NAND Flash产品支持3V、1.8V电压，可提供串行及并行接口。产品在各种行业、各种温度、各种环境经过了严格的考验和测试，得到客户的认可。

DRAM实际上是存储器最大的品类，市场价值630亿美元，但DRAM市场波动激烈。目前全球DRAM市场规模在2000亿人民币以上，而中国需求市场占全球的四成；国产化DRAM占比几乎为零，整个

DRAM由三星、海力士、美光等几家国外公司垄断。

兆易创新DRAM开发部资深总监蔡耀德先生表示：为什么DRAM历时五十年仍占据主导作用？1) DRAM容量足够大能接收大量信息；2) DRAM是短期记忆，存储速度定然要快；3) 上述特性决定其价格很便宜。因此，容量大、速度快、价格低使得DRAM市场经久不衰。经过几年努力，公司与长鑫存储展开战略合作，终于在今年推出首颗真正国产的内存片。这是个创举，亦是产业战略布局的开端。舒清明说，“我们进军DRAM市场的起点也是非常先进的，从19nm开始进入，未来还会打造17nm产品线等。”

针对MCU，兆易创新在中国ARM Cortex内核MCU市场的占有率排名第三，前两名是外资企业。该公司MCU事业部市场部经理刘璐女士表示：自2013年发布首颗国产Cortex M3内核的32位的MCU，公司在2016、2018、2019年相继发布了M4和M23内核的MCU、以及首颗基于RISC-V内核的32位MCU。7月28日公司发布首颗基于M33内核产品GD32E5。经过这几年的努力，兆易创新不断涉足并完善MCU产品线，从低功耗到高性能。

刘璐表示，MCU产品的ESD和

下转第12页

瑞萨电子扩展超低功耗嵌入式控制器 RE 产品家族

日本半导体解决方案供应商瑞萨电子集团宣布，推出采用瑞萨突破性的薄氧化埋层覆硅（Silicon on Thin Buried Oxide, SOTB™）制程工艺、基于 Arm® Cortex®-M0+ 内核构建的新品 RE01；它搭载 256KB 闪存，区别于已量产、集成了 1.5MB 闪存的现有产品。

瑞萨电子致力于扩展基于 SOTB 工艺的 RE 产品阵容、支持低功耗系统的开发，推动实现环保型智能社会。新款 RE01 凭借瑞萨独有的 65nm SOTB 制程技术（图 1），可极大地降低运行及待机电流消耗，在 [1]EEMBC® ULPMark™ -CoreProfile（CP）认证中获得 705 分。

据该瑞萨电子中国工业自动化事业部高级总监徐征介绍，新型 SOTB 是瑞萨电子独有的制程技术，它所采用的 SOI（绝缘上硅）工艺能够将工作状态下的功耗与休眠时功耗均降至极限，这在通常状况下是难以兼顾的。此外，器件还可以一枚芯片上兼容 SOTB 与 Bulk 混合结构（图 2a）。在硅基板的薄硅层下方形成极薄的绝缘层（Buried Oxide, BOX）。通过控制可能混入硅层的杂质，可实现稳定的低电压运行以及更低的寄生电容，能效更佳，发挥更好的运算性能。同时，通过在待机时控制绝缘层下方的硅基板电位（反偏压控制），可减少漏电流，降低待机耗能（图 2b）。

RE01 是如何做到待机或者工作状态时的超低功耗？徐征表示，相对传统的低功耗 MCU 器件，此款基于

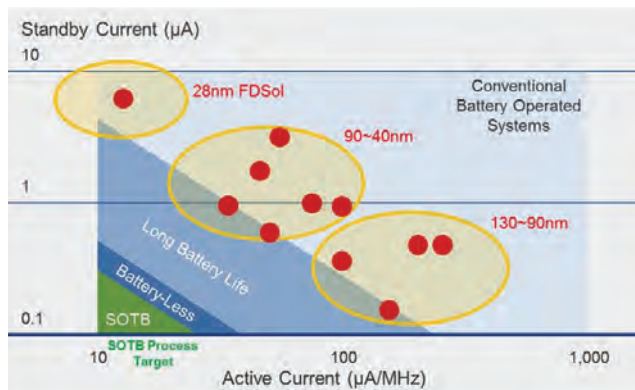


图1. RE01采用瑞萨独有的SOTB制程技术，器件获得约4µA超低功耗，低工作电流12µA/MHz（外部DC/DC转换器），以及400nA的待机消耗电流。

SOTB 制程技术的器件功耗约为传统 MCU 的 1/10，不仅可以支持无电池产品，也可以支持必须进行维护的电池长寿命产品。

搭配组合 SOTB 的无掺杂通道、浅表埋层氧化物绝缘层、以及背面开口，器件可实现良好的电特性。相较于标准的 Bulk CMOS 技术（红色），SOTB 可通过抑制电压临界值的波动（蓝色），降低运行电压与电流。此外，通过对基板施加负的反偏压电压（绿色），SOTB 设备能够大幅削减待机期间的漏电流（图 3）。

RE01 作为嵌入式控制器，可对传感器收集到的数据进行处理，如噪声过滤器，从加速度计判断计步器的步

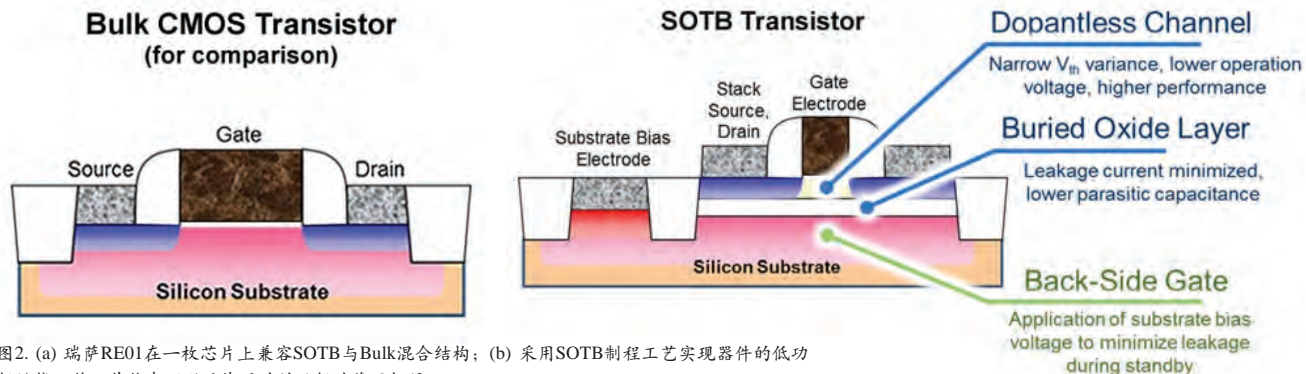


图2. (a) 瑞萨RE01在一枚芯片上兼容SOTB与Bulk混合结构；(b) 采用SOTB制程工艺实现器件的低功耗性能，将工作状态下以及休眠时的功耗均降至极限。

数，从麦克风识别语音等。该产品是瑞萨推出的全新嵌入式控制器，工作原理与 MCU 类似，但比其他低功耗 MCU 相比，具有超低功耗。

徐征表示，“我们已于去年 10 月推出了具有 1.5MB 闪存的产品，该产品被卡西欧于今年 2 月发布的 G-SHOCK 最新腕表作为主控制器采用。7 月发布的这款新品主要是针对使用传感器控制的物联网设备而优化，非常适用于智能家居、智能楼宇、环境感测、(建筑物 / 桥梁) 结构监测、跟踪器和可穿戴设备等应用。”

该新产品的电流消耗在工作状态下可低至 25 μ A/MHz，待机状态下可低至 400nA，其超低功耗在全球处

于领先地位。用户可通过瑞萨超低 Iq ISL9123 作为外部降压稳压器，将工作电流消耗进一步降低至 12 μ A/MHz。

RE 具有超低功耗，可显著延长嵌入式设备的电池寿命。它们还适用于需要多个传感器的实时数据处理应用，即使由低电流紧凑型电池或能量采集设备供电也能高速运行。当前市场上具有 1.5MB 闪存的 RE MCU 适合需要大存储容量的应用，例如图像数据处理或无线更新固件等。而全新 RE01 产品系列非常适合紧凑型设备



和用于传感器控制的物联网设备。

全新 RE01 产品群 R7F0E01182xxx 的关键特性：

- Arm Cortex[®]-M0+ 内核，最大工作频率 64MHz；
- 256KB 闪存和 128KB SRAM；
- 工作电流：25 μ A/MHz（使用片上 LDO 时），12 μ A/MHz（使用外部 DC/DC 转换器时）；
- 软件待机状态消耗电流：400nA；
- 工作电压范围：1.62V ~ 3.6V；从 1.62V 开始，最高可达 64MHz 高速运行；
- 封装规格：约 3mm × 3mm 72 引脚 WLBGA、7mm × 7mm 56 引脚 QFN、14mm × 14mm 100 引脚和 10mm × 10mm 64 引脚 LQFP；
- 片上能量采集控制电路（快速启动电容器充电、二次电池充电保护功能）；
- 约 4 μ A 超低功耗和 14 位 A/D 转换器；
- 使用 TSIP 内核的强大安全功能；
- 深度待机模式下，实时时钟可持续工作，1.8V 供电时消耗电流为 380nA。◆

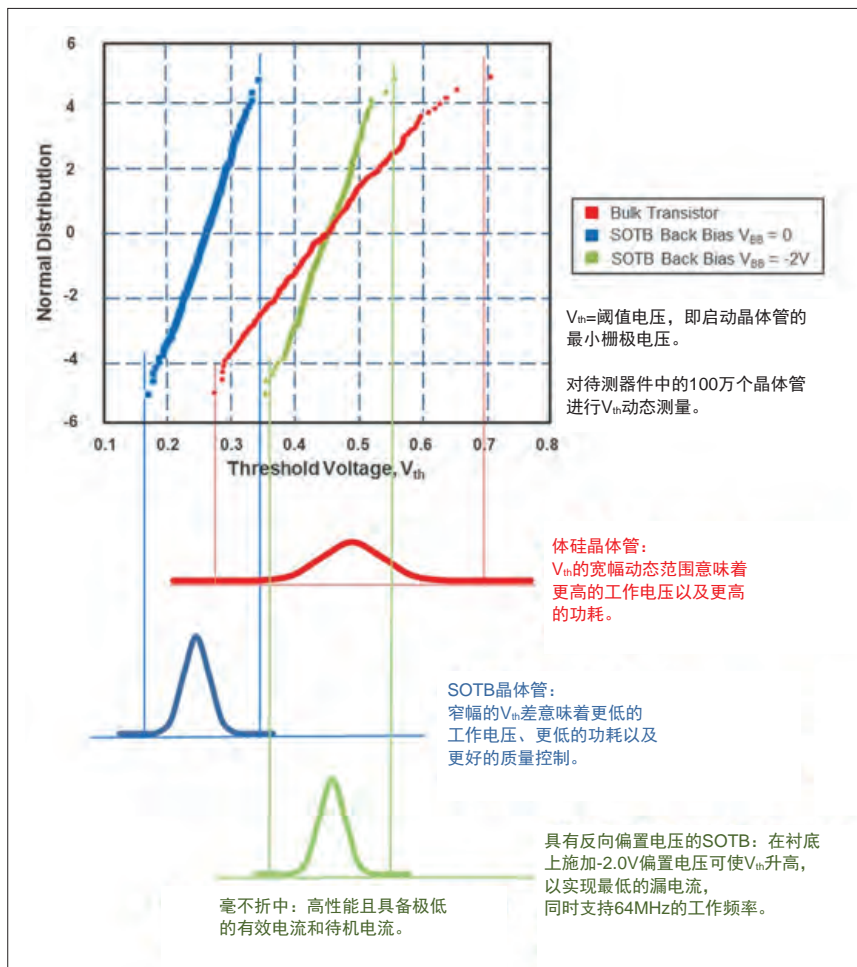


图3. RE01 的电特性。

【1】嵌入式微处理器基准评测协会 (EEMBC) 作为一家非盈利行业组织，致力于推动标准化测试基准。经其认证的基准分数被广泛认为是多家厂商产品进行公正评估不可或缺的数据。

Advertiser	广告商名称	网址	页码
IC China 2020		www.IC-China.com.cn	IBC
INNOLAS		innolas-semiconductor.com	33
ITW EAE		www.itweae.com	IFC
LB Semicon		www.lbsemicon.com	15
中建南方		www.zjnf.cn	9
2020世界半导体大会		www.wsc-expo.com	BC

欢迎投稿

《半导体芯科技》(Silicon Semiconductor China, SiSC) 是面向中国半导体行业的专业媒体, 已获得全球知名权威杂志《Silicon Semiconductor》的独家授权。本刊针对中国半导体市场特点遴选相关优秀文章翻译, 并汇集编辑征稿、采编国内外半导体行业新闻、深度分析和权威评论等多方面内容。本刊由香港雅时国际通讯(ACT International)以简体中文出版发行。

本刊内容覆盖半导体制造工艺技术、封装、设备、材料、测试、MEMS、mini/Micro-LED等。文章重点关注以下内容:

FAB (Foundry, IDM, OSAT, R&D)

四个环节: 晶圆制造 (wafer 后道)、芯片制造、先进封装、洁净室; 深入报道与之相关的制造工艺、材料分析、工艺材料、工艺设备、测试设备、辅助设备、系统工程、关键零备件, 以及与 particle (颗粒度) 及 contamination (沾污) 控制等厂务知识。

FABLESS

芯片设计方案、设计工具, 以及与掩膜版内容和导入相关的资讯。

半导体基础材料及其应用

III-V 族、II-VI 族等先进半导体材料的科学研究成果, 以及未来热门应用。

《半导体芯科技》欢迎读者、供应商以及相关科研单位投稿, 已甄选中文稿件将在印刷版杂志以及网上杂志刊登; IC 设计及应用等半导体相关内容将酌情予以网络发表 (微信推送、杂志网站)。本刊优先刊登中文来稿 (翻译稿请附上英文原稿)。

技术文章要求

- 论点突出、论据充分: 围绕主题展开话题, 如工艺提升、技术改造、系统导入、新品应用, 等等。
- 结构严谨、短小精悍: 从发现问题到解决问题、经验总结, 一目了然, 字数以 3000 字左右为宜。
- 文章最好配有 2-4 幅与内容有关的插图或图表。插图、图表按图 1、图 2、表 1、表 2 等依次排序, 编号与文中的图表编号一致。
- 请注明作者姓名、职务及所在公司或机构名称。作者人数以四人为限。
- 文章版权归著者, 请勿一稿多投。稿件一经发表如需转载需经本刊同意。
- 请随稿件注明联系方式 (电话、电子邮件)。

新产品要求

- 新产品必须是在中国市场新上市、可在中国销售的。
- 新产品稿件的内容应包含产品的名称、型号、功能、主要性能和特点、用途等。
- 新产品投稿要求短小精悍, 中文字数 300~400 字左右。
- 来稿请附产品照片, 照片分辨率不低于 300dpi, 最好是以单色作为背景。
- 来稿请注明能提供进一步信息的人员姓名、电话、电子邮件。

电子邮箱: mizyH@actintl.com.hk,
sunnieZ@actintl.com.hk

行政及销售人员 Administration & Sales Offices

行政人员 Administration

HK Head Office (香港总部)

ACT International (雅时国际通讯)

Unit B, 13/F, Por Yen Buiding,
No. 478 Castle Peak Road,
Cheung Sha Wan, Kowloon, Hong Kong
Tel: 852 28386298

Publishing Director (出版总监)
Adonis Mak (麦协林), adonism@actintl.com.hk

Editor-in-Chief (编辑)
Mizy He (贺贵鸿), mizyH@actintl.com.hk

Sales Director (销售总监)
Eva Liu (刘婷), eval@actintl.com.hk

General Manager-China (中国区总经理)
Michael Tsui (徐旭升), michaelT@actintl.com.hk

London Office

Hannay House, 39 Clarendon Road
Watford, Herts, WD17 1JA, UK.
T: +44 (0)1923 690200

Coventry Office

Unit 6, Bow Court, Fletchworth Gate
Burnsall Road, Coventry, CV5 6SP, UK.
T: +44 (0)2476 718 970

Publisher & Editor-SiS English

Jackie Cannon, jackie.cannon@angelbc.com
+44 (0)1923 690205

销售人员 Sales Offices

China (中国)

Shenzhen (深圳)

Jenny Li (李文娟), jennyl@actintl.com.hk
Gavin Hua (华北平), gavinH@actintl.com.hk
Tel: 86 755 2598 8571

Shanghai (上海)

Hatter Yao (姚丽莹), hattery@actintl.com.hk
Helena Xu (许海燕), helenax@actintl.com.hk
Amber Li (李歆), amberL@actintl.com.hk
Tel: 86 21 6251 1200

Beijing (北京)

Cecily Bian (边团芳), cecilyB@actintl.com.hk
Tel: 86 135 5262 1310

Wuhan (武汉)

Eva Liu (刘婷), eval@actintl.com.hk
Tel: 86 138 8603 3073
Sky Chen (陈燕), skyc@actintl.com.hk
Tel: 86 137 2373 9991
Grace Zhu (朱婉婷), graceZ@actintl.com.hk
Tel: 86 159 1532 6267

Hong Kong (香港特别行政区)

Mark Mak (麦协和), markm@actintl.com.hk
Tel: 852 2838 6298

Asia

Japan (日本)

Masaki Mori, masaki.mori@ex-press.jp
Tel: 81 3 6721 9890

Korea (韩国)

Lucky Kim, semieri@semieri.co.kr
Tel: 82 2 574 2466

Taiwan, Singapore, Malaysia

(台湾, 新加坡, 马来西亚)
Regional Sales Director
Mark Mak (麦协和), markm@actintl.com.hk
Tel: 852 2838 6298

US (美国)

Janice Jenkins, jjenkins@brunmedia.com
Tel: 724 929 3550
Tom Brun, tbrun@brunmedia.com
Tel: 724 539 2404

Europe (欧洲)

Shehzad Munshi, Shehzad.Munshi@angelbc.com
Tel: +44 (0)1923 690215
Jackie Cannon, Jackie.cannon@angelbc.com
Tel: +44 (0) 1923 690205



开放发展 合作共赢

Open for development Cooperate for win-win

第三届全球 IC 企业家大会 暨第十八届中国国际半导体博览会

The 3rd Global IC Entrepreneurs Conference
& The 18th China International Semiconductor Expo

📍 中国·上海 新国际博览中心

📅 2020年10月14~16日



关注官方微信



指导单位 工业和信息化部
上海市人民政府

主办单位 中国半导体行业协会
中国电子信息产业发展研究院
上海市经济和信息化委员会

承办单位 北京赛迪会展有限公司
中国电子报社
赛迪智库集成电路研究所
上海市集成电路行业协会



参展赞助及商务合作咨询

电话：010-68207449/88558152/88558151/88558153
电子邮箱：icchina@csia.net.cn

参会赞助及商务合作咨询

电话：010-88558808/68209312
电子邮箱：wangyj@cena.com.cn/liuch@csip.org.cn



2020 WSCE
世界半导体大会



南京江北新区
NANJING JIANGBEI
NEW AREA

WSCE 线上展示

云上世界半导体大会

突破未来 创“芯”无限



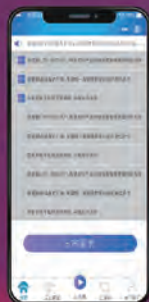
云展览



云会议



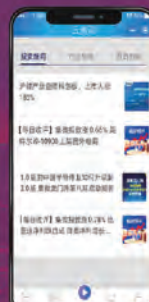
云配对



云发布



云招聘



云资讯



云直播



云上展会

2020.7.27-2021.7.26

通过互联网、云计算、大数据、虚拟现实等新一代信息技术实现企业线上展示、会议、贸易对接、需求配对、对外宣传、人才招聘的全部需要