

# 半导体芯科技

**S/S SILICON SEMICONDUCTOR**  
Connecting the Silicon Semiconductor Community

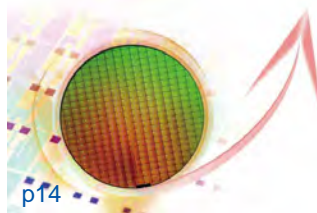
• **CHINA**

ISSN 2523-1294

www.siscmag.com

2021年 2/3月

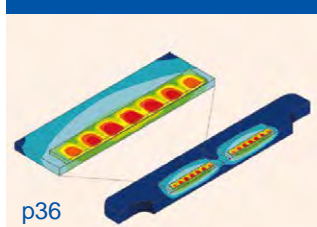
晶圆代工厂



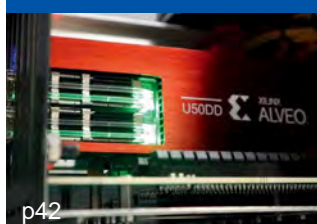
光子器件技术



CVD 金刚石

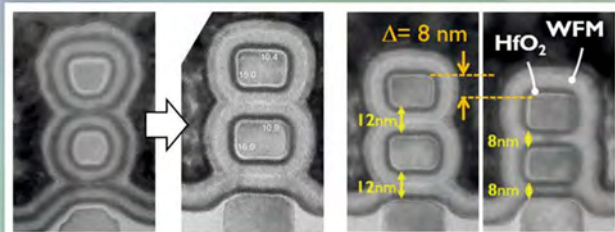
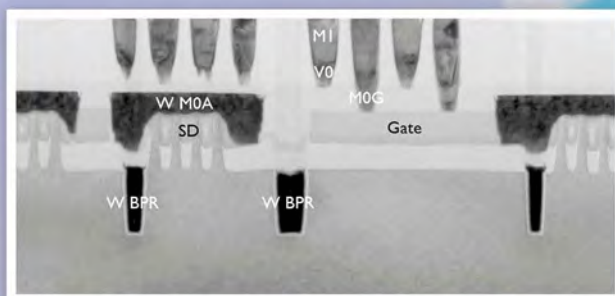


实时电力质量分析



## 通往1nm节点： 逻辑器件未来技术路线图

p22



微信公众号

**SEMICON CHINA**  
3月17-19日 · 上海新国际博览中心  
欢迎莅临  
E7馆/7753

**ACT** Angel  
BUSINESS COMMUNICATIONS

## 高效、先进的成像

### 奥林巴斯半导体行业解决方案



#### DSX1000

数码显微镜

多角度观察 / 宽放大倍率范围 20X-7000X



#### MX63+AL120

半导体 / FPD / 工业检测显微镜

12 英寸晶圆搬送机



#### OLS5100

3D 测量激光显微镜

更智能的工作流程 / 更快速的实验设计



### 用于整合的显微镜部件

#### 方便集成

特点 1: 组件采用模块化设计非常便于与其他光学机械系统集成。

特点 2: 结像透镜, 暗场模块, LED 远程控制。

特点 3: 独立模块, 便于设计您的系统。

#### 节省观察时间

特点 1: 高分辨率、长工作距离物镜

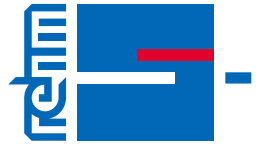
特点 2: 超宽视场镜筒透镜, 不断提升的显微镜相机传感器尺寸和分辨率造就了对超宽视场光学器件的需求。

#### 参数公开

专家将帮助您选择合适的组件, 并为您提供诸如尺寸和透光率值等技术数据。







THERMAL SYSTEMS

Rehm Thermal Systems

Pioneer of

Thermal Solutions

30 more than years experience



Specialist for Semicon Industry

锐德VX-Semico回流焊以独特的设计在行业中占领先地位

适用于载板,晶圆印刷植球焊接, 2.5D晶片焊接, 扇进焊接, 扇出焊接。

Rehm VX-Semicon的独特设计

- > 所有加热区都有顶部和底部加热
- > 冷却区具备主动性加热, 可有效调整降温斜率, 避免降温过快导致冷热冲击, 产品过程中产生变形
- > 加热及冷却温区模块化设计350mm
- > 炉膛氧含量可实现20ppm 以下, 超级省氮气设计

锐德热力设备(东莞)有限公司 | 中国广东省东莞市松山湖高新技术产业开发区畅园路2号  
T +86 769 - 8238 0238 | info@rehm-group.com | www.rehm-group.com



## 目录 CONTENTS

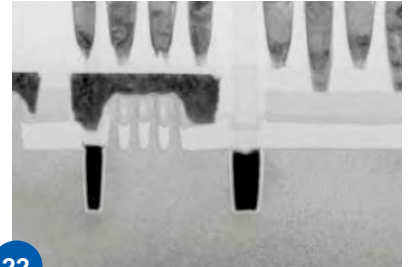
### 封面故事 Cover Story

#### 22 通往 1nm 节点：逻辑器件未来技术路线图

Continuing the journey towards 1nm nodes, a view on the logic technology roadmap

随着芯片制造商持续推动技术世代演进，要维持前段制程晶体管微缩、中段及后段制程中触点与互连线技术相同的开发时程，已变得充满挑战。本文呈现了IMEC关于先进制程技术的发展路线图，包括在FEOL中引入新的器件架构，在MOL和BEOL中引入新颖的材料和集成方案，同时讨论了各种不同可选方案背后的现状、挑战和原理，这些方案为芯片行业提供了一条通往1nm技术世代的可能之路。

- Zsolt Tokei, IMEC 纳米互连项目主管; Naoto Horiguchi, IMEC 逻辑 CMOS 器件微缩项目主管



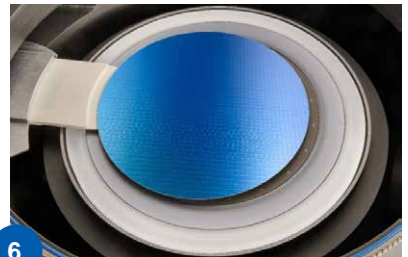
22

### 编辑寄语 Editor's Note

#### 4 先进制程和先进封装如何取舍？

How to balance advanced processes and advanced packaging?

- 赵雪芹



6

### 产品聚焦 Product Focus

#### 5 FPA-5520iV LF Option 光刻机实现先进封装的大视场曝光

Exyte 益科德：超纯水创新方案荣获“科创之星”奖

#### 6 Vantex™新型刻蚀技术推进下一代 3D 存储器件制造

eView™全自动晶圆缺陷复查设备

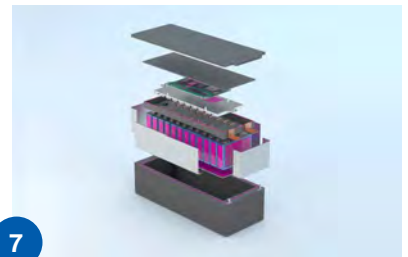
#### 7 适用于混动车辆电池的导热粘合剂

美光宣布突破性 1α 内存新工艺

#### 8 面向 5G 通信的 25Gbps VCSEL

欧洲 19 国将联合共建 2nm 晶圆代工厂

#### 46 基于 MEMS 的创新 CO<sub>2</sub> 气体传感器



7

#### 关于雅时国际商讯 (ACT International)



雅时国际商讯 (ACT International) 成立于1998年，为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品—包括杂志和网上出版物、培训、会议和活动—为跨国公司和中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站，以及各种技术会议，服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港，在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

#### About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photronics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

#### 关于《半导体芯科技》

《半导体芯科技》(原半导体科技)中国版 (SiSC) 是全球最重要和最权威的杂志Silicon Semiconductor的“姐妹”杂志，由香港雅时国际商讯出版，报道最新半导体产业新闻、深度分析和权威评论。为中国半导体专业人士，提供他们需要的商业、技术和产品信息，帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国半导体产业，包括IC设计、制造、封装及应用等。

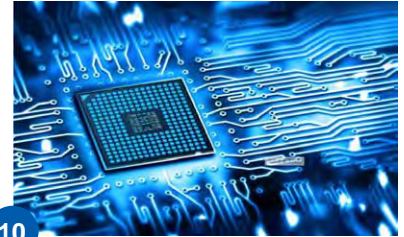
#### About Silicon Semiconductor China

Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology & product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMS, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

## 目录 CONTENTS

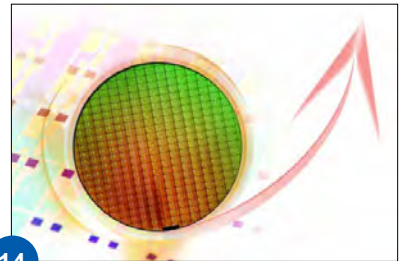
### 供应链 Supply Chain

- 10** 半导体智能物流整体解决方案  
- 苏州艾斯达克智能科技有限公司



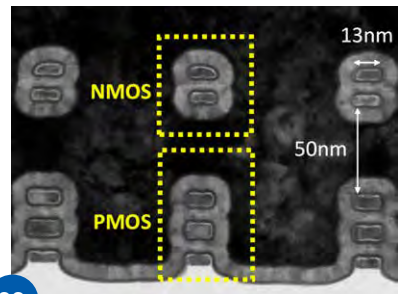
### 观点 Viewpoints

- 14** 小尺寸晶圆代工厂不会消亡  
Fabs for small-dimension wafer never die  
- Gäel Giusti 博士, Vishnu Kumaresan 博士; Yole Développement 设备和材料市场与技术分析师



### 技术 Technology

- 30** 光子器件技术的新兴之用  
Photonic device technologies for emerging markets  
- Shiva Rai, 应用材料公司光子和射频应用战略营销经理
- 33** 从 FinFET 到 GAA 再到 CFET  
From FinFET to GAA then to CFET  
- SiSC 编辑部
- 36** CVD 金刚石解决高性能电子产品中的热管理问题  
CVD Diamond Resolves Thermal Management Issues In High Performance Electronics  
- Firooz Faili, Element Six 公司 CVD 热力产品部主管
- 39** 高密度先进封装设计的三个阶段  
Three stages of high density advanced package design  
- Kevin Rinebold, John Ferguson, Keith Felton; MENTOR GRAPHICS, Siemens EDA



### 专栏 Conlunm

- 42** 汇总电网：实时电力质量分析  
Enabling the aggregation of real-time power quality analysis in electric grids  
- Armando Astarloa, SYSTEM-ON-CHIP ENGINEERING S.L. 首席执行官  
Michael Zapke, 赛灵思 ISM 产品营销经理



### 48 广告索引 Ad Index

#### 《半导体芯科技》编委会 (排名不分先后)

刘胜 教授  
武汉大学 工业科学研究院执行院长

郭一凡 博士  
日月光集团工程副总经理

姚大平 博士  
江苏中科智芯集成科技有限公司总经理

汤晖 教授  
广东工业大学、精密电子制造技术与装备国家重点实验室

于大全 教授  
厦门云天半导体创始人

须颖教授  
中国仪器仪表学会显微仪器分会副理事长

罗仕洲教授  
磐允科技总经理

林挺宇 博士  
广东芯华微电子技术有限公司总经理

杨利华 院长  
两江半导体研究院

王文利 教授  
西安电子科技大学电子可靠性(深圳)研究中心主任  
雅时国际资讯顾问

张昭宇 教授  
香港中文大学(深圳)理工学院  
深圳半导体激光器重点实验室主任

刘功桂 教授级高工  
中国电器科学研究院股份有限公司威凯技术中心主任

云星 总经理  
深圳安博电子有限公司

李光 常务副总裁  
深圳雷曼光电股份有限公司  
张弛 总裁  
深圳贝特莱电子科技股份有限公司  
乔旭东 博士  
深创投集团投资发展研究中心总经理

社长 Publisher

麦协林 Adonis Mak

adonism@actintl.com.hk

主编 Editor in Chief

赵雪芹 Sunnie Zhao

sunniez@actintl.com.hk

贺贵鸿 Mizy He

mizyh@actintl.com.hk

出版社 Publishing House

雅时国际资讯 ACT International

香港九龙 B,13/F, Por Yen Bldg,

长沙湾青山道478号 478 Castle Peak Road,

百欣大厦 Cheung Sha Wan,

13楼B室 Kowloon, Hong Kong

Tel: (852) 2838 6298

Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988573 /25988567

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 59233884

UK Office

Angel Business

Communications Ltd.

6 Bow Court,

Fletchworth Gate,

Burnsall Road, Coventry,

CV56SP, UK

Tel: +44 (0)1923 690200

Chief Operating Officer

Stephen Whitehurst

stephen.whitehurst@angelbc.com

Tel: +44 (0)2476 718970

## 先进制程和先进封装如何取舍？

随着时间的推移，半导体进入 7nm 及以下制程之后，平面尺寸的缩小不再能带来了功耗、性能和面积 / 成本的同步进步 (PPAC)。业界继续迈向 1nm 节点，需要先进制程和先进封装并进，器件架构、IC 设计、制程、封装、设备、材料、检测等各种技术持续创新，来推进产业继续向前发展。

本期杂志的封面故事“通往 1nm 节点：逻辑器件未来技术路线图”，介绍了 IMEC 在芯片制造三个阶段的研究探索，FEOL 包括 GAA 纳米片、叉型片，以及互补型场效应晶体管 (CFET) 器件。这些架构将直接影响局部互连层，要求采用新型 BEOL 材料 (如钌、钼及金属合金) 和新的集成方案 (即混合金属化、半镶嵌和具有零通孔结构的混合通道高度)。他们还引入了有助于提高 MOL 连接性的结构微缩助推器 (如自对准栅极触点和埋入式电源轨)。

GAA 纳米片结构将替代 FinFET 已经得到业界公认，下一步业界很可能会通过堆叠 nFET 和 pFET 过渡到 CFET。近期英特尔在堆叠式纳米片晶体管研究方面取得了可喜进展，本期文章“从 FinFET 到 GAA 再到 CFET”对此进行了详细的报道。

芯片制造商和研究人员在 FEOL 中引入了新的器件架构，在 MOL 和 BEOL 中引入了新的材料和集成方案，提供了一条通往 1nm 技术世代的可能之路。

近期关于建造 5nm 及以下晶圆工厂的报道很多，台积电计划在美国亚利桑那州投资建立 5nm 晶圆厂，三星正考虑在德克萨斯州开始 3nm 生产，以及 19 个欧盟成员国准备联合建造 2nm 晶圆厂。台积电 2021 年 2 月又宣布会提前其 3nm 制程开发日程，并计划在台湾新竹建 2nm 晶圆厂。

尽管业界的不懈努力已经取得丰硕成果，逐步探索出通向 1nm 的可能路线，但是进一步的产业实施依然困难重重，充满挑战。从 2020 年下半年开始，苹果、华为、高通、三星等手机芯片厂商相继推出 5nm 移动处理器，并宣称无论是在性能上还是在功耗上都有着优秀的表现。但是几个月下来，用户反馈认为 5nm 手机芯片表现并没有达到预期，有媒体报道说 5nm 芯片似乎遭遇了集体“翻车”。

为何 5nm 芯片的表现不如人意？原因应该是 5nm 芯片设计与制造工艺尚不成熟，从 7nm 演进到 5nm 以及 3nm，有很多复杂的工艺技术问题需要解决，这也是近两年业界对于 EUV 光刻、GAA 架构、新型材料、异构整合等技术大力投入，热切关注的原因。

另一方面，由于 5nm 及以下制程成本高昂，并不是所有应用都需要采用。如果无法在功耗与性能上有极大的改善，那么追求更加昂贵的先进制程似乎意义也不大。事实上，追求诸如 7nm、5nm 等先进制程的领域并不多。全球知名代工厂格芯、联电等已经先后宣布不再实施先进制程计划而专注于其擅长的应用领域。连英特尔在 10nm、7nm 的研发过程中也多次受阻。在先进制程的芯片制造方面，现在只有台积电和三星两个最大的竞争对手，二者在 2020 年都实现了 5nm EUV 量产，如今又都斥巨资投入 3nm 的研发与量产。5nm 芯片似乎还未成熟，3nm 愈加趋于摩尔定律极限，需要的投资更加巨大，业界真的准备好了吗？

赵雪芹





## FPA-5520iV LF Option光刻机实现先进封装的大视场曝光

佳能将在2021年4月上旬发售面向后道工序的半导体光刻机新产品——i线步进式光刻机“FPA-5520iV LF Option”。该产品实现了面向先进封装的52×68mm大视场曝光，解析度达1.5微米。

为了提高半导体芯片的性能，不仅在半导体制造的前道工序中实现电路的微细化十分重要，在后道工序中的高密度封装也备受瞩目。为实现高性能的先进封装，需要精细的重布线，近年来已经开始使用半导体光刻机进行重布线工艺。新产品FPA-5520iV LF Option继承了可应对先进封装的旧机型“FPA-5520iV”（2016年7月发售）的基本性能，同时实现了大视场下电路图形的曝光，可满足异构封装等多种先进封装技术的需求。

### 通过搭载新投影光学系统实现大视场的一次曝光

通过搭载新投影光学系统，新产品FPA-5520iV LF Option可以一次曝光52×68mm的大视场，达到了前道

工序中光刻机标准视场26×33mm的4倍以上。通过大视场曝光，实现了连接多个大型半导体芯片的异构封装。此外，该产品具有1.5μm的高解析度，可以曝光出精细的重布线图案，从而可应对多种先进封装工艺。另外，在使用高解析度选项的情况下，可以实现以1.0μm的高解析度曝光重布线图案。

新产品继承了“FPA-5520iV”受到广泛好评的基本性能。通过这些共通的基本性能，可以实现封装工艺量产课题中的再构成基板变形问题的灵活应对，还可以在芯片排列偏差较大的再构成基板上检测出对准标记，从而提高生产效率，实现高生产性等优势。



FPA-5520iV LF Option光刻机

## Exyte益科德：超纯水创新方案荣获“科创之星”奖

超纯水（UPW）是半导体生产过程中最重要的元素之一，主要用于制备工艺化学溶液、晶圆清洗和浸没式光刻。半导体晶圆在加工过程中暴露于超纯水中，因此，超纯水质量对晶圆生产工艺和产品良率有重要影响。随着半导体行业的快速发展和对生产工艺的升级，对超纯水的各项指标要求也不断地提高。

### UPW创新方案实现超纯水指标（硼）小于1ppt

Exyte（益科德）中国的UPW创新方案近日获得由上海虹桥临空经济示范区颁发的“科创之星”奖。此奖项认可了Exyte在超纯水技术领域获得的科技成就，在其负责的半导体项目中，Exyte与合作伙伴一起为客户实现了超纯水指标（硼）小于1ppt目标，高于目前行业小于30ppt的标准，此技术指标首次实现于国内半导体项目中，为产业的发展注入新动力。

Exyte作为项目EPC（工程总包）方，在项目规划设计之初，就根据客户的要求，制定了超纯水硼小于1ppt的指标，这也是首次应用于中国半导体项目的纯水系统，



Exyte中国工程工艺部经理Maheswaran Nair领取奖项

它需要创新和升级的工艺设计，并结合在采购、施工和调试阶段的丰富经验和高水平的项目管理能力。

“科创之星”申请人需满足一系列严苛条件，如行业领域知名度、申报项目和课题的专业性、企业自身对于科技创新的文化和氛围，等等。

“半导体这个行业对于超纯水水质有着苛刻的要求，我们积极地与客户、供应商合作，结合目前的应用科学，开发出高度创新的解决方案并取得成功。”Exyte东北亚区工程总监Arend Suhr表示，“‘科创之星’奖是对我们Exyte中国技术团队解决具有挑战性的设施和创新工作的高度认可。”

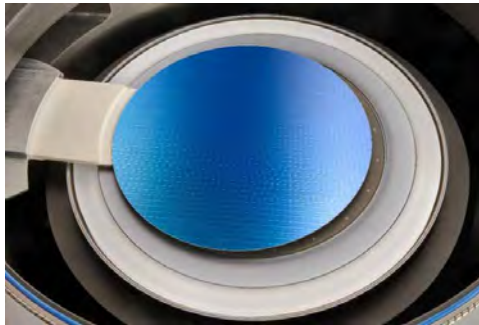
## Vantex™ 新型刻蚀技术推进下一代3D存储器件制造

泛林集团发布了专为其最智能化的刻蚀平台 Sense.i™ 所设计的最新介电质刻蚀技术 Vantex™。基于泛林集团在刻蚀领域的领导地位，这一开创性的设计将为目前和下一代 NAND 和 DRAM 存储器件提供更高的性能和更大的可延展性。

3D 存储器件通常被应用于智能手机、显卡和固态存储驱动等。芯片制造商们一直以来都在通过纵向增加器件尺寸和横向减少关键尺寸 (CD) 持续降低先进技术产品的位成本，将 3D NAND 和 DRAM 中的刻蚀深宽比提升至更高水平。

Vantex 的全新腔室设计能够以更高的射频功率刻蚀更高深宽比的器件，提升产能，降低成本。更高的功率和射频脉冲技术的结合可以实现严苛的 CD 控制，从而改进器件功能。

根据 3D NAND 器件的技术路线图，每一代刻蚀都需要实现更大的深度，这也推动了提升刻蚀轮廓均匀性的需求。Vantex 技术控制了刻蚀的垂直角度，以满足这些 3D 器件结构设计密度要求，并在整个 300mm 晶圆上



泛林集团 Vantex™ 新型刻蚀腔室搭载其行业领先的 Sense.i™ 刻蚀平台

实现高良率。

“10 多年来，泛林集团一直在高深宽比刻蚀领域保持行业领先，我们所独有的经验使 Vantex 的腔室设计从一开始就能够为未来的许多技术节点提供可延展性和创新性。”泛林集团高级副总裁、刻蚀产品事业部总经理 Vahid Vahedi 表示，“Vantex 重新定义了刻蚀平台性能和生产效率的行业标杆，这一突破性的刻蚀技术对于客户来说非常有吸引力。”

泛林集团 Sense.i 刻蚀平台具有 Equipment Intelligence® (设备智能) 功能，可以从数百个传感器收集数据，监测系统和工艺性能。借助 Sense.i 系统的高带宽通信，Vantex 刻蚀腔室在每个晶圆中采集的数据多于市场上其他任何设备——它能够更有效地分析和利用数据，以提高晶圆上和晶圆间的性能。

泛林集团将持续向存储器行业领军客户提供 Sense.i 平台上的 Vantex 以期获得客户认可和重复订单，助力客户在 2021 年实现高量产。

## eView™ 全自动晶圆缺陷复查设备

上海精测半导体技术有限公司宣布推出首款半导体电子束检测设备：eView™ 全自动晶圆缺陷复查设备，并正式交付国内客户，助力半导体产业国产化。该设备是国内首台拥有完全自主知识产权的半导体前道检测设备。

eView™ 是基于扫描电子显微镜技术的复查和分类的设备，应用于集成电路制造过程，可对光学缺陷检测设备的结果进行高分辨率复查、分析和分类，满足 10xnm 集成电路工艺制程的需求。

随着半导体集成电路工艺节点的推进，作为晶圆厂制程控制主力设备的光学缺陷检测设备的解析度已无法满足大规模生产和先进制程开发需求，必须依靠更高分辨率的



电子束复检设备的进一步复查才能对缺陷进行清晰的图像成像和类型的甄别，从而为半导体制程工艺工程师优化制程工艺提供依据。

eView™ 采用了自主开发的扫描电子显微镜技术，具有超高的分辨率，适用于 10xnm 及以下集成电路制程的工艺缺陷自动检测。

除了高分辨率电子束成像能力外，利用自主开发的基于深度神经网络 (DNN) 的人工智能算法进行缺陷自动识别与分类，突破常规的基于机器学习的分类算法，极大提高晶圆缺陷分类的准确度。并采用全新的超低电压 EDSX 射线探测技术，突破常规设备 EDS 使用电压的限制，实现轻量元素的高分辨率解析能力。

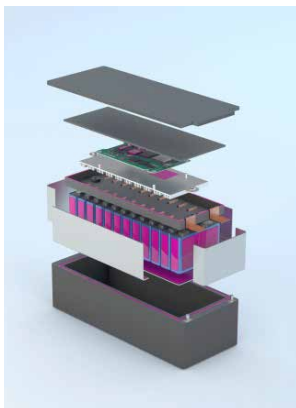


## 适用于混合动力车辆的导热粘合剂

DELO 推出一种适用于混合动力车辆的  
结构粘合剂 DELO-DUOPOX TC8686, 它兼具  
导热性与阻燃性, 是一款专为高量产而设计  
的粘合剂。有汽车供货商已逐步使用该产品。

这种新的粘合剂特别适合轻度混合动  
力系统里的低压电池。把电池组粘接到电  
池外壳上的同时, 也能高效散发运行过程  
中产生的热量。

DELO-DUOPOX TC8686 是在一道工  
序之内完成了结构粘合, 同时完成与热管  
理系统的连接。而不是以机械方式连接电  
池组然后用所谓的“填缝物”来散热。省  
去了一道工序, 简化了生产。这种产品不  
但适合轻度混合动力系统, 而且适合传统  
的混动系统与其他低压电池, 比如用在电  
动自行车与电动踏板



车的电池里。

DELO-DUOPOX TC8686 的设计温度范  
围在  $-40^{\circ}\text{C}$  到  $+85^{\circ}\text{C}$  之间。在电  
池组和常用的外壳材料上, 它具有良好  
的强度。例如它在铝上的拉伸剪切强度  
为  $18\text{ N/mm}^2$ 。这种粘合剂也满足汽  
车工业中, 在常见工作温度下对强度  
的要求 (工作温度一般在  $10^{\circ}\text{C}$  到  
 $40^{\circ}\text{C}$  之间, 最高至  $80^{\circ}\text{C}$ , 不过  
此时电池的电解质可能已发生不可逆的  
损坏)。考虑到这种粘合剂的断裂伸长  
率, 因其具备特定的柔韧性, 在运行过  
程中可以补偿电池组与外壳材料之间不  
同的热膨胀系数, 因此能帮助提高电池  
性能。

这款产品的导热率是  $1.1\text{ W/m}\cdot\text{K}$ , 这  
一性能对于电池组十分重要。另外, 它  
还符合 UL 94 V-0 标准的阻燃性要求。

## 美光宣布突破性1 $\alpha$ 内存新工艺

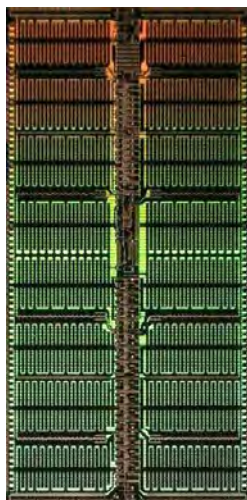
内存与存储解决方案领先供应商 Micron  
Technology Inc. (美光科技), 近日宣布批  
量出货基于  $1\alpha$  (1-alpha) 节点的 DRAM  
产品。该制程是目前世界上最为先进的  
DRAM 技术, 在密度、功耗和性能等各  
方面均有重大突破。这是继最近首推全  
球最快显存和 176 层 NAND 产品后, 美  
光实现的又一突破性里程碑, 进一步加  
强了公司在业界的竞争力。

美光技术与产品执行副总裁 Scott DeBoer  
先生表示: “ $1\alpha$  节点印证了美光在 DRAM  
领域的领先成就, 同时也是我们对前沿  
设计和技术不懈追求的成果。对比我们  
上一代的  $1z$  DRAM 制程,  $1\alpha$  技术将  
内存密度提升了 40%, 为将来的产品和  
内存创新提供了坚实的基础。”

美光计划于 2021 年将  $1\alpha$  节点全面导  
入其 DRAM 产品线, 从而更好地支持广  
泛的 DRAM 应用领域——为包括移动  
设备和智能车辆在内的各种应用提供更  
强的性能。

### 美光继续领跑多个内存应用市场

美光执行副总裁兼首席商务官 Sumit  
Sadana 先生表示: “我们全新的  $1\alpha$   
技术将为手机行业带来最低功耗的



DRAM, 同时也使美光于数据中心、客  
户端、消费领域、工业和汽车领域的  
DRAM 客户受益匪浅。内存和存储预  
计是未来十年增长最快的半导体市场,  
美光凭借领先业界的 DRAM 和 NAND  
技术, 将在这个快速增长的市场中立于  
不败之地。”

美光的  $1\alpha$  技术节点使内存解决方案  
更节能、更可靠, 并为需要最佳低功  
耗 DRAM 产品的移动平台带来运行速  
度更快的 LPDDR5。美光为移动行业  
提供最低功耗的 DRAM 平台, 与美  
光上一代  $1z$  制程移动设备 DRAM 相  
比, 功耗降低了 15%, 使 5G 用户在  
不牺牲续航的同时能在手机上进行更  
多任务操作。

美光的  $1\alpha$  先进内存节点提供 8Gb  
至 16Gb 的密度, 将助力美光现有的  
DDR4 和 LPDDR4 系列产品延长生命  
周期, 并能为美光在服务器、客户端、  
网络和嵌入式领域的客户提供更低功  
耗、更可靠的产品及更全面的产品支  
持, 从而降低客户再次验证的成本。对  
于具备较长产品生命周期的汽车嵌入  
式解决方案、工业 PC 和边缘服务器等  
应用场景而言,  $1\alpha$  制程同样保证了在  
整个系统生命周期内更具优势的总体  
拥有成本。

## 面向5G通信的25Gbps VCSEL

首尔伟傲世宣布其成功研发了垂直腔面发射激光器 (VCSEL) 技术, 并已开始大规模量产, 这是一种仅适用于近场通信的 25Gbps 激光二极管, 可兼容 5G 有线网络的传输和接收, 初期仅供应三家主要客户。

VCSEL 是一种将电信号转化为光信号的激光二极管技术。作为一种可在 5G 环境中实现超高速数据通信的光通信技术, VCSEL 最近引起了广泛关注。在增强现实 / 虚拟现实 (AR/VR)、智能手机上的 3D 传感和应用于摄像头的 ToF (飞行时间)、车载 LiDAR (激光雷达) 等应用中, VCSEL 都是必不可少的技术。首尔伟傲世用于传感器的 VCSEL 技术已获客户认可, 将于 2021 年一季度大规模量产。LiDAR 技术也在审批过程中, 将提供给一家汽车系统解决方案供应商。

据市场研究公司 Yole Développement 预计, 全球 VCSEL 市场年增长率将达到 18.4%, 至 2025 年, 将从 2020 年的 11 亿美元增长至 27 亿美元。

首尔伟傲世研发的 25Gbps VCSEL 是一种从半导体衬底面垂直发射激光的高性能激光二极管技术, 可用于实现高速通信。在当前的 25Gbps VCSEL 市场上, 三家主要的美国公司 (II-VI、Lumentum、Broadcom 博通) 正在积极争夺市场主导权, 因为此类高附加值产品的售价是普通 LED 的 10 倍以上。根据预期用途, 首尔伟傲世研发的 25Gbps VCSEL 可实现单通道或四通道配置。其中, 四通道配置的传输速率为 100Gbps (4x), 可实现大容量高质量的

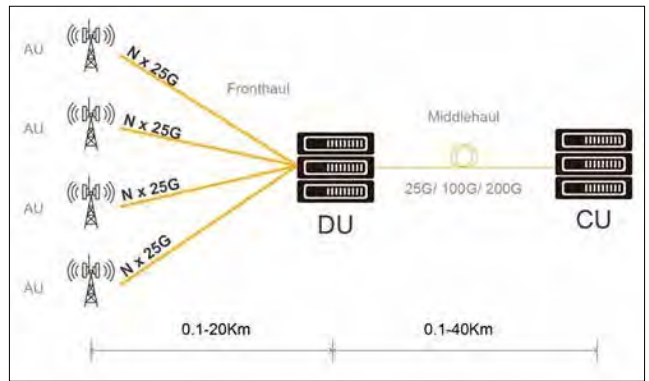


图1: 采用了首尔伟傲世VCSEL技术的5G网络应用示意图



图2: 首尔伟傲世的25Gbps VCSEL (左) 及100Gbps 4通道VCSEL (右)

的数据接收和数据传输。尽管 VCSEL 技术实现难度高, 但未来的应用前景非常广阔, 因为相比从侧面发射激光的水平型激光二极管, 其价格更具竞争力。

首尔伟傲世的一名高管表示: “随着生活模式的转变, 最近世界进入了‘非接触时代’。因为 VCSEL 是实现物联网 (IoT) 环境的关键技术, 市场对 VCSEL 的兴趣越来越浓。首尔伟傲世将继续研发 VCSEL 技术并拓展其应用范围, 将我们差异化的 VCSEL 技术应用到基于 5G 通信的智慧城市、自动驾驶应用、AR/VR、工业 IoT 市场等领域。”

## 欧洲19国将联合共建2nm晶圆代工厂

19 个欧盟成员国近日签署联合声明, 将在欧洲建设 2nm 晶圆代工厂, 以加强欧洲开发下一代处理器和半导体的能力, 实现芯片制造能力的恢复。19 个国家将研发应用于特定领域的芯片和嵌入式系统, 并提升向 2nm 节点迈进的芯片制造能力。

近年来, 全球先进晶圆代工产能逐渐向台积电、三星等巨头集中, 随着英特尔 7nm 制程延期, 全球 10nm 及以下先进芯片制程, 仅余下三星和台积电两家。与此同时, 美国、日本、韩国、中国等国家也在进行相关布局, 美国已说服台积电在亚利桑那州建设一家能够采用 5nm 制程

的晶圆厂, 三星也考虑在德克萨斯州建立能够生产 3nm 芯片的晶圆厂。据传, 日本也在与台积电共同建立一个先进的集成电路封装和测试工厂。

基于以上因素, 加之疫情和地缘政治加剧了欧洲等国对先进晶圆产能聚集化的担忧, 欧盟 19 国决定建设 2nm 晶圆厂。随着传统半导体制程演进路线趋近天花板, 芯片先进制程研发难度在逐渐加大。目前欧洲半导体面临很多难关, 包括持续投入巨额资金、储备足够多优秀的人才, 以及选择合适的位置建厂, 并且需要尽可能快地追赶三星和台积电的技术水平, 才不至于在落地量产时处于下风。

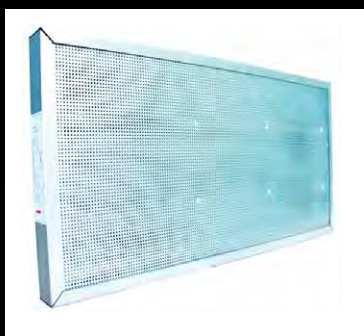


# 半导体洁净室专用净化设备

## 高效全自动 智能控制FFU

### 特点

1. 滤料：进口PTFE
2. 效率：99.99995%
3. 节能：效能提升58%
4. 控制：全自动智能控制







# 半导体智能物流整体解决方案解析

当今是智能时代，更是“智”造时代。工业智造正在变得更柔性、更智能、更绿色。网络化、智能化、服务化、协同化的数智化经济新形态正在形成。半导体智能物流整体解决方案助力半导体企业打造智慧车间，提升企业价值链，重塑企业核心竞争力！

苏州艾斯达克智能科技有限公司

## 行业背景

半导体集成电路在消费电子、光伏发电、通信系统、电力电子等领域中都有广泛应用。在生活中常见的大部分电子产品，如计算机、手机、家用电器等，当中的核心部件都和半导体有着极为密切的联系。

从科技和经济发展的角度来看，半导体在市场占据着非常重要的地位。国家高度重视和大力支持行业发展，相继出台了多项政策，推动中国半导体产业的发展和加速国产化进程，将半导体产业发展提升到国家战略的高度，充分显示出国家发展半导体产业的决心。

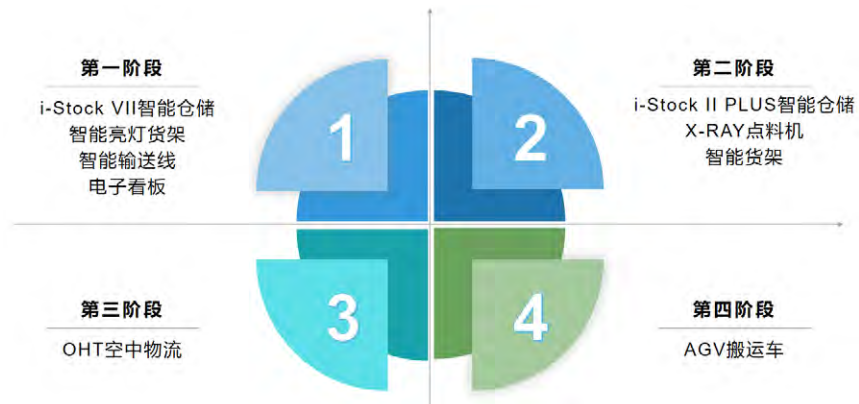
## 项目分析

艾斯达克服务于某全球知名半导体企业，该企业的主营产品是内存条晶圆的设计、研发、生产、封装、测试。企业需求是打造智慧车间，来实现半导体「智慧制造」愿景，透过云端、大数据、人工智能(AI)、数据分析等新兴技术加速整合，带动更高效的制造流程。

从机械化、电气化、数字化，再到如今的“智慧工厂”，工业4.0时代已逐步向我们走来。通过用智慧化的调度方案最大程度地赋能半导体产业，提升企业价值。

## 项目方案

针对不同的物料规格和配送要求，将分成四个阶段来打造智慧车间。



**第一阶段：**首先要解决厂内核心部件——内存条晶圆的存储问题，以效率最优解决生产过程中的存储环节问题，精准安排生产计划及完成物料调度，物料信息共享协同工作，保证合理配置和调度资源，实现高效、智能、省时的存储空间。



i-Stock VII 智能仓储是集高容量、高效能、多功能、省空间、可视化、数智化、智能排产为一体的智能仓储设备，可大批量存储 IC、半导体元器件等，并实时追踪物料情况。

**第二阶段：**针对 IC 料，配置的 i-Stock II PLUS 智能仓储具有高效能、高速率、高可靠的特点，同时具有可视化、数智化、智能排产的软件功能，可提高库存周转率，精准追踪物料，把控物料品质。

物料通过 SMT 智能仓储进行一对一管理，实现仓库管理弹性化、仓库可再利用性、分拣系统精准化。

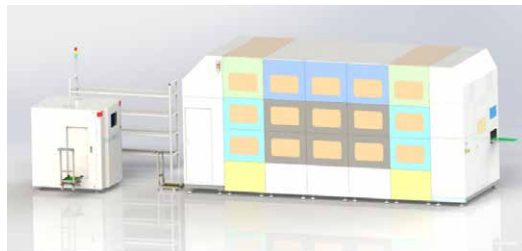
**第三阶段：**针对电子元器件物流规划了一套空中物流 Overhead Hoist Transport，简称 OHT。

OHT 核心的智能空轨物流系统 (IOLS) 是一种全自动智能化的高架轨道物资运输系统，通过三维立体运输模式，彻底解决了场地空间的限制，具有高效、安全、精准的特点，在节省人力的同时，解决了其他自动化运输方式的局限性和挑战。组成包含：中央控制系统（接收 i-Stock 电算信息 / 智能料仓发送的信息，物料系统信息比对、运载车运动控制、物料发放防错料系统等功能）、运载小车（附带可升降的物料载具）、运输轨道、收发料台。

**第四阶段：**针对厂内地面运输及重物运输规划了 7 台 AGV 智能搬运车，通过调度系统进行任务下发、交通管制、数据记录等控制。i-Stock AGV 智能调度系统包含以下四个功能：



i-Stock VII 智能仓储



i-Stock II PLUS 智能仓储



空中物流 Overhead Hoist Transport



**智能交管算法** 1 自主规划路径，灵活避障；支持跨楼层/区域流转，有效降低人力成本。

**多级任务配置** 2 高效率，可调度多台协同作业，合理为AGV分配订单任务；支持采购入库、生产入库、生产领料、成品出库等多种场景仓储业务需求。

**系统优化管理** 3 无缝对接企业ERP、SAP、MES等上层系统，出错率低；提供量化的工作量KPI考核，便于人员管理。

**多维可视化管理** 4 系统可实时监控仓储机器人运行状态，知悉机器人当前位置，真正实现智能运维。

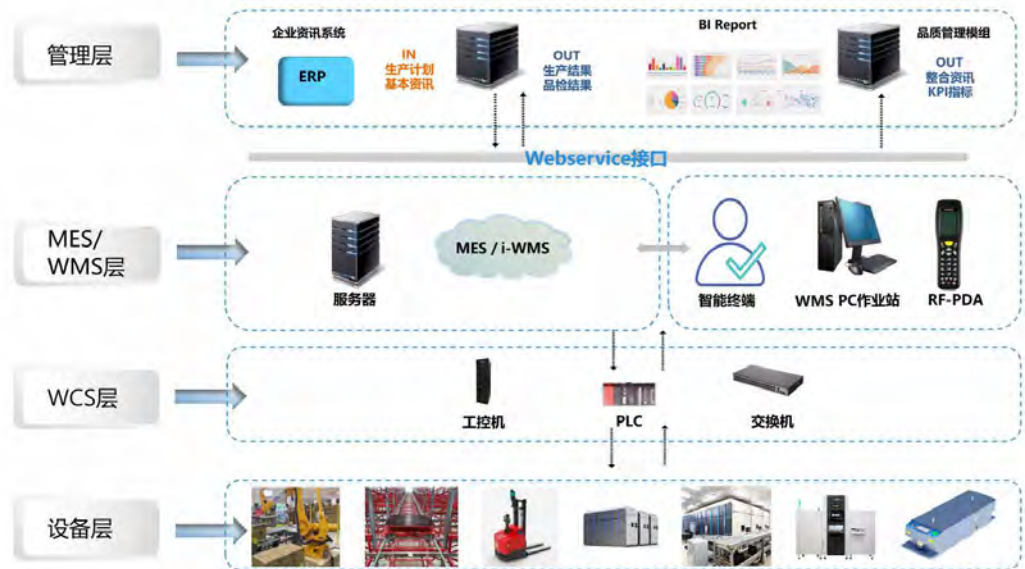
AGV 可单场景多套地图配置，有独立任务链，无须手工设置执行步骤；根据需求动态配置执行车辆，前往路径，减少人工干预；充分利用 AGV 产能，动态均衡，整体提升配送效率。





### 软件架构

将设备通过 i-Stock Cloud 采集和传输数据，与 MES/WMS 系统进行信息交互，从而精准管控物料情况。



通过 i-Stock 智能仓储、点料机、自动化立体仓储、AGV 等配套周边设备，实现对终端物料的存储、监管、运输和数据信息采集等工作。利用 5G 网络将设备无缝连接，并进一步打通各生产环节，满足工业环境下设备互联和远程交互应用需求，实现数据采集和传输，数据信息与 MES/WMS 系统交互，可以为企业提供信息数据管理与分析，实现自动化工厂，为企业打造一个高效智能的制造协同管理平台。管理层通过 ERP 企业资讯系统掌握生产计划和基本资讯，为企业决策者提供决策依据，对于企业改善业务流程和提高核心竞争力有着显著作用。

### 效益分析

针对不同物料和运输要求分四阶段完成后，该半导体企业已成功打造智慧车间并实现「智慧制造」的愿景。



### 总结

随着智能制造和 5G 互联时代的到来，提升企业生产效率和核心竞争力迫在眉睫。艾斯达克面向工厂智能化升级需求，推出 5G+ 智慧工厂方案。方案通过艾斯达克 5G 工业网关，连接工厂设备，为设备连接提供高性能、高速率、高可靠、低时延 5G 网络，实时将工厂现场数据传输到后端运维管理平台，构建连接工厂内外的人和机器为中心的全方位信息系统，实现企业维护全面升级，生产资源按需分配、个性化生产。

借由智能物流，半导体企业变得更具智慧化，半导体制程将借由智能技术进一步获得提升。艾斯达克半导体智能物流整体解决方案将透过云端运算、工业物联网 (IIoT) 及大数据等新兴技术，为半导体企业打造智能高效的数智化车间，全面助力半导体企业实现「智慧制造」的企业愿景。◆





苏州艾斯达克智能科技有限公司  
SUZHOU I-STOCK INTELLIGENT TECHNOLOGY CO., LTD.

# i-Stock 芯科技 智造芯未来



## 半导体智慧物流整体解决方案



电话：0512-67639775  
邮箱：sales@intelligent-stock.com  
网址：www.intelligent-stock.com  
地址：苏州高新区泰山路2号和枫产业园中试创业基地A栋101室

# 小尺寸晶圆代工厂不会消亡

本文探讨小尺寸（≤6英寸）晶圆的市场近年来的发展情况，分析审视为什么相关的晶圆代工厂仍然能够继续蓬勃发展，并在全球市场争取到利基位置的原因。文章着眼于全球范围内的新兴参与者和应用，特别包括了对中国市场的深入挖掘。

近期关于晶圆代工厂故事的头条新闻可能是建造新晶圆代工厂的重大投资，例如英飞凌在奥地利的 12 英寸晶圆代工厂投资 16 亿美元，以及美国亚利桑那州台积电计划投资的 120 亿美元，但这并不意味着该行业正在抛弃 6 英寸及以下的晶圆代工厂市场。事实远非如此；目前全球大约有 800 家“1-6 英寸”能力的晶圆代工厂，亚洲（464），美洲（187）和欧洲（136）。的确，有些制造商正在扩大产能到更大的晶圆直径，但小尺寸晶圆市场远未陷入困境，更不用说消亡了。

在基于 CMOS 的技术中集成模拟功能，已经达到了摩尔定律的物理极限。这使得出现了超越摩尔定律的器件发展，例如 MEMS 和传感器，CMOS 图像传感器，电力电子器件和 RF 器件，这些同时集成了数字和模拟技术。

据报道，超越摩尔应用（其中模拟功能已集成到基于 CMOS 的技术中，并且可以使用非 Si 材料）的增长，可以部分归因于 2019 年至 2025 年小尺寸晶圆预计达 +1.3%

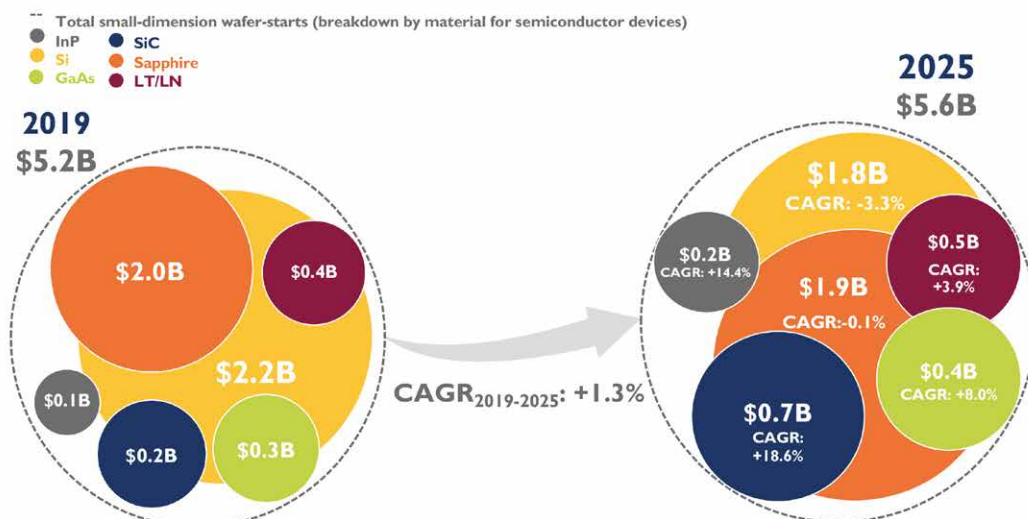
的复合年增长率，详见 Yole Développement 公司报告：6 英寸及以下：2020 年小尺寸晶圆市场趋势（6" and Below: Small-Dimension Wafer Market Trends 2020）。小尺寸晶圆市场中最主要的超越摩尔（More than Moore）部分，估计到 2025 年将达到 56 亿美元之多。

该报告预测，强劲的 6 英寸晶圆市场在 2019-2025 年间的复合年增长率为 4.7%。整个 1 英寸 -6 英寸市场在此期间的复合年增长率预计为 1.3%，预计 2025 年的收入为 56 亿美元。其中，按收入计算，2 英寸市场的增长最快，主要受到 InP 销售的促进。

遍布全球的丰富多样的生态系统为晶圆代工厂提供了支持，其中包括原材料供应商（例如美国加利福尼亚的硅晶圆企业有限公司和台湾的艾德康科技有限公司）以及晶圆生产商，例如艾德康科技有限公司（Atecom），俄罗斯的 MonoCrystal 和中国的 Pam-Xiamen（厦门博威新材料有限公司）以及德国的世创公司（Siltronic）。这

## 2019-2025 total annual small-dimension (≤ 6") market in revenues

(Source: 6" and Below: Small Dimension Wafer Market Trends 2020 report, Yole Développement, Dec. 2020 update)

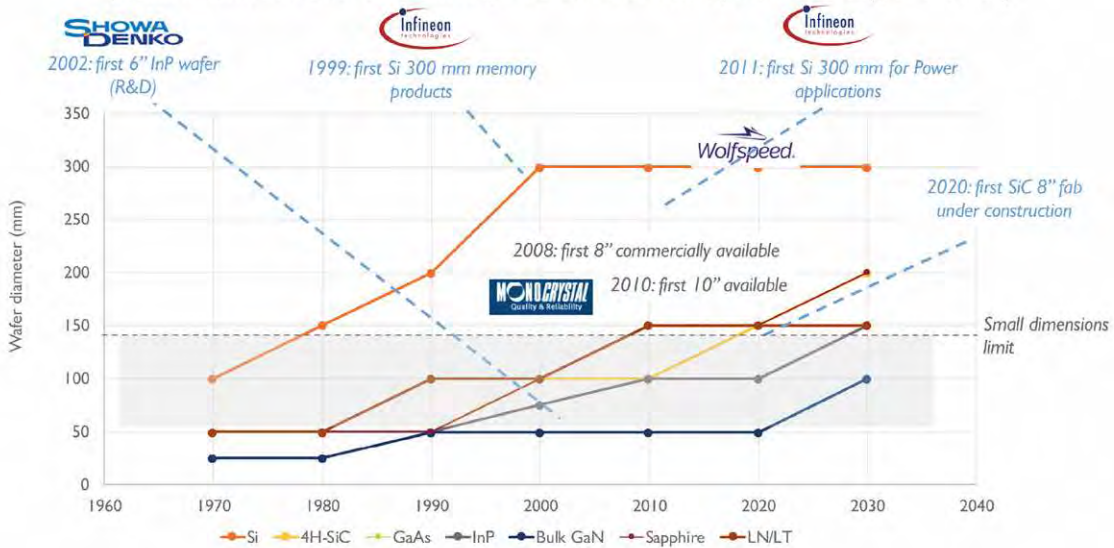


作者：Gael Giusti 博士, Vishnu Kumaresan 博士, Yole Développement 设备和材料市场与技术分析师



## Wafer diameter evolution by material

(Source: 6" and Below: Small Dimension Wafer Market Trends 2020 report, Yole Développement, 2020)



些生产商直接向英特尔、格芯和台积电等晶圆代工厂供货，也向晶圆分销商供货，然后由晶圆分销商向晶圆代工厂供货，同时也向小规模研发机构提供晶圆，如 imec 和 Fraunhofer，大学，初创企业和中小型企业等。

晶圆分销商也分布在世界各地，例如亚太地区的 Elma。在欧洲，有晶圆出口公司 (Wafer Export)，而在美国有 Nova 电子材料公司 (Nova Electronic Materials)。

晶圆代工厂所用的晶圆的另一个来源是晶圆回收商。这些公司回收经过晶圆代工厂整个或部分工艺，但由于某种原因被丢弃的晶圆。例如，由于设计更改或光刻错误导致的废弃。这样的废弃晶圆的顶部层将被“去除”，而去除了顶部层的废弃晶圆可以返回晶圆代工厂，当作常规基板用于测试和验证。

如今，晶圆回收商往往关注于 8 英寸和 12 英寸的晶圆，因为回收“1-6 英寸”的 Si 晶圆在经济上并不可行。但是，存在一个有趣的趋势，即非硅衬底回收市场正在增长，尤其是 SiC 和 GaAs。与 Si 相比，这两种衬底仍然很昂贵，即使在 6 英寸及以下的尺寸下，回收这些晶圆在经济上也是可行的。

回收“4-6 英寸” GaAs, GaN 和其他非 Si 晶圆 (除

了蓝宝石之外) 市场的增长也越来越快，所有这些晶圆通常都比 Si 晶圆贵得多。

### 供应链

这些晶圆代工厂为苹果，三星，戴尔和华为等 OEM 厂家供应晶圆，但这些 OEM 可能还会使用封测公司 (OSAT，外包半导体产品封装和测试)。例如，台湾的 ASE 公司和美国的 Amkor 公司，都通过集成和晶圆后端的步骤来支持晶圆代工厂。

尽管在 6 英寸晶圆中硅晶圆仍然占主要地位，尤其是在 MEMS 消费类应用中，但非硅晶圆市场有望在 2019-2025 年期间实现适度到强劲的增长。例如，SiC 在此期间的复合年增长率预计为 18.6%，2025 年的收入估计为 7.12 亿美元。随着 RF 和功率应用过渡到 8 英寸和 12 英寸晶圆，预计同期只有 Si 晶圆会出现温和的下降，约为 -3.3%。

### 行业整合

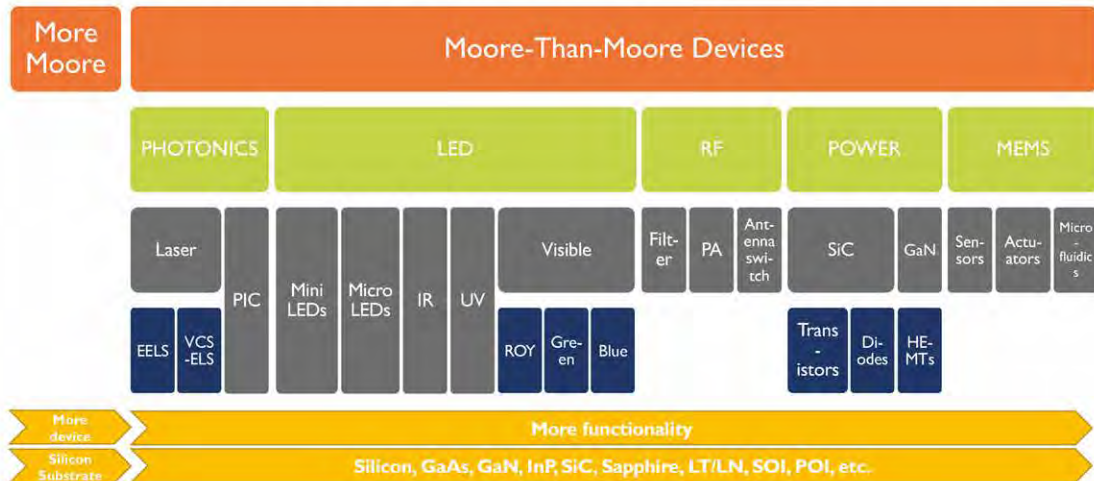
最近几年业界收购整合很多，特别是在 SiC 市场，而在 GaN 方面整合程度则相对较小。近年来，意法半导体 (STMicroelectronics) 收购了 Norstel，以推进其 SiC 业务，

在强大的全球生态系统的支持下，全新的和折旧的晶圆代工厂继续运转并蓬勃发展。小尺寸晶圆市场则尤其得益于利用特定材料特殊性质的新兴的颠覆性技术，Yole Développement 公司的 Gaël Giusti 博士和 Vishnu Kumaresan 博士如是说。



## Small dimension wafer - Semiconductor device categories

(Source: 6" and Below: Small Dimension Wafer Market Trends 2020 report, Yole Développement, 2020)



而 Soitec 收购了 EpiGaN。2020 年 2 月，全球最大的硅晶圆制造商之一 SK Siltron 收购了杜邦的 SiC 晶圆业务，这表明即使是大型的硅晶圆生产商也对超越摩尔的材料感兴趣，并希望其确保供应链的地位。

自 2018 年以来，还达成了几项备受瞩目的协议，例如 Cree Wolfspeed 公司向英飞凌科技公司的 SiC 功率产品以及意法半导体和安森美半导体提供 SiC 晶圆。Rohm 的 SiCrystal 也向意法半导体提供 SiC 晶圆，而 GT Advanced Technologies 也于 2020 年 3 月签署了协议向安森美半导体提供 SiC 晶圆。自 2020 年 6 月以来，II-VI 公司获得了 GE 的 SiC 技术许可，专门从事汽车和飞机市场的 SiC 器件。

除了新建厂房外，翻新设备和维护市场也很活跃，这进一步强化了“晶圆代工厂永不消亡”的论点。折旧的晶圆代工厂也代表了生产低成本、大规模器件的机会。尽管更高端的器件可以在新的 8 英寸晶圆代工厂中制造，但标准功率 IGBT 和 MOSFET 器件对 6 英寸 Si 晶圆的的需求仍然很大。

在完全折旧的 6 英寸以下晶圆制造厂中，可以使用针对特定材料的工艺设备，或者可以适应不同材料和直径的工艺设备，包括 4 英寸和 6 英寸晶圆，以提供更具有成本竞争力的器件制造服务。

### “足够好”

小尺寸晶圆市场健康的原因有很多，不仅是良率与投资回报率“足够好”。换句话说，器件性能/每芯片制造成本的比率并不能完全解释大的资本性支出或与工艺变更相关风险的合理性。

这一价值主张与蓬勃发展的生态系统相结合，可为新兴应用提供服务，例如汽车和消费产品中的车辆电气化，RF，传感器，致动器和 MEMS。

制造“1-6 英寸”晶圆的成本很低。这使得它们对小型 OEM 和研究机构具有吸引力。因为对于小型 OEM 和研究机构而言，采用大晶圆制造设备的扩张成本已经证明可能是过高的。如果预计规模不会显著增加，则在小晶圆上保留小芯片尺寸也是具有经济方面意义的。对于一些晶圆生产商而言，扩大规模以生产更大的晶体所需的技术投资也可能过于昂贵。使用小尺寸晶圆的另一个优点是，至少在开始时，流程效益会随着晶圆直径的增加而下降。

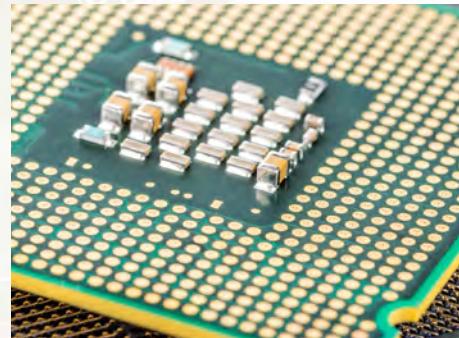
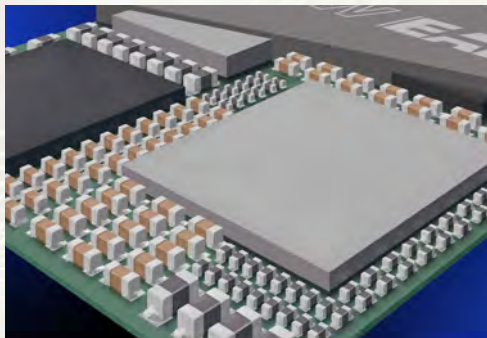
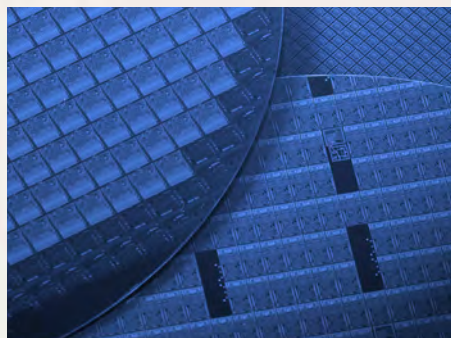
### 材料选择

“1-6 英寸”晶圆的材料选择反映了不断发展的市场和最终产品。每种材料（蓝宝石，GaN 体材料，GaAs，SiC，InP 或 LT/LN 和 Si）都具有可用于特定应用的物理特性。

SiC 是新兴材料，吸引了大量的投资。几乎所有领先的电力电子和化合物半导体公司都深度参与了 SiC 基解决方案的开发。这将使 SiC 晶圆的生产直径达到 6 英寸甚至 8 英寸。这种尺寸增加在很大程度上是由于需要降低每平方英寸的 SiC 晶圆成本，以使其更接近传统的 Si 晶圆。

SiC 因能够处理大电压并在高温下工作而倍受赞誉，使其成为可再生能源，全电动汽车以及燃动和混合动力汽车电气化的热门选择。由于其功率性能，6 英寸及以下的 SiC 晶圆市场预计将从 2019 年的 2 亿美元增长到 2025 年

# MPM | Camalot | Electrovert Vitronics Soltec | Despatch



## 用于半导体封装的印刷、点胶、 回流焊、清洗和热处理设备

ITW EAE 正在推进半导体封装下一代技术的创新与发展。新技术能显著提高生产率和良率。

MPM® Edison™ 是市场上最精确的印刷机。Camalot® Prodigy™ 点胶机具有最先进的技术,例如 Dynamic Dual Head™ (动态双头),无论零部件之间如何旋转,两个点胶泵都可以同步点胶。

Vitronics Soltec 回流焊系统具有无与伦比的可靠性。Electrovert® 离心和在线清洗系统能对高级封装进行高性能清洗。Despatch® 提供用于聚合物固化等的高性能烘箱。

### 专为提高半导体良率而设计



**Electronic Assembly Equipment**

**ITW EAE**

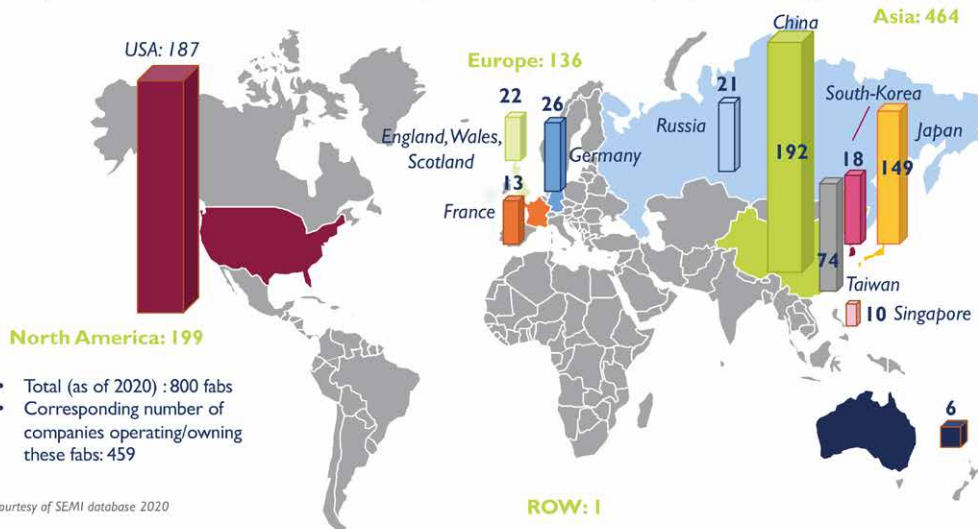
请浏览 [www.itweae.com](http://www.itweae.com), 获取更多信息。

A division of Illinois Tools Works



## Small dimension wafer: number of fabs with 1” to 6” capability – As of 2020

(Source: 6” and Below: Small Dimension Wafer Market Trends 2020 report, Yole Développement, 2020)



的 7 亿美元，复合年增长率为 18.6%。

InP 市场也充满活力，并引起了 AXT 等重要公司的极大兴趣，AXT 收购了 Crystacomm 来继续开发其 6 英寸 InP 晶圆产能。

由于技术原因，超过 4 英寸后，InP 晶圆增大尺寸的难度大增。尽管用于数据通信应用的 2 英寸 InP 晶圆的批量生产仍然强劲，但生产厂商正在扩大 3 英寸和 4 英寸 InP 晶圆生产。

预计 InP 也将实现显著增长，从 2019 年的 1 亿美元增至 2025 年的 2 亿美元，复合年增长率为 14.4%。这在很大程度上是由数据通信市场驱动的。InP 的物理特性使其对于边缘发射激光二极管极具吸引力，例如在处理大量数据的数据中心中使用的那些激光二极管。在 3D 传感的精度方面 InP 虽然不如 GaAs，但使用范围更广。InP 使用在例如 ToF 传感器中作为深度映射，而不是作为面部识别。

GaAs 晶圆市场也正经历着从 4 英寸到 6 英寸晶圆的转变，尽管 4 英寸晶圆上仍有大规模应用。这种趋势主要是由短距离 3D 传感应用推动的，这种应用在车辆驾驶员辅助系统的 LiDAR 系统和消费类设备的智能手机面部识别系统中都有采用。GaAs VCSEL 技术主导了消费类 3D 传感市场。与 InP 相比，它用于更精确的 3D 传感应用。除了用于安全系统的车辆前摄像头和后摄像头之外，它还可以用于 AR 和 VR 感应，从而迅速扩大规模。

GaAs 还可以用于 microLED，特别是用于红色像素。2019 年市场总收入为 3 亿美元，预计将实现 8% 的复合年增长率，并在 2025 年达到 4 亿美元。

GaN 体单晶晶圆主要与光电应用有关，但是基于这种衬底的商业应用却不如 SiC 发展得好。GaN 体材料的规模不大，其生产主要是针对需要非常高性能的特定器件或非常利基的应用。

蓝宝石主要用于街道和住宅照明的 LED，以及作为消费类器件的 LED。市场已从俄罗斯转移到中国，从而使 Monocrystal 成为俄罗斯唯一的生产商和全球市场领导者。蓝宝石价格已大幅下跌，只有少数参与者来为已饱和的 LED 市场提供服务。蓝宝石衬底的规模很大，每年有超过 4000 万片的 4 英寸等效晶圆之多。

MicroLED 可能会推动蓝宝石销量的增长，尽管这不太可能在 2024-2025 年之前发生。当这种情况发生时（如果真的能够发生），蓝宝石的需求将会增加，尤其是针对 6 英寸晶圆。

### 命运的变换

LT/LN( 铌酸锂 / 钽酸锂 ) 晶圆大批量生产，主要用于制造智能手机中的 RF 滤波器。这是一个庞大而饱和的市场，几乎没有增长空间。LT/LN 晶圆的大部分是由日本的三家公司：住友，Yamaju Ceramk 和 Shin-Etsu 生产的。这个市场牢牢地固定在直径为“5-6 英寸”的领域。

但是该材料的市场主导地位正受到挑战，主要来自法国供应商 Soitec 的专利技术绝缘体上压电材料 (Piezoelectric on Insulators, PoI) 技术。它结合了 LT/LN 晶体薄层和 5 英寸或 6 英寸 Si 晶圆，作为制造 RF 滤波器的替代方法。



**LB**Semicon

World No.1 Specialized IC Packaging Company

Wafer  
Bumping

RDL

WLP

Test

COG/COF

Look **Beyond**

为了您的未来事业取得成功，  
超越看望当前您的需求



► Webpage QR code  
[www.lbsemicon.com](http://www.lbsemicon.com)

17792 京畿道平泽市青北邑青北产团路138号  
TEL +82-31-680-1600 FAX +82-31-680-1798



硅似乎是唯一会在小尺寸晶圆市场上失去市场份额的材料。预计 2019-2025 年期间将温和下降 3.3%，从 22 亿美元降至 18 亿美元。部分原因是超越摩尔器件的出现，以及一些大规模功率，MEMS 和汽车器件的出现。

小于 6 英寸的 Si 晶圆仍有一席之地，大量的功率开关器件在这类晶圆上制造，比如 IGBT 和 MOSFET，以及消费类 MEMS 器件。

## 中国特写

中国生产大量的晶体和晶圆，主要是服务于其庞大的国内市场。或许最让人称道的是砷化镓和蓝宝石的生产。

中国公司可以满足某些应用的晶圆整个供应链需求，例如从晶体生产商广东先导先进材料股份有限公司 (VITAL) 开始，以及通过外延结构来提高附加价值的公司，例如英特磊科技股份有限公司 (IntelliEPI) 和全新光电科技股份有限公司 (VPEC)。供应链的另一端是三安光电，它是国际知名的基于 GaAs 的器件厂商，同时它也是 VCSEL 的全球领导者。

特别是在 GaN 体材料方面，进展很快。相对来说较新的参与者镓特半导体科技(上海)有限公司 (ETA Research Ltd.) 提供了具有商业水准的先进解决方案，例如 4 英寸 GaN 自支撑衬底。

SiC 和 InP 现已量产，仍然是服务于国内市场。尤其是，中国许多汽车制造商都使用 SiC 来制造电动和混合动力汽车。随着市场的增长，SiC 生产商（例如山东天岳先进材料科技有限公司和天科合达）可能会成为重要的参与者。

如今，晶体质量和晶圆尺寸可能不如欧美产品先进，但预计在几年内，中国公司将在国际上销售这些晶圆。

InP 需要专业知识来进行生产和扩大尺寸，但迄今为止，在这一市场的五个主要参与者中，中国就有三个，包括广东先导先进材料股份有限公司，这是中国在 InP 方面最先进的公司之一。

许多公司都在生产硅，其中最大的三个是赛维 (LDK)，环太集团和洛阳单晶硅集团有限责任公司，它们都服务于国内市场。

## 结论

COVID-19 大流行改变了全球每个人的工作生活和习惯。它对晶圆生产产生了重大影响，因此我们修改了先前的预测，新的预测是特定应用的产量下降约 10%。预计产

量将恢复，目前看已经开始缓慢上升，但恢复将是逐步的，在某些情况下，可能要等到 2025 年才能赶上 2020 年的预测。

尽管暂时放缓了生产速度，但仍有许多新兴技术需要低于 6 英寸晶圆上的器件，这些器件可能会继续推动市场前进。超越摩尔的应用代表了小尺寸晶圆市场的压倒性部分，小尺寸晶圆市场仍然会是一个充满活力的领域。

2019 年，小尺寸晶圆市场占整个晶圆市场的 63%，预计到 2025 年将占整个晶圆市场的 53%。世界范围内具有“1-6 英寸”能力的健康晶圆代工数量稳步增长，确保整个供应链安全的强大生态系统是保持市场健康状态的原因之一。

由于仍然具有成本效益，整个行业没有放弃小尺寸晶圆生产的迹象。它还支持创新，满足小批量，原型和研究以及批量生产的需要。

小尺寸晶圆的用途在动态的市场中。车辆的电气化依赖于 SiC 器件，当今汽车中的驾驶员辅助功能，最终自动驾驶汽车将依赖基于 GaAs 传感器和执行器的 LiDAR 系统来保护驾驶员，乘客和其他道路使用者。基于 GaAs 的传感器也适用于消费类和商用 AR/VR 应用，数据通信操作中对速度的要求，以满足对超快速数据处理不断增长的需求，这些是确保 6 英寸以下晶圆继续存在于市场的进一步的例子。◆

## 作者简介

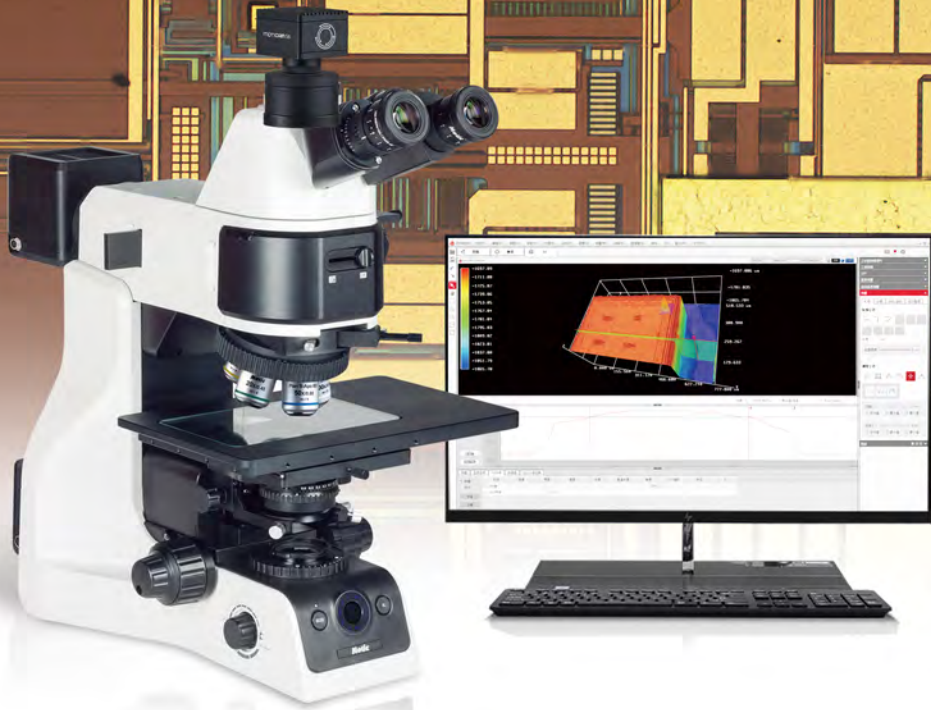


Gaël Giusti 博士是 Yole Développement 专注于半导体制造以及设备和材料的技术和市场分析师。作为 Yole 半导体与软件部门的一员，Gaël 的专业知识涵盖薄膜生长及相关应用，设备，材料和制造工艺。加入 Yole 之前，Gaël 在 SilTronix Silicon Technologies 公司担任研发工程师长达 5 年之久，他负责升级 CVD 工艺，以开发用于 RF 应用的蓝宝石上外延 AlN 薄膜。他还曾在 LMGP (法国格勒诺布尔) 担任博士后研究员，从事光电应用透明导电薄膜的研究。Gaël 拥有 ENSICAEN (法国卡昂) 的硕士学位，以及伯明翰大学 (英国) 的材料科学博士学位。



Vishnu Kumaresan 博士是法国 Yole Développement 半导体制造团队的技术与市场分析师。他专注于半导体制造领域，涵盖设备和材料领域。他的研究范围包括主流微电子应用以及超越摩尔定律的应用。他在电子行业拥有 11 年以上的经验，涉及半导体，显示器和软件技术。在加入 Yole 之前，他在 microLED 显示器行业的一家高级初创公司中担任外延工程师，并曾在 IMEC, CNRS, Saint Gobain 和 Infosys 公司有过从业经验。Vishnu 拥有法国皮埃尔和玛丽居里大学材料物理与化学博士学位，以及新加坡国立大学和德国慕尼黑技术大学的微电子学硕士学位。

以创新的设计  
提供清晰和准确的结果



卓越的光学系统  
创新的成像方案

优质的半复消色差物镜  
观察模式：BF/DF/DIC/偏光



智能化/模块化  
设计

ECO节能功能、IL亮度  
记忆功能等



完全自动化/  
更快/更少的工作量

电动载物台、电动Z轴、电动  
物镜转换器等



高精度高准确性  
三维分析系统

通过Z轴的对焦模块  
快速获取三维图像



强大稳定的  
测量分析软件

具有优异的3D渲染功能  
可应用于各种领域

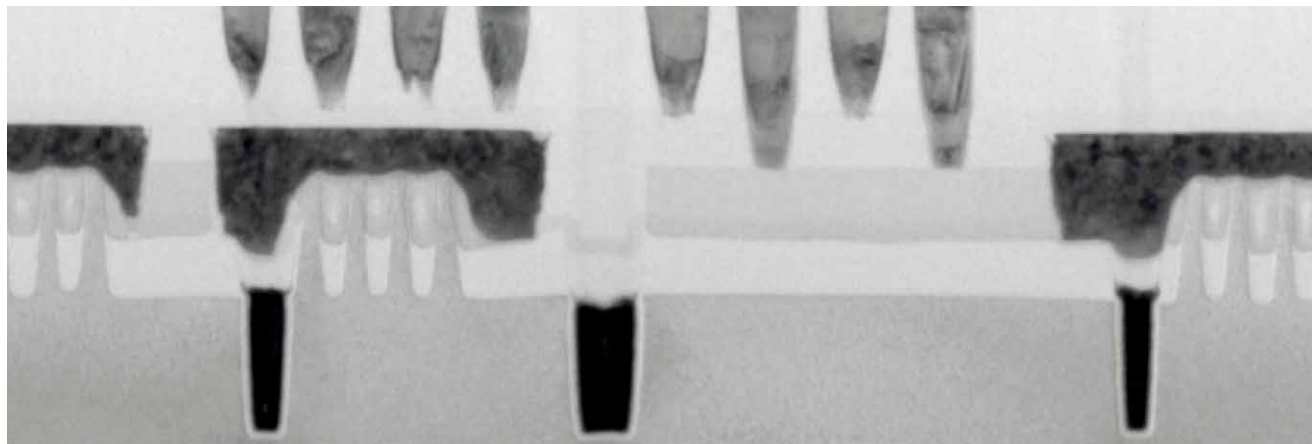
邀您莅临麦克奥迪展位 **SEMICON CHINA 2021**

展位号：**T1132** | 时间：2021/03/17-19 | 地点：上海新国际博览中心

电话：0592 5696 466 / 0592 5698 916 | 邮箱：xucj@motic.com | 网址：www.motic.com







# 通往1nm节点： 逻辑器件未来技术路线图

随着芯片制造商持续推动技术世代演进，要维持前段制程（FEOL）中晶体管微缩、中段（MOL）及后段制程（BEOL）中触点与互连线技术相同的开发时程，已变得充满挑战。在本文中，IMEC的CMOS器件技术主管Naoto Horiguchi和纳米互连项目主管Zsolt Tokei汇整各自的领域专长，联手一同呈现先进制程技术的发展路线图。沿着微缩化路线，他们在FEOL中引入了新的器件架构，而在MOL和BEOL中引入了新颖的材料和集成方案。他们讨论了各种不同可选方案背后的现状、挑战和原理，这些方案为芯片行业提供了一条通往1nm技术世代的可能之路。

**前**沿逻辑芯片的制造可以细分为三个单独的部分：前段制程（front-end-of-line, FEOL）、中段制程（middle-of-line, MOL）和后段制程（back-end-of-line, BEOL），FEOL、BEOL和MOL是逻辑芯片制造的关键部分。

FEOL涵盖了芯片有源部分的加工，即位于芯片底部的晶体管。晶体管充当电子开关，采用3个电极进行操作：栅极、源极和漏极。源极和漏极之间导电沟道中的电流可以被“接通”和“关断”，该操作由栅极电压控制。

BEOL是加工的最后阶段，指的是位于芯片顶部的互连。互连是复杂的布线方案，它分配时钟和其他信号，提供电源和地，并将电信号从一个晶体管传输到另一个晶体管。BEOL在不同金属层中进行布线，包括局部（Mx）线、

中间线、半全局线和全局线。总层数可以多达15层，而Mx层的典型数量在3~6层之间。这些层中的每一层都包含（单向）金属线和介电材料，金属线通过有规律的轨道（track）进行布局。金属层之间以通孔（via）结构垂直互连，而通孔以金属填充。

FEOL和BEOL由MOL联系在一起。MOL通常由微小的金属结构组成，作为晶体管的源极、漏极和栅极的触点。这些结构连接到BEOL的局部互连层。虽然单元尺寸在微缩，但是，要连接到的引脚数量大致不变，这意味着接触它们的难度更大。

随着器件微缩继续缩小到3nm及以下，这三部分制程都伴随着许多挑战，因此，迫使芯片制造商在FEOL中转用新的器件架构，以及在BEOL和MOL中采用新的材

作者：Zsolt Tokei, IMEC纳米互连项目主管；Naoto Horiguchi, IMEC逻辑CMOS器件微缩项目主管

料和集成方案。

在本文中，我们介绍了 IMEC 对微缩路线图的看法，并深入探讨了各种可选方案。从最先进的主流 FEOL、BEOL 和 MOL 技术开始，我们逐步引入新的 FEOL 器件架构，即：全包围栅极 (GAA) 纳薄片 (nanosheet)、叉型片 (forksheet)，以及互补型场效应晶体管 (CFET) 器件。这些架构将直接影响局部互连层，要求采用新型 BEOL 材料 (如钌 (Ru)、钼 (Mo) 和金属合金) 和新的集成方案 (即混合金属化 (hybrid metallization)、半镶嵌 (semi-damascene) 和具有零通孔结构的混合通道高度)。在这一激动人心的开发旅程中，我们还引入了有助于提高 MOL 连接性的结构微缩助推器 (如自对准栅极触点 (SAGC) 和埋入式电源轨 (BPR))。这些助推器还将有助于减小标准单元级的面积，借助的方法是降低局部互连导线层中的金属轨道数，这被称为轨道高度微缩化。

## 最先进的主流技术及其微缩瓶颈

### FEOL中的FinFET

根据摩尔定律，晶体管尺寸每两年缩小 0.7 倍。为了保持这种微缩步调，业界在几年前就从“老式”的平面 MOSFET 转向了 FinFET 晶体管架构。在 FinFET 中，源极和漏极端子之间的沟道呈鳍片状，栅极环绕这个 3D 沟

道，从沟道的 3 个侧面提供控制。这种多栅极结构可以消除短沟道效应，短沟道效应在栅极长度减小时开始降低晶体管的性能。2012 年，第一款商用 22nm FinFET 问世。从那时起，为了提高性能和减小面积，人们对架构进行了改进。例如，鳍片的高度增加了，目的就是要在相同的封装面积下获得更高的器件驱动电流。

如今，业界已经有 7nm 芯片投入生产，其“内部”含有 FinFET。在最先进节点的单元层面，轨道高度为 6T 的标准单元每个器件具有 2 个鳍片，触点间距小至 57nm。这里所说的 6T，意思指的是在单元高度范围内可以容纳 6 条金属线。

### BEOL中的铜基和钴基双镶嵌

为了跟上前段制程中的面积微缩，BEOL 尺寸以更快的速度减小，这导致金属间距越来越小，导线的横截面积也越来越小。如今，大多数关键的局部互连 (M1 和 M2) 的金属间距都只有 40nm。

铜基双镶嵌 (dual damascene) 是制造互连线的主要工艺流程。双镶嵌始于在结构上沉积低 k 值介电材料。这些低 k 值薄膜专为降低芯片的电容和延迟而设计。在接下来的步骤中，会形成通孔和沟槽。最近，所有主要的逻辑器件制造商都宣布在他们的技术中使用了 EUV 光刻技术，

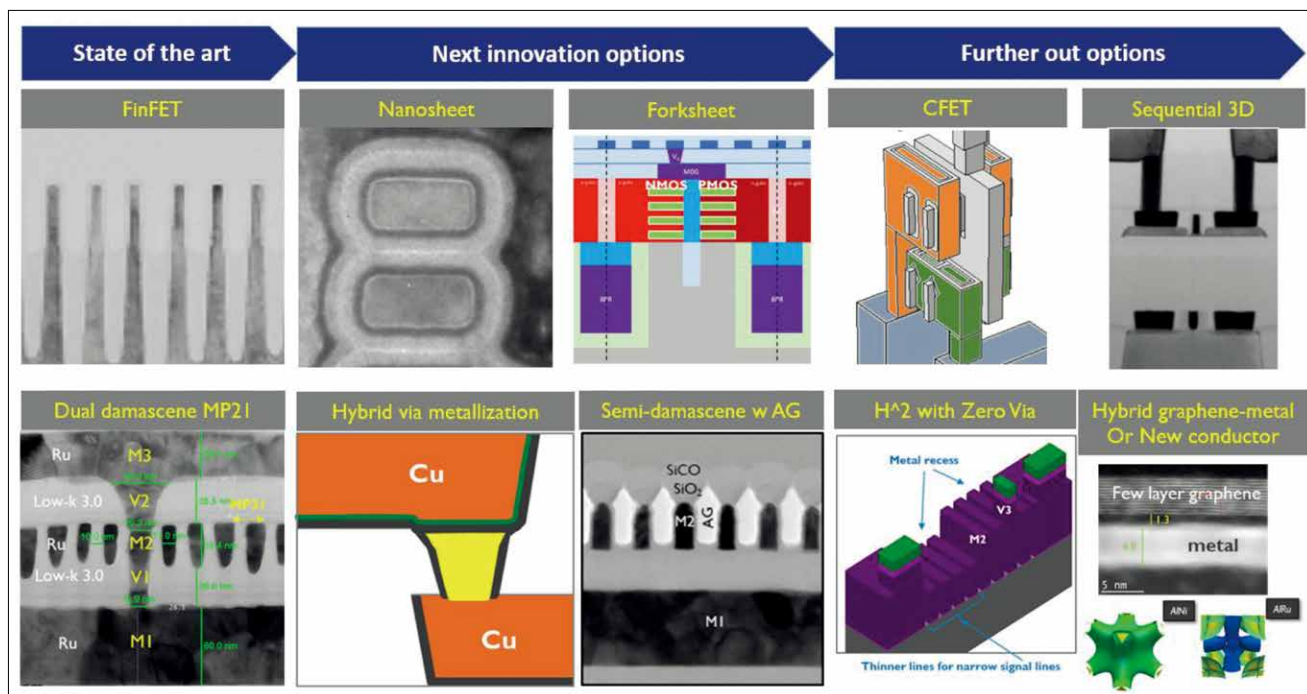


图1: IMEC对CMOS技术微缩路线图的看法。



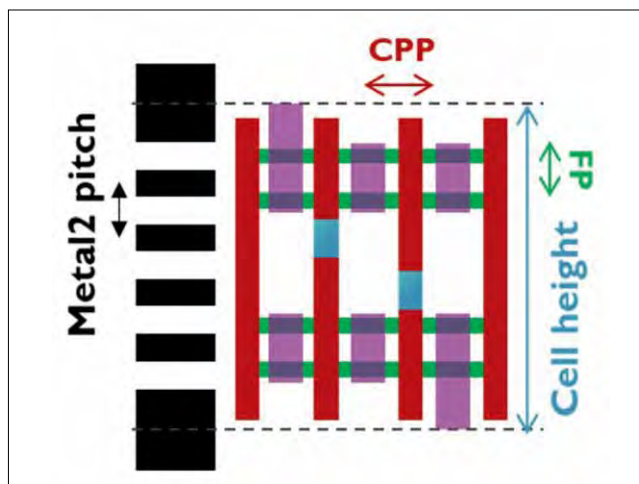


图2: 具有2个鳍片的6T标准单元设计 (CPP=栅极间距; FP=鳍片间距; 黑色=M2金属层布线轨; 红色=栅极; 蓝色=栅极触点; 绿色=有源部件 (即鳍片); 紫色=有源触点)。

以便在狭窄的间距下保持成本效益。在图案化之后, 添加金属阻挡层, 以防止铜原子迁移到低 k 值材料中。通过衬垫层和铜种子对阻挡层进行涂覆之后, 对结构进行铜电镀, 然后采用化学机械抛光 (CMP) 步骤来完成双镶嵌模块。

布线拥塞和显著的 RC 延迟 (由于电阻 - 电容 (RC) 乘积增大所致) 已经成为进一步微缩互连线的重要瓶颈, 因而推动了在 BEOL 中引入新材料和集成方案的需求。最近, 业界已将钴 (Co) 用作局部互连线的替代金属材料, 而且一些公司在中间层使用气隙作为替代的低 k 值介电材料。

### 在MOL中: 减小接触电阻, 提升连接性

FEOL 和 BEOL 之间的连接由 MOL 提供。过去长久以来, MOL 以单层触点布局, 但是现在它逐步扩展到数层, 例如包括 Mint 和 Vint 层。这些层将电信号从晶体管的源极、漏极和栅极传送到局部互连线, 反之亦然。

在晶体管方面, 源极 / 漏极接触电阻已经成为芯片行业关注的重要问题。随着晶体管尺寸的缩小, 可用于制造触点的面积相应地减小了。由于源极 / 漏极接触电阻与该接触面积成反比, 这就导致了源极 / 漏极接触电阻的急剧增加。多年来, IMEC 开发了改进的源极 /

漏极接触方案, 以减小寄生电阻, 这主要是通过提高半导体侧的掺杂水平, 以及优化金属 (通常是过渡金属硅化物) 和半导体之间的界面质量来实现的。

为了进一步提高 MOL 中的连接性, 我们引入了结构微缩助推器 (structural scaling boosters)。其中一个例子是自对准栅极触点 (self-aligned gate contact), 它允许将栅极触点直接放置在有源器件的顶部。这使得栅极接入更加灵活, 并减小了整体接触面积。业界在当今的芯片设计中采用了这种技术, 以进一步改善可布线性。

## FEOL、BEOL和MOL的下一个创新选择

### FEOL: 垂直堆叠的纳米片器件及其延伸版本叉型片

随着器件微缩推进到 5nm 以下, 预计 FinFET 将走到尽头。因为在栅极长度减小的情况下, 该器件不能提供足够的沟道静电控制。除此之外, 向更低 (5T) 轨道高度标准单元的演进需要向单鳍片器件过渡, 即使鳍片高度进一步增加, 单鳍片器件也不能提供足够的驱动电流。

这时, 垂直堆叠的全包围栅极 (GAA) 纳米片晶体管进入了人们的视野。它们可以被认为是 FinFET 器件的自然演变。

只要想象一下, 将 FinFET 侧置, 并将其分成独立的水平层片, 这些层片构成了沟道。由于现在栅极完全包裹在沟道周围和沟道之间, 因此与 FinFET 相比, 可以获得更优的沟道控制。同时, 将沟道在 3D 空间中的截面分布进一步优化, 能够优化每个焊装配置中的有效驱动。

IMEC 自 2015 年以来一直致力于这种架构的研究, 从而优化了最关键的工艺步骤。制造垂直堆叠的 GAA 纳米片晶体管的工艺流程首先是外延沉积多个 Si/SiGe 层,

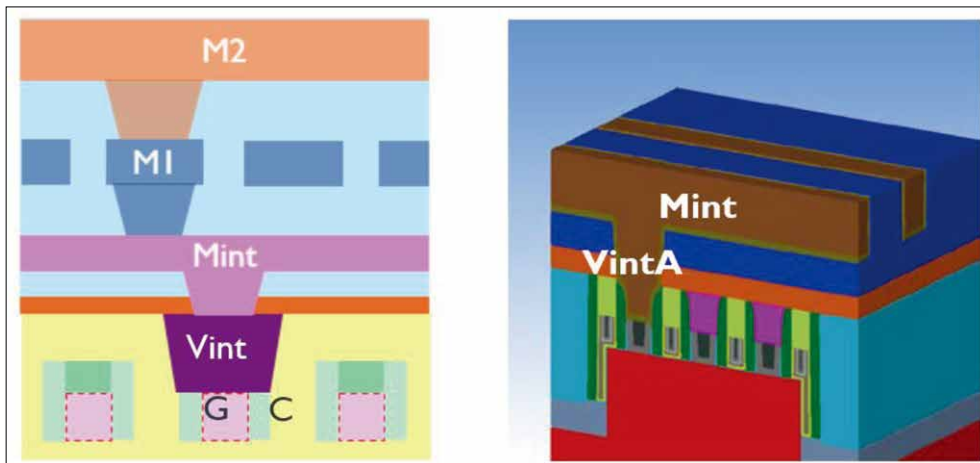


图3: (左) MOL中的芯片堆叠; (右) 自对准栅极触点。

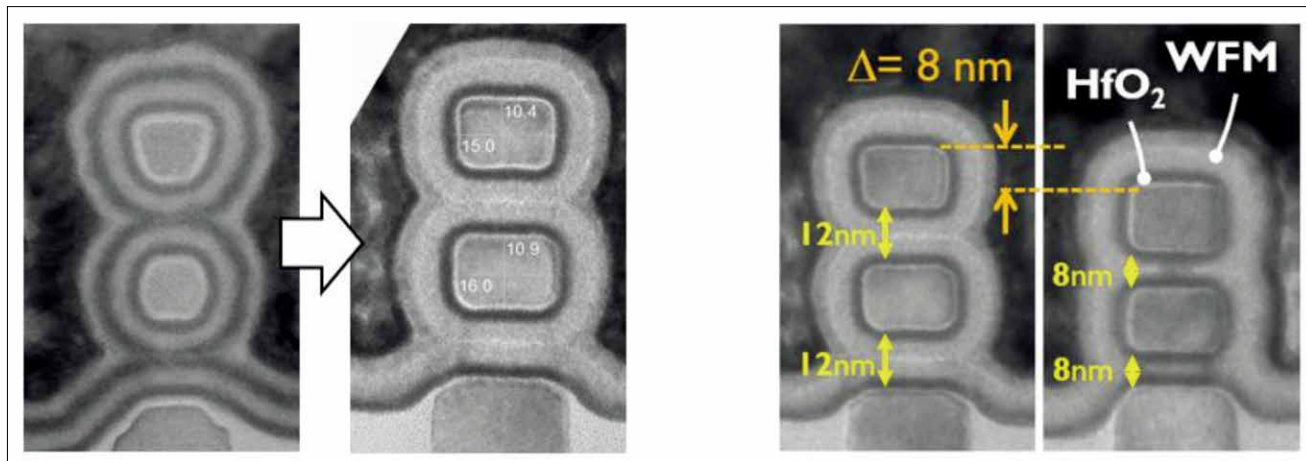


图4: 垂直堆叠的GAA纳米片晶体管的优化: (左) 纳米片的形状控制; (右) 纳米片的垂直间隔调降。

并形成和填充浅沟槽隔离 (STI) 模块。在后面的步骤中, 选择性地去除 SiGe 层, 释放出 Si 纳米片结构。在这些 Si 纳米片层的周围和中间, 以双重功能置换金属栅极 (RMG) 流程, 形成栅极叠层。除了实现优化的工艺步骤, IMEC 团队还开发了将垂直纳米片间距减至 10nm 以下的工艺。这样一来, 寄生电容就可以大幅降低。如今, 一些芯片制造商正准备向这些器件发展, 以生产他们的下一代芯片。

为了将纳米片器件的可微缩性延伸到 2nm 节点及以下, IMEC 最近提出了一种替代架构, 称为叉型片器件。在这种架构中, 纳米片由叉形栅极结构控制, 该结构是在栅极图案化之前, 通过在 pMOS 和 nMOS 器件之间引入介电层来实现。这个介电层从物理上隔离了 p 栅沟槽和 n 栅沟槽, 使得 n 与 p 的间距比 FinFET 或纳米片器件更紧密。根据仿真结果, IMEC 预计这项叉型片设计能实现芯片微缩在尺寸与性能方面更优秀的表现 (轨道高度可以从 5T 缩减到 4.3T), 以及更低的寄生电容。当它应用在 SRAM 设计上的时候, 有望减小单元面积。

### BEOL: 混合金属化和半镶嵌

为了与 FEOL 中实现的面积减小保持同步, 最关键的局部互连层 (M1 和 M2) 的金属间距最终将变得十分紧凑 (仅 21nm)。现在, 这些层之间的通孔的临界尺寸最小

可至 12 ~ 14nm。在传统的铜双镶嵌集成方案中, 在实际的铜金属化之前, 在沟槽和通孔结构内沉积了阻挡层和衬垫层。但是, 在这些狭小的尺寸下, 衬垫/阻挡层占据了太多的空间, 留给铜填充的空间非常之少。这会对通孔电阻和可变性产生负面影响, 现在已经成为一种限制因素。此外, 由于存在高电流密度要求, 因此电迁移可靠性受到挑战。

有效应对该挑战的可选方案之一是混合金属化, 其中通孔采用替代金属, 例如钌 (Ru)、钨 (W) 或钼 (Mo), 以无障碍的方式直接连接至芯片底部的铜线。这种结构允许采用更薄 (2nm) 的铜线阻挡层, 在保持电迁移可靠性同时, 降低通孔的电阻。虽然从电阻的角度来看, 这样的方案会很有吸引力, 但关键在于它也是可靠的, 这是人们为寻求解决方案而积极研究的领域。

为了将导线间距减至 21nm 以下, IMEC 提出了半镶嵌制程, 成为引人注目的可选方案。半镶嵌的关键在于容许互连增加高度, 同时保持电容的可控性, 从而促使整体电路的电阻电容 (RC) 值获益。

从工艺技术的角度来看, 半镶嵌使用可图案化的替代金属, 最终形成气隙。半镶嵌和双镶嵌的本质区别是省略了金属的化学机械抛光 (CMP) 步骤, 这是双镶嵌工艺流程的最后一步。在半镶嵌工艺中, 通孔以单镶嵌方式形成图案, 然后用金属填充和过填充, 这意味着金属沉积继续进行, 直到在电介质上形成一层金属 (即, 无势垒金属, 如钌或钼) 为止。然后对金属进行掩

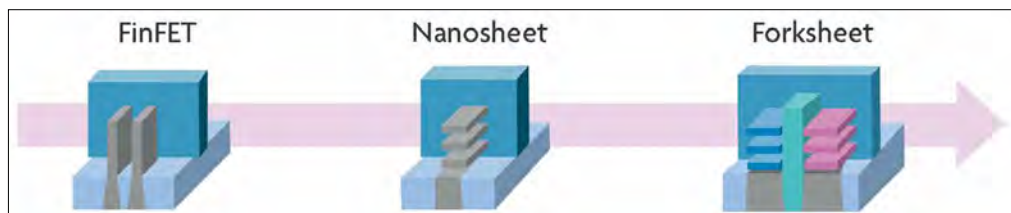


图5: 从FinFET到纳米片, 再到叉型片的制程结构发展。

形成图案, 然后用金属填充和过填充, 这意味着金属沉积继续进行, 直到在电介质上形成一层金属 (即, 无势垒金属, 如钌或钼) 为止。然后对金属进行掩



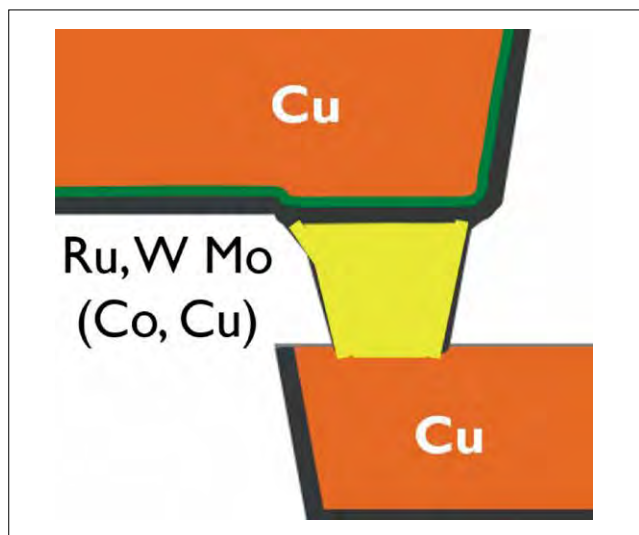


图6: 混合金属化结构的示意图。

模和蚀刻，以形成金属线。通过这种方式，与双镶嵌工艺相反，可以形成具有较高深宽比的导线——因此，电阻较小。在金属图案化之后，导线之间的空隙可以由电介质填充，也可以用来在局部层形成部分气隙。

预计到了第二代的半镶嵌制程，就能制出完全的气隙（full airgap），并且有序金属合金（ordered metal alloys）也有可能在后段制程的后续阶段中被用作导体。这一连串的措施可以实现世代更迭的渐进式改良。运用气隙，就能抑制因采用高深宽比导线所带来的电容增加。半镶嵌制程预计会用来制造最关键的金属层 M1 和 M2，还能在上面那些重要性相对较低的互连导线层中，与传统的双镶嵌制程或混合金属化方案整合。

### MOL：微缩助推器支持 的连接性革命

在 MOL 中，我们已经看到了结构微缩助推器的引入，以改善可布线性。这种连接性的发展将继续下去，允许 MOL 层的其他实现方案，这取决于器件和互连线之间的连接需求。举例来说，叉型片器件架构允许更灵活的栅极连接和栅极切割，从而提高布线灵活性。

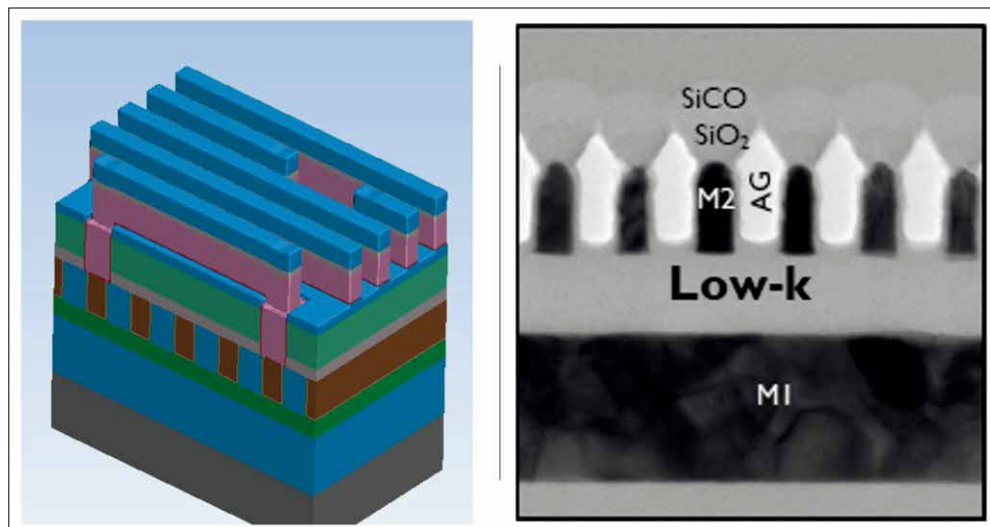


图7: 半镶嵌模块：示意图（左）和扫描式电子显微镜（SEM）图片（右）。

另一种新兴的助推器是埋入式电源轨（buried power rail : BPR）。电源轨是供电网络的一部分，传统上在芯片的 BEOL（即 Mint 层和 M1 层）中实现。相反，BPR 被埋在芯片的 FEOL 中，以帮助释放互连的布线资源。这一具有挑战性的构造直接影响了 FEOL 和 BEOL 制造。在 2020 年超大规模集成电路研讨会（VLSI 2020）上，IMEC 在 FinFET CMOS 测试工具中提出了基于钨（W）的埋入式电源轨（BPR）集成方案，该方案对 CMOS 特性没有产生不利影响。补充评估研究也显示，在逻辑和 SRAM 设计中导入 BPR 作为微缩助推器，可以提供系统级的优势。

这种集成方案能以所谓的 VBPR（Via+BPR）架构进一步扩充。在 VBPR 架构中，连至埋入式电源轨的通孔与 MOL 层（M0A 导线）压合。在 VLSI 2020 上，IMEC 团队展示了一种钨基 BPR，该 BPR 与 Ru 通孔（VBPR）相连，以与 Ru M0A 线接触。这种结构在电阻和电迁移方面获得了优异的表现。

此外，我们还需要创新来进一步降低源极 / 漏极的接触电阻。IMEC 已经提出了改进的接触方案，包括将环绕接触（通过金属的原子层沉积实现）作为金刚石外延接触的替代物。这再次扩大了接触面积，因此降低了接触电阻。

### 进一步的选择：继续向1nm节点迈进 FEOL中的CFET：通往3T逻辑标准单元之路

超过 5T 后，单元高度的进一步降低现在主要受限于可布线性问题，这应该在逻辑块层面进行评估。优化可

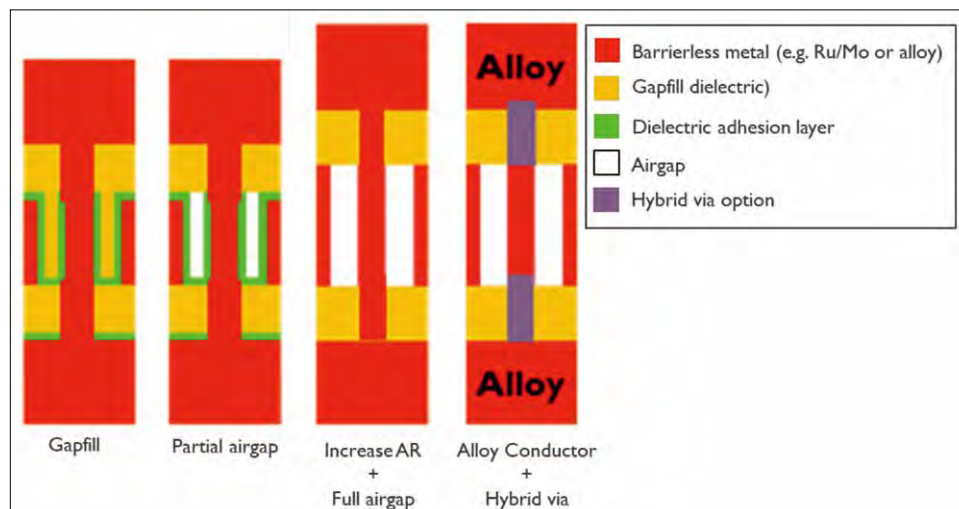


图8: 半镶嵌的技术选择

布线性将我们带到了 CFET，它扩展了摩尔定律的极限。CFET (Complementary FET) 的概念是将 nFET 以鳍对鳍 (fin-on-fin) 或片对片 (sheet-on-sheet) 的方式“折叠”于 pFET 之上，从而充分利用了器件 3D 微缩的可能性。这种架构最大的优势是面积微缩，最终能将 3T 逻辑标准单元和 SRAM 单元的电路布局面积锐减。

在 VLSI 2020 上，IMEC 展示了 CFET 器件的第一个实验概念证明，它是在单片工艺流程中制备的。该团队设法克服了这一复杂工艺方案的关键工艺难题，即从大块衬底开始，自下而上地加工 CFET。如今，人们正在探索采用顺序 CFET 作为一种替代的、不太复杂的集成流程。在顺序式 CFET 中，对底层器件（如 pFET）进行加工后，再进行晶圆键合，形成顶层器件（如 nFET）沟道，然后对顶层器件做进一步的加工。顺序 CFET 为将在顶层器件中使用的沟道材料提供了更灵活的选择。

### BEOL：“零通孔的混合高度”，以及寻找替代导体

金属线的电阻和电容以及通孔仍然是 BEOL 最关键的参数。应对这个问题的一种方法是采用另一种金属化结构，称为“零通孔混合高度” (hybrid height with zero via)。这种方案可以根据金属线的应用需求，

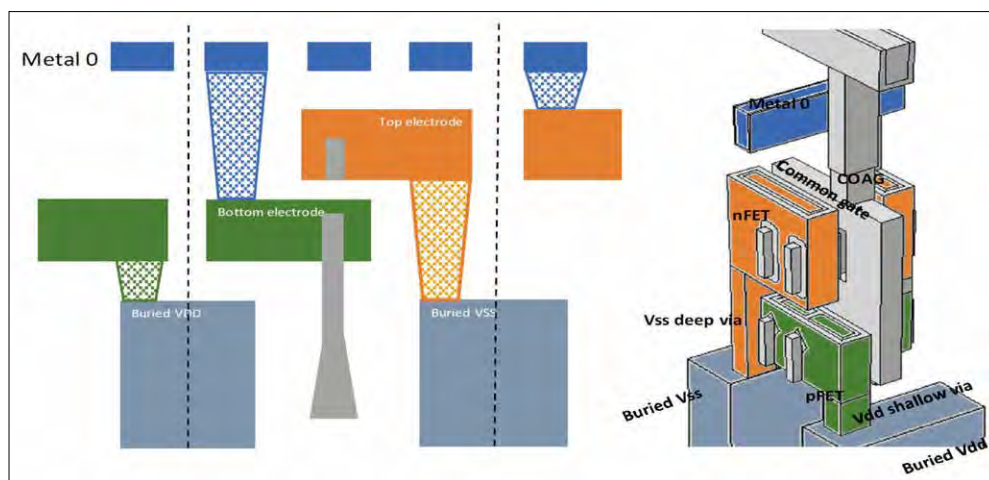


图9: 透射电子显微镜 (TEM) 显示的集成有 Si FinFET 的 W-BPR 导线。

灵活地将电阻换成电容。

这个想法是将每个金属层分成三个独立的子层：一条中心线，以及可能在其上方或下方的延伸。对于每个金属层，我们现在得出四种可能的情况（仅中心线；中心线 + 向下延伸；中心线 + 向上延伸；中心线 + 向上和向下延伸）。这允许我们在相同的焊装面积内调整金属线的高度和深宽比。例如，如果该线需要用作对电阻非常敏感的电源轨，则可以形

成具有高深宽比（因此电阻小）的导线。如果导线需要传送信号，则仅使用中心线来保持较小的电容。这种结构不仅可以灵活地将电阻换成电容，而且有望提高整体能量和速度。

从加工的角度来看，不同的高度是通过金属凹槽蚀刻步骤来实现的。通过掘开一条直通到底的凹槽，就能将其用作垂直的通孔接线，因而不再需要传统的通孔结构。IMEC 正在解决处理这种“零通孔混合高度”结构带来的各种挑战。

此外，将标准单元面积减小到 3 ~ 4 轨，就要求导体具有极小的电阻。IMEC 探索了多种新型导体材料，这些材料有望获得比钌和钼更好的品质因数。该品质因数被定义为体积电阻率与金属中载流子的平均自由程的乘积。令人感兴趣的是在极度微缩的尺寸下具有低电阻率的有序二



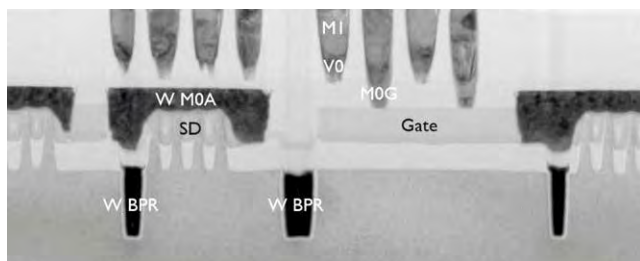


图10: 互补型场效应管 (CFET) 的架构

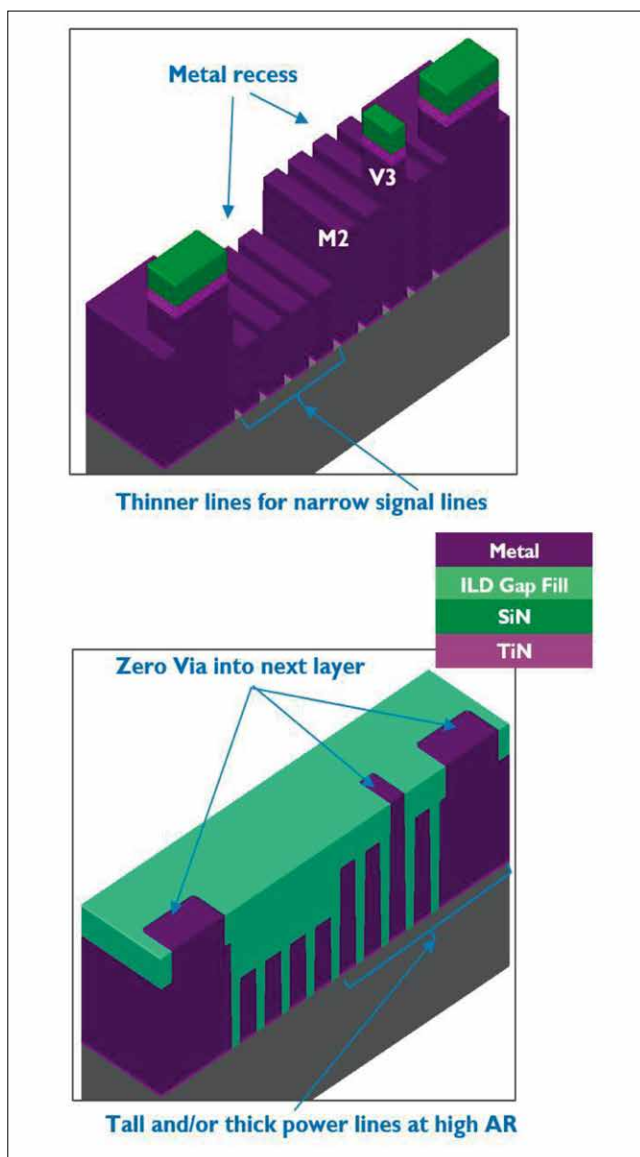


图11: 零通孔混合高度概念图, 应用于第二层金属层。

元金属间化合物。例如, 钌基或铝基化合物 (如  $\text{AlNi}$  或  $\text{RuV}_3$  就属于此类), 当然这两者不是唯一选项。所有相关的研究已经显示出多种金属在未来互连应用中的良好特性。寻找下一种新的导体并不容易, 但令人鼓舞的是, 世

界各地的一些研发小组已经接受了这一想法, 并正在寻找合适的候选方案。

从长远来看, 石墨烯/金属混合导体也是一种有趣的选择。众所周知, 石墨烯非常薄, 具有很高的导电性和导热性。然而, 这种材料没有足够的电荷载流子来用作局部互连线。但是, 有办法调节电导率。一种方法是使用混合金属/石墨烯方案, 其中金属 (例如, 铜、钌、钼等) 被石墨烯包裹。早些时候, IMEC 展示了这种混合金属/石墨烯可选方案的低电阻率和高热稳定性。

### MOL:

为了进一步缓解布线拥挤, 并满足新提出的晶体管结构的要求, MOL 层需要进一步的创新。例如, 在 CFET 中, 需要为接触栅极提供新颖的解决方案, 如今, 这在 nFET 和 pFET 器件中是很常见的。此外, 高深宽比的通孔将把各种构件互连起来, 这些构件现在已经扩展到三维结构。可是, 这些深通孔的主要寄生电阻需要降低。通过引入先进的 MOL 触点 (比如材料使用钌), 就能实现上述目标。

### 结语

随着微缩推进到 5nm 以下, 芯片制造商可能会渐渐放弃采用主流技术, 比如 FEOL 中的 FinFET, BEOL 中的铜双镶嵌制程, 以及 MOL 中的传统触点方案。在本文中, 我们呈现了下一代的 FEOL、BEOL 和 MOL 制程技术, 以及其他能够进一步推动未来的创新选择, 提供了一条通往 1nm 技术节点的可能途径。◆

### 作者简介



Zsolt Tokei 是 IMEC 的纳米互连项目主

管。他于 1999 年加盟 IMEC, 从那以后在该机构内担任过各种不同的技术职务。他最初的职务是低 k 电介质铜互连领域的工艺工程师和研究人员, 接着, 任金属材料部门负责人。之后, 他成为了纳米互连项目的首席科学家和主管。



Naoto Horiguchi 是比利时鲁汶 IMEC 的

逻辑 CMOS 器件微缩项目主管。他从 2006 年起就职于 IMEC, 与全球的产业合作伙伴、大学和研究机构一起从事先进 CMOS 器件的研发。他目前的工作重点是 CMOS 器件向 2nm 及以下技术节点的微缩化。



航天级的高精度快反镜，应用于星地、星星之间激光通讯系统，激光3D直写光刻。



## 纳米位移电容传感器 CAPACITIVE SENSOR



## 纳米定位平台 NANO-POSITIONING STAGE



行程：100 $\mu$ m；  
分辨率：0.5nm；  
线性度：0.02%；  
谐振频率：400Hz；



行程：100 $\mu$ m；  
分辨率：0.5nm；  
线性度：0.02%；  
谐振频率：850Hz；

NANO-POSITIONING STAGE

三英精控（天津）仪器设备有限公司是一家专注于超精密运动控制技术和产品的开发，并致力于为科学研究、创新研发及高端仪器、设备的制造等提供系统的技术解决方案与集成，满足市场对超精密运动控制技术需求的专业制造商。公司核心技术集精密传感、精密驱动、精密机械、精密控制、精密集成等各领域技术于一体，综合技术指标已达到国际先进水平。公司产品涵盖大行程高精度运动平台、纳米和亚纳米运动控制平台、纳米位移电容传感器、精密运动控制集成系统等系列产品。

**指标范围：**

行程：8 $\mu$ m -1000 $\mu$ m； 分辨率：0.1nm -1.5nm；  
线性度：0.02%-0.05%； 谐振频率：250Hz-4000Hz；

**典型应用：**

表面检测、显微成像、激光技术、半导体加工与测试、高密度光存储与磁存储。



电话：022-22977677 传真：022-29516025 销售直线：022-29516025

邮箱：sales@symc-tec.com 网址：www.symc-tec.com

地址：天津市武清开发区创业总部基地C21号楼





## 光子器件技术的新兴之用

光子器件技术在激光扫描和打印、电信和工业材料加工等应用中存在已久。近年来，发光二极管(LED)照明得到了大规模应用。激光器、光电探测器、microLED和光子集成电路(PIC)等光子器件成为一系列新技术的构建模块，包括人脸识别、3D 传感和激光成像、检测和测距（激光雷达）等。为了满足当今的应用需求，这些技术需要创新的器件架构、新材料开发、材料的单片和异构集成、更大的晶圆尺寸和单晶圆加工。

### 引言

硅一直是所有半导体 IC 技术的支柱，它使电子技术从计算机、互联网、智能手机，再到现在的人工智能和 5G 的发展成为可能。然而，对于某些应用来说，光子器件技术更能满足技术和环境要求。

砷化镓(GaAs)、磷化铟(InP)和氮化镓(GaN)等化合物半导体具有直接能量带隙以支持激光和 LED 等光子器件技术。利用磷砷化铟镓(InGaAsP)材料的  $1.3\ \mu\text{m}$  和  $1.5\ \mu\text{m}$  单模激光器，可搭建出极其高效的光纤通信系统，如今已在使用。

随着基于砷化镓和氮化镓的可见光 LED 技术的进步，照明行业已经生产出高效、高亮度的 LED 产品，用于室

内外照明、汽车照明和显示器。除了能效之外，LED 还为照明设计师提供了更大的自由度，这一点可从最新的汽车大灯设计窥见一斑（图 1）。



图 1：高亮度 LED 被应用在新近的汽车大灯设计中

## 新兴光子应用

光子被认为是 3D 传感、自动驾驶车辆和光互连等新技术的重要赋能者。正如电子一直是设计机器“大脑”的支柱一样，光子将“视觉”赋予未来机器，激光将是这些光子的来源。

### 3D 传感

随着智能手机越来越多用于计算，手机上保留的个人信息也日益增多，这就需要严格的安全设置，而不仅限于基于指纹识别和二维虹膜扫描的身份验证。继苹果公司 2017 年在 iPhone X 中推出人脸识别功能后，垂直腔面发射激光器 (VCSEL) 近年来在消费市场上引起了相当大的关注。VCSEL 将数以万计的激光束照射在用户的脸上，然后收集这些激光束，生成面部的 3D 深度图，为该用户创建独特的识别图像 (图 2)。



图 2: VCSEL 是用于设备人脸识别技术的基础

一家领先的消费产品制造商的最新产品扩展了这一技术，采用了飞行时间激光传感器，利用 VCSEL 对几米外的场景进行闪光，借助深度信息创建该空间的 3D 图像。例如，现在能以虚拟形式将家具或艺术品放置在一个空间中，以便在购买前查看使用效果。为了眼睛的安全，如今的技术在波长范围上是受限的，但我们可以预期未来会发展到更长的波长，并适用于更多的设备，包括智能手机。

### 光互连

传统形式的数据中心消耗了当今世界 2% 以上的电力，而全球数据流量预计每四年就会翻一番。未来，使用电子分组交换机在机架之间进行数据传输将无法同时满足带宽和能耗的要求。数据中心业务模式向云计算转变，未来几年将涉及更大量的数据处理和传输 (图 3)。

目前正在开发基于硅光子和磷化铟光子集成电路 (PIC) 的光互连技术，以应对数据中心面临的这些挑战。100GbE 的收发器模块已经进入市场，并在稳步推向



图 3: 云计算将加剧数据中心能耗的挑战

400GbE 和更高的水平。与常规的电子相比，硅光子能够实现更快、更远距离的数据传输，同时还可以利用半导体激光器以及大批量硅制造的效率。

### 激光雷达

汽车行业除了电气化之外，下一个大的范式转变就是自动驾驶。今天的三级自动驾驶，需要高度精密的照明、检测、感知和决策系统无缝协同工作 (图 4)。激光雷达的高分辨率、3D 成像能力和超过 200 米的可探测范围，与基于雷达或摄像头的解决方案形成鲜明区别，已被广泛认为是自动驾驶的最佳解决方案。



图 4: 自动驾驶汽车的安全运行需要许多不同系统的无缝协作

激光雷达有 905nm 和 1550nm 两种频率选择。其中 905nm 是首选，因其具备完善的激光器和光探测器生态系统。不过，由于 1550nm 的范围更广，而且眼睛的安全极限是 905nm 的 40 倍，因此业界正在对其积极研究。当前正在评估的光束转向技术，包括机械旋转、MEMS 和光学相控阵。机械旋转在可靠性方面存在很大的问题，而基于 MEMS 的光束转向技术近来作为三级先进驾驶辅助系统 (ADAS) 的选件出现在多款汽车上，但在射程和视野上有限制。用于光束转向的固态光学相控阵处于早期开发阶段，其在性能、成本和外形尺寸方面具有不错的前景，除



了自动驾驶之外，还可被应用在更多方面。为了满足激光雷达系统在成本和性能上的要求，需要在大批量制造中运用异构集成或共同封装激光器、探测器和光束转向芯片。如今，基于 MEMS 的激光雷达技术在满足这些工业要求方面展现出喜人的前景。

## MicroLED

除了在电视、智能手机和智能手表等现有设备中实现更高的分辨率外，microLED 技术还可能用于打造令人兴奋的新产品，如图 5 所示的增强现实 / 虚拟现实 (AR/VR) 产品。这些新的应用需要自发光的红绿蓝 (RGB) 显示，而不是色彩转换或过滤。这里涉及的挑战是实现 RGB microLED 裸片所需的量子效率，将 microLED 经济高效地巨量转移到背板上，以及测试每个单独的 microLED。创新的器件设计、外延生长优化、衬底工程、裸片转印方法和新的背板架构正在研究和开发中，以使 microLED 技术可与现有的液晶显示器 (LCD) 及有机发光二极管 (OLED) 技术相竞争。



图 5: AR/VR 应用是受益于 microLED 技术的消费产品之一

## 器件技术

实现这些新兴光子应用的关键器件技术是基于砷化镓和磷化铟的激光器、硅和砷化镓 (InGaAs) 光电探测器、MEMS 器件、氮化镓和砷化镓 LED、硅和氮化硅 (SiN) 波导以及光学调制器。对于 3D 传感应用，砷化镓激光器件正从 100mm 的衬底转向 150mm 的衬底。用于高亮度应用砷化镓和氮化镓 LED 分别在 150mm 砷化镓衬底和蓝宝石衬底上投产。不过，在某些应用中，microLED 的应用正在推动对硅衬底上 RGB LED 的需求。磷化铟激光二极管是在 75mm 和 100mm 磷化铟衬底上生产的。化合物半导体器件通常在批量反应器中进行加工，但制造重点越

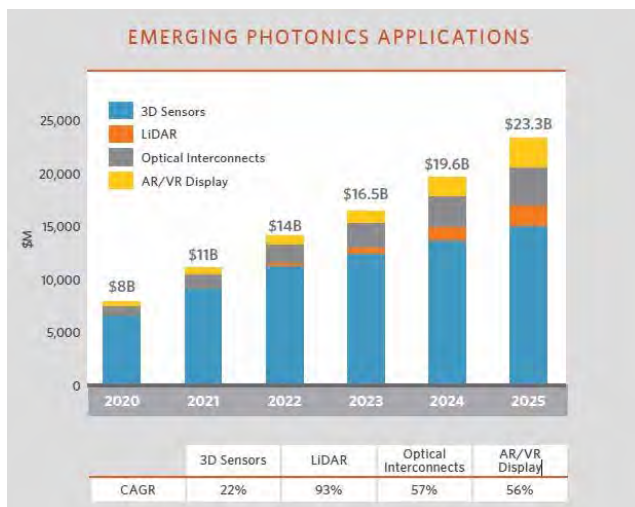


图 6: 新兴的光子应用将实现巨大增长 (资料来源: Yole Développement 报告)

来越多地放在提高良率和晶圆内均匀性以及增强工艺控制上，这相应地推动了向单晶圆加工设备的过渡。

目前，用于光束转向技术的 MEMS 器件依赖于 200mm 硅 MEMS 生产线。硅光子技术主要在 200mm 绝缘体上硅 (SOI) 平台上运行，并不断推动向 300mm 晶圆过渡，以解决 200mm 光刻和刻蚀等设备的技术限制。具有高电光系数的薄膜技术一直在研究之中，以扩展光互连的速度和带宽包络。

上述光子应用预计在未来 5-10 年内实现巨大的增长。3D 传感、激光雷达、光互连和 AR/VR 显示，这四大关键应用的市场规模预计将以 31% 的复合年增长率，从 2020 年的 80 亿美元增长到 2025 年的 233 亿美元 (图 6)。3D 传感技术正在寻求新的应用，而激光雷达和 AR/VR 显示器还处于早期发展阶段，预计将以更高的复合年增长率增长。光电子应用的增长将需要解决器件技术在性能、制造和系统集成方面的挑战。如今，各种力量正在推动对新工艺设备的需求，这些设备不仅要能解决器件性能上的难题，还能实现卓越的工艺控制，提高整体制造良率。◆

## 作者简介



Shiva Rai 是应用材料公司光子和射频应用战略营销经理

# 从FinFET到GAA再到CFET

半导体集成电路行业已经走过五十多年的发展历程，根据摩尔定律，晶体管尺寸微缩也已经持续半个多世纪了。随着晶体管尺寸微缩接近物理极限，先进的主流制造技术不断面临各种瓶颈和挑战，业界在几年前就从传统的平面 MOSFET 转向了 FinFET 晶体管架构。而在 FinFET 之后，又在研究探索下一代晶体管架构。

## 全包围栅极结构将取代FinFET

Lam Research 的 Nerissa Draeger 博士近日发表题目为“全包围栅极结构将取代 FinFET”的文章，以下是他文章的部分观点。

随着 CMOS 设计的发展，标准单元的轨道高度不断降低，这就导致“鳍”的尺寸受到限制，而基于 5nm 以下节点制造的单鳍器件将会无法提供足够的驱动电流。此外，虽然“鳍”的三面均受栅极控制，但仍有一侧是不受控的。随着栅极长度的缩短，短沟道效应就会更明显，会有更多电流通过器件底部无接触的部分泄露。因此，更小尺寸的器件就会无法满足功耗和性能要求。随着 3nm 和 5nm 技

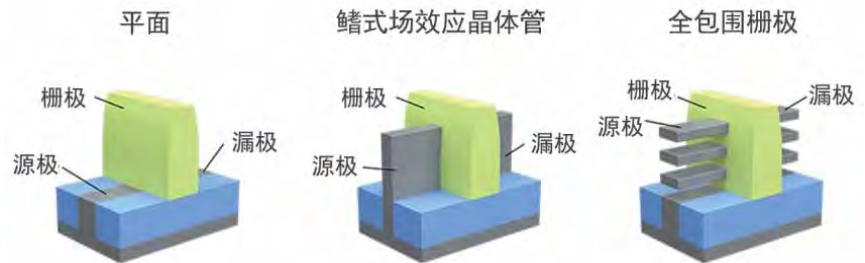


图1: 晶体管结构的发展演变 (图片来源: Lam Research)

术节点面临的难题不断累积，FinFET 的效用已经趋于极限。

## 用纳米薄片代替鳍片

全包围栅极 (gate-all-around, GAA) 是一种经过改良的晶体管结构，其中沟道的所有面都与栅极接触，这样就可以实现连续缩放。

目前已经出现多种 GAA 晶体管的变体。早期的 GAA 器件使用垂直堆叠纳米薄片的方法，即将水平放置的薄片相互分开地置入栅极之中。相对于 FinFET，这种方法下的沟道更容易控制。而且不同于 FinFET 必须并排多个鳍片才能提高电流，GAA 晶体管只需多垂直堆叠几个纳米薄片并让栅极包裹沟道就能够获得更强的载流能力。这样，只需要缩放这些纳米薄片就可以调整获得满足特定性能

要求的晶体管尺寸。

然而，和鳍片一样，随着技术进步和特征尺寸持续降低，薄片的宽度和间隔也会不断缩减。当薄片宽度达到和厚度几乎相等的程度时，这些纳米薄片看起来会更像“纳米线”。

尽管纳米薄片的概念很简单，但它却给实际制造带来了诸多新挑战，其中有些制造难题源于结构制程，其他则与满足 PPAC 缩放目标所需的新材料有关。

具体而言，在构建方面的主要挑战源于结构的复杂性。要制造 GAA 晶体管首先需要用 Si 和 SiGe 外延层交替构成超晶格并用其作为纳米薄片结构的基础，之后则需要将电介质隔离层沉入内部（用于保护源极/漏极和确定栅极宽度）并通过刻蚀去除通道的牺牲层。去除牺牲层之后留下的空间，包括纳米片之间的空间，都需要用电介质和金属构成的栅极填补。今后的栅极很可能要使用新的金属材料，其中钴已经进入评估阶段；钪、钼、镍和各种合金也已被制造商纳入考虑范围之内。

GAA 晶体管终将取代 FinFET，其中的纳米薄片也会逐渐发展成纳米

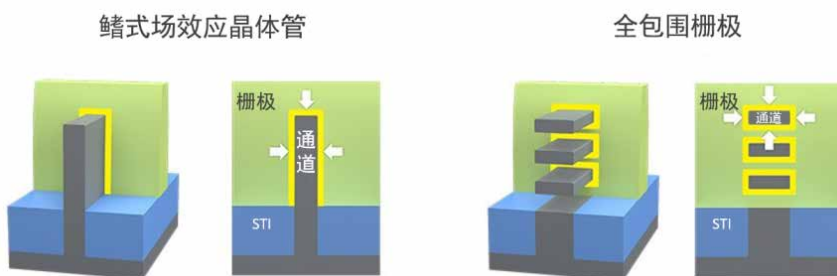


图2: FinFET和GAA晶体管示意图 (图片来源: Lam Research)



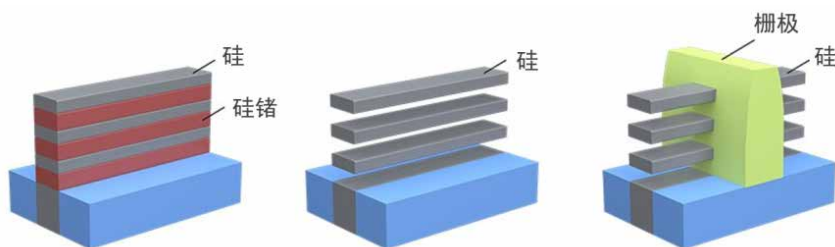


图3: 构建GAA晶体管 (图片来源: Lam Research)

线。而 GAA 结构应该能够适用于当前已经纳入规划的所有先进工艺节点。

### 英特尔构建堆叠式纳米片晶体管

Samuel K. Moore 近日发表的 Blog 文章：“英特尔堆叠式纳米片晶体管：可能成为摩尔定律的下一步” (Intel’s Stacked Nanosheet Transistors Could Be the Next Step in Moore’s Law)，介绍了英特尔堆叠式纳米片晶体管的结构设计及制程关键。

如今，几乎所有数字装置背后的逻辑电路都依赖于两种晶体管的配对，NMOS 和 PMOS。在同一个电压信号下，其中一个开启另一个就会关闭，把它们放在一起意味着只有其中之一发生变化时电流才会流动，这大大降低了功耗。这些晶体管对偶已经在一起共存了几十年，但如果电路要继续收缩，它们就必须更加接近，这必将使其面临技术瓶颈。在 2020 年 12 月举办的 IEEE 国际电子器件会议 (IEDM) 上，英特尔展示了一种不同的新方法，把原本相邻的一对晶体管堆叠在一起，一个叠放在另一个上面。该方案有效地将简单的 CMOS 电路的占用空间减少了一半，这意味着未来集成电路的晶体管密度可能翻倍。

### 堆叠方案使反相器面积减半

堆叠方案首先使用被广泛认可的下一代晶体管结构，即前面提到的全

包围栅极 (GAA) 或者纳米片结构晶体管。晶体管的主要部分不再是由垂直的鳍形硅片构成，而是由多个水平的纳米薄片组成，这些薄片层层叠在一起。

英特尔工程师使用这种新型结构的器件来构建最简单的 CMOS 逻辑电路——反相器。它需要两个晶体管，两个连接端，一个输入互连和一个输出。即使当晶体管并排放置的时候，其布置也是非常紧凑的。但是通过叠加晶体管和调整互连，反相器的面积又减小了一半。

### 自对准工艺流程

英特尔制造堆叠纳米片的诀窍被称为自对准工艺流程，因为它本质上是以同一步骤制造两个晶体管。这

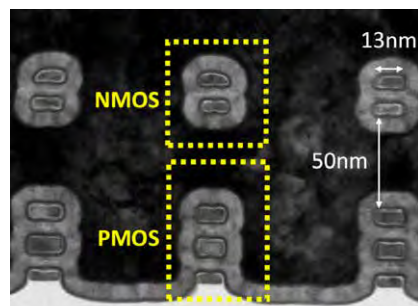


图4: NMOS 和 PMOS 通常在芯片上相邻并列，而 Intel 的新方法是将它们一个堆叠在另一个上面，这样可以大大减少电路尺寸。(图片来源: Intel)

一点很重要，因为如果增加第二个步骤，比如，将它们分别制造在不同的晶圆上，然后将两个晶圆连接在一起，可能会导致未对准，从而破坏其中的电路。

英特尔自对准工艺流程的核心是对于纳米片晶体管制造步骤的修改。它从重复的硅层和硅锗层开始。然后将其雕刻成一个细长的鳍状物，然后蚀刻掉硅锗，留下一组悬浮的硅纳米片。通常情况下，所有的纳米片都会形成一个晶体管。但是在这里，顶部的两个纳米片被连接到了掺磷的硅上形成一个 NMOS 器件，而底部的纳米片则连接到了掺硼的硅锗上形成 PMOS。

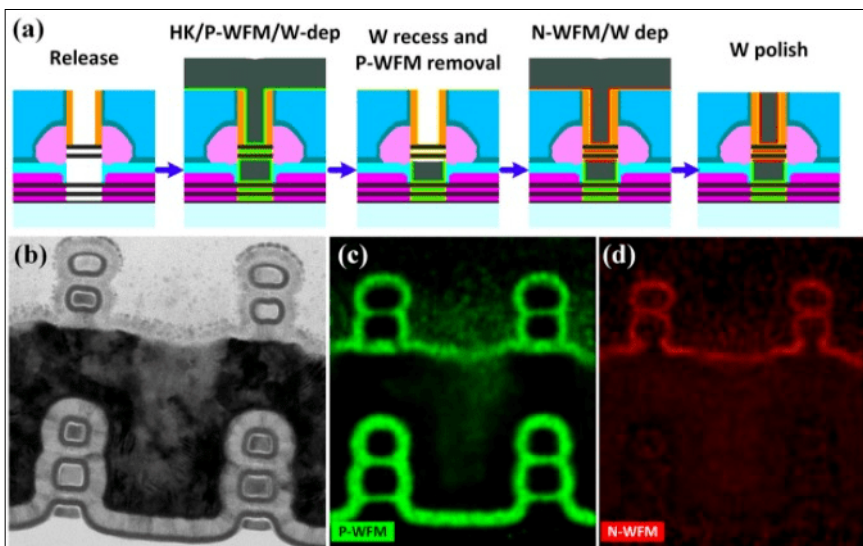


图5: 堆叠NMOS和PMOS (图片来源: Intel)

英特尔高级研究员、元器件研究主管 Robert Chau 表示，完整的“集成流程”更加复杂，但英特尔研究人员努力使其尽可能简单。因为过于复杂的流程会影响用堆叠式 CMOS 制造芯片的实用性。

Robert Chau 说：“一旦我们掌握了自对准工艺流程这一秘诀，下一步就是追求性能。”这可能将涉及改进 PMOS 器件，目前它们在驱动电流的能力方面落后于 NMOS。Robert Chau 表示，“这个问题的答案可能是在晶体管沟道中引入‘strain’（应变），也就是使硅晶体的晶格变形，以使电荷载流子能够更快地通过。”其实，早在 2002 年英特尔就将应变引入到其器件中了。在 IEDM 会议上，英特尔的另一项研究展示了一种在纳米片晶体管中产生压缩应变和拉伸应变的方法。

全球有许多其他研究机构也在研究设计堆叠纳米片晶体管，它们有时被称为互补场效应管（complementary field effect transistor, CFET）。比利时微电子研究中心 IMEC 率先提出

了 CFET 概念，并在 2020 年 6 月的 IEEE VLSI 会议上报告了构建过程。但是，IMEC 构建的组件并非完全由纳米片晶体管制成，它的底层是一个 FinFET，顶层是一个单纳米片晶体管。此外，据报道台湾研究人员曾制作出一种 CFET 结构，其中 PMOS 和 NMOS 各有一个单纳米片。更早些时候，在 2009 年 12 月，原中芯国际肖德元和王曦研究发明“垂直堆叠纳米薄片全包围栅互补场效应晶体管（CFET）”，将一个 NFET 和一个 PFET 圆柱体纳米薄片沟道垂直交叉堆叠起来，组成互补全包围栅圆柱体纳米薄片器件结构。英特尔这次报告的电路在三纳米片 PMOS 之上有一个两纳米片 NMOS，这更接近于需要叠加时器件的样子。前不久，三星已经宣布，他们将在 3nm 的时候转向水平纳米片（Horizontal Nanosheets, HNS）架构。

### 结语

GAA 纳米片结构基本得到业界公认，下一步业界很可能会通过堆叠 nFET 和 pFET 过渡到 CFET。

在 CFET 器件结构中，彼此之间

相互堆叠的 NMOS 和 PMOS 构成互补器件，节省面积，提高晶体管集成密度，从而带来功耗和性价比上的好处。NMOS 和 PMOS 的沟道材料可以采用不同的晶向，甚至是不同的半导体材料，最优化载流子迁移率，进一步增大器件驱动电流。

CFET 是一个革命性的器件，虽然 CFET 的工艺流程非常复杂，但它极大地缩小了 CMOS 电路面积，有效提高晶体管集成密度，有可能成为 CMOS 按比例缩小的终极器件。（SiSC 编辑部）◆

### 参考文献

1. Nerissa Draeger, GAA 结构或将取代 FinFET? <http://www.siscmag.com/news/show-3934.html>
2. Samuel K. Moore, Intel's Stacked Nanosheet Transistors Could Be the Next Step in Moore's Law, IEEE Spectrum Blog <https://spectrum.ieee.org/nanoclast/semiconductors/devices/intels-stacked-nanosheet-transistors-could-be-the-next-step-in-moores-law>
3. CFET 会成为未来晶体管的选择吗? - <http://news.moore.ren/industry/225676.htm>

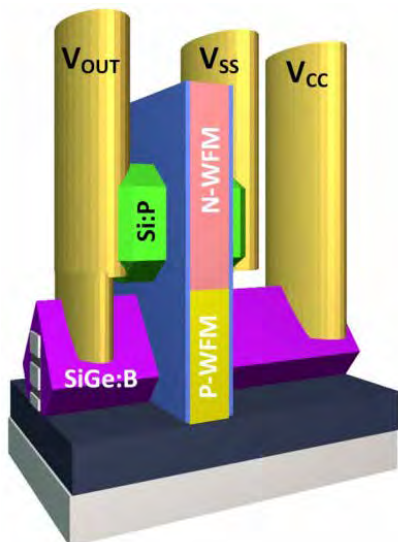


图6: 反相器由2个相互叠放的晶体管组成, 它们共有连接线和其他部分 (图片来源: Intel)

## 中国电科38所发布77GHz 毫米波芯片

中国电科 38 所发布高性能 77GHz 毫米波芯片及模组，在国际上首次实现两颗 3 发 4 收毫米波芯片及 10 路毫米波天线单封装集成，探测距离达到 38.5m，刷新了当前全球毫米波封装天线最远探测距离的新纪录。

该款 77GHz 毫米波芯片，在 24mm × 24mm 空间里实现了多路毫米波雷达收发前端的功能，创造性地提出一种动态可调快速宽带 chirp

信号产生方法，并在封装内采用多馈入天线技术大幅提升了封装天线的有效辐射距离，为近距离智能感知提供了一种小体积和低成本解决方案。

此次发布的封装天线模组包含两颗 38 所自研 77GHz 毫米波雷达芯片，该芯片面向智能驾驶领域对核心毫米波传感器需求，采用低成本 CMOS 工艺，单片集成 3 个发射通道、4 个接收通道及雷达波形产生等，主要性能指标达到国际先进水平。



# CVD 金刚石解决高性能电子产品中的热管理问题

与传统解决方案相比，氮化镓（GaN）和先进的硅技术实现了相当大的功率密度提升。但是，伴随着功率密度的增加，热管理挑战接踵而至。设计人员通常的做法是对性能指标进行降额处理，增设体积庞大的散热器或采用主动散热措施，以确保可恢复性和长寿命。Element Six公司称，CVD 金刚石可以为 5G 和其他高功率电子系统提供更有效、更小型和简易化的解决方案。

**金** 刚石拥有一系列引人注目的特性，因而使其成为解决热管理问题最有效的材料。微波辅助无掺杂 CVD（化学气相沉积）实现了对晶粒尺寸、晶粒纯度和晶粒界面的控制，可以生成高品质、高重复性的多晶金刚石，从而满足特殊应用的热导率要求。在商业上，有 6 种不同等级的 CVD 金刚石可供选择，它们的热导率从 700 W/mK 到 2000 W/mK 不等，而体电阻率则介于 0.001  $\Omega$ m（掺杂金刚石）到  $10^{12}$   $\Omega$ m（无掺杂金刚石）的范围内。

在开发颠覆性技术的过程中，一个关键要素是基本构件工程的控制。将使用 CVD 工艺生长的金刚石用作高性能散热片，能够确保众多颠覆性电子元器件的有效性能，从 GaN 固态 RF X 波段功率放大器（PA）到先进的 ASIC，再到激光二极管等均在其列。自然地，了解生长型金刚石热特性的科学和工程基本原理，是该过程必不可少的部分。Element Six 是 De Beers 集团的子公司，它在 CVD 技术以及 CVD 金刚石材料的开发、熟悉了解和特性分析方面花费的时间超过 25 年，其业务遍及全球，主要生产设施位于英国和美国。

## 金刚石：最好的衬底材料

在设计热管理系统时，重要的是必需同时考虑材料和涂敷方法，以最大限度地降低沟道温度，并实现器件的长期运行。迄今，SiC（400 W/mK）衬底与 GaN 的集成为面向高功率应用的 GaN HEMT 和 MMIC 技术提供了最佳选择。然而，尽管使用了 SiC 衬底，但是在基于 GaN 的电子元器件中，充分的散热仍然是决定最大功率耗散的限制

因素。因此，长期可靠性常常是通过对最大功率耗散指标进行降额处理来实现的。采用 CVD 金刚石（2000 W/mK）作为散热片是一种好得多的散热解决方案，与目前顶尖的 GaN 器件相比，其功率密度有可能提高 3 倍或更多。（图 1 比较了各种不同衬底材料的性能。）

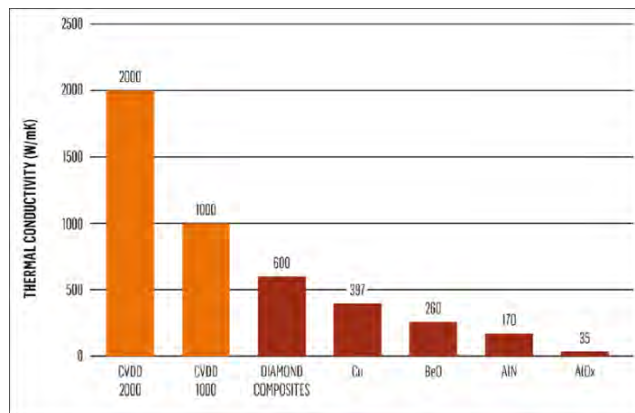


图 1: CVD 金刚石与“传统”散热材料的比较

虽然基于 GaN 的电子器件能够提供超高的电流和功率密度性能，但是，许多高端电子系统的故障都可以直接归因于缺乏适当的热管理。

半导体器件的功率密度不断增加。对于高功率 RF 和光电子器件而言，采用 CVD 金刚石散热片后，器件能在较高的功率级运行，并不会推高工作结温，从而可以延长使用寿命并改善可靠性。

## 封装型 RF 应用实例

为了展现金刚石散热片所起的作用，我们通过一个

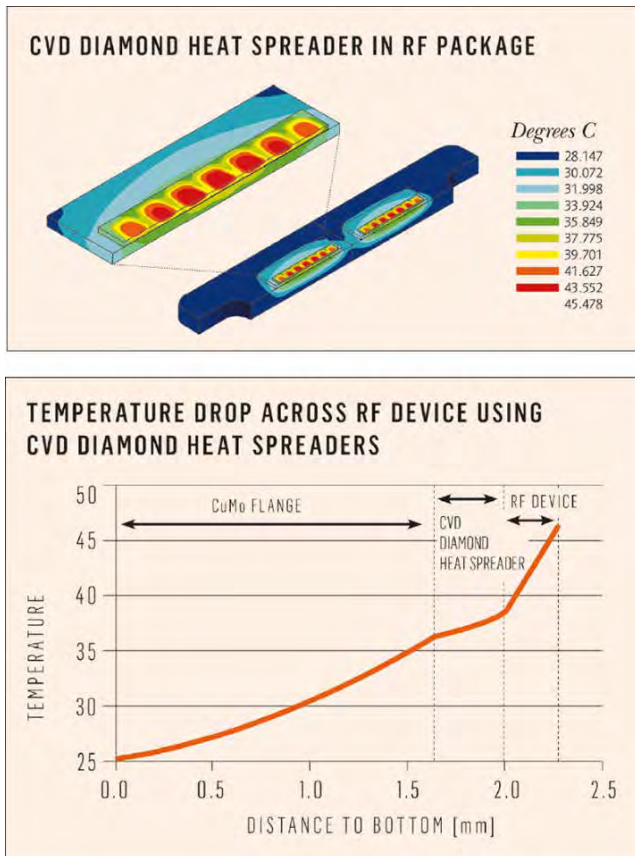


图 2: 从CVD金刚石散热片显示的结点至外壳亮度曲线。可以发现: 在厚度为 0.300 mm, 热导率为 1000W/mK 的情况下, CVD 金刚石散热片解决方案的热阻低了 30% (最初的解决方案使用的是 1.00mm 厚的BeO散热片)。金刚石散热片的热阻较低, 因此使得该器件在运行时具有更好的RF线性性能, 而且, 由于其结温降低而使可靠性得以改善。

RF 放大器设计实例进行了分析。在该例中, 一个封装型 VDMOS (垂直扩散金属氧化物半导体) 功率放大器在制作时, 最初的方案是在 CuMo (铜 / 钼) 凸缘上布设 BeO (氧化铍) 散热片。最终用户感兴趣的是降低系统设计的总热阻, 同时还要避免使用 BeO (因为它具有毒性)。

导电的掺硼 CVD 金刚石: 一种用于封装型高频电子器件的独特材料

作为一种导电的散热片, 具有金属导电率 (0.05  $\Omega$ -cm 电阻率) 的厚掺硼金刚石 (BDD) 是常用的金属 / 金刚石配置或其他散热片 (如铜、铜 / 耐火材料或铜层压板) 的理想替代方案。在 BDD 散热片上安装 RF/ 微波器件可以在 < 1.5GHz 的频率下改善接地平面的隔离, 并在  $\geq$  1.5GHz 的频率下降低传导损失, 这是由于集肤深度增加所致。

RF 电流在金属表面流动, 对于典型金属 (Cu 或 Au), 在高于 1.5GHz 的频率下, 已经非常薄的集肤深度

将继续随着 RF 频率的增加而减小。集肤深度的减少导致表面电阻增大, 因而增加了传导损失。当频率高于 1.5GHz 时, 相比于 Cu 和 Au, BDD 在相同的 RF 频率下, 集肤深度几乎高出 2 个数量级 (图 3)。BDD 较高的传导横截面不仅通过改善接地平面隔离提升了 RF 性能, 还降低了较高频率下的传导损失。使用具有金属导电率的厚 BDD 替代标准的金属 / 金刚石配置, 可以通过增加集肤深度, 在低于 1.5 GHz 的频率下实现更好的接地平面隔离。这种金属般的散热片减少了慢波模式, 以及低于 1.5 GHz 频率下金属化电介质中出现的接地平面之间的电容性耦合。应该注意的是, 在降低 BDD 衬底的电阻方面, Au 金属化 (gold metallization) 可能仍然是有益处的。

就工作频率低于 1.5 GHz 的电子应用而言, 由于金属化接地平面在该频率范围内的电容性耦合之故, 标准的金属化金刚石散热片 (1000 ~ 2000W/mK) 有可能在地之间引起令人讨厌的耦合。在该区域中, 通过使金刚石导电而牺牲它的一些超高导热性, 在功能上是有益的。

### CVD 金刚石: 高频阻性组件的未来

虽然 5G 网络系统的频率范围尚未决定, 但是 5G 网络系统的标准化已在有序进行之中。

尽管网络通信 (每个基站之间的) 系统将采用 28 ~ 30GHz 的频率范围, 以实现高的数据交换速率, 但是, 预计 6 ~ 8GHz 和 / 或最高 10GHz 的频率将被用于个人手机连接。在放大器领域, 就 28 ~ 30GHz 频率范围内的高功率 / 高频操作而言, 基于 GaN 的 HEMT 似乎是唯一适用的解决方案。

目前, 对于 6 ~ 8GHz 频率范围内的 5G 移动通信, 大多数主要的网络系统制造商 (爱立信、诺基亚、华为等) 均专注于相控阵列 (128 通道) 通信的方法。随着频率的不断提高, 有必要缩减组件尺寸, 因而导致对于更有效热管理的需求日益攀升。CVD 金刚石具有得天独厚的优势, 不仅能为放大器提供解决方案, 而且还可以用作阻性组件, 适用于隔离器、限幅器和移相等器件。

毫米波市场需要能在高输出功率级提供千兆赫 (GHz) 性能的解决方案。由于 5G 的工作频段被指定在 6GHz 以上, 并采用工作在 X 和 Ku 波段的高性能相控阵雷达, 因此对于能够在较高频率下处理高功率密度的无源组件产生了显著的推动。到目前为止, 氧化铍 (BeO) 和氮化铝 (AlN) 一直是高功率 RF 电阻器的首选衬底。这些陶瓷材料具有



相对较高的热导率，并使电阻器能在工作于L波段和S波段（1 ~ 4GHz）时处理数十到数百瓦的功率。

然而，当工作在X波段到Ku波段的范围内时（8 ~ 30GHz），在耗散功率最大化与抑制电阻寄生效应之间进行的平衡，会导致使用BeO或AlN衬底时消耗几瓦功率的能力减弱。在较高频率条件下进行功率管理中所存在的这种局限性，将成为把高功率应用扩展到高于S波段的瓶颈。这里提出的是一种用于RF电阻器的促成解决方案，它能够在高于8GHz的频率下工作，同时通过采用CVD金刚石作为电阻器衬底，可以处理超过100W的功率。

针对RF电阻器中使用的不同高热导率衬底，影响性能的主要参数的取值汇总于图4。显然，具有最高电容率和最低热导率的AlN的工作性能将不及BeO，而作为高频阻性衬底，完美结合了低电容率和最高热导率的金刚石将是表现超群的。金刚石的电容率分别比BeO和AlN低大约15% ~ 35%，并能在频率和温度变化的情况下保持稳定，从低频到高达几十GHz，其变化幅度仅为5%；而从室温到几百摄氏度，它的温度漂移只有730 ppm/°C。当考虑热导率时，温度也是很重要的。在125°C时，AlN和BeO的热导率值与其在室温条件下的性能指标相比，下降了30% ~ 40%。

最纯单晶金刚石的热导率有可能超过AlN和BeO达10 ~ 15倍左右，这大致意味着采用金刚石衬底的电阻器应能处理高10 ~ 15倍的功率。当考虑使用多晶金刚石作为具有1000W/mK至1800W/mK热导率的阻性衬底时，可以实现4 ~ 8倍的性能提升（相比于AlN和BeO）。

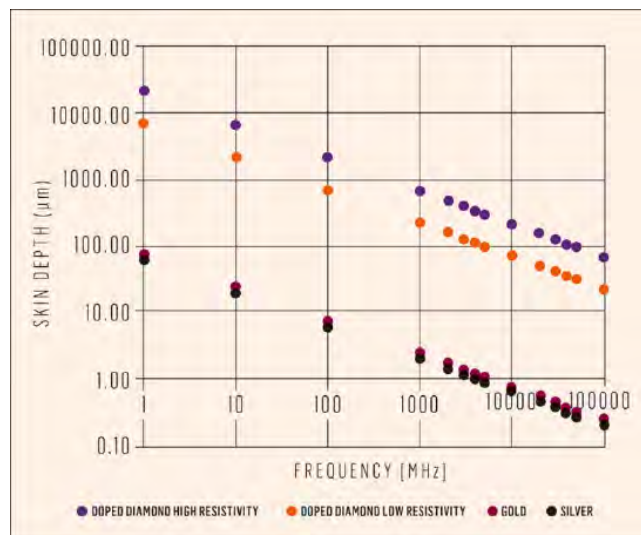


图3：导体在不断升高的工作频率下的集肤深度。不同频率下的掺硼金刚石散热片。

## 成本问题

金刚石散热片技术的成本应该从两个主要角度来审视，这个题目本身就值得用一篇延伸的文章进行探讨。首先，如果标准散热器在对RF、微波和ASIC中的高功率密度器件进行冷却时停止工作，就应当考虑成本了。其次，也许更重要的是，性能改善的成本可以且应该实施多方面的优化。在控制热阻和成本方面，器件与散热片面积、散热片厚度和CVD金刚石散热片热导率之比全都起着主要的作用。因此，为了优化金刚石散热片的优势，当务之急是遵循正确的性能/成本模型。

	$\epsilon_r$	$\tan \delta$	$\kappa$ (W/mK)	$\alpha$ (ppm/K)
AlN	8.8 <sup>2</sup> (8.5 GHz)	3.5 × 10 <sup>-3</sup> (8.5 GHz) <sup>2</sup>	188 <sup>3</sup>	3.55 <sup>6</sup>
BeO	6.75 <sup>2</sup> (8.65 GHz)	4 × 10 <sup>-4</sup> (8.7 GHz) <sup>2</sup>	260-300 <sup>4</sup>	6.48 <sup>6</sup>
Diamond	5.72 <sup>1</sup>	5 × 10 <sup>-5</sup> (>1 GHz) <sup>1</sup>	≥2000 <sup>5</sup>	1.79 <sup>6</sup>

图4：阻性衬底属性（电容率、损耗因数、热导率和热膨胀）

## 总结

要在电子系统内部显著地改善热管理，可以通过使用CVD金刚石散热片来实现。这种方法相对简单，因为CVD金刚石可以直接替代AlN（氮化铝）、BeO（氧化铍）或其他先进陶瓷。注意界面上的细节是很重要的，旨在保持低的总热阻，从而优化金刚石的有效性。

凭借改进的合成技术、先进的加工工艺和持续降低成本的努力，CVD金刚石已经成为了一个至关重要的促成者，它可以用作适合高功率密度RF应用的散热器。预计该趋势将在未来几年继续下去，这与尺寸更小和功能更强大电子设备和系统的需求量不断增长是一致的，包括国防及5G无线应用日渐攀升的需求。◆

## 参考文献

1. A. Ibarra et al, Wide frequency dielectric properties of CVD diamond, *Diamond and Related Materials*, 6, 856-859 (1997).
2. W.B. Westphal and A. Sils. Dielectric constant and loss data. Vol. 72. No. 39. Air Force Materials Laboratory, Air Force Systems Command, (1972).
3. J. E. Graebner et al. Report on a second-round robin measurement of the thermal conductivity of CVD diamond. *Diamond and Related materials* 7.11 1589-1604, (1998).
4. G.P. Akishin et al. Thermal conductivity of beryllium oxide ceramic. *Refractories and Industrial Ceramics* 50.6 465-468, (2009).
5. L. Wei et al. Thermal conductivity of isotopically modified single crystal diamond. *Physical Review Letters* 70.24 3764. (1993).
6. G.A Slack & F. Bartram. Thermal expansion of some diamondlike crystals, *Journal of Applied Physics* 46.1 89-98. (1975).

# 高密度先进封装设计的三个阶段

**集**成电路 (IC) 延续摩尔定律进行单片缩减的成本不断上升, 同时性能提升与设计复杂性也面临很大挑战, 因此, 推动了多芯片 (异构) IC 封装解决方案的发展。这些高密度先进封装 (HDAP) 为整个设计流程创造了机遇, 促使传统 IC 设计和 IC 封装设计两个领域的融合。

新兴 HDAP 技术, 例如扇出型晶圆级封装 (FOWLP)、硅中介层、硅晶圆堆叠 (CoWoS) 和晶圆堆叠 (WoW), 要求设计团队共同努力来优化整个系统, 而不仅仅是单个元件。

HDAP 新技术带来了新的挑战 (图 1), 公司和设计团队必须面对并加以克服。这些挑战通常分为三类: 1) 工程成本增加; 2) 制造延迟; 3) 器件功能故障。

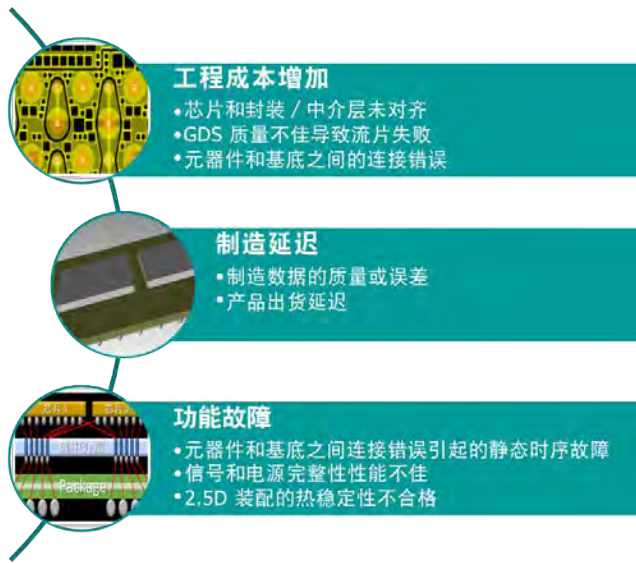


图 1: HDAP 设计的三类挑战

应对这些挑战需要进行流程转变, 这种流程转变通常分为三个阶段:

## 1. 确认和验证

- a. 最终 2.5D/3D 装配和各个基底的 LVS/LVL
- b. 多基底电气提取和分析
- c. 电气建模

## 2. 以制造为重点的实施

- a. 数据库容量和工具性能

- b. 稳健的工具内形状处理 (区域填充和平面)
- c. GDS 输出的精度和质量

## 3. 多基底 / 器件架构

- a. 跨基底边界的连接 / 界面规划
- b. 2.5D/3D 堆叠、器件转换和缩放
- c. 管理异构数据和格式

这三个阶段的顺序看起来似乎是颠倒的, 但这就是设计团队应对 HDAP 挑战的典型顺序。将已完成的设计移至制造和装配前, 便开始对此设计进行广泛的确认和验证, 可在不中断当前设计流程或方法的情况下发现问题和难点。一旦第一阶段得到掌控, 就可以采用各种方法、流程和工具来解决与实施相关的最常见问题。在第三阶段, 团队可以审查架构和规划流程, 并将其用作左移策略来实现经过验证的优化概念, 从而大大减少实施和最终验证 / signoff 时的意外事件。

## 第一阶段 确认和验证

HDAP 封装通常包含多个器件和多个基底 (常常是堆叠的), 而且通常由完全不同的设计人员和团队设计, 他们之间的交流互动可能很好, 也可能不好 (图 2)。

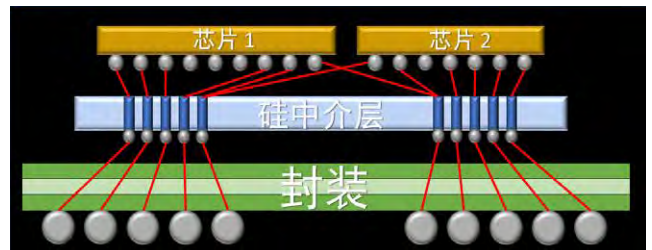


图 2: 来自不同设计团队的三个基底层级

当集成这些设计时, 需要许多系统层级的确认和验证程序来确保它们在逻辑上和物理上均能正确连接。理想情况下, 该解决方案对整个设计流程造成的破坏最小, 同时提供属于单个元件的以及最终组装封装的全面 DRC、LVL 和 LVS 检查。

程序还必须能够管理这种完全集成式 2.5D/3D 组件



的复杂性和规模，其中的芯片管脚数量可能达到或超过 40,000 个，中介层总管脚数可能轻松超过 250,000 个。这种确认和验证水平在芯片设计中很常见，但对于封装设计人员来说却是一种新的概念。

虽然执行这些关键检查所需的技术已存在，但必须将其集成到封装设计流程和过程中。理想情况下，它还必须能够提供可通过封装设计工具显示的结果。通常，所需的检查分为两类：物理几何形状和连接。对于物理检查（或称版图与版图比较 (LVL)），重点是分析和验证器件与基底之间的对齐、缩放和重叠，如图 3 所示。

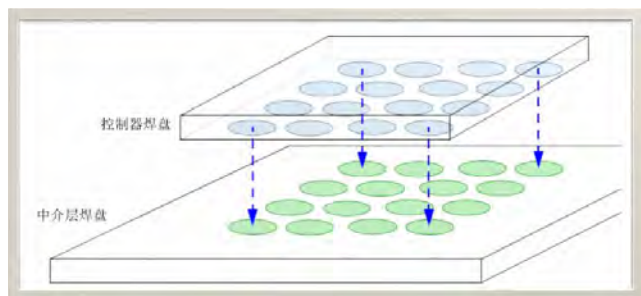


图 3: 芯片与中介层的LVL检查

所有元器件与基底之间的连接验证（或称版图与原理图比较 (LVS)），验证的是相连形状之间的连接、不匹配的连接和电气管脚的位置，如图 4 所示。

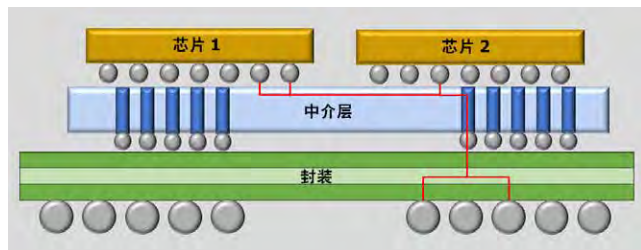


图 4: 整个封装系统的 LVS

典型流程是按照流程特定的要求独立验证各个元器件（芯片、中介层、封装），然后最好使用单个规则集或 ADK（装配设计套件），来定义和检查元器件之间接口的 3D 装配。

当您意识到并非每个芯片中的所有几何形状都需要检查时，便可简化装配验证。每个单独的芯片已经就其目标晶圆代工厂的 DRC 和 LVS 合规性进行过检查。真正需要检查的是元器件之间的交互。这并不是说这些检查不重要。在某些情况下，可能需要从每个芯片中提取多个层面，以评估其有何影响。

无论配置如何，所使用的工具必须能了解每个芯片和每个布局的分层情况。这包括区分两个具有相同层名称(例

如 RDL1) 的芯片的能力。这种级别的 sign-off 验证的关键需求是元器件的装配叠层的定义和标准 LVS 源系统网表。

通过这种方法，开始时先导入物理设计数据—通常是制造 GDS（图形数据库系统）。还可以独立导入整个系统的源网表，这本身就是一个挑战，我们稍后会加以说明。还需要晶圆代工厂 / OSAT 流程专用的规则，以及关于如何装配所有内容的一些说明。

## 第二阶段 以制造为重点的实施

典型的设计团队会从现有的传统设计工具和流程开始。虽然这对于大多数 PBGA（塑料球栅阵列）设计很有用，但对于 HDAP 而言，这么做要么非常吃力，要么会直接失败。

传统工具会失败的部分原因是，由于版图工具缺少对网格焊盘和分级除气的支持而需要将其插入或替换到输出文件中。另一部分原因是设计能够通过版图工具中的 DRC 检查，但是一旦用 3D 验证 / signoff 工具检查输出时却无法通过。参见图 5。



图 5: 传统设计工具的典型缺点

造成这些失败的因素有许多，但通常包括以下一项或多项：区域填充算法能力不足，缺少弧形构造，GDS 输出的质量低下（例如路径与多边形的比较或多边形合并），以及最终的版图工具中缺乏数据库精度或分辨率。

这些问题导致了“变通流程”的出现，但该流程会造成版图数据库和实际制造的产品之间产生不连续性(图 6)。

这种设计后 GDS 编辑很少或从不会反向标注到版图数据库中，因此任何分析结果 (SI/PI、热等) 都必须被认为可疑，因为它们通常是利用版图数据库执行的。

为了成功通过 HDAP 设计第二阶段的考验，设计解决方案至少应具有以下特征：

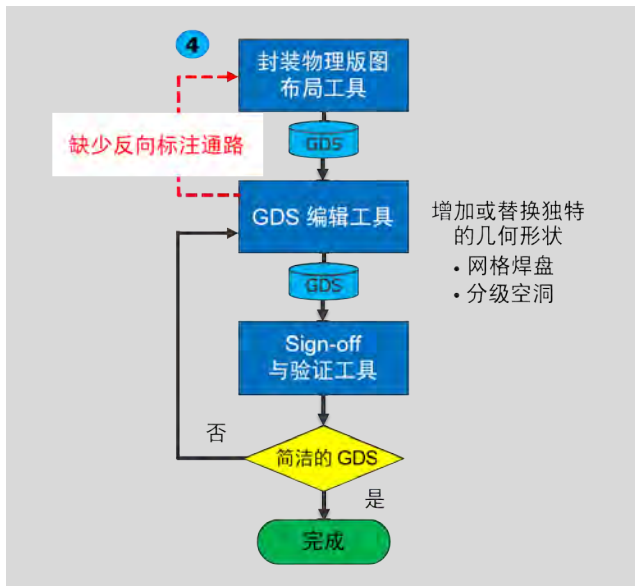


图6: GDS 变通流程

- 在完全集成的 3D 环境中支持设计
- 容量和性能支持至少 250K+ 的超高管脚数设计
- 具有先进的区域填充算法，能够精确表示纳米几何形状
- 支持分级除气、高密度、锐角和应力消除检查
- 始终如一地创建复杂非曼哈顿形状的高质量 GDSII 文件

### 第三阶段 多基底 / 器件架构

正如本文开头所讨论的，此阶段虽然通常是最后才采用，但实际上是异构高级封装设计中最具影响力和最有益处的一步。想想当今设计的特点以及器件和基底之间的相互依赖性。让我们考虑一些关键因素，比如高速接口或功率输送，关于某个基底的决定如何对相邻基底甚至整个系统产生连锁效应。一个很好的例子是时序预算的分配。不同数据库、制造流程、设计工具、格式等的使用，让这项工作变得更具挑战性。

异构架构设计和规划的基本需求如下：



图7: 异构封装的相互依赖性

- 准确捕获所有数据并定义装配堆叠和器件的关系
- 跨基底边界的连接规划和原型设计相关需求—通常专注于高性能接口
- 将设计意图传达给其他工具以进行详细实施的能力 这些要求必须能够处理不同的基底组合场景，例如芯片 - 中介层 - 封装或芯片 - 封装 - PCB（图 7）。

### 关于成功实现 HDAP 的最后想法

真正的动态异构原型设计和规划能力可加速设计过程，防范实施错误，实现系统级优化和折衷。有了这种能力，您可以实现不同场景的早期 STA 和 LVS 检查，并针对多个目标封装优化芯片，针对多个目标 PCB 优化封装。

异构原型设计和规划支持如下能力：

- 在一个环境中协调和管理多基底设计
- 评估不同的封装技术或方案（图 8）
- 规划、管理和可视化跨“IC- 中介层 - 封装 - PCB”的系统连通性
- 快速评估电气和热性能
- 生成和管理层次化系统网表
- 简化跨区域 / 部门边界的协作和沟通

采用我们的 Xpedition® IC 封装设计工具，有助您成功通过高密度先进封装的三个阶段的考验。◆

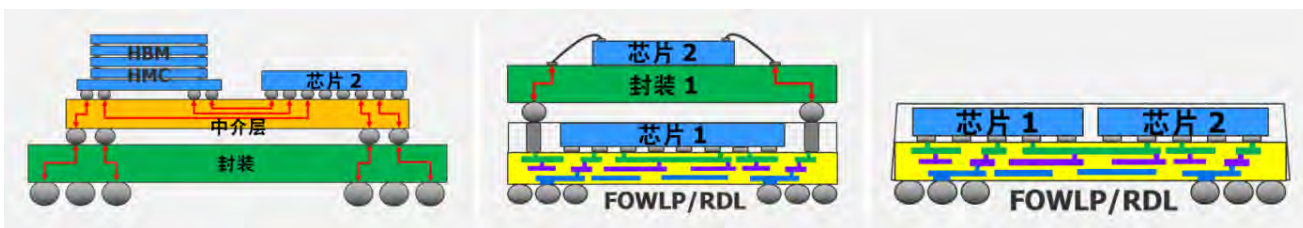


图8: 付诸实施之前，通过原型设计和规划确定哪种技术最适合目标设计



# 汇总电网: 实时电力质量分析

数据分析是电力输送网络数字化过程中的一项重要新兴技术,可以帮助电网运营商更深入地了解和更精准地掌控电网基础设施。然而,拥有足够的算力,才能实现高效准确的数据分析并取得理想结果。赛灵思开创了全新方法,让大规模数据分析的优势惠及传统与未来电网基础设施。

无论是对运营网络还是用户网络而言,电网的数字化都是一个持续的过程。具体而言,在最先进的数字化变电站里已经实现了用以太网广播控制应用和保护应用所需的电流值和电压值。

分布式能源(DER)系统协调、输电线路持续监测、电力质量评估等新兴应用的涌现,对能够实时处理大量此类数据流的虚拟技术提出需求。

本文介绍了一种创新型解决方案,通过综合运用芯片IP和新一代基于FPGA的加速器卡,为数百个SMV(sampled measured value, 采样测量值)流计算提速。该解决方案揭示了SMV处理的复杂性,并为应用设计师提供了高级接口。

## 标准与法规

电力部门是一个高度标准化且受到严格监管的公用事业部门。国际电工委员会(IEC)负责制定和维护所有电

气、电子和相关技术领域的国际标准及合格评定。在电网迈向数字化的大背景下,IEC 61850国际标准面向变电站中的智能电子设备(IED)制定出自动化基础和通信协议。

该标准[61850-9-2]定义的一项重大创新是电流互感器和电压互感器(CT和VT)与其他信号源的数字化,以及使用基于以太网技术的局域网(LAN)与这些设备进行通信。这些数字化帧被称为采样测量值(SMV),通常表达为四相(A、B、C和N)的电流值和电压值。

SMV的最初用途是简化布线基础设施,同时提高变电站过程总线的可用性。在这种情况下,电网保护机制在管理上依据对电流幅度和电压幅度的故障分析。IED根据安装在互感器次级的合并单元(MU)广播的SMV帧完成分析。

这种设置的典型示例如图1所示。在这种设置中,网络上广播的SMV流的数量并不高。因此,IED的嵌入式计算机能够处理它们并满足IEC 61850为保护电网而规定

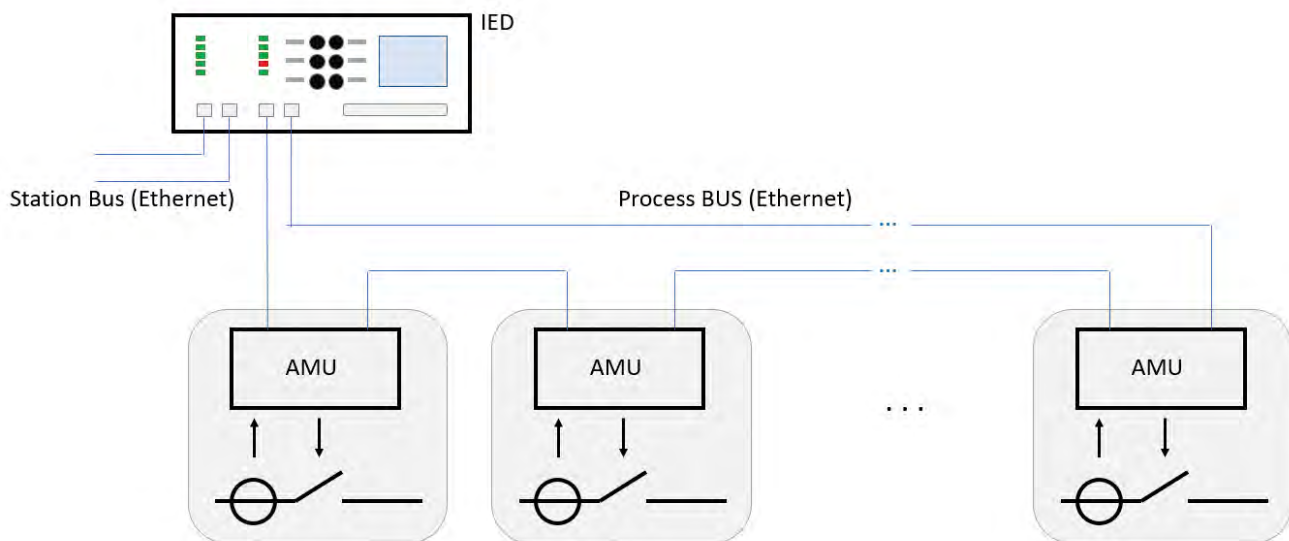


图1: 变电站过程总线中的典型模拟合并单元(AMU)和智能电子设备(IED)

作者: ARMANDO ASTARLOA, SYSTEM-ON-CHIP ENGINEERING S.L. 首席执行官; MICHAEL ZAPKE, 赛灵思 ISM 产品营销经理

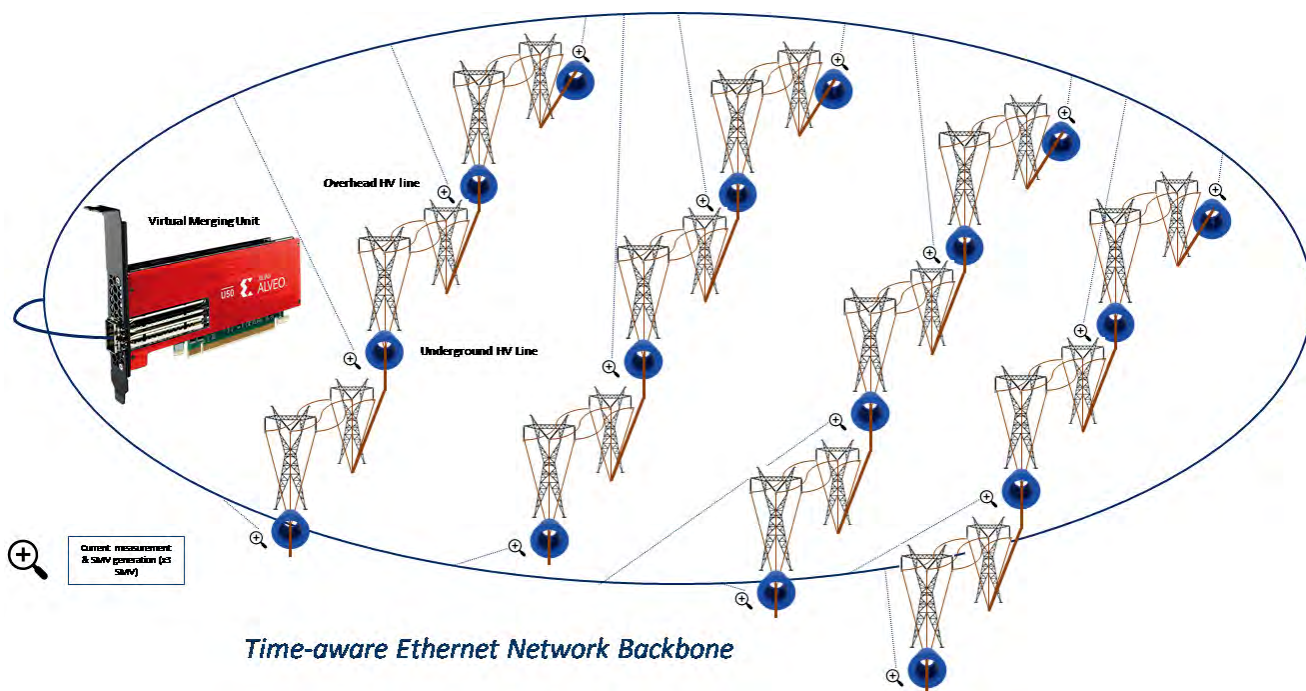


图 2: 使用虚拟合并单元将对混合高压线路（架空和地理）的保护延伸到电网。

的严格实时性要求。

一旦这种数字化机制在电力部门中得到采用，新应用和新用例便会涌现。例如，电力行业发现，这种数字化有助于在架空高压线到地理高压线之间的过渡电缆段上实现故障检测 [CFD19]。在测量点数量有所减少（如三个架线塔）且距下一个架线塔的最长距离不超过 20km 的应用场景下，可以设计基于柔性光学互感器和模拟合并单元的解决方案。

然而，如果要将这种方法扩展到整个高压线路或是智能电网的更大区域上，那么集中式计算解决方案则是理想选择。这种解决方案能使用高带宽数据基于接收 SMV 流，在支持一系列新应用的同时，还能显著降低总体成本。

图 2 是该用例的原理示意图。可以看出，如果将这种方法扩展运用到电网的多个关键位置上，需要传输和处理的 SMV 流的数量就会显著增加。由于受到联网功能和计算功能的限制，这个问题无法使用常规 IED 予以解决。

由 ABB Oy 展开的试点项目 Sundom 智能电网 (SSG) 完成的电力质量分析，是基于电网详细测值分析的新兴应用的典型示例。[CIRED19]。新兴的可再生能源以分布式能源 (DER) 和微电网形式存在并在不断发展。它们需要具备实时响应能力。这就需要根据实时测量数据并通过高速联网开展评估。在这种情况下，大数据分析、机器学习

(ML) 和人工智能 (AI) 等技术起着关键作用。

这些新技术需要管理海量数据，而且在某些用例中，还存在实时性要求。下面的分析是对可能的真实设置的量化：SMV 帧最大是 140 字节，典型采样率是 4kHz。因此，每个 SMV 所需的数据带宽是 448Mbps。

据 2019 年欧洲风能协会 (Wind Europe) 报告，欧洲风机安装数量（陆地和海上）已接近 190,000 套 [ENTSO19]。如果对小区域内的 200 个 DER 进行本地信息汇总，假定每个 DER 有 80 个测量点，应实时处理的 SMV 数将达到 16,000 个。总体上需要在实时条件下处理大约 72Gbps 的净数据。

如此大的数据量远远超出了 IED 的典型计算能力，因为通常情况下 IED 的处理能力为每单位不足 10 个 SMV。即使是英特尔 i5 四核处理器这样的专用 CPU 处理器，处理 80 个 SMV 也已经是饱和状态 [CIRED19]。因此，运用硬件加速将切实地帮助实现这种新一代大数据分析应用。

### 自适应的芯片级解决方案

使用专用硬件实现计算加速是一个热门话题。最新几代的边缘设备和云设备大规模采用 GPU 和 FPGA。在实现应用（处理海量 SMV）加速的过程中，需要高速数据包处理和数字信号处理 (DSP) 功能的帮助。具体而言，要



在数据包处理层面完成有效载荷的提取和重新排序。典型的 DSP 运算包括：提取谐波构成的离散傅里叶变换 (DFT)；求取电流电压有效值的均方根 (RMS) 计算；对原始 SMV 流开展相位计算和定制抽取，以便开展进一步计算。

这种硬件处理需要灵活性。SMV 帧的格式随应用的标准和配置发生改变。此外，需要由硬件加速的计算可能会根据最终目标而发生变化。新一代 FPGA 和可重配置的 SoC 提供了这样的灵活性，并且允许先在包处理逻辑中实现完全流水线化，然后紧接定制的 DSP。

SoC-e 提供的产品 SMVsubscriber [SMVsubscriberIP] 运行在赛灵思器件上，故能发挥这种方法的优点。它能够以极低时延确定性地处理大量的 SMV 流。每个 IP 实例都能在进程窗口配置下并行处理 128 个到 320 个并发 SMV 流。其计算具有确定性，完整计算的时延在 6 $\mu$ s 这个范围内。

每个 IP 实例都支持标准的流片上总线、AXI-4 流，实现与以太网交换机 IP 的互联，例如 10G 有管理以太网 IP。在内部，这种交换式 IP 以 SMV 帧分配器的方式运行，在并行的 SMVsubscriber 实例间分配载荷。具体如图 3 所示。

### 平台级加速：赛灵思 Alveo 加速器卡

基于可重配置逻辑的新一代加速卡正在为数据驱动型工作负载提速，这其中包括高性能计算、联网、计算存储加速、数据分析以及视频处理。其中大部分都与工业物联网应用有关。

最近，赛灵思推出的 Alveo™ U50 等型号的紧凑型纤薄加速卡专门用于本地部署加速。这种组合对于实现以工业应用或能源应用为重点的汇总计算和加速计算极具吸引力。这些部门需要在边缘计算和云计算之间做出符合实际的权衡取舍，这通常依靠小型数据中心或本地部署的隔离式高端工业 PC 机。

赛灵思 Alveo 是一个由多个变型产品构成的加速器卡产品线：Alveo U200、Alveo U250、Alveo U280 和本文中提及的新产品 Alveo U50。本产品系列中的每一款加速卡都为云应用加速和边缘（本地）应用加速而开发。整个 Alveo 产品系列的主要特点在于除了提供 PCIe 连接外还提供本地数据（以太网）接口，因此它们是我们在本文中介绍的网络应用的理想选择。

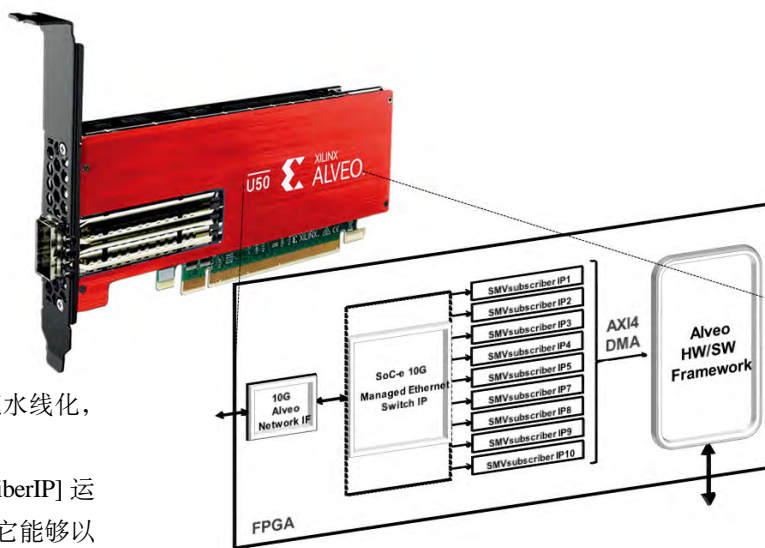


图 3：运行在赛灵思 Alveo U50 卡上的 SMV 订阅加速器；赛灵思推出的 Alveo U50 等型号的紧凑型纤薄加速卡专门用于本地部署加速。

赛灵思 Alveo U50 是一款高性能加速器卡，其外形尺寸小于前几代 Alveo 板卡。它采用被动散热方式，最大热设计功耗 (TDP) 达 75W（典型值为 50W）。它采用单槽（半高、半长）被动散热设计，因此外形显著小于其他 Alveo 板卡。它配备 QSFP28 插槽，通过本地接口可实现 100Gbit 流量。

此外也提供 PCIe 连接，支持 2x PCIe Gen4 x 8 通道。板载 8GB HBM 的存储器访问带宽为 316GB/s。

该电路板的功能借助可编程逻辑具有适配性，有利于特定应用的 SMV 处理。尤其是对于下面介绍的应用而言：

- ◎ **并行处理**：专用 SMV 处理器功能可随多个实例化缩放。
- ◎ **高带宽网络接口**：能够直接发送和接收数据，无需借助外部主机处理器。
- ◎ **应用专用网络协议的定制**：根据 IEC 61850，分级状态路由协议 (HSR) 和弹性分组环协议 (RPR) 是能够从可编程逻辑获益的高可用性网络协议。

Alveo U50 加速器卡推出后，通过将计算功能整合到一个位置，能实现成本效益更优越的网络架构。

SMVsubscriber IP 能够在这类加速器卡上实现。此外，这些卡还可提供高速网络接口，为图 3 所示的这些应用提供综合全面的解决方案。每个 IP 实例具备 1Gbps 的净以太网吞吐量，支持最大精度下的 128 个 SMV 流。对于常见的拥有 10G 联网能力的本地系统，如果将单个 10G 链路连接到该卡，就能为并行运行的 10 个 IP 实例提供工作负载。



### SampleValue Demo Dashboard



Stream 1 selected (Default)

图 4: SMV 流分析的高级应用。

这样的组合能为 1,280 个 SMV 流的处理提供支持。如果按同样的方法使用该卡的第二个网络接口，处理能力还能翻番。这些加速卡的联网能力超越 10G，支持 100G 链接。因此，通过选择具有较高 FPGA 能力的卡型号，解决方案的可扩展性是可行的。

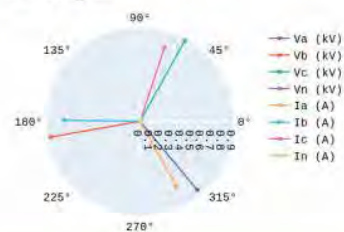
为了从本地服务器或云中的加速计算中获益，需要一个高速网络骨干网。Alveo U50 卡支持 10G 和 100G 的网速。目前，IT 运营商和基础设施供应商向公用事业公司提供这些选项。因此，智能电网中这种连接性的可用性将限制或促进基于大规模实时处理的电网的新应用发展。

由于赛灵思 Alveo 加速器卡上运行的技术具有可重构性，再加上卡的网络功能，不仅可以支持传统网络，还可以支持高可用性和确定性以太网。例如，零延迟恢复时间协议、并行冗余协议 (PRP, IEC 62439-3-Clause 4) 和高可用无缝冗余协议 (HSR, IEC 62439-3-Clause 5)，在现代数字变电站中用于传输 GOOSE 值和 SMV 值。此外，还考虑了对时间敏感的网络 (TSN)，[TSN20] 支持实时流量的新一代以太网。所有这些特定的协议都通过 IP [HSRPRPSOCEIP, TSNSOCEIP] 集成在 Alveo FPGA 上。

使用一张加速卡，可以测量 16 个智能电网位置，例如 DER，假定每个 DER 有 80 个实时测量点，图 4 和图 5 分别显示了为 SMV 监控目的而开发的监控工具，以及在西班牙毕尔巴鄂 (Bilbao) 专用的高带宽 PCIe 扩展系统上运行 SMV 订阅加速器应用的 Alveo 装备。



Phasor Diagram



Channel	Mag (rms, V)	Phase (°)	Mag (rms)
VA	862	399.87	616
VB	876	289.5	619
VC	896	69.68	636
VA	24	38.84	17

Channel	Mag (rms, A)	Phase (°)	Mag (rms)
IA	721	299.22	509
IB	735	179.36	518
IC	748	71.62	530
IN	24	41.18	17



图 5: 专用 PCIe 扩展机箱中运行在 Alveo 上的 SMV 订阅加速器应用。

此装备中使用的加速卡是赛灵思 Alveo U50。它为主机处理器提供 PCIe Gen4 端口，并通过 QSFP28 提供 4x10Gbit/s、4x25Gbit/s 或 1x100Gbit/s 的本地以太网端口。Alveo U50 上还装有 8GB HBM 内存，并配备一个标准的单槽 PCIe 卡，最大功耗为 75W，具有被动冷却功能。

### 结论

无论是对运营网络还是用户网络来说，电网的数字化都是一个持续的过程。具体而言，在最先进的数字化变电站里，已经实现了用以太网广播控制和保护应用所需的电流值和电压值。

新的 DER 系统和电能质量评估应用需要能够实时处理大量此类数据流的技术。

本文提出了一种创新的解决方案，结合硅 IP 和新



代基于 FPGA 的加速器卡来加速数百个 SMV 流的计算。具体来说，具有 SoC-e SMVsubscriber 和 10G MES IP 的赛灵思 U50 加速器卡已经在西班牙毕尔巴鄂 (Bilbao) 试点安装。此解决方案揭示了 SMV 处理的复杂性，并为应用设计人员提供了高级接口。◆

参考文献

[ENTSO19] ENTSO-E, ENTSO-E Area Wind Europe report 2019, <https://www.entsoe.eu>, 2019.  
[61850-9-2] IEC 61850-9-2:2011, Communication networks and systems for power utility automation - Part 9-2: Specific communication service mapping (SCSM) - Sampled values over ISO/IEC 8802-3. <http://www.iec.ch/>. INTERNATIONAL ELECTROTECHNICAL COMMISSION (IEC), 2011.  
[smu615] ABB, Substation Merging Unit SMU615, Product Guide. <https://library.e.abb.com/>. 2019

[CFD2019] ARTECHE GROUP, SDO CFD. FAULT DETECTION ON CABLE SECTIONS IN MIXED HIGH VOLTAGE LINES, <https://www.artech.com>. 2019  
[CIRED19] P. Hovila et al., ADVANCED UTILIZATION OF BIG DATA FOR REAL-TIME MONITORING AND DATA ANALYTICS IN SUNDOM SMART GRID, 25th International Conference on Electricity Distribution, 2019.  
[SMVsubscriberIP] SoC-e S.L., SMVsubscriber IP Core, <https://www.xilinx.com/products/intellectual-property/1-12hrhrp.html>, 2019.  
[TSN20] IEEE Time Sensitive Networking Task Group, IEEE 802.1 Standards. <http://www.ieee802.org/1/pages/tsn.html>. 2020.  
[HSRPRPSOCEIP] SoC-e S.L., HSR-PRP Switch IP Core, <https://www.xilinx.com/products/intellectual-property/1-30q4iz.html>, 2012.  
[TSNSOCEIP] SoC-e S.L., Multiport TSN Switch IP. <http://soc-e.com/mtsn-multiport-tsnswitch-ip-core/>. 2020.

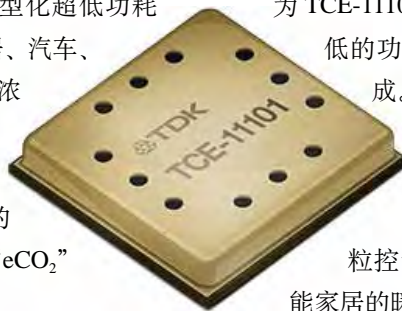
## 基于MEMS的创新CO<sub>2</sub>气体传感器

TDK 株式会社推出 TCE-11101 小型化超低功耗 MEMS 平台，可以直接准确地检测家居、汽车、物联网、医疗保健和其他应用中 CO<sub>2</sub> 浓度。

目前市场上的气体传感器或者使用体积庞大、耗电量且价格昂贵的光学技术；或者使用本质上不准确的“eCO<sub>2</sub>”（当量二氧化碳）方法。

TCE-11101 平台是基于 TDK 各种技术的突破性平台，融合 TDK 独一无二的新材料开发、MEMS 工艺技术、人工智能和机器学习能力等，提供一个体积远远小于传统传感器、耗电量小于 1 mW 功率，并能精确测量 CO<sub>2</sub> 气体浓度的解决方案。

作为新的 SmartEnviro™ 系列产品的一部分，TCE-11101 大大扩展了在各种新应用和现有应用中使用 CO<sub>2</sub> 检测的情况。在这些应用中，传统传感器由于尺寸和功率问题或仅仅因为使用经济性而无法使用。“eCO<sub>2</sub>”解决方案由于性能不佳而无法使用。举例来说，TCE-11101 是固定位置或机器人室内空气质量监测等应用的理想选择，因



为 TCE-11101 能够提供精确的二氧化碳读数，具有极低的功耗，封装尺寸小，同时成本较低，易于集成。另外，在需要控制通风 (DCV) 的应用中，TCE-11101 通过精确地测量二氧化碳水平来精确地指示房间或给定空间中二氧化碳的占有率，可以执行暖通空调系统的颗粒控制 - 这些信息可以用于优化智能建筑或智能家居的暖通空调能耗。

气体传感器平台解决方案：

- TCE-11101 封装在一个 5 mm x 5 mm x 1 mm 28 管脚 LGA 封装中，配备了金属帽并集成颗粒过滤器，确保长使用寿命。内部集成 ASIC 提供自动校准、数据上报，以及 I<sup>2</sup>C 接口用于数据输出和器件配置。这使它可以非常容易地集成到几乎任何应用中，它的低功耗也使它可以在电池供电的设备中使用。

- DK-11101 是 TDK 提供的一个全面的评估工具包和配套软件，从而开发人员可以快速评估 TCE-11101 并将 TCE-11101 集成到他们的下一个设计中。

## BGA Ball Placement Station 全自动BGA植球机VT-860L

VT-860L系列是一款完全自动的锡球植入机器，适用于BGA，WLCSP，PoP等各类BGA器件的植球



- 自动生成程序，专业的软件系统自动生成植球所需要的相关数据
- 印刷系统，实现FLUX或锡膏自动印刷
- 高精度的锡球植入系统，精度0.02mm
- 光学检查系统，专业的光学影像检查系统对植入锡球检查
- 全自动化，根据选取的程序，一键式操作，自动完成印刷与植球
- 机器自带真空收球装置，预留氮气装置防止锡球氧化
- 4M追溯，无缝对接MES系统

### 产品目录

- ▶ BGA返修台
- ▶ PCBA基板除锡机
- ▶ PTH返修站
- ▶ BGA除锡机
- ▶ BGA印刷机
- ▶ BGA植球机
- ▶ SMD热风拆焊台
- ▶ 视频显微镜
- ▶ BGA植球回焊炉

### 联系方式



座机：+86 0769-2322-6000

电话：+86 188-1681-8769

网址：<http://www.vttech.cn>





Advertiser	广告商名称	网址	页码
EV Group		www.EVGroup.com	BC
苏州艾斯达克		www.intelligent-stock.com	13
ITW EAE		www.itweae.com	17
LB Semicon		www.lbsemicon.com	19
麦克奥迪实业集团有限公司		www.motic.com	21
OLYMPUS		www.olympus-ims.com.cn	IFC
锐德热力		www.rehm-group.com	1
SEMICON China 2021		www.semiconchina.org www.fpdchina.org	IBC
三英精控(天津)仪器设备有限公司		www.symc-tec.com	29
崑泰科技		www.vttech.cn	47
中建南方		www.zjnf.cn	9

## 欢迎投稿

《半导体芯科技》(Silicon Semiconductor China, SiSC)是面向中国半导体行业的专业媒体,已获得全球知名权威杂志《Silicon Semiconductor》的独家授权。本刊针对中国半导体市场特点遴选相关优秀文章翻译,并汇集编辑稿、采编国内外半导体行业新闻、深度分析和权威评论等多方面内容。本刊由香港雅时国际商讯(Act International)以简体中文出版发行。

本刊内容覆盖半导体制造工艺技术、封装、设备、材料、测试、MEMS、mini/Micro-LED等。文章重点关注以下内容:

### FAB (Foundry, IDM, OSAT, R&D)

四个环节:晶圆制造(wafer后道)、芯片制造、先进封装、洁净室;深入报道与之相关的制造工艺、材料分析、工艺材料、工艺设备、测试设备、辅助设备、系统工程、关键零备件,以及与particle(颗粒度)及contamination(沾污)控制等厂务知识。

### FABLESS

芯片设计方案、设计工具,以及与掩膜版内容和导入相关的资讯。

### 半导体基础材料及其应用

III-V族、II-VI族等先进半导体材料的科学研究成果,以及未来热门应用。

《半导体芯科技》欢迎读者、供应商以及相关科研单位投稿,已甄选中文稿件将在印刷版杂志以及网上杂志刊登;IC设计及应用等半导体相关内容将酌情予以网络发表(微信推送、杂志网站)。本刊优先刊登中文来稿(翻译稿请附上英文原稿)。

### 技术文章要求

- 论点突出、论据充分:围绕主题展开话题,如工艺提升、技术改造、系统导入、新品应用,等等。
- 结构严谨、短小精悍:从发现问题到解决问题、经验总结,一目了然,字数以3000字左右为宜。
- 文章最好配有2-4幅与内容有关的插图或图表。插图、图表按图1、图2、表1、表2等依次排序,编号与文中的图表编号一致。
- 请注明作者姓名、职务及所在公司或机构名称。作者人数以四人为限。
- 文章版权归作者所有,请勿一稿多投。稿件一经发表如需转载需经本刊同意。
- 请随稿件注明联系方式(电话、电子邮件)。

### 新产品要求

- 新产品必须是在中国市场新上市、可在中国销售的。
- 新产品稿件的内容应包含产品的名称、型号、功能、主要性能和特点、用途等。
- 新产品投稿要求短小精悍,中文字数300-400字左右。
- 来稿请附产品照片,照片分辨率不低于300dpi,最好是以单色作为背景。
- 来稿请注明能提供进一步信息的人员姓名、电话、电子邮件。

电子邮箱: mizyH@actintl.com.hk,  
sunnieZ@actintl.com.hk

## 行政人员 Administration

### HK Head Office (香港总部)

#### ACT International (雅时国际商讯)

Unit B, 13/F, Por Yen Buiding,  
No. 478 Castle Peak Road,  
Cheung Sha Wan, Kowloon, Hong Kong  
Tel: 852 28386298

#### Publishing Director (出版总监)

Adonis Mak (麦协林), adonism@actintl.com.hk

#### Editor-in-Chief (编辑)

Sunnie Zhao (赵雪芹), sunnieZ@actintl.com.hk  
Mizy He (贺贵鸿), mizyH@actintl.com.hk

#### Sales Director (销售总监)

Eva Liu (刘婷), eval@actintl.com.hk

#### General Manager-China (中国区总经理)

Michael Tsui (徐旭升), michaelT@actintl.com.hk

### London Office

Hannay House, 39 Clarendon Road  
Watford, Herts, WD17 1JA, UK.  
T: +44 (0)1923 690200

### Coventry Office

Unit 6, Bow Court, Fletchworth Gate  
Burnsall Road, Coventry, CV5 6SP, UK.  
T: +44 (0)2476 718 970

### Publisher & Editor-SiS English

Jackie Cannon, jackie.cannon@angelbc.com  
+44 (0)1923 690205

## 销售人员 Sales Offices

### China (中国)

#### Shenzhen (深圳)

Jenny Li (李文娟), jennyl@actintl.com.hk  
Gavin Hua (华北平), gavinH@actintl.com.hk  
Tel: 86 755 25988573 / 25988567

#### Shanghai (上海)

Hatter Yao (姚丽莹), hattery@actintl.com.hk  
Helena Xu (许海燕), helenax@actintl.com.hk  
Amber Li (李歆), amberL@actintl.com.hk  
Tel: 86 21 6251 1200

#### Beijing (北京)

Cecily Bian (边团芳), cecilyB@actintl.com.hk  
Tel: 86 135 5262 1310

#### Wuhan (武汉)

Eva Liu (刘婷), eval@actintl.com.hk  
Tel: 86 138 8603 3073  
Sky Chen (陈燕), skyc@actintl.com.hk  
Tel: 86 137 2373 9991  
Grace Zhu (朱婉婷), graceZ@actintl.com.hk  
Tel: 86 159 1532 6267

### Hong Kong (香港特别行政区)

Mark Mak (麦协和), markm@actintl.com.hk  
Tel: 852 2838 6298

### Asia

#### Japan (日本)

Masaki Mori, masaki.mori@ex-press.jp  
Tel: 81 3 6721 9890

#### Korea (韩国)

Lucky Kim, semieri@semieri.co.kr  
Tel: 82 2 574 2466

#### Taiwan, Singapore, Malaysia

(台湾, 新加坡, 马来西亚)  
Regional Sales Director  
Mark Mak (麦协和), markm@actintl.com.hk  
Tel: 852 2838 6298

#### US (美国)

Janice Jenkins, jjenkins@brunmedia.com  
Tel: 724 929 3550  
Tom Brun, tbrun@brunmedia.com  
Tel: 724 539 2404

#### Europe (欧洲)

Shehzad Munshi, Shehzad.Munshi@angelbc.com  
Tel: +44 (0)1923 690215  
Jackie Cannon, Jackie.cannon@angelbc.com  
Tel: +44 (0) 1923 690205

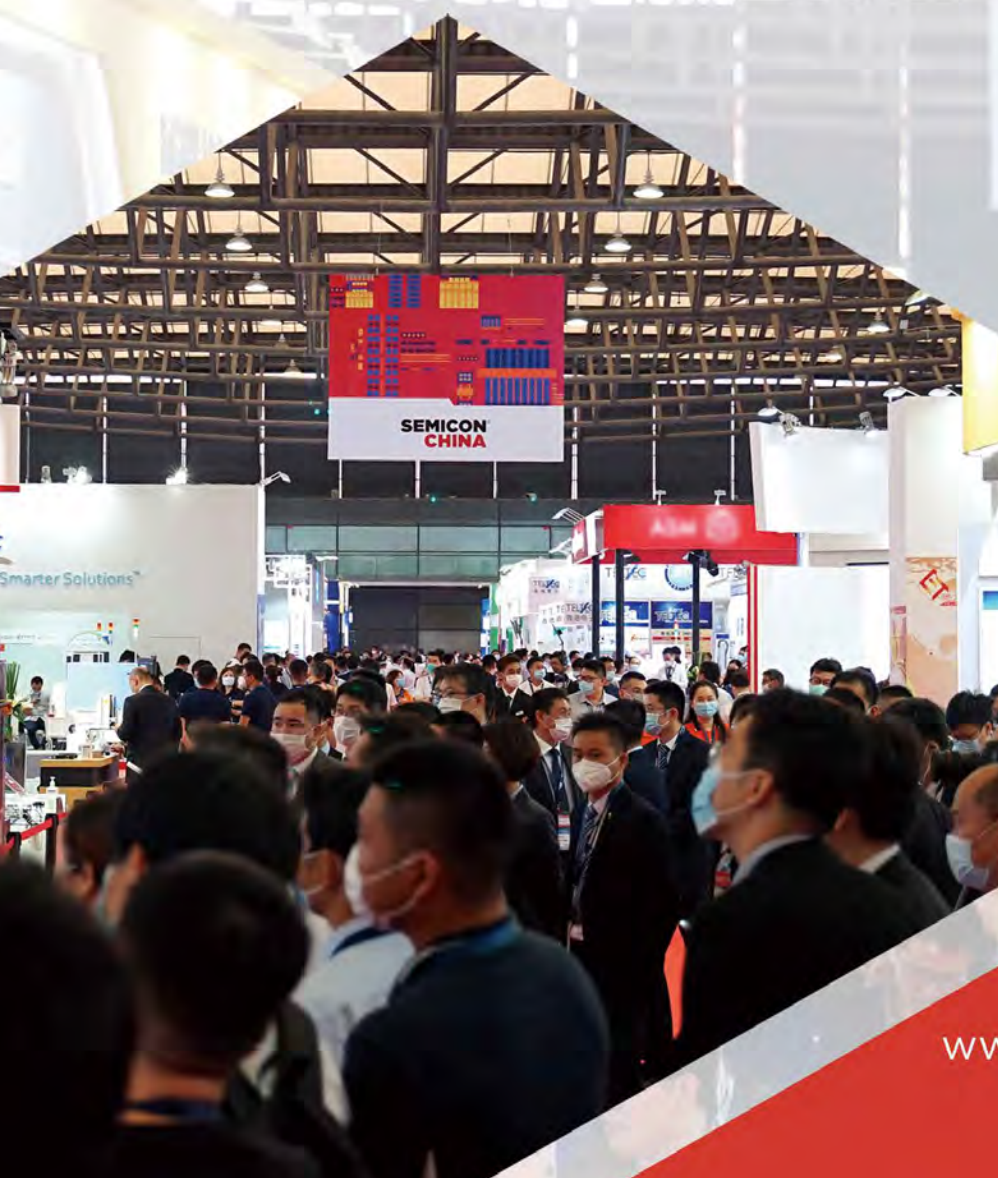
# SEMICON<sup>®</sup> CHINA

## FPDCHINA 跨界全球·心芯相联

# 国际半导体专业展

CONNECT · COLLABORATE · INNOVATE

2021年3月17-19日 上海新国际博览中心



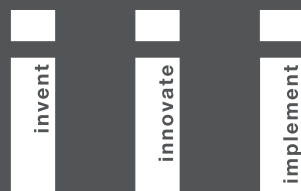
SEMICON  
CHINA

预注册赢iWatch!



[www.semiconchina.org](http://www.semiconchina.org)  
[www.fpdchina.org](http://www.fpdchina.org)





[www.EVGroup.com](http://www.EVGroup.com)

# 晶片与晶圆键合的解决方案 (D2W)

- 熔融键合和混合键合应用在下一代异构集成
- 集成的D2W键合凭借广泛的载具制备及晶片处理的知识得以实现
- EVG® 320 D2W 拥有整套的方案直接放置晶片到衬底并活化和清洁
- 具备量产的设备解决方案成功应用于芯片集成
- 异构集成能力中心™ 作为客户和合作伙伴的前沿孵化中心

**SEMICON®  
CHINA**

参观我们#N2-2387号展台

请和我们联系，我们关注你们的需求！

[www.EVGroup.com](http://www.EVGroup.com)



EVG® 320 D2W