

半导体芯科技



SILICON
SEMICONDUCTOR

CHINA

ISSN 2523-1294

www.siscmag.com

2025年 2/3月

c.met
yxlon

面向先进封装的 新一代3D X射线检测技术

P.12

全自动光子集成和封装解决方案 P.16

超越 AOI: AI驱动视觉检测技术革命 P.21

半导体测试过程的自动化 P.26

2025年全球6G技术发展趋势 P.37

ACT
INTERNATIONAL

Angel
BUSINESS COMMUNICATIONS



微信公众号

国际知名媒体授权 报道全球高新科技信息



免费索阅

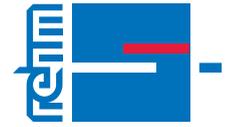
服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体
半导体制造、洁净及污染控制、电磁兼容等领域的专业读者及与会者

品牌会议



国际代理

- CQ Publishing (Japan) Chomdan (Korea) Pan Global (Europe)
- Endeavor Business Media (USA) Horizon House (USA) Angel Business Communications (UK)



THERMAL SYSTEMS

be pART
of connectivity



Production equipment for many sectors

From cars and smartphones to consumer electronics: the quality of Rehm Thermal Systems can be found in many end products. Numerous companies from a wide range of industries rely on our reflow soldering systems for convection, condensation and contact soldering (also under vacuum) as well as on our dispensing and coating systems, because we offer customised solutions with the highest level of quality!

www.rehm-group.com

Visit us at
productronica
China

March 26 – 28, 2025
Booth: Hall E4, 4518

Shanghai New International
Expo Centre

上海新国际博览中心

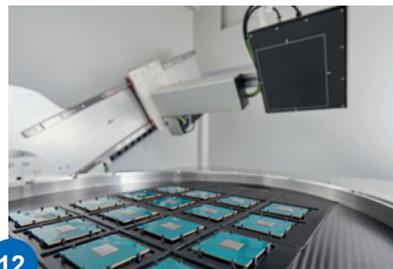
目录 CONTENTS

封面故事 Cover Story

12 面向先进封装的新一代 3D X 射线检测：改善探测清晰度、提高探查速度、显示更多细节

Next Gen 3D X-Ray Inspection for Advanced Packaging: To see better. Faster. More

随着 3D IC 封装变得日益复杂，要求越来越严苛，传统的检测技术已经难以跟上其发展。由人工智能强力加持的 3D X 射线检测，能在不牺牲速度、不损坏珍贵样品的情况下，提供更高的分辨率，这种新型检测技术正逐步改变制造商查看其产品的方式。



12

编者寄语 Editor's Note

4 半导体封装技术的新兴趋势



行业聚焦 Industry Focus

5 天成先进 12 英寸晶圆级 TSV 立体集成生产线投产

5 ASMP 推出 NUCLEUS XL plus 扇外型面板级封装系统

6 DELO 推出新型点胶截流阀

6 面向功率半导体的片状接合材料 - AgSn TLP 片

7 创新干式光刻胶加快下一代器件生产

8 UF 120LA：下一代高可靠性、焊剂残留 100% 可兼容的填充材料

8 布法罗大学研究人员将硅与二维材料混合开发新型半导体技术

9 创新 CCD-in-CMOS 技术可实现超快速突发模式成像

10 中国科学家在集成光量子芯片领域取得突破



5



21

关于雅时国际商讯 (ACT International)



雅时国际商讯 (ACT International) 成立于1998年，为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品 - 包括杂志和网上出版物、培训、会议和活动 - 为跨国公司及中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站，以及各种技术会议，服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、半导体制造、洁净及污染控制、电磁兼容等领域的约二十多万专业读者及与会者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港，在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 200,000 professional readers and audiences in fields of electronic manufacturing, machine vision system design, laser/photronics, RF/microwave, cleanroom and contamination control, compound semiconductor, semiconductor manufacturing and electromagnetic compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan.

关于《半导体芯科技》

《半导体芯科技》(原半导体科技)中国版 (SiSC) 是全球最重要和最权威的杂志Silicon Semiconductor的“姐妹”杂志，由香港雅时国际商讯出版，报道最新半导体产业新闻、深度分析和权威评论。为中国半导体专业人士，提供他们需要的商业、技术和产品信息，帮助他们做出购买决策。《半导体芯科技》内容覆盖半导体制造、先进封装、晶片生产、集成电路、MEMS、平板显示器等。杂志服务于中国半导体产业，包括IC设计、制造、封装及应用等。

About Silicon Semiconductor China

Silicon Semiconductor China is the 'sister' title to Silicon Semiconductor - the world most respected and authoritative publication, published by ACT International in Hong Kong (former SST China), reports the latest news, in-depth analysis, and authoritative commentary on the semiconductor industry. It provides for Chinese semiconductor professionals with the business and technology & product information they need to make informed purchasing decisions. Its editorial covers semiconductor manufacturing, advanced packaging, wafer fabrication, integrated circuits, MEMS, FPDs, etc. The publication serves Chinese semiconductor industry, from IC design, manufacture, package to application, etc.

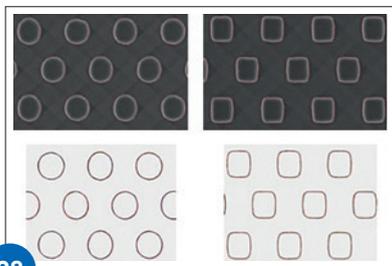
目录 CONTENTS

技术 Technology

- 16 采用全自动光子引线键合和腔面连接微透镜让未来的光子学走进日常生活
Bringing tomorrow's photonics to life with fully automated photonic wire bonding and facet-attached micro-lenses
- 21 超越 AOI : 人工智能驱动视觉检测技术革命
Beyond AOI: An AI-driven revolution in visual inspection
- 26 半导体测试过程的自动化 : 现代生产的关键因素
Automation in semiconductor test processes: a key factor in modern production
- 28 为什么掩模版世界正在转向曲线 (二)
Why the mask world is moving to curvilinear (2)



26



28

专栏 Column

- 33 用人工智能和仿真技术推动半导体行业发展
Evolving the semiconductor industry with AI and simulation
- 35 NoC 软瓦格化为 AI 驱动型设计提供可扩展的解决方案
NoC Soft Tiling Enables Scalable Solutions for AI-Driven Designs
- 37 2025 年全球 6G 技术发展趋势
2025 6G A look forward
- 40 广告索引 Ad Index



37

《半导体芯科技》编委会 (排名不分先后)

- 徐冬梅 教授级高工 中国半导体行业协会副秘书长兼封测分会秘书长
- 于大全 教授 厦门云天半导体创始人
- 姚大平 博士 江苏中科智芯集成科技有限公司总经理
- 汤 晖 教授 广东工业大学、精密电子制造技术与装备国家重点实验室
- 罗仕洲 教授 磐允科技总经理
- 林挺宇 博士 广东芯华微电子有限公司总经理
- 杨利华 院长 两江半导体研究院
- 王文利 教授 西安电子科技大学电子可靠性 (深圳) 研究中心主任 雅时国际商讯顾问
- 刘功桂 教授级高工 中国电器科学研究院股份有限公司威凯技术中心主任
- 徐开凯 教授 电子科技大学、电子薄膜与集成器件国家重点实验室
- 何 进 教授 北京大学教授、深圳系统芯片设计重点实验室主任

社长 Publisher

麦协林 Adonis Mak

adonism@actintl.com.hk

荣誉顾问 Honorary advisor

刘胜院士 Academician Liu Sheng

主编 Editor in Chief

赵雪芹 Sunnie Zhao

sunniez@actintl.com.hk

出版社 Publishing House

雅时国际通讯 ACT International

香港九龙 B,13/F, Por Yen Bldg,

长沙湾青山道478号 478 Castle Peak Road,

百欣大厦 Cheung Sha Wan,

13楼B室 Kowloon, Hong Kong

Tel: (852) 2838 6298

Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988573 /25988567

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 82201291

UK Office

Angel Business

Communications Ltd.

6 Bow Court,

Fletchworth Gate,

Burnsall Road, Coventry,

CV56SP, UK

Tel: +44 (0)1923 690200

Chief Operating Officer

Stephen Whitehurst

stephen.whitehurst@angelbc.com

Tel: +44 (0)2476 718970




ISSN 2523-1294

© 2025 版权所有 翻印必究

半导体封装技术的新兴趋势

新兴的 2.5D 和 3D 混合键合等先进半导体封装技术,对于提高人工智能 (AI) 和高性能计算 (HPC) 等各种应用的系统性能至关重要。IDTechEx 最近发布了报告《2025-2035 年先进半导体封装: 预测、技术、应用》(Advanced Semiconductor Packaging 2025-2035: Forecasts, Technologies, Applications), 深入探讨了封装技术的发展和面临的挑战, 并提供了对该领域的市场预测。

半导体封装已从传统的一维 PCB 设计发展到晶圆级的尖端三维混合键合。这一进步使互连间距达到了个位数微米范围, 带宽高达 1000 GB/s, 同时还能保持较高的能效。先进半导体封装技术的核心是 2.5D 封装和 3D 封装, 前者是将组件并排放置在中介层上, 后者则是垂直堆叠有源芯片。

2.5D 封装技术涉及各种中介层材料, 每种材料具有不同的优点和缺点。硅中介层, 包括完整的无源硅晶圆和局部硅桥, 以便于最精细的布线特性而著称, 是高性能计算的理想选择。然而, 它们的材料和制造成本都很高, 而且封装面积也受到限制。为了缓解这些问题, 局部硅桥的使用越来越多, 在需要精细特征的地方策略性地利用硅, 并解决面积限制问题。

有机中介层使用扇出型模塑料, 是比硅更具成本效益的一种替代品。它们的介电常数较低, 可减少封装中的 RC 延迟。尽管有这些优点, 但有机中介层在实现与硅基封装相同的互连特征尺寸缩减方面存在困难, 从而限制了其在高性能计算应用中的采用。

玻璃中介层引起了人们极大的兴趣, 特别是在英特尔发布了基于玻璃的试验车辆封装之后。玻璃具有可调热膨胀系数 (CTE)、尺寸稳定性高、表面光滑平整、可实现面板制造等优势特性, 使其具有可与硅媲美的布线特性, 成为有前途的中介层候选材料。然而, 玻璃中介层的主要缺点是生态系统不成熟, 目前缺乏大规模生产能力, 此外还存在技术挑战。随着生态系统的成熟和生产能力的提高, 半导体封装中的玻璃基技术可能会得到进一步的发展和应用。

在 3D 封装技术方面, 铜-铜 (Cu-Cu) 无凸块混合键合技术正在成为领先的创新技术。这种先进技术通过将介电材料 (如 SiO₂) 与嵌入金属 (Cu) 相结合来实现永久互连。Cu-Cu 混合键合可实现低于 10 微米的间距。这与传统微凸块技术相比是一个重大的进步, 传统微凸块技术的凸块间距约为 40-50 微米。混合键合技术的优点包括增加 I/O、提高带宽、改进 3D 垂直堆叠、提高能效, 以及由于没有底部填充而减少寄生效应和热阻。3D Cu-Cu 混合键合已用于多种高端服务器产品以及多种 3D 堆叠中, 预计将在未来 HBM 进步中发挥关键作用。不过, 这种技术制造复杂, 成本较高。

根据 IDTechEx 报告, 2.5D 和 3D 封装值得关注的主要趋势: 更大的中介层面积; 面板级封装; 玻璃中介层; HBM 混合键合; 共封装光学元件。

推动 2.5D 和 3D 封装技术发展的主要市场无疑是 HPC 领域。随着对更高数据吞吐量和更高功率效率的需求不断增长, 除了 HPC, 通信、消费电子等其他市场也同样有望通过采用先进的封装技术实现增长。

赵雪芹

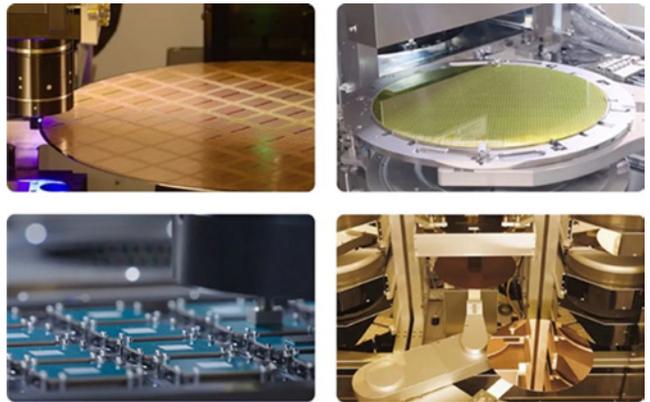
天成先进12英寸晶圆级TSV立体集成生产线投产

天成先进 12 英寸晶圆级 TSV 立体集成生产线近日正式投产！本次投产聚焦三大类型，共计六款产品，产品基于天成先进“九重”晶圆级三维集成技术体系，围绕“纵横 (2.5D)”、“洞天 (3D)”、“方圆 (MicroAssembly)”三大技术方向，覆盖智能驾驶、传感成像、数据通信等多个领域用户。

珠海天成先进半导体科技有限公司成立于 2023 年 4 月，公司定位于行业领先的 TSV 立体集成科研生产基地，聚焦新一代立体集成产品、微系统产品，打造覆盖立体集成全系列产品的技术研发、生产制造、解决方案服务平台。

天成先进致力于半导体晶圆立体集成技术的研发与创新，建立了业界首个用中文命名的晶圆级三维集成技术体系——“九重”，公司以“高深宽比 TSV 硅通孔技术”、“双大马士革 RDL 重布线技术”、“多芯集成大晶圆重构技术”以及“多维互连高密度组装技术”为核心技术，建立起完整的中道工艺技术架构，为用户提供完善的 12 英寸系统集成与晶圆级先进封装解决方案。

天成先进通线投产同步取得三标体系认证：顺利通过全球权威检验鉴定和测试认证机构——SGS 通标标准



技术服务有限公司的审核，荣获 ISO 9001:2015 质量体系、ISO 14001:2015 环境管理体系以及 ISO 45001:2018 职业健康安全管理体系三大权威认证证书，是公司经营管理水平全面跃升的重要标志。

天成先进一期建设完成后将具备年产 24 万片 TSV 立体集成产品生产能力和二期建成后具备年产 60 万片生产能力，在人工智能、高性能计算、自动驾驶、传感与成像、射频与通信、消费电子及生物医学领域具有广泛的应用。

ASMPT 推出 NUCLEUS XL plus 扇出型面板级封装系统

ASMPT 推出高精度多功能 NUCLEUS XLplus 取放设备。在人工智能时代，扇出封装正成为半导体量产的关键技术。ASMPT 的 NUCLEUS 系列专为 2.5D、扇出式和嵌入式封装以及完整的晶圆和面板级组装而开发，ASMPT 正在为这一发展设定新的标准。NUCLEUS 系列以更低的成本提供更高的性能和更多的功能。

NUCLEUS XLplus 是 ASMPT 用于扇出型面板级封装 (FOPLP) 的创新平台。它是根据 SEMI3D20 标准开发的，在 SiP 粘合方面具有极高的精度，在扇出工艺方面具有极高的灵活性。NUCLEUS



XLplus 的主要特点包括：

- * 适用于各种封装配置，从倒装芯片到多芯片应用的直接芯片连接，以满足异构集成 (HI) 芯片组的要求。
- * 可在最大 600×600 毫米的超大基板上进行加工。
- * 在高端应用中，具有用于高粘合力和高温度的可选功能。
- * 自动化程度更高，能够自动上下料和更换工具；符合 SECS/GEM 标准。

ASMPT 先进封装业务开发副总裁 Nelson Fan 说：“随着人工智能产业不断突破计算能力的极限，对高性能计算和人工智能芯片日益增长的需求正成为先进封装技术创新的关键驱动力。通过 NUCLEUS XLplus，我们提供了推动数字世界发展的完美解决方案。ASMPT 是扇出式封装技术的先驱，有了我们的机器，全球制造商将为市场带来下一代人工智能应用。”

DELO推出新型点胶截流阀

DELO 工业粘合剂公司为其粘合剂点胶系统产品系列推出了一种新型截流阀 DELO-DOT RE。它补充了 DELO 点胶设备组合，既具备喷射或容积式点胶等高端系统的可重复性和可控性，又具有直接从胶管点胶的简便性。

借助压缩空气，气动截流阀展现出许多特性，这些特性不仅提升了操作的可重复性，还有助于确保粘接质量。在点胶后，DELO-DOT RE 的针头不是简单地停止空气压缩，而是“截流”，通过轻微回拉以逆转粘合剂的流动，从而产生真空效应，这样能够立即阻止粘合剂的流动，防止溢胶。这一截流装置提高了点胶的精确度和可控性。

DELO-DOT RE 最小点胶量为 0.09 μ l。这比市场上其他截流阀或直接从胶管点胶的方式要低得多。此外，它的标准差偏差低于 3%。这远低于通过胶管直接点胶的水平，并且与许多高端喷射阀的标准相符。

它的尺寸仅为 33 \times 25 \times 112mm，几乎可以轻松集成到任何生产线中，只需额外增加 18mm 的宽度以安装胶管。同样，它的重量不到 100g，对现有系统的影响极小。

其驱动器与分配器的流体系统完全隔离，因此组装和

拆卸变得非常简单，无需工具。借助位于驱动器组件上的弹簧加固夹，无需工具，也可更换胶管。与容积式点胶不同的是，任何与流体接触的部分都被完全密封，并且可以轻松更换。

DELO-DOT RE 这些特性综合起来，在许多潜在的应用领域中发挥作用。在半导体封装以及摄像头的主动校准过程中，通常更倾向于直接从胶管中进行点胶。然而，与直接点胶不同的是，截流阀在操作过程中不会产生溢胶或气泡，从而提高了产量。半导体盖板粘接通常也是通过直接点胶来完成的，在这种情况下，阀门的截流装置为胶线厚度的连续性提供了必要的控制。



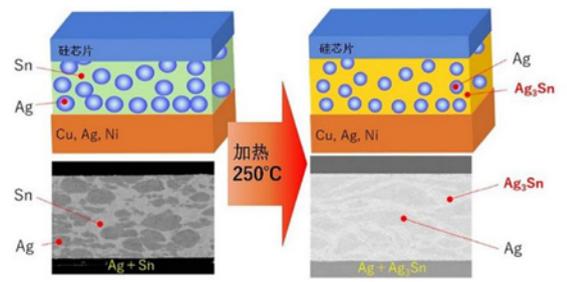
有了DELO这种易于使用的新型截流阀 DELO-DOT RE，气泡和溢胶现象将不复存在（插图：DELO）

面向功率半导体的片状接合材料— AgSn TLP片

田中贵金属工业株式会社成功开发出功率半导体封装制造中用于芯片贴装的片状接合材料 - AgSn TLP 片。该产品除了用于功率半导体的芯片贴装之外，还有望作为热界面材料（TIM 材料）的替代材料扩展应用到散热件的大面积接合上。



<AgSn TLP 片>



<接合示意图>

可实现大电流型的大型硅芯片接合的片状接合构件

近年来，以电动汽车、混动汽车、工业基础设施等用途为中心，对大电流型的功率半导体的需求正日益增加。与此同时，在大型化的硅芯片的接合中，需要既能保证较高的可靠性，又能接合大面积的材料。此次发布的 AgSn TLP 片支持最大 20mm 的半导体芯片接合，而且还可以在 3.3 MPa 的低压下进行接合，对提高半导体制造中的成品率做出贡献。

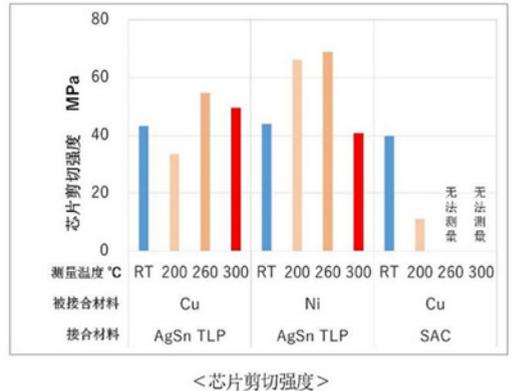
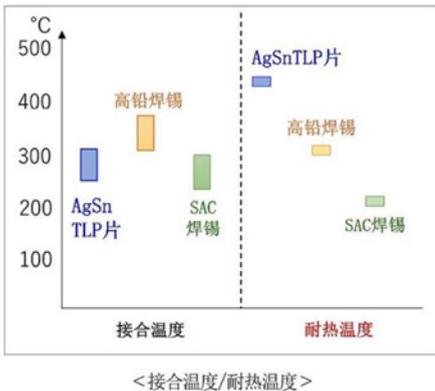
有助于低温接合和功率半导体所需的高耐热性和热管理

包括功率半导体在内的半导体器件会受到高温带来的故障和低寿命化的影响，因此要求具有高温耐热性。此外，在功率半导体封装制造中，由于存在环境负荷，目前在采用的高铅焊料、耐热性较低的 SAC 锡焊、银（Ag）烧结剂等主要接合材料正在推进向其他材料切换。该产品可在 250 $^{\circ}$ C 的加热温度下进行液相扩扩散接合（Transient Liquid Phase Diffusion Bonding, TLP 接合）。接合后，由

于耐热温度升至 480℃，具有比现有材料更高的耐热性。此外，由于可以维持在最大 50MPa 的接合强度，还能应对各种各样的接合材料。而且，该产品是无铅的接合构件，还通过了 3000 次热循环测试，具有较高接合可靠性。

此外，由于可实现大面积接合，除了用作功率半导体的

芯片贴装材料外，还设想用作 TIM 材料的替代材料。在半导体封装制造中，虽然已开发了各种具有较高热导率的材料，但 TIM 材料的低热导率一直是所有热设计的瓶颈。



该产品是能够大面积接合 50mm 以上的 TIM 材料，并具有较高热导率的接合材料，有望对半导体封装制造中的热管理做出贡献。

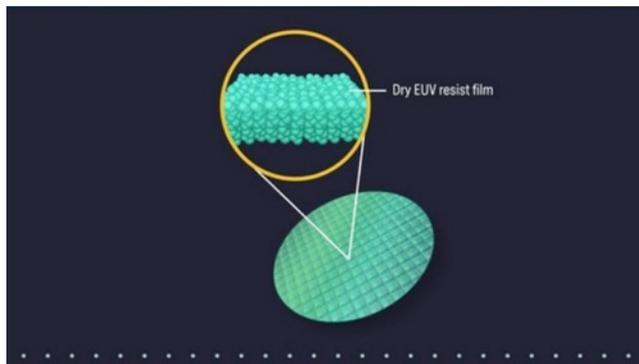
创新干式光刻胶加快下一代器件生产

泛林集团 Lam Research 宣布，其干式光刻胶技术成功通过 imec 认证，可在逻辑半导体后道工艺互连层制作中实现 28nm 间距的直接图案化，能满足 2nm 及以下先进制程的需求。

目前在先进制程领域常用的光刻胶为基于化学放大原理的湿式旋涂光刻胶，而 Lam 的干式光刻胶则是由小于 0.5nm 的金属有机微粒气相沉积而来。Lam 宣称其干式光刻胶具有更优秀的光子捕获能力，同时光刻胶层的厚度也更容易调控。

干式光刻胶是 Lam 在 2020 年推出的一项突破性技术，它提高了极紫外 (EUV) 光刻技术的分辨率、生产率和良品率，而 EUV 光刻技术是用于生产下一代半导体器件的关键技术。

Lam 的 Aether 干式光刻胶技术已被一家领先的内存



制造商选为其最先进的 DRAM 工艺的生产工具。这家内存制造商将在其最先进的 DRAM 节点中采用 Aether® 工具来形成干式光刻胶底层和薄膜，并使用干式显影工艺。这些工艺解决了传统的曝光剂量和制造缺陷之间的权衡问题，实现了精确、低缺陷的图案化。这一进步降低了成本，提高了扫描仪在制造下一代半导体器件时的生产率。

Lam 首席技术和可持续发展官 Vahid Vahedi 表示：“Lam 的干式光刻胶方法克服了将精细 DRAM 设计转移到晶圆上的最大挑战，实现了低缺陷、高保真精度，同时还在成本和可持续发展方面提供了关键优势。我们很荣幸能与行业领导者合作，加速这一 DRAM 图案化创新进入大批量生产阶段。”

能源和计算密集型应用需要在越来越小的空间内不断扩大内存容量，以降低每比特数据的成本。这种扩展的一个关键推动因素是全行业采用 EUV 光刻技术。Lam 的干式光刻胶技术优化了从光刻胶应用、堆栈沉积到最终蚀刻和清洁的图案化过程，与传统的化学放大光刻胶图案化相比具有多项优势。

Aether® 可显著提高 EUV 灵敏度和每个晶圆通道的分辨率，使最具挑战性的图案更好地附着在晶圆上，从而提高性能和良率。此外，与传统的湿化学光刻胶工艺相比，Aether® 能耗更低、化学药剂用量减少五至十倍，因此具有重要的可持续发展优势。

UF 120LA：下一代高可靠性、焊剂残留100%可兼容的填充材料

YINCAE 推出了 UF 120LA，这是一种高纯度液态环氧树脂填充材料，专为先进的电子封装设计。UF 120LA 具有卓越的流动性，可以填充至 20 μ 的狭小间隙，避免了清洁过程，从而降低了成本和环境影响，同时在 BGA、翻转芯片、WLCSP 和多芯片模块等应用中确保卓越的性能。

UF 120LA 能经受 5 次 260 $^{\circ}$ C 回流循环而不发生焊点变形，超越了需要清洁的竞争对手。其在较低温度下即可固化的特点提高了生产效率，非常适合用于存储卡、芯片载体和混合集成电路。

UF 120LA 的优异热性能和机械耐久性使制造商能够开发出更紧凑、可靠且高性能的设备，推动微型化、边缘计算和物联网 (IoT) 连接的趋势。这项技术进步将增强对 5G 和 6G 基础设施、自动驾驶汽车、航空航天系统和

可穿戴技术等关键应用的生产，其中可靠性和耐用性至关重要。此外，通过简化制造流程，UF 120LA 还能加快消费电子产品的市场推出速度，有可能重新塑造供应链效率并创造规模经济的新机会。

从长远来看，这项技术的广泛应用可能会彻底改变半导体封装领域，为越来越复杂的电子设备奠定基础，这些设备将更轻、更高效，并能在极端环境下保持更强的韧性。

主要优势：

- 无清洗兼容性 – 与所有无清洗焊膏残留兼容。
- 节省成本 – 省去清洁过程和污染控制。
- 高热可靠性 – 经得起多次回流循环而不变形。
- 卓越的流动性 – 可填充至 20 μ 的狭窄间隙。
- 低翘曲 – 低 CTE 和高热稳定性。

布法罗大学研究人员将硅与二维材料混合开发新型半导体技术

由美国布法罗大学领导的一项研究发表在 1 月 6 日出版的美国化学学会 (ACS) 期刊《ACS Nano》上，这项工作由布法罗大学先进半导体技术中心的研究人员完成，可能会带来高能效的微电子技术。文章提出了一种注入和传输电荷的更好方法，探讨了将二维材料与硅混合来实现这一目标。这一研究进展展示了二维材料在推动未来半导体技术发展方面的巨大潜力。

“我们的工作研究了如何将新兴的二维材料与现有的硅技术相结合，以增强功能和提高性能，为高能效纳米电子学铺平道路，”该研究文章的主要作者、电子工程系副教授 Huamin Li 博士说。“更复杂的三端子晶体管等器件，可以受益于我们的发现，实现更强的功能和性能。”

该研究文章的共同作者，材料设计与创新系助理教授 Fei Yao 博士说：“作为科学家，我们希望把元件做得更小，这样它们就能在更小的空间里做更多的工作。这将使我们能够创造出功能更强大、结构更紧凑的先进技术。”

该研究文章的共同合作者还有电子工程系教授 Vasili Perebeinos 博士。这三人都是布法罗大学先进半导体技术中心的成员，该中心是一个跨学科研究中心，致力于开发尖端微电子解决方案，同时为半导体行业培养下一代领导人才。其他研究合著者还有许多，包括二维材料、物理学和纳米电子学方面的专家，他们分别在中国、韩国、奥地利和意大利工作。

在这项研究中，研究团队证明，将二维薄材料（如半导体二硫化钼 (MoS₂)）与硅结合使用，可以制造出高效的电子器件，并能很好地控制电荷的注入和传输方式。尽管二硫化钼的厚度不足一纳米，但金属和硅之间二维材料的存在可以改变电流电荷的流动方式。

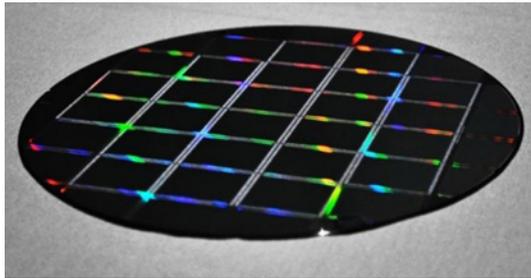
二维材料主要影响电荷注入即电荷进入材料的方式，但并不真正影响电荷收集或电荷流出材料的方式。Li 说：“无论二维材料的具体特性如何，这种情况都会发生。因此，无论你使用的是半导体 MoS₂、半金属石墨烯还是绝缘体 h-BN（六方氮化硼），它们在电荷注入过程中都能发挥不同的作用，但在电荷收集方面的表现都差不多。从本质上讲，在这种特殊条件下，二维材料在收集电荷时几乎就像是隐形的或零电阻一样。”

Li 认为，虽然对于下一代电子技术来说，将二维材料与硅集成在一起是一条大有可为的途径，但仍然存在重大挑战，特别是在理解和设计二维材料与三维材料交界处的电荷传输方面。

“我们的研究为二维 / 三维界面的能带结构和电荷传输机制提供了重要的见解，尤其是当二维材料缩小到单层时。随着时间的推移，这项研究可能会激发对新型二维材料和器件概念的开发，最终为日常应用带来更高效、更强大的电子器件。” Li 说。

创新CCD-in-CMOS技术可实现超快速突发模式成像

先进成像技术开发商 SI Sensors，在高速成像领域推出了一项“突破性”进展：将电荷耦合器件 (CCD) 技术集成到互补金属氧化物半导体 (CMOS) 图像传感器中。这种称为“CCD-in-CMOS”的创新方法大大增强了突发模式成像的能力，能够以“前所未有”的速度和灵敏度实现超快的捕捉速度。



低整体系统成本和复杂性。通过将 CCD 存储器与 CMOS 光电二极管和读出电路相结合，这种混合技术可以在超高速下实现卓越的图像质量，非常适合需要超高速图像捕获和分析的应用。

这项新颖的 CCD-in-CMOS 技术由该公司位于英国剑桥的研发中心开发，结合了 CCD 和 CMOS 传感器的最佳属性。CCD 能够在电压转换和随后的数字化之前将信号存储在电荷域中。正是这些信号转换限制了传统图像传感器的帧捕获速度。相比之下，CMOS 技术有利于实现片上系统架构，该架构可在同一芯片上集成附加电路，从而降

SI Sensors 总经理 Phil Brown 表示：“我们相信，我们创造超高速突发模式器件的能力将彻底改变高速成像。新一代 CCD-in-CMOS 图像传感器能够以全分辨率每秒记录数百万帧，具有出色的捕捉速度和高信噪比，确保以清晰、详细的图像呈现最快的可观察事件。我们的 CCD-in-CMOS 技术适用于从高速视频记录到高光谱成像等各种成像应用，通过先进的原位存储、控制和读出机制实现高效的数据处理，从而降低系统复杂性”。

MRSI
MYCRONIC

MRSI设备：一站式满足光模块键合与封装的高效解决方案

高精度

高效率

高产能

高稳定

模块化设计

NEW



MRSI-LEAP超高速1微米芯片键合机

诚挚邀请您莅临2025年慕尼黑上海光博会N1.1202展台
共同探讨先进技术与创新封装解决方案的最新突破

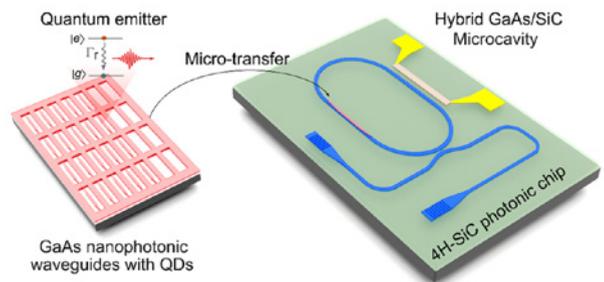


中国科学家在集成光量子芯片领域取得突破

中国科学院上海微系统与信息技术研究所异质集成XOI团队近日在集成光量子芯片领域取得突破性成果。研究团队创新采用“搭积木”式混合集成策略，成功将 III-V 族半导体量子点光源与 CMOS 工艺兼容的碳化硅 (4H-SiC) 光子芯片异质集成，构建出新型混合微环谐振腔。该结构不仅实现了单光子源的片上局域能量动态调谐，还通过微腔的 Purcell 效应显著提升光子发射效率，为光量子芯片的大规模集成提供了全新解决方案。相关成果以《A hybrid single quantum dot coupled cavity on a CMOS-compatible SiC photonic chip for Purcell-enhanced deterministic single-photon emission》为题，发表于光学领域顶级期刊《Light: Science & Applications》。论文通讯作者为中国科学院上海微系统与信息技术研究所张加祥研究员、欧欣研究员，以及中国科学技术大学霍永恒教授；共同第一作者包括该所朱一帆博士生、伊艾伦副研究员与中国科学技术大学刘润泽博士。

与微电子学的发展轨迹相似，光量子信息技术正朝着小型化与芯片化的方向快速演进。自 2008 年英国布里斯托大学首次实现石英基集成光量子芯片以来，该领域取得了显著进展。得益于成熟的 CMOS 工艺，硅光子平台已成为当前集成光量子芯片的主流选择，并在高维量子纠缠、量子通信、量子模拟及量子计算等关键技术中展现了巨大潜力。然而，硅材料的间接带隙特性及其缺乏电光效应的局限性，严重制约了片上大规模量子光源的制备以及高速、低功耗光子回路的动态重构。因此，如何在光量子芯片上实现可扩展的量子光源及电光可重构回路，成为该领域亟待解决的核心挑战。

混合异质集成技术通过将不同材料的光子器件整合到单一芯片中，为解决上述问题提供了重要途径。该技术不仅能够显著提升光子线路的集成度和功能性，还可增强光源的扩展性。在众多混合集成方案中，III-V 族量子点光源因其独特的性能备受瞩目。量子点，常被称为“人造原子”，具有近乎 100% 的单光子发射效率和高度的全同性，是量子通信与计算的理想光源。尽管量子点已成功集成到微柱腔和布拉格环形腔中，但这些微腔的面外光场局域模式使其难以实现芯片级集成。虽然光子晶体微腔为量子点的片上集成提供了可能，但其对超精密加工、局域光谱调谐以及腔模-量子点位置匹配的严苛要求，极大地增加了技术难度。因此，量子点光源与微腔的片上集成及其在电光芯片中的



应用，仍是集成光量子领域的一大技术瓶颈，相关研究尚处于空白阶段。

针对量子点光源与微腔片上集成的技术瓶颈，研究团队创新性地提出了一种“搭积木”式的混合集成方案。该方案通过微转印技术将含 InAs 量子点的 GaAs 波导精准堆叠至 4H-SiC 电光材料制备的微环谐振腔上。低温共聚焦荧光光谱测试表明，得益于 GaAs 与 4H-SiC 异质波导的高精度对准集成，光场通过倏逝波耦合在上下波导间高效传输，形成了“回音壁”模式的平面局域光场。尤为重要的是，该结构的腔模品质因子达到 7.8×10^3 ，仅比原始微环下降约 50%，展现了优异的光场局域能力。

研究团队进一步在芯片上集成微型加热器，实现了量子点激子态光谱的 4 nm 宽范围调谐。这一片上热光调谐能力使腔模与量子点光信号达到精准匹配，成功实现了微腔增强的确定性单光子发射。实验测得 Purcell 增强因子为 4.9，单光子纯度高达 99.2%，为高性能量子光源的片上集成提供了重要突破。

为验证该技术的扩展潜力，团队在 4H-SiC 光子芯片上制备了两个间距 250 μm 的量子点混合微腔。通过独立局域调谐，成功克服了量子点生长导致的固有频率差异，实现了不同微腔间量子点单光子信号的频率匹配。这一成果为未来片上多节点量子干涉及光量子比特互联奠定了关键技术基础。

区别于其他类型片上微腔，该工作通过创新集成策略，在 4H-SiC 芯片上同步实现了光源调谐、Purcell 增强与多节点扩展，兼具高纯度与 CMOS 工艺兼容性。结合 4H-SiC 优异的电光调制特性，该技术有望推动光量子网络向实用化迈进，为量子计算、通信等领域的芯片级集成提供全新解决方案。

论文链接：<https://www.nature.com/articles/s41377-024-01676-y#Sec8>

(来源：中科院上海微系统与信息技术研究所)



股票代码
688082



盛美半导体设备(上海)股份有限公司

关于我们

盛美半导体设备(上海)股份有限公司成立于2005年,是上海市政府科教兴市项目重点引进的集成电路装备企业。集研发、设计、制造、销售于一体,为全球客户提供高端半导体前道工艺设备和先进封装设备。主要产品有单晶圆及槽式湿法清洗设备、电镀设备、无应力抛光设备、立式炉管设备、前道涂胶显影设备、PECVD设备,以及晶圆级与面板级封装设备等。

SAPS单片清洗设备

可用于芯片制造的薄膜沉积前后清洗,干法刻蚀后清洗,离子注入灰化后清洗,化学机械研磨后清洗,抛光和外延工艺后的清洗等工艺。

后道先进封装电镀设备

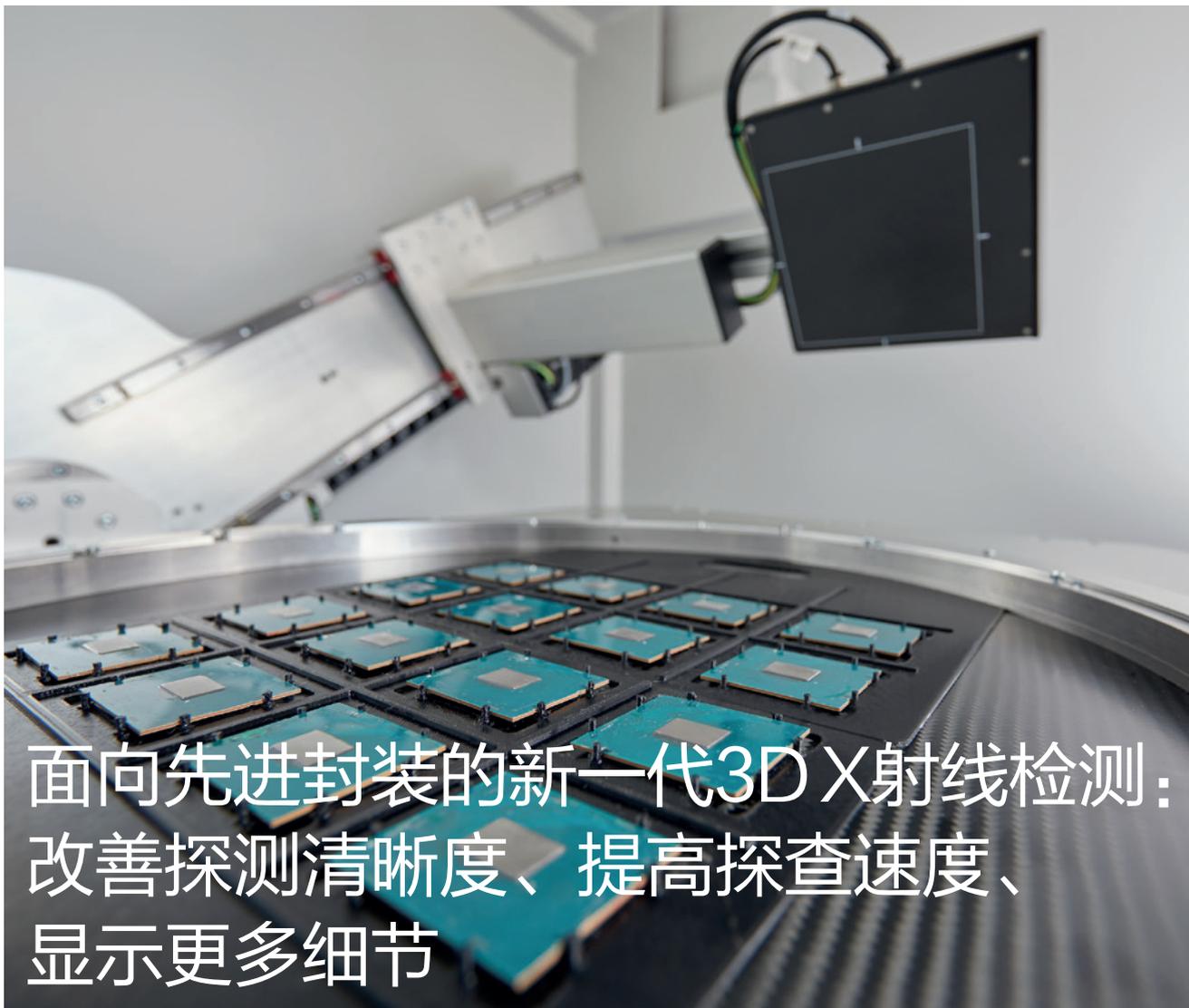
可用于先进封装PILLAR BUMP, RDL, HD FAN-OUT和TSV中,铜,镍,锡,银,金等电镀工艺。

立式炉管设备

可用于集成电路制造LPCVD薄膜沉积,超高真空合金化,常压氧化退火,ALD薄膜沉积,超高温推阱等工艺。



SEMICON CHINA展位 N3659



面向先进封装的新一代3D X射线检测： 改善探测清晰度、提高探查速度、 显示更多细节

随着3D IC封装变得日益复杂，要求越来越严苛，传统的检测技术已经难以跟上其发展。由人工智能（AI）强力加持的3D X射线检测，能在不牺牲速度、不损坏珍贵样品的情况下，提供更高的分辨率，这种新型检测技术正逐步改变制造商查看其产品的方式。

随着微型化需求的增长，半导体封装设计也在迅速发展。目前，制造商逐渐将 2.5D 和 3D 集成电路纳入生产序列，以在外形尺寸越来越小的情况下实现更多和更强的功能。这种转变带来了新的挑战，不仅涉及坚固耐用的初始原型的设计，还包括与更复杂结构相关的更高阶制造和材料成本的管理。为了保持竞争优势，制造商必须采取全面的检测策略，以在不损害可靠性的前提下，帮助提高良率并加快产品上市时间。

这些检测策略能否取得成功，关键在于能否在设计和制造过程中及早地发现缺陷。制造商越早发现并解决问题，就能越快地将产品投入市场，最终提高产量，更快地将产品投放市场。这就是先进检测技术，尤其是 3D X 射线检测技术发挥作用的地方。

作者：Joscha Malin，COMET YXLON 公司产品营销软件解决方案主管

利用3D X射线检测弥合差距

一直以来，3D IC 的检测方法主要依赖于三种技术：光学检测、2D X 射线和聚焦离子束扫描电子显微镜 (FIB-SEM)。每种技术都有自己的优点和缺点。光学检测速度快、重复性好，但欠缺全面三维分析所需的细节水平。FIB-SEM 可以提供无可比拟的分辨率，但这种检测是一种缓慢的破坏性过程。而 2D X 射线检测则介于上述两者之间，虽然能够提供非破坏性的缺陷洞察力，但是往往缺乏当今复杂 3D IC 结构所需的检测速度或分辨率。3D X 射线检测填补了这些技术之间的空白，它所需的时间仅为 FIB-SEM 分析的一小部分，但是能提供详细、非破坏性的缺陷洞察力。目前，推动 X 射线技术（尤其是在先进半导体封装中）发展的不仅是 X 射线硬件的改进，还有为 X 射线技术提供支持的软件和人工智能方面的突破。

随着 3D IC 封装变得日益复杂，要求越来越严苛，传统的检测技术已经难以跟上其发展。由人工智能强力加持的 3D X 射线检测正逐步改变制造商查看其产品的方式，该技术能在不牺牲速度、不损坏珍贵样品的情况下提供更高的分辨率。通过利用人工智能支持的图像分析技术，3D X 射线技术甚至可以极为精确地检测出最小的缺陷，如空洞或错位。这些系统采用先进的重建算法和数据分割技术，以揭示复杂结构内部的精细细节。人工智能进一步加快了这一进程，以前所未有的规模和速度提供缺陷洞察力，最终实现良率和质量的提升。

有效检测的三大支柱：清晰度、效率和洞察力

任何检测技术要取得成功，都必须在三个关键方面胜人一筹，而这三个方面皆在很大程度上依赖于软件：

- **清晰度**：这是指捕获图像的质量，尤其是该技术对复杂结构内微小细节的可视化程度。对于 3D X 射线检测，高质量硬件与先进重建算法相结合，确保了出色的图像清晰度，即使是微小的缺陷也会清晰可见。
- **效率**：在这方面，自动化发挥着至关重要的作用。由于拥有快速收集和處理图像并将其转化为可用数据的能力，因而显著缩短了检测时间并提高了产量。人工智能通过将大部分缺陷识别过程自动化，使操作人员能够专注于关键决策（而不是手工检测），从而增强了这种功能。



图1：市售CPU内C4凸块（直径：65 μm ）的特写效果图。图片归Comet Yxlon公司所有，不得复制或分发传播。

- **洞察力**：除了肉眼可见的东西之外，真正的价值在于从图像中获得的数据。先进的软件能够解读这些数据，以提供可操作的洞察力 (actionable insights)，进而帮助制造商做出明智的决策。例如，可以对焊料凸块中的空洞或“枕头效应” (head-in-pillow) 问题等缺陷进行精确的测量和分类，从而为它们是否处于可接受的参数范围内提供明确的指导。

图1是使用 Comet Yxlon 的 CA20 检测解决方案对市售 CPU 进行扫描的图像，显现了当今检测技术所能实现的功能，揭示了有关 C4 凸块的详细信息，包括直径仅为 10 微米的空洞等缺陷。这些扫描仅需几分钟即可完成，凸显了现代 3D X 射线技术的速度和精确性。

在另一个例子中，“虚拟切片” (virtual slice) 取自 GPU 的重建三维体，允许用户查看芯片内不同层的二维横截面，包括 C4 凸块、中介层凸块和高带宽内存 (HBM) 凸块 (图 2)。由于层的堆叠性质会遮挡底层特征，因此要通过光学检测或 2D X 射线检测来获得这类细节是非常困难的。

捕捉高分辨率图像固然十分重要，但是 3D X 射线的真正威力在于其身后由人工智能驱动的软件。缺陷识别辅助软件（如 Comet Yxlon 的 CoS Insights 软件包）能够快速检测和分析缺陷的大小和严重程度，如焊料凸块错位和枕头效应问题。通过测量凸块偏移、芯片倾斜和缺陷形成概率等关键参数，该技术可以全面了解器件的状况，使制造商能够及早发现这些缺陷，防止日后发生让自己付出高昂代价的问题。

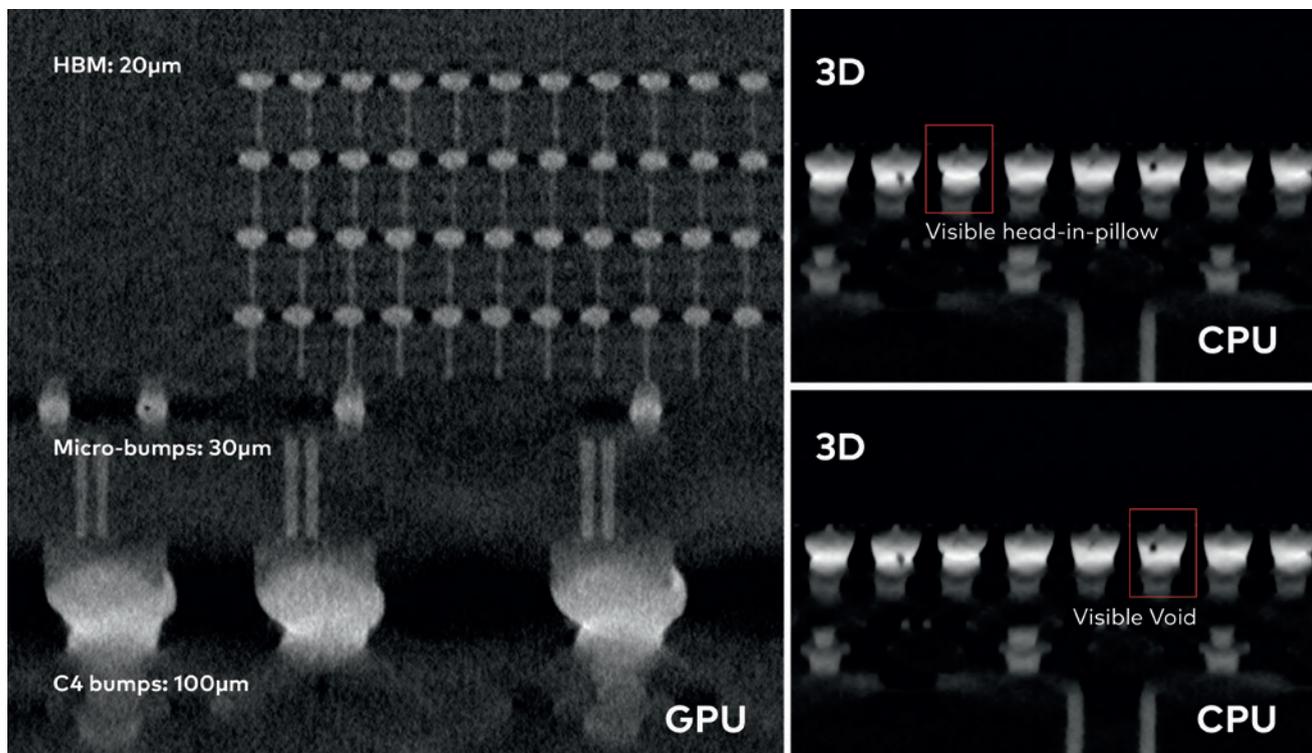


图2: 左图为市售GPU的X射线扫描重建虚拟切片, 该GPU具有100 μm 的C4凸块、30 μm 的微凸块和20 μm 的高带宽内存凸块。右图为市售CPU的X射线扫描重建虚拟切片, 该CPU具有约65 μm 的C4凸块。图片归Comet Yxlon公司所有, 不得复制或分发传播。

洞察力: 了解内部细节

即使是在试产扩量过程的早期阶段, 即在进入大规模生产之前, 对初始设计进行小批量人工测试的后期阶段, 辅助缺陷识别也会是一项宝贵的资产, 能根据捕获的数据提供可重复、可转移的结果。

与在工业环境中使用的任何软件一样, 重点在于尽可能高效、清晰地提供关键信息, 以确保不同级别的各类专家能够实现解决方案价值的最大化, 并理解其结果。Comet Yxlon 与总部位于加拿大蒙特利尔的 Comet 人工智能品牌 Dragonfly 密切合作, 在半导体领域开发了一系列软件辅助工作流程, 利用深度学习来简化检测工作流程。在软件范围内训练凸块检查只需四个简单步骤:

- **第1步:** 用户选择所需的焊接面进行分析。该软件可以根据先前的数据提出可能感兴趣的焊接平面, 并根据先前设置的偏好进行调整。
- **第2步:** 软件经过训练, 能够识别所选择样本内的焊接凸块。手动定义前几个示例之后, 软件将分析整个样本, 并在定义的参数范围内找到所有相关的焊接凸块。
- **第3步:** 与第2步一样, 软件首先需要了解其工作

参数, 以找到与基底或中介层硅片的连接。一旦定义, 它将自动识别这些连接。

- **第4步:** 参数确定之后, 结果将以报告的形式提供, 并且采用机器可读的格式。

这种设置只需要几分钟, 而且对于特定批次/器件类型仅需定义一次。这一过程的结果如图3所示。在这张从软件截取的图片中, 显示了对特定平面的分割, 绿色和红色指示器用于直观显示每个焊接凸块在预定义限值范围内的表现。这个特殊的例子是移位、倾斜和枕头效应评估的结果, 可以清楚地看到, 所有的焊接凸块都发生了轻微的移动, 其中以红色显示的焊接凸块超过了给定的最大移位限值。

为了确定这种移动, 软件通过几个关键指标对每一个可识别的焊接凸块进行精确的评估, 并分析移动的方向和长度。为了确定芯片的倾斜度, 需要测量3D封装从基准面算起的最低高度(stand-off height), 而对于枕头效应, 则需要为每个焊接凸块内的缺陷发生概率提供一个指示器。这些数值如果使用得当, 甚至在实际的枕头效应缺陷出现之前, 就能对趋势的识别起到至关重要的作用。

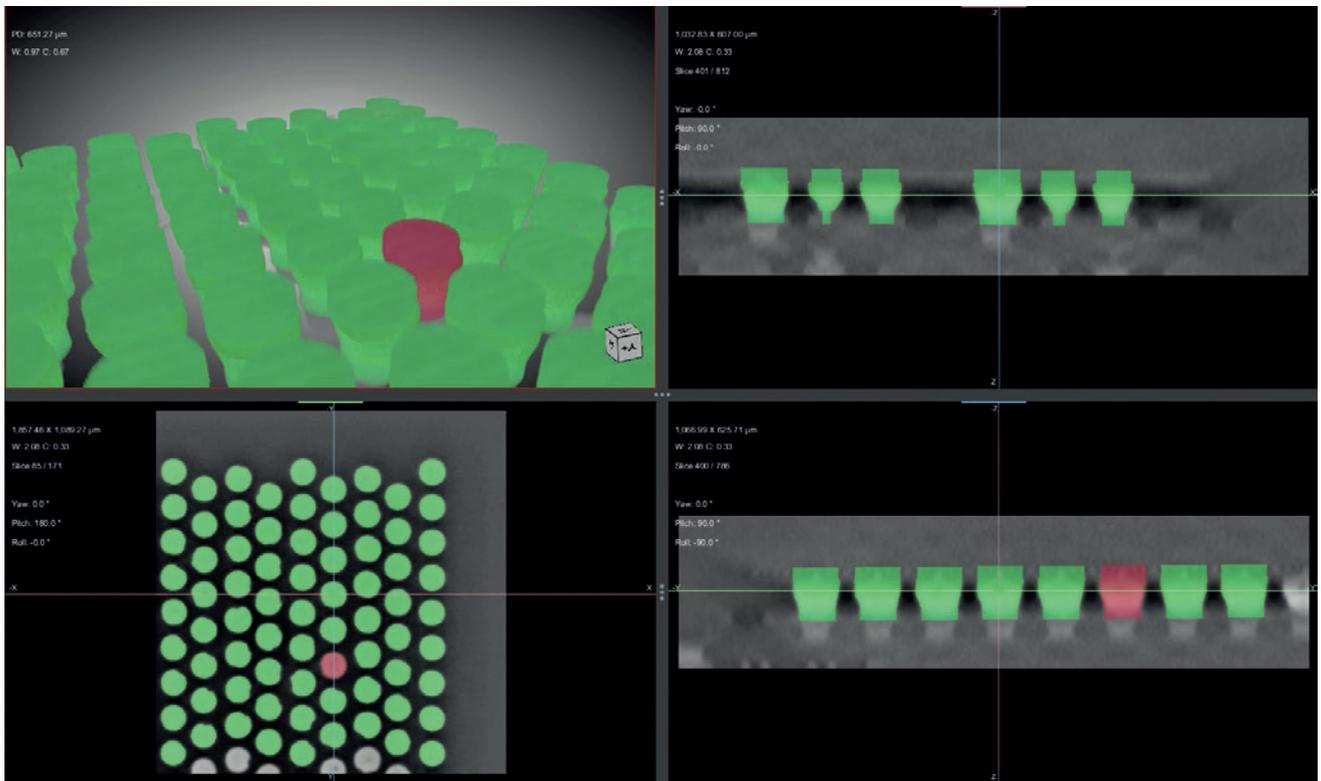


图3: 用CoS Insights自动检查的凸块, 其中包括一个做了突出显示的凸块, 因为它的移位超过了最大允许值。图片归Comet Yxlon公司所有, 不得复制或分发传播。

利用3D X射线检测优化新产品开发与市场投入

除了在实验室提供价值外, 包括3D X射线在内的全面检测策略还能在新产品开发与市场投入阶段显著提高良率。通过在试产扩量过程中及早发现和解决缺陷问题, 制造商可以迅速优化生产线, 并提高良率。在图4所示的假设场景中, 将3D X射线纳入检测流程后, 良率在短短6个月之内就有了明显的提高。图中在第5个月左右, 可以看到良率曲线出现下滑, 这表明存在重大的生产问题。3D X射线技术有助加快从这一预期的挫折中吸取教训, 提供对整个生产样品的实时监控, 并共享有关其性能的关键信息, 帮助识别相关走势的早期迹象, 以在问题出现之前尽早采取应对措施。

主要收获

3D X射线检测(特别是当其与人工智能驱动的软件相结合时)正在彻底改变半导体制造业。从早期设计、原



图4: 现实的良率曲线和使用3D X射线检测获得的推测改善。图片归Comet Yxlon公司所有, 不得复制或分发传播。

型制作到批量生产, 这项技术都能提供对缺陷的重要洞察力, 而这些缺陷在以前是很难或根本无法检测到的。通过将3D X射线技术融入到检测策略中, 制造商能够提高良率, 缩短产品上市时间, 并确保产品具有更高的可靠性。硬件与软件的这种强大组合(本文中为Comet Yxlon与Dragonfly组合)不仅是适合当今的工具, 也是未来半导体生产的关键推动力。◆

采用全自动光子引线键合和腔面连接微透镜让未来的光子学走进日常生活

通过采用可扩展的工业就绪3D纳米打印解决方案，Vanguard Automation 正在实现光子封装和集成的光明未来。

在 AI（人工智能）、云计算和 5G 网络等技术的推动下，我们需要以更快的速度获得更多数据。制造商正在寻找新的方法来生产更高效、更紧凑并提供新功能的产品。鉴于这些需求，传统电子产品的局限性变得非常明显。光子集成将成为开发和扩展未来技术的游戏规则改变者。

光子学将在半导体市场中扮演的新角色有望实现范式转变，从而有可能获得更高的数据传输速率、降低功耗并增加组件集成密度。虽然传统的光子学解决方案体积庞大、价格昂贵，并且需要复杂的对准和集成工艺，但集成光子学的持续创新正在推动尺寸

的显著减小，并为其集成到各种先进技术和日常设备中铺平了道路。然而，克服可扩展性和生产良率问题仍然是一个限制性的挑战。

需要先进的制造方法来释放集成光子学在下一代光学器件中的潜力。

光子器件的封装是需要克服的一个关键障碍。成本可能会飙升至最终产品价格的 80%，这将是巨大的制造成本障碍。

在 Vanguard Automation，我们相信我们掌握了关键技术，通过简化和自动化光子集成的制造工艺，从而解决上面提到的很多问题。Vanguard Automation 总部位于德国卡尔斯鲁厄，

基于 3D 纳米打印技术开发出了独特的工艺技术。Vanguard Automation 现在是 Mycronic 的一部分，Mycronic 是一家总部位于瑞典的电子行业高精度制造工具的全球供应商。因此，Vanguard Automation 在提供先进制造工具方面具有得天独厚的优势，这些工具能够实现释放光子技术全部潜力所需的创新和可扩展性。

今天的挑战，明天的解决方案

高性能、高效器件的未来在于光子技术。通过利用光子集成电路和光学元件，产品开发人员在数据传输速度、能源效率、功耗和器件小型化

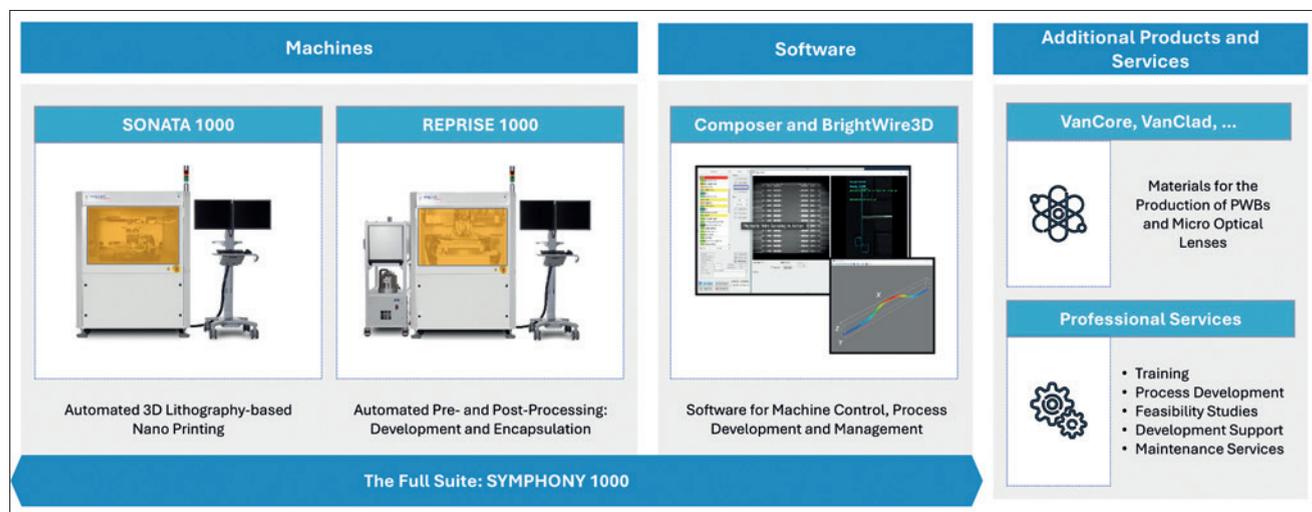


图1: Vanguard Symphony, Vanguard Automation 的全自动光子集成和封装解决方案，由基于自动化 3D 光刻的纳米制造单元 Sonata 1000 和自动前处理和后处理单元 Reprise 1000 组成。这些系统配备了 Vanguard 的 BrightWire3D 软件，可实现高精度检测和动态轨迹计算。Vanguard 自己的光刻胶（Vanguard VanCore 系列）、标准工艺开发以及产品支持和工程服务完善了 Vanguard 从原型设计到大批量生产的解决方案。

作者：Laura Horan和Thorsten Mayer, VANGUARD AUTOMATION GMBH

方面已经取得了重要突破。然而，该行业正面临技术和商业挑战，其中一项挑战是光子集成和封装。当前的封装技术难以无缝集成光子元件阵列，从而在产品开发中更广泛采用时形成了主要障碍。

当今的现有解决方案使用主动对齐技术。虽然这适用于单通道集成，但事实证明，扩展到行业大批量所需的复杂高密度 1D 和 2D 光通道阵列时则具有挑战性。挑战在于必须集成来自不同材料平台的各种光学元件，同时还要确保高效的光耦合和信号传输。

光学模块可以由如磷化铟激光器的有源器件、由硅、氮化硅或铌酸锂制成的无源器件，以及单模或保偏光纤阵列等组成。由于每个组件都具有非常特殊的光学特性，这带来了集成的挑战。适用于工业大规模生产的封装或集成解决方案，必须解决这些特定光学特性带来的挑战。

同时，为了在组合不同的光子器件时减少耦合损耗，必须匹配特定的模场分布，并且必须非常精确地对准器件。在工业大规模生产中，模式匹配和对准等过程必须快速且可重复，因为速度和良率决定了产品的成本。此外，封装组件需要在其应用领域的

特定的各种环境条件下保持可靠。

此外，模场大小约为微米级，将每个组件的对准精度要求推至 1 微米以下。这种复杂性导致光子器件的制造成本更高（与传统电子产品相比）和更低的良率。未来的解决方案需要一种截然不同的方法。通过采用简化的被动对准程序、机器视觉和增材制造技术，高密度集成光子器件的大规模生产和封装将变得可行。

Vanguard Automation的解决方案：被动对准和3D纳米打印

Vanguard Automation 通过使用 3D 纳米打印的增材制造和被动对准来简化集成光子器件的连接，从而解决了这些光子集成挑战。该技术依靠高精度的直写 3D 激光光刻技术来打印称为光子引线键合的 3D 自由曲面单模波导与组装的光子器件被动组装。光子引线键合基于先进的 3D 纳米打印技术，本质上是一种完全自动化的工艺，并且可提供高度的设计灵活性。此外，多年来 3D 纳米打印一直被用于在光学芯片和光纤上制造腔面连接的微透镜，从而能够实现低损耗耦合，并具有宽松的对准公差和光学器件的晶圆级探测。Vanguard Automation 的

技术组合中同时包含光子引线键合和腔面连接微透镜，其使命是通过提供可扩展的 3D 纳米制造解决方案来推进光子封装和组装，实现从原型制作到批量生产的无缝过渡。

Vanguard Automation 提供全自动解决方案，vanguard SYMPHONY 由两个系统组成，一个用于制造光子引线键合以及腔面连接的微透镜（vanguard SONATA 1000），另一个用于完成全自动封装过程的光学组件的后处理（vanguard REPRIS 1000）。

Vanguard 的 SYMPHONY 包括 Vanguard 的 Brightwire3D 软件，用于自动化、高精度的界面检测（精度达到 <50nm）以及最佳光子引线键合轨迹的动态计算、为满足严格的工业可靠性要求而定制的专用光刻胶（Vanguard VanCore 系列）、标准制造工艺以及工程服务和支 持，使客户能够快速从原型设计发展到生产（见图 1）。

早期采用者正在验证Vanguard 的解决方案

近年来，Vanguard 技术的采用者数量迅速增加。这也催生了一个由很多公司组成的生态系统，这些公司为 Vanguard 的 3D 纳米打印解决方案提供

服务（见图 2）。我们的客户和合作伙伴已经在许多应用中成功地使用了 Vanguard 的光子引线键合和腔面连接微透镜技术，解决了混合模块封装和集成的各种挑战。

在数据中心、电信和人工智能市场，Vanguard 的用户^[1]已在各种材料平台上使



图2: Vanguard Automation 的技术用户和生态系统合作伙伴名单。

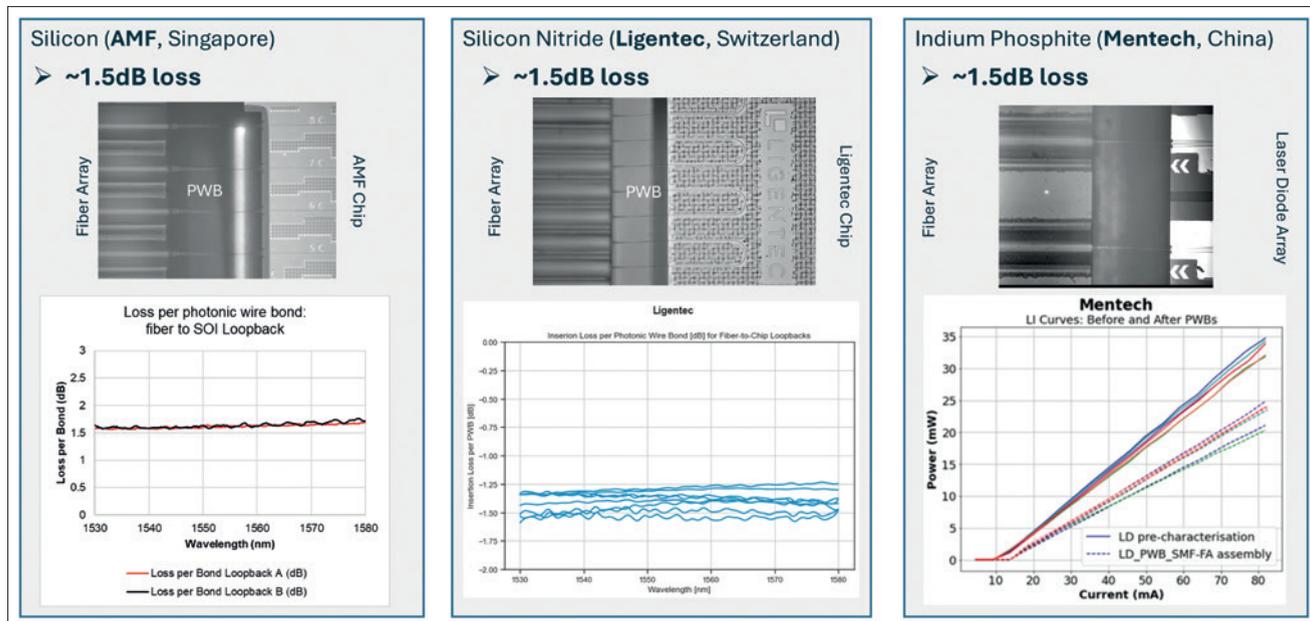


图3: 光子引线键合示例, 展示了各种代工厂的有源和无源器件的低损耗连接解决方案。(左) AMF (Si) 芯片损耗为1.5dB。(中) Ligentec (SiN) 芯片, 每个光子引线键合的损耗为1.5dB。(右) Mentech (InP) 半导体激光管阵列, 每个光子引线键合损耗为1.5dB。

用创新的光子引线键合工艺, 例如硅、氮化硅、磷化铟和铌酸锂, 以推进混合集成的概念^[1] (见图 3)。Vanguard 的技术组合与所有学术和商业代工厂兼容, 具有仅使用一个耦合 PDK 即可耦合到其他类型的光学元件的独特优势。

因此, 代工厂可以减轻创建复

杂光斑尺寸转换器的负担^[2]。由于 Vanguard 技术可以与通过步进光刻技术实现的简单反锥形边缘耦合器配合使用, 因此用于复杂耦合器的芯片可以大大减少, 为建立新颖、更通用的光耦合标准铺平了道路。光子引线键合已用于自注入锁定的克尔孤子微梳和线宽低于 100Hz 的激光器^[3,4]。在

量子应用领域, 光子引线键合已在超低温实验中成功进行了测试^[5]。此外, Vanguard Automation 的腔面链接微光学元件技术已验证提高了高带宽相干驱动器调制器 (HB-CDM, High-Bandwidth Coherent Driver Modulator) 的效率^[2]。Vanguard 的专用光刻胶系列 VanCore, 专为满足严格的工业

Compatible components

- Laser (DFB and other)
- PIN and APD diodes
- SMF, PMF and MMF fiber arrays
- PIC: SOI, SiN, InP, LiNb and more

Standard building blocks:

- Lenses with focal length up to centimeters and mode-field diameters of 2.0 μm to 100 μm (@ $1/e^2$ intensity)
- Total-internal-reflection mirrors
- 3D-printed mode-size converter

Coupling, depending on laser and chip

- Laser-to-Chip: 0.6 to 2.5 dB
- Chip-to-Fiber: 1.5 to 2.5 dB

Alignment tolerances @ 1 dB penalty:

- $\pm 1.5 \mu\text{m}$ (single lens on one component) to $\pm 15 \mu\text{m}$ (beam expander)

Tested operational range

- 530 nm to 2000 nm

Reproducibility

- Below $\sigma = 0.2 \text{ dB}$ coupling variation
- Below 10% mode-field and focus length variation/deviation

Accuracy

- Below $\sigma = 50 \text{ nm}$ detection accuracy
- Below $\pm 100 \text{ nm}$ shape accuracy
- Less than 10 nm RMS-roughness

Reliability testing

- > 4000 h 85°C/85% rel. hum
- > 250 cycles -40°C to 85°C
- Reflow soldering, 3 cycles, 270°C
- Die bonding, 310°C

Shock testing

- Acceleration of up to 1500 g
- Vibration, 20g, all axis

High power operation

- >1 W @ 1550 nm

Cryogenic operation

- > 10 cycles 4K to room temperature

图4: Vanguard Automation 的工业级腔面连接微透镜技术与很多种应用兼容, 并根据行业标准进行了广泛测试。

Telcordia 可靠性要求而量身定制，已被证明在最恶劣的环境条件下也是可靠的^[2]（见图4）。

腔面连接的微透镜为电-光引擎创建了一个强大的平台，用于构建收发器、共封装光学元件、光引擎以及传感器件^[6]。采用 Vanguard 的技术可以提高光从一个光子器件传递到另一个光子器件的耦合效率，这反过来又降低了解决方案组合的功耗（见图3和图4）。

晶圆级的腔面连接微透镜的精确对准和打印，实现了显著的可扩展性，并增强了满足新应用的能力^[6,7,8,9]。Vanguard 的腔面连接微透镜技术已成功用于激光雷达（LiDAR）应用的光束整形元件^[10]和增加超导纳米线单光子探测器（SNSPD, superconducting nanowire single-photon detector）的有效收集面积的量子应用，从而克服此类器件的基本设计冲突^[11]。

将3D光刻技术集成到生产链条中的可扩展路径

由于其互补的技术组合包括

腔面连接的微透镜为电-光引擎创建了一个强大的平台，用于构建收发器、共封装光学元件、光引擎以及传感器件。采用 Vanguard 的技术可以提高光从一个光子器件传递到另一个光子器件的耦合效率。

光子引线键合和腔面连接微透镜，Vanguard Automation 为批量生产客户提供了一条将 Vanguard 技术整合到它们的生产链条的简化途径（见图5）。第一步，Vanguard 技术可以与主动对准^[2]等传统技术一起包含在混合方法中，以提高耦合效率和良率。

这种方法并不意味着生产中的工艺步骤链条会发生任何重大变化。第二步，可以在产品中实现光束扩展微透镜，以减轻 PIC（光子集成电路）和其他光学元件（如 InP 激光器和光纤）的定位公差，将对准公差放宽到这样一种程度的范围内，从而被动组装成为一种可行的工艺^[9]。

最后，通过将光子引线键合纳入产品设计中，可以引入光子集成和封装的全部颠覆性潜力，从而将混合多芯片组件的标准拾取和放置转变为具有非常宽松的放置公差，同时确保高耦合效率、高良率以及快速制造和高封装密度^[12]。

释放吞吐量、成本和良率的优势

光子集成为行业提供了显著的好处，但对于当前的制造方法，需要在吞吐量和成本之间进行权衡。许多光子集成方法依赖于主动对准等成熟技术。这些方法适用于单通道器件，但它们可能会导致在处理复杂的高密度

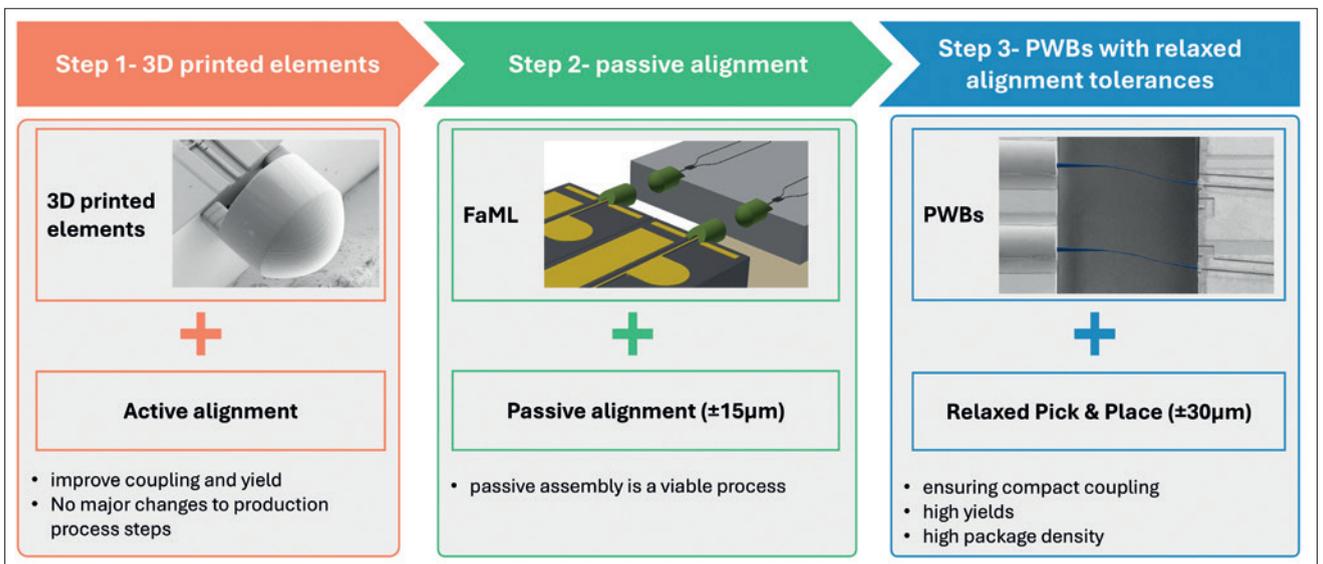


图5: Vanguard Automation 使用 3D 光刻技术将光子集成到生产链条中的路径。

阵列的规模生产中的瓶颈并且使得每个器件的成本更高。例如，连接单根光纤相对简单，但是，扩展到八个光纤通道会大大增加其复杂性。传统技术通常难以应对这种复杂性，导致良率下降。考虑一个高性能系统，它有8个数据通道，每个通道以100 Gbps的速度传输（每秒千兆位）。这些数据通道连接到昂贵的组件如激光巴条，而这些组件可以有4个或更多的通道。随着通道数量的增加和光子集成密度的增加，实现高良率变得至关重要。

这一点尤其重要，因为激光器光子元件可能非常昂贵。在这种情况下，良率问题可能成为丢弃昂贵组件的主要原因，从而显著影响生产成本。

利用被动对准和3D纳米打印是实现多通道器件光子集成突破的关

键——能够以更高的良率和更低的成本生产复杂的器件。该解决方案最终将为光子器件在各个行业的广泛采用铺平道路，并且Vanguard Automation及其用户已经证明这项技术可以应对各种不同的集成和封装挑战^[2,12]。

利用光学元件的3D纳米打印进行集成和光子封装可以提供更快的周转时间，并消除对昂贵的传统工具的需求。与传统的批量制造对产品特定物理工具的依赖不同，3D打印在软件定义的模型上运行，从而能够完全消除与工具准备相关的漫长交付时间。这大大加快了复杂自由曲面光学元件和波导从原型设计阶段到批量生产的开发和生产周期。

Vanguard Automation的3D纳米打印软件定义方法可实现100%的可重用性，使系统能够轻松适应不同的

产品要求和生产线。

总之，Vanguard的光子集成解决方案组合包括工业就绪机器、Telcordia经过验证的材料和简化的3D打印光学器件，再加上光子组件的被动对准，使得产业界能够实现其高良率、低损耗、高密度光子集成的目标。

光子引线键合技术能够在先进的光子多芯片模块中结合不同光学集成平台的互补优势，从而实现兼具高性能和出色设计灵活性的紧凑性能。

Vanguard的光子集成解决方案组合经由光学芯片和光纤上的腔面连接微透镜而完善，可实现具有高对准公差的低损耗耦合，以及光学器件的晶圆级探测。全自动、高度可重复且可靠的Vanguard SYMPHONY解决方案已用于针对下一代光子集成和封装的研究和工业客户。◆

扩展阅读/参考资料

1. www.aeponyx.com/lightwave-webinar
2. Y. Mizuno et al., "Low Insertion Loss 128-Gbaud HB-CDM with 3D-Printed Spot Size Converter Integrated InP-based Modulator," 2023 Optical Fiber Communications Conference and Exhibition (OFC), San Diego, CA, USA, 2023, pp. 1-3, doi:10.1364/OFC.2023.Th2A.8. (<https://opg.optica.org/abstract.cfm?uri=OFC-2023-Th2A.8>)
3. Y. Chen et al., "Self-Injection-Locked Kerr Soliton Microcombs with Photonic Wire Bonds For Use in Terahertz Communications," in CLEO 2023, Technical Digest Series (Optica Publishing Group, 2023), paper STh3J.1. (https://opg.optica.org/abstract.cfm?uri=cleo_si-2023-STh3J.1)
4. Y. Chen et al., "Frequency-Agile Self-Injection-Locked Lasers With sub-100 Hz Linewidth based on In-Package Photonic Wire Bonds," in CLEO 2023, Technical Digest Series (Optica Publishing Group, 2023), paper STu4P.4. (https://opg.optica.org/abstract.cfm?uri=CLEO_SI-2023-STu4P.4)
5. B. Lin et al., "Cryogenic Optical Packaging Using Photonic Wire", July 2023 (<https://arxiv.org/pdf/2307.07496.pdf>)
6. <https://poet-technologies.com/news/2023-mar-6.html>
7. Y. Xu et al., "3D-printed facet-attached microlenses for advanced photonic system assembly", [J]. Light: Advanced Manufacturing 4, 3(2023). (doi: 10.37188/lam.2023.003)
8. P. Maier et al., "3D-printed facet-attached optical elements for connecting VCSEL and photodiodes to fiber arrays and multi-core fibers," Opt. Express 30, 46602-46625 (2022) (<https://opg.optica.org/oe/fulltext.cfm?uri=oe-30-26-46602&id=522804>)
9. OPHELLIA: On-chip PHotonics Erbium-doped Laser for LIdar Applications About - H2020 Ophellia: On-chip PHotonics Erbium-doped Laser for LIdar Applications (lidar-ophellia.eu)
10. S. Singer et al., "3D-printed facet-attached optical elements for beam shaping in optical phased arrays," Opt. Express 30, 46564-46574 (2022) (<https://opg.optica.org/oe/fulltext.cfm?uri=oe-30-26-46564&id=522802>)
11. Y. Xu et al., "Superconducting nanowire single-photon detector with 3D-printed free-form microlenses," Opt. Express 29, 27708-27731 (2021) (<https://opg.optica.org/oe/fulltext.cfm?uri=oe-29-17-27708&id=456150>)
12. V. Deenadayalan et al., "Packaged Tunable Single Mode III-V Laser Hybrid Integrated on a Silicon Photonic Integrated Chip using Photonic Wire Bonding," 2024 IEEE ECTC, Denver, CO, USA, 2024, pp. 1387-1391, doi: 10.1109/ECTC51529.2024.00226 (<https://ieeexplore.ieee.org/document/10564948>)

超越 AOI： 人工智能驱动视觉检测技术革命

在对质量和良率不懈追求的制造过程中，视觉检测发挥着至关重要的作用。由于各行各业都在努力生产完美无瑕的产品，因此对准确、高效、适应性强的检测流程的需求从未像现在这样迫切。为了应对这一挑战，Averroes.ai 试图重新定义制造业中的视觉检测，最终取代过时的 AOI 检测方法。

质量至上：质量控制并非仅仅是一个口号；从财务角度考虑，它更是势在必行。

根据美国质量协会的一项研究，制造企业因质量不佳而造成的损失高达总销售收入的 15% ~ 20% 之多。

这一统计数字凸显了有效检测流程对电子、半导体和汽车等各种不同制造行业的极端重要性。低质量对一家公司最终盈亏水平的影响之大，凸显了业界对于先进检测技术的需求，此类技术能够显著地减少缺陷，并提高整体产品质量。

视觉检测的发展历程

视觉检测技术虽然起步较晚，但是技术发展速度之快已经超越了传统的检测方法。

人工检测：开端

最初，制造商主要依靠人工检测流程，由工人目视检查每个产品是否

存在缺陷。虽然这种方法可以进行详细的检查，但是很耗费时间，而且容易出现人为错误，特别是在长时间重复工作的情况下。

半自动化检测：一种混合型方法

随着技术的进步，人们引入了半自动化检测方法。此类方法为工作人员提供了专业工具，使他们能够做出更明智的决定，并加快检测过程。这种混合型方法将人力检查员的鉴别力与技术辅助设备的效率很好地结合起来。

自动化光学检测 (AOI)

接下来的一个重大飞跃是在本世纪初推出了自动化光学检测 (AOI) 系统。这些全自动化系统使用摄像头和算法来检测缺陷，无需人工干预。在一些行业，由于生产规模和复杂性的缘故，人工检测方法已不再可行，而 AOI 在速度和一致性方面向前迈进了一大步，使得在这些行业中进行大批量检测成为可能。

传统 AOI 在现代制造业中的局限性

然而，自首次引入 AOI 以来，生产环境已经发生了变化。各种产品变得越来越小、越来越紧凑，并且越来越复杂。现在，缺陷更难发现，而且往往更加隐蔽。为本世纪初的技术而设计的 AOI 系统很难跟上这些变化。二十年前行之有效的方法已不足以应对当今的制造挑战。

需要一种新模式

随着制造过程中涉及的各种东西变得越来越小且越来越复杂，传统 AOI 的局限性愈渐明显起来。过去很少出现的复杂缺陷如今变得很常见，而为早期技术构建的系统被证明是不足以应对的。

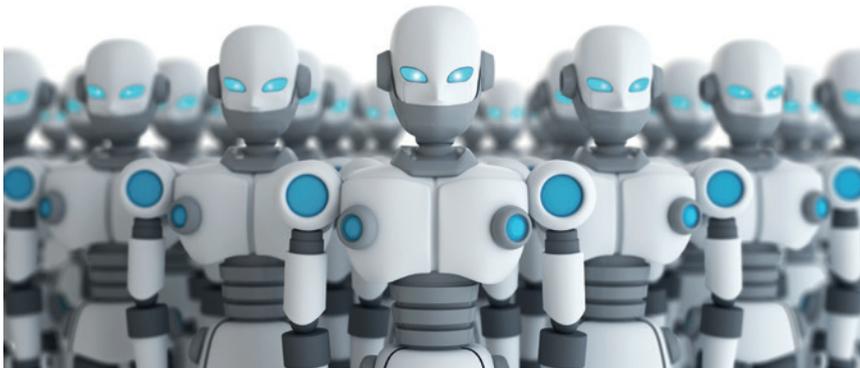
检测能力与生产现实之间存在的这种差距，促使人们必需找到一种新的视觉检测方法——一种能够适应现代产品日益复杂化和微型化的方法。

AOI 系统的工作原理

传统的 AOI 系统通常由三个关键要素组成：摄像头、算法和执行器。虽然它们都很重要，但算法是其中最至关紧要的一个，它起着系统大脑的作用。

传统 AOI 为什么无法满足当今制造业的需求

准确度：传统 AOI 系统的主要



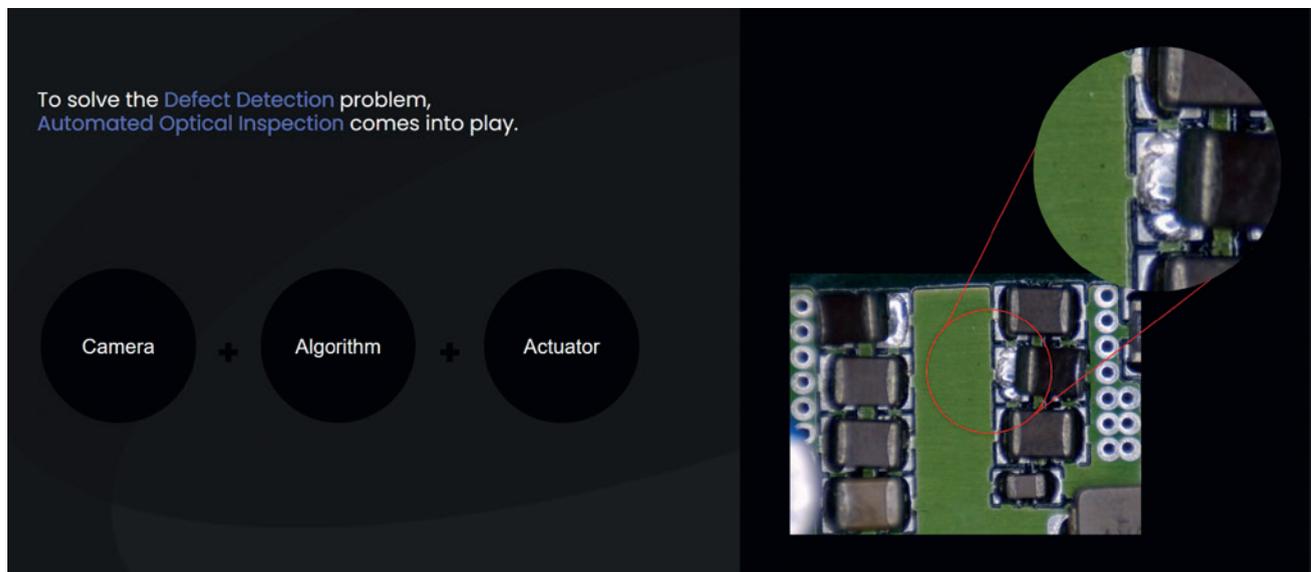


图1：用于缺陷检测的AOI系统由：摄像头、算法和执行器三个关键要素组成。

问题之一是准确度不够。这些系统往往会产生很高的误报率，标记出根本不存在的缺陷。这种过度敏感性会大大降低生产量，因为完全合格的产品可能会被不必要地剔除或接受额外的检查。误报问题不仅影响效率，还会导致成本增加和整体生产率下降。

灵活性：如果通过调整算法来适应新的产品设计或检测新的缺陷类型，往往需要对系统进行彻底改造。在产品设计发展迅速的行业，或者由于制造工艺的变更而可能出现新型缺陷的行业，这种灵活性的欠缺会是一个重大的缺陷。

检测环境的变化：检测环境的变化，如亮度的变动或噪音水平的增加，会严重影响算法的有效性。

即使是产品设计或位置的微小变化也会导致不可靠的结果，因此必需频繁地对系统进行重新校准和调整。

需要专业领域知识和大量的资源：实施和维护传统 AOI 系统是一个大量占用资源的过程，需要具备丰富的专业领域知识。与基于人工智能（AI）的系统不同，传统的 AOI 依赖于程序

化规则和参数，需要针对每项特定的检测任务进行手动设置和校准。

这一过程需要：

- 对生产工艺和潜在缺陷有广泛的了解。
- 拥有创建和调整检测算法的编程技能。
- 进行耗时的校准工作（以确保完成准确的检测）。
- 根据产品或生产工艺的细微变化不断地进行调整。

设置和重新校准需要耗费大量的时间，这种属性可能会导致生产延误和成本增加，尤其是在产品快速发展或制造工艺频繁变更的行业里。

Averroes.ai：视觉检测的模式转变

Averroes.ai 开发了一款深度学习引擎来应对这些挑战。他们的平台设计是一种无代码、无技术要求的软件解决方案，能够将先进的人工智能技术无缝集成到现有的制造流程中。

这种创新型方法使得制造商能够利用尖端人工智能技术的强大功能，而无需为掌握广泛的技术知识耗费大

量的精力，或者对自己现有的硬件设置做重大改动。

与现有系统实现集成：Averroes.ai 解决方案是在现有硬件基础上运行的软件层，能够利用现有摄像头提供的图像做出自动化水平更好的决策。这种基于软件的功能提升意味着制造商可以改进其检测流程，而无需进行成本昂贵的硬件升级或更换。

该系统从现有的摄像头获取图像，通过先进的人工智能模型进行处理，并将结果显示在一个用户友好型图形界面上，供用户查看和分析。

卓越的准确度和持续改进：Averroes.ai 平台的一个突出特点是，它能够根据每个客户的具体使用情况定制人工智能应用程序，用极少的数据实现很高的准确度。在一个案例研究中，该平台将检测准确度从 63%（使用客户以前的工具）提高到了令人印象深刻的 97%。准确度的这种大幅提升直接转化为更高的产量、更低的误报率，最终让终端客户获得质量更优的产品。

该系统不断改进的能力使其有别

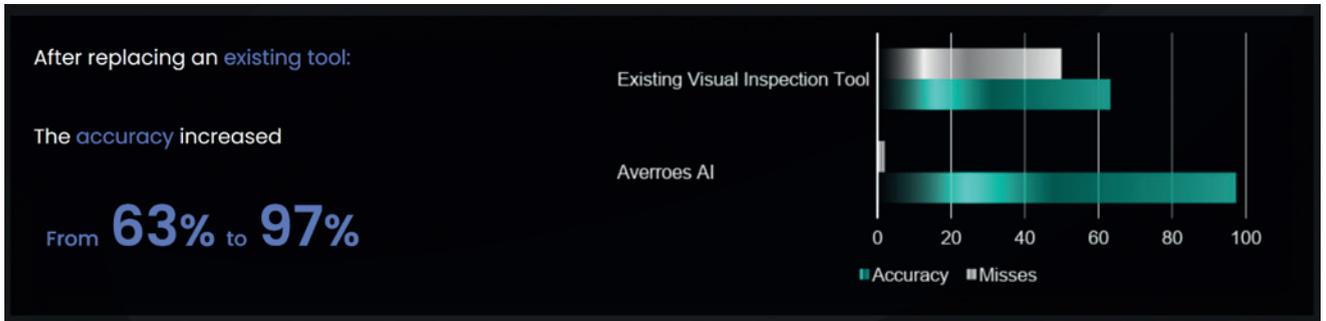


图2：采用Averroes.ai平台后检测准确度从63%（使用客户以前的工具）提高到97%。

于传统的 AOI 解决方案。通过主动学习，该模型可以提出有趣的图像供人类反馈，从而使自身不断发展，并随着时间的推移进一步提高其准确度。这意味着系统使用的时间越长，其准确度和效率就越高。从一个准确度可能只有 95% 的模型开始，通过这种迭代学习过程，系统的准确度可以提高到 98%，然后是 99%，最终达到近乎完美的水平。

先进的缺陷检测和环境适应性： Averroes.ai 解决方案的另一个关键优势是其具备检测异常情况和新的缺陷类型的能力。先进的人工智能模型能够识别以前从未见过的缺陷类型，这种能力对于因材料、工艺或产品设计变化而可能出现新缺陷类型的行业尤为重要。

当该系统遇到新型缺陷时，它能够将其标记为异常，以便人工操作员对其进行审查和分类。一旦缺陷被归

类，系统就会立即从该输入中获取相关信息，并开始在今后的检测中及时发现类似的缺陷。

环境适应性是 Averroes.ai 平台的另一个优势。传统的 AOI 系统可能难以对对照明或产品位置的变动，与之不同的是，尽管检测环境发生变化，该解决方案仍能保持高准确度。

亮度或摆放位置的差异不会对系统的性能产生重大影响，从而确保在各种生产条件下都能获得一致的结果。

创新背后的动力

Averroes.ai 创新能力的核心是其专有引擎，这是一种精细复杂的深度学习算法，能够设计和创建针对特定用例的模型。该引擎在公司自有的 DefectGPT 模型的助力之下，能在数小时内自动生成复杂的模型，同时确保获得最高质量的结果。

在模型创建过程中使用先进的人

工智能技术，可以完成快速部署并适应新的检测要求，在快节奏运转的制造环境中，这是一项至关重要的优势。

四步流程： Averroes.ai 将数据集转化为高性能 AOI 模型的方法遵照一种简单明了的四步流程。

这一流程始于数据收集，即从客户那里收集少量图像样本（最好是每种缺陷类型 10 张或更多）。这个初始数据集是建立人工智能模型的基础。

接下来是模型生成阶段，Averroes.ai 的专有引擎利用这些数据在几个小时内创建出高质量的人工智能模型。这种快速周转时间是一个显著的优势，有利于实现新检测模型的快速部署和测试。

模型训练完成后，随即进入部署阶段，将其集成到客户的检测流程中。这种集成被设计为无缝集成，可以与现有的 AOI 设备配合使用，以最大限度地减少对正在进行的操作的干扰。

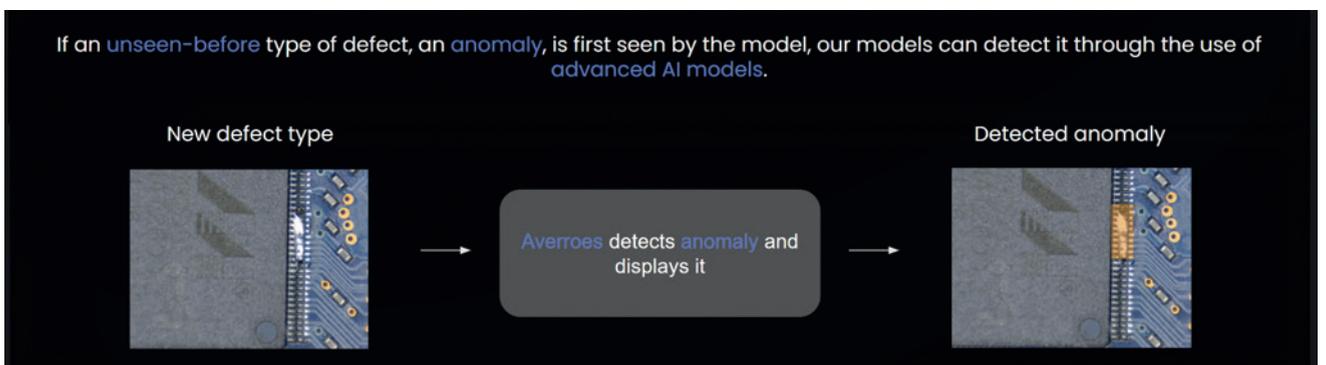


图3：Averroes.ai平台通过AI模型可以主动学习，能够识别新的缺陷类型。

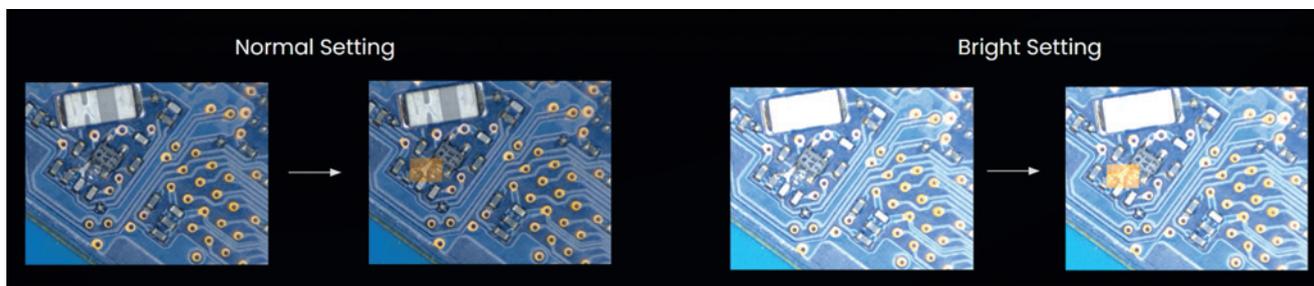


图4：具有环境适应性的Averroes.ai平台解决方案在照明或位置变动时仍能保持高准确度。

该流程的最后一步是持续改进。利用来自人类的反馈，该模型不断学习和调整，以努力达到 100% 的准确度。这种持续改进的做法可以确保检测系统始终有效并保持最新，即使在生产工艺或产品设计不断演变发展的情况下也不例外。

灵活的集成选项：Averroes.ai 深知，不同的制造商有着不同的需求和限制，因此为其解决方案提供了灵活的集成选项。该平台的设计旨在与现有的 AOI 设备无缝协作，并提供了云端和本地部署 (on-premises deployment) 选项，以满足不同的操作要求和安全协议。

云解决方案：对于希望以最低硬件要求实现快速部署的客户来说，云解决方案是一种理想的选择。它们与主要的云平台兼容，包括 Azure、AWS、GCS 和 Apple Cloud 等，可以轻松地与现有的云基础设施集成。

云部署具有可扩展性、可访问性和现场 IT 需求减少等优势。

本地解决方案：另一方面，对于优先考虑数据安全和公司内部控制的客户来说，也可以使用本地解决方案。它们可以直接连接到本地摄像头或文件系统，从而确保敏感的生产数据绝对不会离开客户的设施。

对于需要处理专利 / 专有设计或者受严格数据保护法规约束的行业来说，此选择尤其具有吸引力。

现实中的影响：案例研究

Averroes.ai 解决方案的有效性也许可以通过实际应用得到最好的说明。

有一次，客户现有的检测工具漏检了 50% 的缺陷，准确度只有 63%。这种性能水平严重影响了产品质量和生产效率。只需将 Averroes.ai 的解决方案连接到现有工具的摄像头上，该过程就能实现自动化并得到改善，从而将准确度显著提高到 97% 以上。

准确度的这种大幅提升证明了人工智能增强型 AOI 技术的变革潜力。它不仅可以更好地检测缺陷，还能减少误报，增加产量，并最终有助于生产出更高质量的产品。

Averroes.ai 平台：更深入地了解一下

Averroes.ai 平台提供了一种用户友好、基于项目的视觉检测方法。每个项目充当相关任务（包括数据、模型、监控器和连接器）的“容器” (container)。这种组织结构便于在单一界面内轻松管理多个检测流程或产品线。

团队协作功能：该平台内置团队协作功能，允许项目所有者邀请协作者参与，并分配具有不同访问权限的角色。这有利于促进参与检测过程的不同部门或团队成员（从质量控制专家到工艺工程师）之间的无缝合作。

多功能数据集创建：该平台支持多功能数据集创建，适用于各种任务

类型，包括分类、对象检测和分割。这种灵活性使该系统能够适应各种各样的检测要求，从简单的合格 / 不合格评估到复杂的缺陷定位和特征描述等均属其列。

直观的标记工具：提供了一种直观的标记工具，便于为图像添加注释。用户可以调整边界框的大小、更改标签、并增强图像属性（如亮度、对比度和饱和度）。这些功能使缺陷的准确标记变得更加容易，尤其是在缺陷可能很细微或难以辨别的情况下。

高级模型训练选项：当启动模型训练时，用户可以使用高级选项，这些选项能够显著提高模型性能。

这其中包括主动学习，它使模型能够识别信息量最大的图像并请求反馈；异常检测（称为看门狗），它能够识别新的缺陷类型；以及智能增强 (smart augmentation)，它利用人工智能在现有标注图像的基础上生成额外的训练样本。

模型性能和监测

全面的分析工具：Averroes.ai 平台为监控和分析模型性能提供了全面的工具。用户可以查看详细的准确度指标，跟踪一段时间内的训练进度，并获取特定类型的信息，如缺陷数量、正确报警率、误报率和漏报率。借助这些丰富的信息，可以对检测流程进行持续的评估和改进。



图5: Averroes.ai 将数据集转化为高性能AOI模型的四步流程。

灵活的部署选项：部署选项十分灵活，可以将模型连接到摄像头进行实时流媒体传输，或者连接到云端/本地存储器，对新上传的图像进行自动化预测。这种多功能性确保了该系统可以集成到各种不同的生产环境和工作流程中。

自定义管线的 API 集成：为实现与现有系统的无缝集成，该平台可以为自定义预测管线 (prediction pipelines) 生成 API 密钥。该功能允许制造商将 Averroes.ai 的高级检测功能纳入其更宽泛的制造执行系统或质

量管理流程中。

批量预测能力：该平台还支持批量预测 (batch prediction)，使用户能够手动上传大量图像进行分析。这种功能对于大规模测试和验证特别有用，可以让质量控制团队对该模型应用于各种各样的场景或产品变体时的性能予以评估。

结论

随着制造业对精度和复杂性的不断追求，传统的 AOI 系统已被证明不足以应对现代挑战。这些系统是针对

本世纪初的技术而设计的，在应对当今更小、更复杂的产品和缺陷时显得力不从心。

Averroes.ai 不仅增强了视觉检测能力，而且正在使之发生革命性的变革。通过利用先进的人工智能和深度学习，Averroes.ai 旨在以功能更强大、适应性更强的解决方案取代过时的 AOI 方法。该公司采用创新方法，将定制的人工智能应用程序与有限数据的高准确度相结合，使其在下一代质量控制领域处于领先地位。

随着制造商在要求日益严苛的市场中努力减少缺陷，最大限度地提高良率，Averroes.ai 的技术有望成为塑造未来制造质量保证的关键，从而实现更优的质量、更高的效率和更强的竞争力。◆

微软发布全球首款拓扑架构量子芯片

微软公司近日发布新型量子计算芯片 Majorana 1，这也是全球首个由拓扑核心驱动的量子处理器。微软表示，通过这个“全球首款拓扑架构量子芯片”，将使我们能在未来几年内开发出能解决实际工业规模问题的有意义的量子计算机，而不是像目前预测的那样需要几十年。

微软声称，这款量子芯片利用了全球首个拓扑导体 (topoconductor)。这是一种突破性材料，能够“观测和控制马约拉纳 (Majorana) 粒子”，从而能够生成更可靠、更可扩展的量子位，而量子位正是量子计算机的基本构建单元。

拓扑导体是一类特殊的材料，它能够创造一种全新的物质状态——既不是固态、液态或气态，而是拓扑态。这种拓扑态被用来制造更为稳定的量

子比特，这种量子比特运行速度快、体积小，并且能够实现数字化控制，无需像当前其他替代方案那样做出权衡取舍。在《自然》杂志发表的相关论文里，微软概述了他们创造出拓扑量子比特奇异的量子特性，以及精确测量这些特性的过程，这是实现实用型计算的一个关键步骤。

这一突破是微软历时 17 年，通过持续研究量子计算新材料和架构取得的成果。量子计算机的核心是量子比特，这是量子计算中的信息单位。而量子计算目前发展缓慢的核心矛盾是由于量子比特相当脆弱，并且对环境噪声非常敏感，可能导致计算错误或数据丢失。为了解决这个问题，微软采用了一种全新的解决方案，通过创造所谓的“世界首个拓扑体”，得以观察和控制马约拉纳粒子，从而产

生更可靠和可扩展的量子比特。微软表示，这种拓扑体使用砷化铟 (半导体) 和铝 (超导体)，通过逐个原子设计和构建来实现拓扑体线材——所谓“量子时代的晶体管”。

与其他量子计算方法相比，Majorana 量子比特更稳定，抗干扰能力更强。拓扑量子计算之前一直是零量子比特，此次微软将其提升到 8 量子比特，未来有望扩展到百万级量子比特。而目前世界上所有计算机协同运行，都无法完成一台 100 万量子比特的量子计算机能够完成的任务。

量子芯片作为量子计算的核心硬件，其技术突破有望重塑未来算力格局、安全体系与产业生态，推动人类社会进入“量子+AI”协同发展的新纪元。◆

半导体测试过程的自动化： 现代生产的关键因素

半导体测试过程的自动化是现代半导体生产的关键因素。它不仅有望提高效率、降低成本，还能改善测试的准确度和可靠性。尽管拥有众多优势，但是制造商仍面临着从技术开发风险到组织障碍等各种挑战。本文重点介绍当前半导体测试中存在的问题，以及如何通过创新解决方案和行之有效的策略来应对这些挑战。

作者：Thomas Seidl, ESMO AG 技术销售经理



在 芯片开发过程中，需要经历各种不同的修订阶段。新开发的产品和原型都是小批量生产的，因此价格昂贵，数量稀少。由于组件数量有限，使用高并行度生产测试分选机（high-parallel production handler）并不现实，因为这些测试分选机往往采购成本太高，操作过于复杂，而且重新配置太耗时。

由于这些原因，工程测试常常由手工执行，这占用了宝贵的员工资源和测试能力。

此外，现代微型芯片往往越来越小，给测试分选带来了额外的挑战。可以想象，长时间地正确放置和测试一定数量的 1x1mm 组件是多么让人疲惫不堪和耗费精力，更不用说可能出现的放置错误和损坏了。

使用工程测试分选机（engineering handler，如 esmo talos）将该过程自动化是非常有利的。操作人员只需将部件（托盘/导管/胶带）装入机器，安装部件专用的转换套件，然后启动自动测试。这种测试分选机具有全三温测试能力和集成式主动热控制系统（ATC），是轻松进行特性分析的理想选择。

从一种封装切换到另一种封装只需区区几分钟，这在测试大量不同封装时至关重要。工程师无需进行冗长的设置调整即可快速启动测试。该系统的高度灵活性通常允许使用现有的测试设置，从而避免了额外的成本支出。

生产中的自动化

在生产过程中，关注的重点是最大限度地提高测试单元的利用率。任何测试失败或延迟都会造成巨大损失，并危及测试目标。下面介绍一些常见任务以及解决方法。

通过DIB变换器实现半自动电路板更换

当需要更换电路板时，常常必需由受过培训的人员完成。将测试头解除连接，手动向外移动，并在成功更换电路板后将测试头回位。视操作人员处理这一过程的谨慎程度以及对接（docking）解决方案实施安全程度的不同，可能会对电路板或组件造成潜在的张力或损坏。

esmo 推出的一款自动电路板交换系统能够自动处理



esmo talos 能轻松而可靠地自动执行微芯片工程测试程序。

这一过程。指令可以来自操作人员的按钮，也可以直接来自测试单元。系统将测试仪与分选机断接，电路板通过抽屉向外移动。这样，操作人员就可以轻松更换（或由自动导向车（AGV）自动更换）电路板。这就能确保在对接过程中不会发生损坏，连接始终安全且可靠。

自动机械手 + 自动化电路板锁定

在自动化方面更进一步的是，使用自动机械手完成测试仪的全自动对接（docking）和断接（undocking）。其主要特点是，测试头作为单元的主控器，控制着机械手。如果出现问题，可发出信号自动解除测试头的对接，并将其移动到维修位置。

esmo ares auto setup（最终测试机械手）和 Titan（通用机械手）配有一个获专利的集成摄像头，可识别分选机的位置，并在对接过程中精确对准测试仪。这一优势意味着，如果分选机被移动，就无需进行精确的重新对准或大量的重新培训。视觉系统提供的定位功能允许在分选机上使用 CUH（摄像头和分选机一致性设置）和自动锁定功能，从而不再需要依靠传统的对接。

电路板和 CUH 留在测试仪上，而且，一旦定位并移至分选机，就会被锁定到适当的位置。许多分选机已经具备这种功能，如果没有，esmo 可以提供改装解决方案。

前景展望

总之，最终微芯片测试的自动化不仅在今天起着至关重要的作用，而且在未来也将占据举足轻重的核心地位。随着技术的进步和微芯片的日趋复杂，自动化测试系统将变得越来越精细和强大。

我们可以期待将人工智能和机器学习融入最终测试程序，从而显著提高效率和精确度。实时数据分析和预测性维护能够在潜在问题演变成代价高昂的问题之前及早地发现和解决。物联网（IoT）和 5G 技术的出现将进一步优化测试系统的联网。一个前景看好的方面是开发能够独立适应新要求并不断学习的自主测试系统。此类系统将能够制定和实施复杂的测试策略，水平将超越人类工程师。

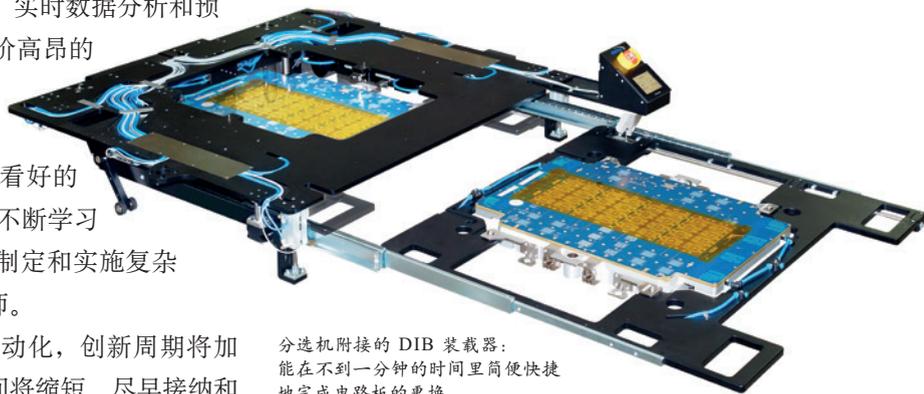
随着最终微芯片测试的不断自动化，创新周期将加快，产品质量将提高，产品上市时间将缩短。尽早接纳和



esmo ares auto setup 是一种独特的最终测试机械手，能够实现测试头的自动化定位。

积极采用这些技术的公司将获得显著的竞争优势，并能更好地应对未来的挑战。

微芯片最终测试的未来无疑是令人兴奋和充满希望的。我们正处于一个新时代的开端，自动化将充分释放微芯片的潜力，并彻底改变半导体行业。◆



分选机附接的 DIB 装载器：能在不到一分钟的时间里简便快捷地完成电路板的更换。

为什么掩模版世界正在转向曲线（二）

如果您最近参加过光刻或光掩模技术会议，您可能已经注意到一个趋势：有许多关于曲线掩模、曲线 OPC、曲线 ILT、曲线掩模过程校正 (MPC, mask process correction) 和曲线掩模格式的论文和演讲。光掩模行业正在经历从曼哈顿掩模到曲线掩模的根本转变。第 2 部分。

曼哈顿曲线 ILT 掩模图形会产生两个问题。在本文的第 1 部分(《半导体芯科技》2024 年 12 月/2025 年 1 月发表)我们首先讨论了 VSB 轰击计数问题。另一个问题是掩模剂量裕度 (dose margin)。正如扫描台上的晶圆印刷具有工艺窗口一样，eBeam 掩模写入器上的掩模写入也具有工艺窗口。在晶圆工艺窗口的情况中，两个变化是焦点和剂量。在掩模写入中，由于 eBeam 写入器具有无限的或非常大的焦深，主要变化是剂量。掩模界没有称其为剂量宽容度 (dose latitude, 这是光刻界的称呼)，而是称其为剂量裕度。剂量裕度对于

90 度角特别糟糕。曼哈顿化的曲线掩模图形会产生许多 90 度角，如图 11 所示。

在图 12 中的右侧，我们显示了曼哈顿和曲线接触阵列的剂量裕度。剂量裕度采用伪色表示：红色代表不良剂量裕度，绿色代表良好的剂量裕度。曼哈顿触点的 90 度角显然比光滑的曲线接触具有更差的剂量裕度。图 12 的左侧是 2019 年所做的一个研究^[16]，证明虽然方形接触的边缘具有良好的剂量裕度，但转角处的剂量裕度不可接受。同时，它表明圆圈的任何角度都具有

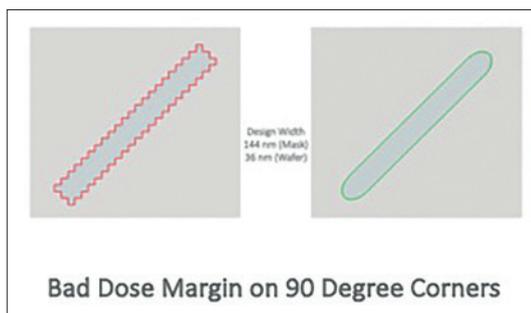


图11：90度拐角的剂量裕度很差。曼哈顿化的曲线形状有许多90度的拐角，因此与平滑的曲线形状相比，剂量裕度较差。

良好的剂量裕度。

此外，曲线形状具有在晶圆上较少的变化或较小的掩模误差增强因子 (MEEF, mask error enhancement factor)。2022 年的一项研究发现，在比较曼哈顿化对角线与曲线对角线的

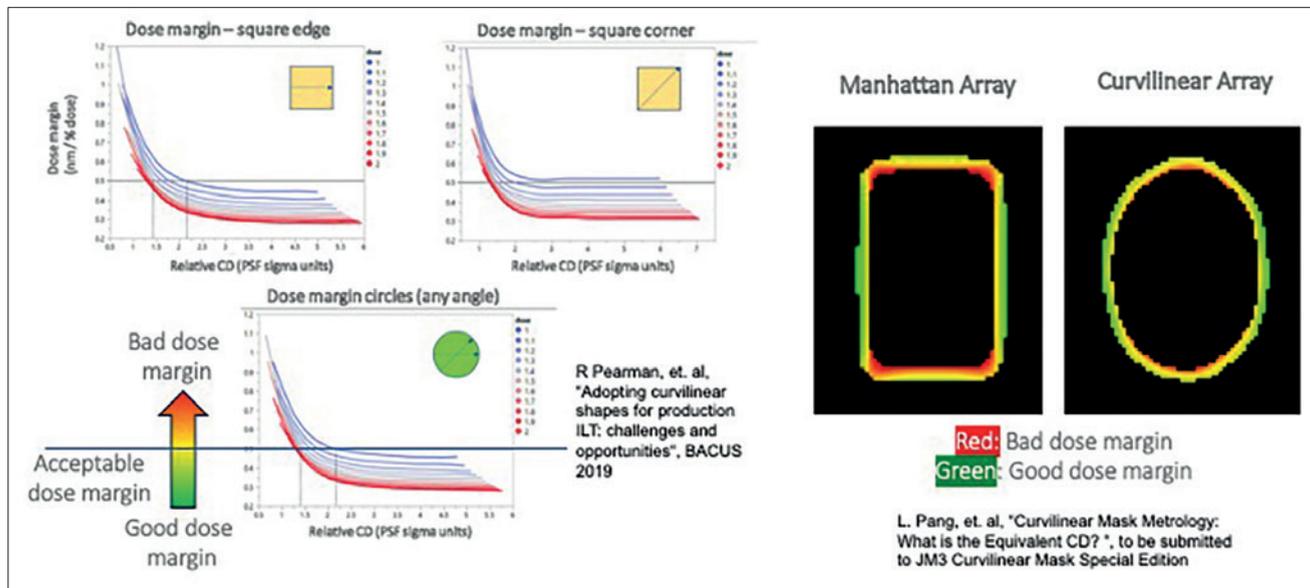


图12：虽然曼哈顿特征尺寸的边缘具有良好的剂量裕度，但 90 度角的剂量裕度非常差，如红色伪色所示。圆圈在任何角度都有可接受的剂量裕度，如绿色/黄色伪色所示^[16]。来源：D2S。

作者：LEO PANG, D2S 公司

MEEF 时，平滑曲线的 MEEF 比阶梯式曼哈顿线提高了 ~28%^[17] (图 13)。

这就是曲线更好的根本原因。想象一下，将形状的边缘移动 1 个单位，如图 14 所示。如果是曼哈顿形状 (如正方形)，则 X 和 Y 方向的边移动 1，但对角移动 1.4。在曲线形状 (如圆形) 中，圆上每个位置的边都移动 1。这意味着掩模上的相同变化将导致曼哈顿形状的晶圆比曲线形状的晶圆变化更小。

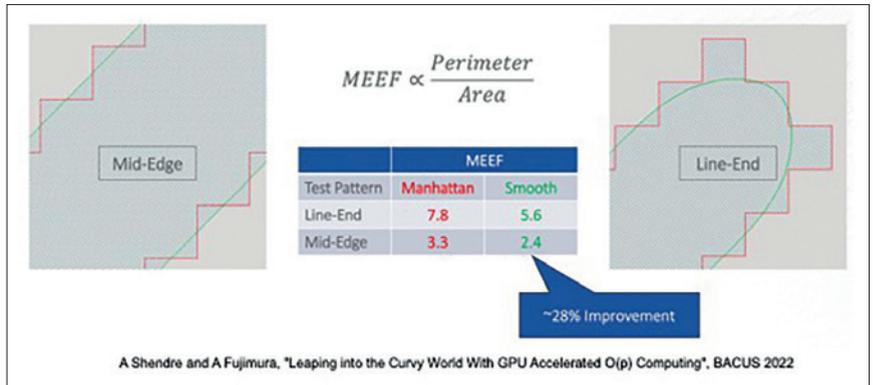


图13: 曼哈顿化图案的边缘和线两端都比平滑曲线图案的MEEF更差^[17]。来源: D2S。

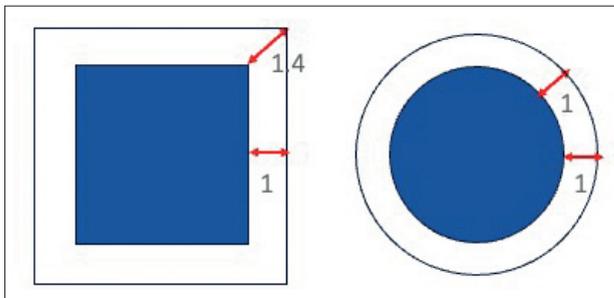


图14: 将直线形状移动 1 个单位会导致对角移动 1.4 单位，与圆相比，圆在圆上的每个位置都移动 1 个单位，从而直角导致更大的晶圆变化。

出于与上述解释相同的原因，曲线形状在掩模工艺中的变化也较少。在涉及蚀刻等偏置工艺的掩模工艺中，可以更实地形成曲线图案。图 15 总结了美光和 D2S 有关接触阵列

的联合研究结果。我们创建了接触阵列，包括曲线和曼哈顿^[18]，并在掩模上的每个阵列上制作了 6 个副本。我们从每个接触阵列的四个位置 (左边缘、中心、角落和底部) 每 4 纳米进行一次测量，包括每个接触数百个测试点，总共进行了数百万次的测量。

首先，我们在相同的 4 个位置 (左边缘、中心、角落和底部) 收集了所

有 6 个接触阵列副本的 SEM 图像，然后我们使用专有软件对齐每个位置的 6 个图像副本。对齐考虑了 SEM 图像可能引入的失真，包括偏移、旋转和缩放。对齐图像后，使用专有软件提取轮廓。每个接触上的多个轮廓形成一个变化带，每 4nm 测量一次带宽。然后，我们查看统计数据以测量右侧图中的掩模变化带，曲线用蓝色表示，曼哈顿用橙色表示。我们可以看到，与橙色曲线相比，蓝色曲线向左移动，这意味着它更接近于零。我们还可以看到，蓝色曲线的分布更窄，显示更小的变化。

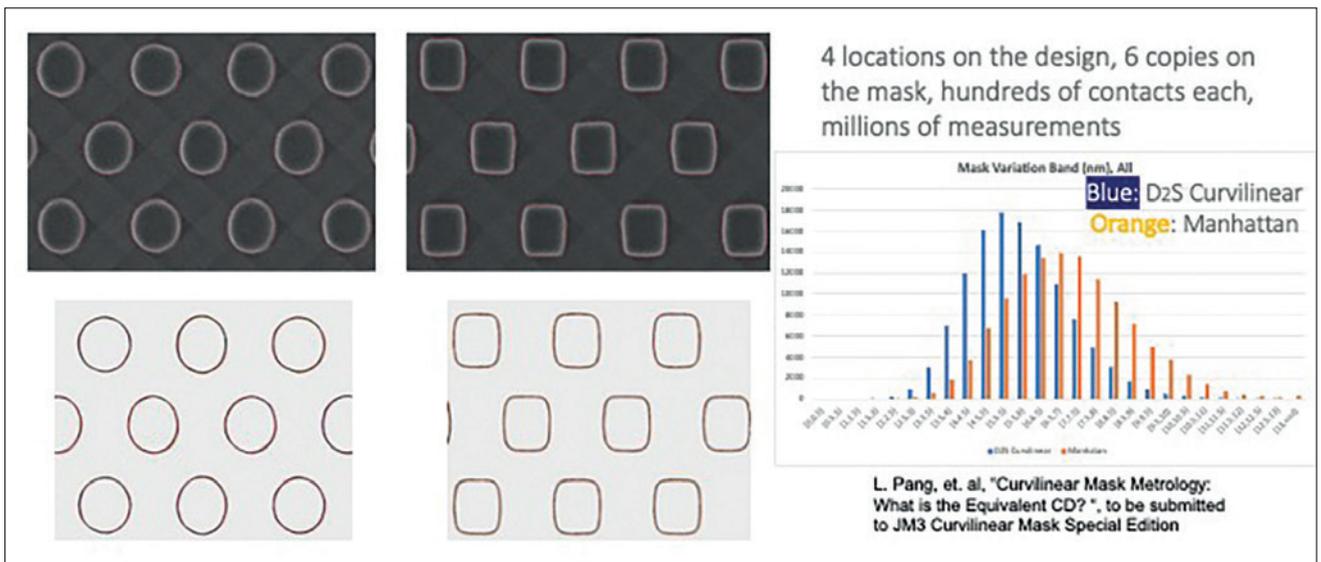


图15: 与曼哈顿掩模图案 (右图中的橙色) 相比，曲线掩模图案 (右图中的蓝色) 具有更少的变化和更紧密的变化分布^[18]。来源: D2S 和美光。

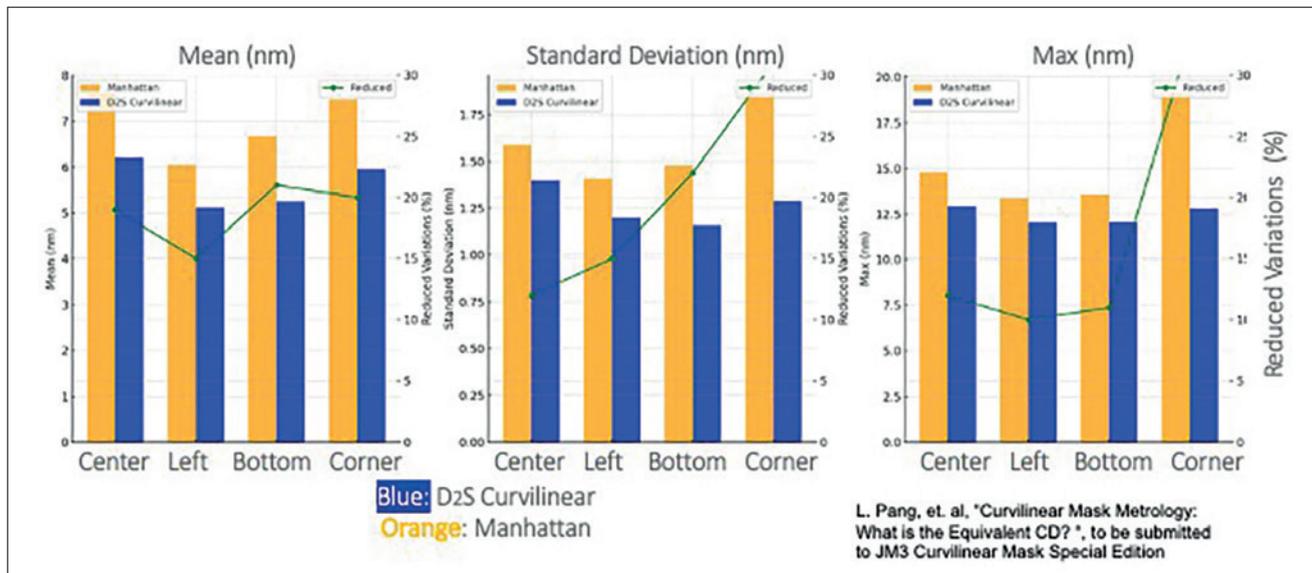


图16: 曼哈顿 (橙色) 和曲线 (蓝色) 掩模图案的掩模变化。平均值、标准差和最大值都显示曲线掩模特征的变化较小^[18]。来源: D2S 和美光。

图 16 显示了曼哈顿 (仍为橙色) 和曲线 (蓝色) 的平均值、标准差和最大变化。在所有情况下, 曲线接触的变化都明显较小, 尤其是那些位于具有更多 SRAF 的拐角中的接触。回想一下, 这些是由同一多光束掩模写入器写入同一掩模的测量值。唯一的区别是图案。一种是曲线图案, 另一种是曼哈顿图案, 但掩模上的曲线图案变化比曼哈顿图案的小 20%。这非常明显, 因为使用 MEEF, 这也将转化为晶圆上较小的变化。

量。使用更少的轰击有助于解决写入时间问题, 这意味着拐角更少, 这将减少掩模的变化。2021 年, 笔者以及 D2S 和美光的同事推出了掩模晶

圆协同优化 (MWCO, mask wafer co-optimization) 的概念^[19]。从 ILT 解决方案开始, 然后使用重叠轰击来减少轰击次数, MWCO 使用双重模拟——

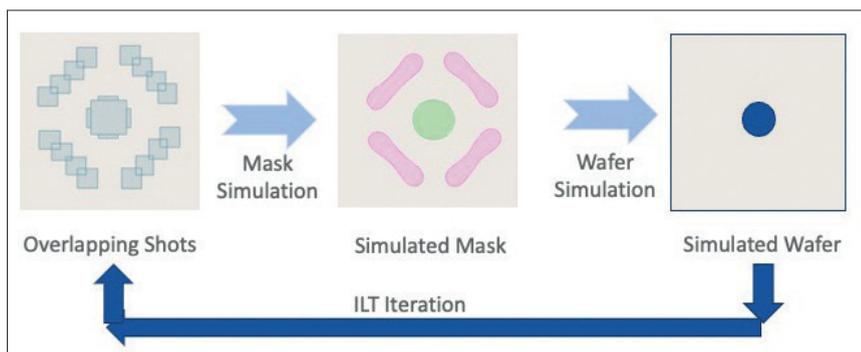


图17: MWCO 创建重叠轰击以减少 SRAF 的轰击计数。执行掩模和晶圆模拟, 并使用晶圆结果移动重叠的轰击以优化晶圆 EPE。

MWCO 为 VSB 写入的掩模提供曲线优势

我们之前介绍了多光束掩模写入器如何解决曲线掩模的写入时间问题, 并且我们已经证明曼哈顿化版本的曲线形状不会产生与真正的曲线形状相同的好处。但许多掩模厂目前都在使用 VSB 掩模写入器, 并将继续这样做。VSB 写入的掩模是否有希望获得真正曲线形状的全部好处呢? 是的, 这是可以的。正如我们所看到的, 减少掩模变化的关键是减少拐角的数

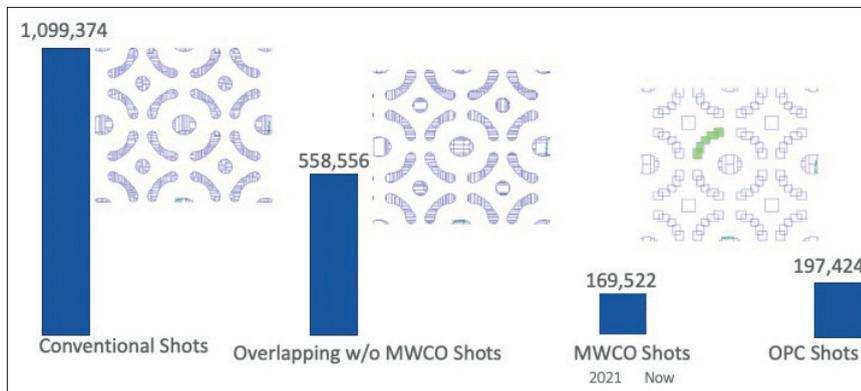


图18: 接触阵列的 ILT 图案使用传统轰击 (左)、无 MWCO 的重叠轰击 (中) 和使用 MWCO 的重叠轰击 (右) 进行断裂。MWCO 解决方案的轰击次数比 OPC 解决方案的少 (因此写入时间更短)。来源: D2S。

掩模模拟，然后是晶圆模拟——并基于晶圆结果，迭代移动这些轰击从而最小化晶圆上的边缘放置误差 (EPE, edge placement error)，如图 17 所示。MWCO 在小的 SRAF 上使用重叠轰击，这通常占据轰击的一大部分。对于主要特征尺寸，我们使用较少且不重叠的较大轰击。

如图 18 所示，采用传统轰击的 ILT 模式 (左 1 图) 使用几乎 5 倍的 OPC 解决方案的轰击次数 (右 1 图，未显示拍摄次数)，进行断裂。通过单独使用重叠轰击，轰击次数可以减半 (左 2 图)。但是，将 MWCO 与重

叠轰击 (右 2 图) 一起使用会产生比 OPC 解决方案使用的轰击更少的曲线解决方案。使用更少的轰击还意味着 MWCO 解决方案的写入时间比 OPC 解决方案更短。在这种情况下，整个曲线掩模在 VSB 掩模写入器上在不到 12 小时内就写入了。图 19 显示了图 18 中的曲线掩模图案。

图 20 是根据该实验生成的工艺窗口图。x 轴是焦点，y 轴是剂量变化。由于有 61 个点位，因此绘制了满足工艺窗口要求的点位数量与点位总数的比率^[13]。使用 10% 的 CD 变化作为工艺窗口的标准。从绿色到

红色的伪彩色表示工艺窗口的从好到坏。总体而言，使用无 MWCO 的重叠轰击的曲线 ILT 和使用带有 MWCO 的重叠轰击的曲线 ILT 将绿色 (或非红色) 区域扩大了 2 倍以上，尤其是焦点深度 (DoF, depth of focus)。与没有 MWCO 的重叠轰击和有 MWCO 的重叠轰击相比，有 MWCO 的略好一些，显示出优化晶圆 EPE 而不是

掩模 EPE 的好处，同时使用的轰击次数是没有 MWCO 案例的重叠轰击的仅一半。

掩模行业已经在为曲线做准备

曲线掩模为掩模和晶圆质量提供了多种实质性的好处。请注意这一点，光掩模行业一直在准备，并且现在已准备好在生产中实现曲线掩模。如图 21^[14] 所示，仍有一些挑战需要解决，该图显示了行业知名人士在 eBeam Initiative 2023 调查中的回应，对生产曲线掩模的担忧进行了排名。数据路径是最受关注的问题，这种情绪反映在 Multigon 格式标准的工作中。这些问题都不是不可克服的，针对许多问题例如数据路径和掩模计量，已经提出了解决方案。

OPC、掩模规则检查 (MRC, mask rule checking)、掩模工艺校正 (MPC, mask process correction)、掩模数据准备 (MDP, mask data preparation) 和其他数据处理步骤传统上从 EDA 继承了基于多边形的几何操作，EDA 主要专注于通过移动或分析顶点和边缘在 CPU 上有效地操作曼哈顿矩形。该像素非常适合处理曲线形状 (或任何形状——像素与形状无关)^[17]。这并不是一个新发现。所有与成像相关的掩模和晶圆设备都已

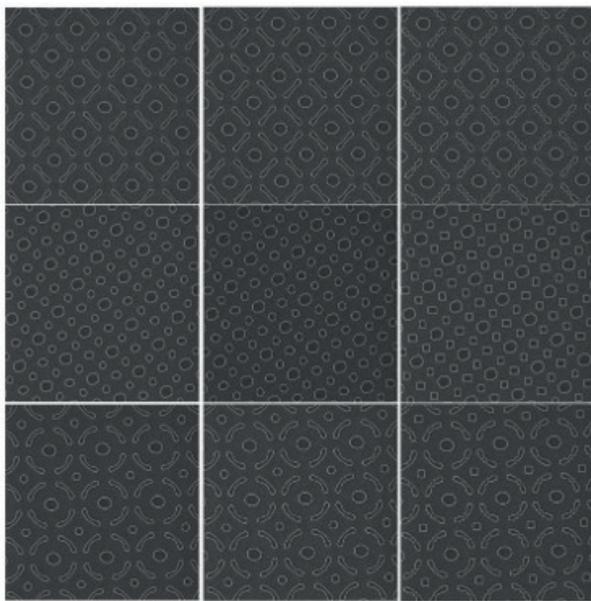


图19：三个接触阵列的 VSB 轰击的掩模 SEM 图像，其中 (a) 常规轰击，(b) 无 MWCO 重叠轰击，(c) MWCO 重叠轰击^[19]。来源：美光。

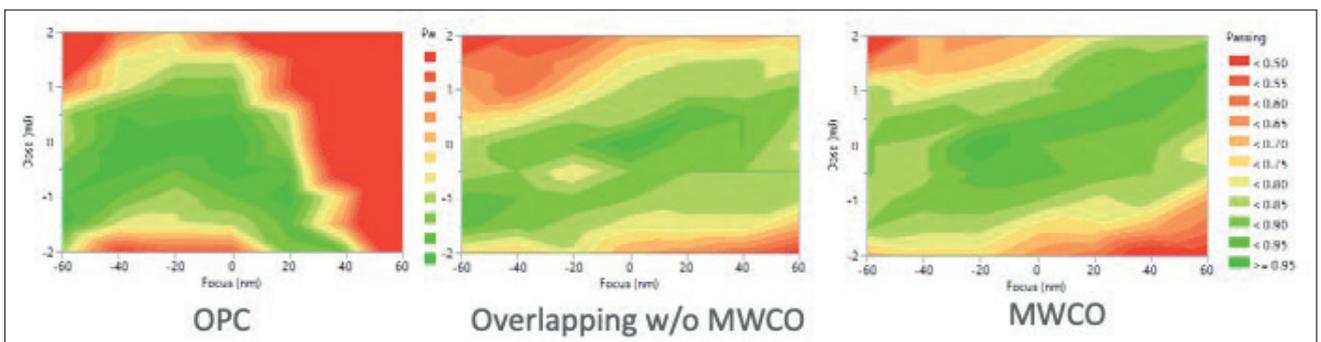


图20：通过晶圆生成的工艺窗口图。红色伪彩色表示工艺窗口之外的区域；绿色伪彩色表示工艺窗口内的区域。MWCO 解决方案的工艺窗口是 OPC 解决方案的 2 倍以上。来源：D2S 和美光。

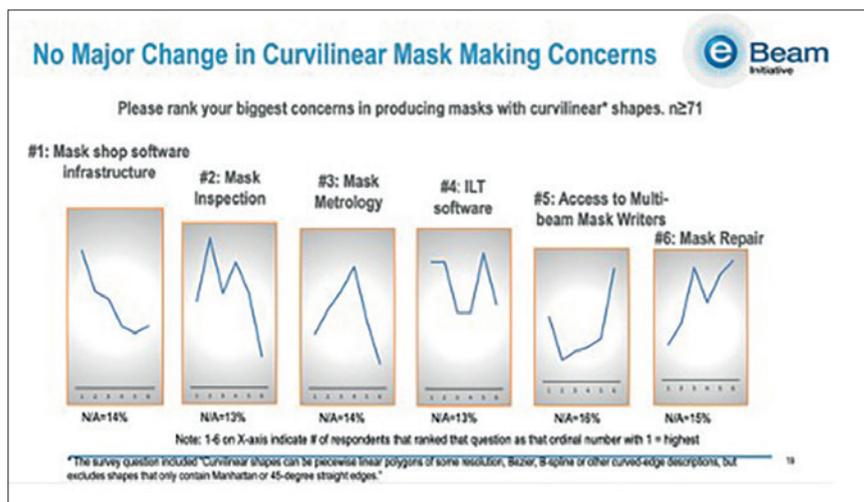


图21：2023年 eBeam Initiative 杰出人士调查的回应显示，对曲线掩模的最大担忧是掩模厂的数据路径^[14]。来源：eBeam Initiative。

经是基于像素的，包括掩模和晶圆检测、SEM 机器和掩模修复工具。

尽管 OPC 是基于边缘或多边形的，但 ILT 是基于像素的。现在，多光束掩模写入器也是基于像素的。因此，MRC、MPC 等都可以成为基于像素的，这也是合理的。MPC 已经作为像素级剂量校正 (PLDC, pixel-

level dose correction) 引入到了像素域。由于 PLDC 可以实时完成，因此 MPC 所需的周转时间变为零^[21]。这在像素域中实现整个带出流程提供了机会。需要注意的是，像素数据并不意味着数据量会大于多边形数据，因为像素数据可以被压缩。

曲线掩模有利于半导体制造，因

为 (1) 它们显著扩大了晶圆工艺窗口；(2) 它们生产可制造的掩模目标，这些目标的制造更可靠，产生的干扰缺陷更少。

但曲线掩模最显著的效果是曲线掩模支持曲线设计，即曲线晶圆目标。正如可制造的形状在掩模上更可靠地制造一样，可制造的曲线设计在晶圆上也更可靠。曲线设计直到最近才可制造，因此对曲线设计的明智应用可能带来的功率、性能、面积、良率和成本方面的潜在好处的研究才刚刚开始^[20]。想想这在设计方面如何展开都是令人兴奋的。◆

注：本文基于作者在 SPIE Advanced Lithography 2024 上发表的一篇文章^[22]。

注：本文第 1 部分发表在《半导体科技》2024 年 12 月/2025 年 1 月杂志中。

扩展阅读/参考资料

14. 2023 eBeam Initiative Perceptions Survey Results [September 26, 2023], <http://www.ebeam.org>
15. Choi, Yohan, Aki Fujimura, and Abhishek Shendre. "Curvilinear masks: an overview." *Photomask Technology 2021* 11855 (2021): 157-172.
16. Ryan Pearman, et al, "How curvilinear mask patterning will enhance the EUV process window: a study using rigorous wafer+mask dual simulation", *Proc. SPIE 11178*, Photomask Japan 2019: XXVI Symposium on Photomask and Next-Generation Lithography Mask Technology, 1117809, 2019.
17. Shendre, Abhishek, Aki Fujimura, Mariusz Niewczas, and Tom Kronmiller. "You don't need 1nm contours for curvilinear shapes: pixel-based computing is the answer." In *Photomask Technology 2022*, vol. 12293, pp. 45-55. SPIE, 2022.
18. Pang, L. et al, "Curvilinear Mask Metrology: What is the Equivalent CD?" to be published on *JM3 Curvilinear Mask Special Edition*
19. Pang, Linyong Leo, Ezequiel Vidal Russell, Bill Baggenstoss, Yang Lu, Michael Lee, Jennefir Digaum, Ming-Chuan Yang et al. "Enabling faster VSB writing of 193i curvilinear ILT masks that improve wafer process windows for advanced memory applications." In *Photomask Technology 2020*, vol. 11518, p. 115180W. International Society for Optics and Photonics, 2020.
20. Amit Dounde et al., "A study of curvilinear routing in IN5 standard cells: challenges and opportunities," In *Photomask Technology 2019*, vol. 11148, p. 111481C. International Society for Optics and Photonics, 2019.
21. Zable, Harold, Hironobu Matsumoto, Kenichi Yasui, Ryosuke Ueba, Noriaki Nakayamada, Nagesh Shirali, Yukihiro Masuda, Ryan Pearman, and Aki Fujimura. "GPU-accelerated inline linearity correction: pixel-level dose correction (PLDC) for the MBM-1000." In *Photomask Japan 2017: XXIV Symposium on Photomask and Next-Generation Lithography Mask Technology*, vol. 10454, p. 104540D. International Society for Optics and Photonics, 2017.
22. Pang, Linyong Leo, and Aki Fujimura. "Why the mask world is moving to curvilinear." In *DTCO and Computational Patterning III*, vol. 12954, pp. 319-334. SPIE, 2024.



用人工智能和仿真技术推动半导体行业发展

自从生成式人工智能(AI)成为主流以来，半导体行业一直处于风起云涌不断变化的状态，这已经不是什么秘密了。随着AI模型和AI驱动的智能产品的采用率不断提高，对半导体芯片的极端需求也将进一步增加。

半导体行业目前正处于创新的前沿，据 Gartner 预测，2025 年全球收入将增长 14%，总额达到 7170 亿美元。尽管如此，半导体行业仍在竭力以满足市场需求。持续的投资正在支持这方面的努力；例如，英国已拨出 1150 万英镑用于支持半导体创新和发展这个价值 100 亿英镑的产业。然而，芯片设计和制造的复杂性，以及全球芯片短缺后急剧上升的需求，都需要越来越先进的技术。

自然而然，芯片制造商们开始求助于仿真和生成式 AI 等工具来克服这些挑战。通过这样做，他们可以改进传统上耗费大量时间、金钱和工程资源的复杂流程。他们还可以探索如何在不影响创新的前提下支持可持续的半导

体制造。除了半导体本身，制造商还可以借此升级制造工厂或晶圆厂，以推动规模化发展。

事实上，仿真本身就能为芯片制造商带来巨大的利益，而生成式 AI 则将其能力进一步提升。但这种双管齐下的方法究竟是如何运作的呢？带着这个问题，让我们来探讨仿真如何助力芯片制造，以及 AI 如何推动设计和开发的演进，从而推动突破创新并满足全球需求。

利用仿真和生成式AI的总体优势

在半导体领域，仿真可以帮助工程师验证那些进行物理测试十分困难、耗时且成本高昂的特性。而且，由

作者：Mazen El Hout，ANSYS公司高级产品营销经理

于仿真可以在半导体制造（无论是单片芯片还是大型工厂项目）之前发现关键的设计缺陷，因此可以加快整个开发周期，缩短产品上市时间，这对制造商来说是一个至关重要的目标。

尽管仿真在整个半导体制造过程中已经发挥着至关重要的作用，但借助生成式 AI 的强大功能，仿真的优势可以得到进一步提升。当一个模型根据特定数据进行训练后，它可以在几分钟内做出准确的预测，从而大大缩短计算时间。因此，工程师可以快速调整设计参数，并通过实时仿真获得即时反馈。最终，这就形成了一个循环：仿真实产生的数据越多，AI 模型就越高效、越准确。例如，在设计过程中，这种方法可以决定成败。

支持芯片设计中的可靠性评估

芯片设计既不迅速，也不简单。制造商通常必须处理非线性、意外的行为，并需要考虑电气、热和结构特性；即使是最轻微的修改或错误也会影响其他组件。此外，工程师可能难以成功映射空间分布的不确定性和芯片参数的变化，包括芯片尺寸和传热系数（HTC）值。虽然作为独立工具的仿真可以在这方面提供支持，但工程师可能会花费不必要的时间来对单个芯片进行仿真、修改和重新仿真，而且设计过程的整体复杂性意味着可扩展性有限。

同样，利用生成式 AI 对仿真进行补充，可以增加额外的好处，从而缓解这些挑战。以热分析为例，如果根据热仿真生成的数据集对 AI 模型进行训练，它可以快速生成温度分布图，并准确定位热临界点。这样，工程师就能够进行正确的设计修改，最终优化热性能、管理温度波动并缓解过热问题。但可靠性评估只是难题的一部分。为了满足全球需求，芯片制造商需要能够尝试更具创新性和可持续性的设计选择。

我们要推动可持续发展的半导体创新。可持续性影响着各个领域的产品设计，半导体行业也不例外，因为它对环境的影响巨大。例如，制造工厂需要大量的水和能源来制造芯片，而复杂的全球供应链（包括提取大量原材料和全球分销）也造成了温室气体排放。与此同时，许多依赖半导体的消费产品，如智能手机和笔记本电脑，在设计时都考虑到了计划性淘汰。这意味着，为保持需求不断增加，更多的芯片将被丢弃，并且产生材料浪费。

提高半导体行业的可持续发展需要集体努力。但制造商现在已经可以采取一些措施了，比如在芯片设计中

减少浪费。例如，在设计中可以使用仿真技术，它可以发现过度耗电的区域并优化能源效率。仿真还可以减少物理原型的制作，从而减少浪费。那么，AI 的作用在哪里呢？

该技术通过基于 AI 的材料选择，让工程师能够深入了解材料工艺与性能之间的关系。从本质上讲，制造商的材料数据可用于预测不同材料对产品设计和性能的影响，从而为可持续设计做出更好的决策。显而易见，为制造商提供新一代工具和技术可以为芯片本身的创新打开大门。但是，注入 AI 的仿真如何才能更大范围内为行业提供支持呢？

克服制造厂的挑战，实现大规模创新

芯片设计并不是制造商的唯一关注点。为了维持全球供应链，制造厂还需要发展其各方面的能力，但这也带来了自身的挑战。随着晶圆厂努力跟上芯片需求的步伐，设备可能会一次连续运行数周甚至数月，这增加了机器疲劳的可能性，并面临昂贵且耗时的维护风险。如果发生故障，组织必须决定是立即停止生产，还是等待计划的维护窗口。由于单个工具的故障可能会对整个过程产生影响，因此，组织不能拿其运行设备的健康状况做赌注。

制造商必须减轻设备疲劳和故障，以避免中断其高度互连的流程。为此，他们可以寻求 AI 驱动的数字孪生。它们将来自物理半导体制造资产的数据连接到其模拟对应物，使工程师能够实时监控设备运行状况，并在问题发生之前预测问题。此外，如果 AI 模型缺乏有关特定缺陷的数据，它可以创建一个合成数据集来整合这些数据并训练数字孪生。通过协同工作，AI 和仿真将使半导体制造商能够保持运营效率，避免生产停机，并更好地预测维护。

半导体制造的未来

对于半导体公司来说，虽然市场对芯片的需求并没有放缓，但是，使用正确的工具对于帮助增加供应和保持竞争优势至关重要，而 AI 自然是其中共同的主线。AI 加速求解器、AI 驱动的数字孪生、基于 AI 的材料选择，只是 AI 支持半导体制造发展流程、支持设计进步并保持运营平稳运行的三个示例。现在投资于这些能力的组织将能够更好地主导供应链，并为半导体制造的未来铺平道路。◆

NoC 软瓦格化为 AI 驱动型设计提供可扩展的解决方案

瓦格化 (tiling) 是指在同一芯片内重复使用模块化单元，以提高可扩展性和效率；芯粒 (chiplet) 则被应用于将不同的硅片组合在一起，在单个封装内实现更多样化和更强大的系统。

片上网络 (NoC) 软瓦格化与上述的芯粒互为补充，但又有所不同，因为它在 NoC 设计中重复模块化单元。NoC 内的软瓦格化具有可扩展性和可重用性，使其成为汽车、通信、企业计算和消费电子系统级芯片 (SoC) 设计的理想选择。

软瓦格化的一个例子是汽车应用中的高级驾驶辅助系统 (ADAS)，该系统管理即时数据，用于人工智能 (AI) 驱动的目标检测和决策。在数据中心垂直领域的另一个例子中，软瓦格化促进了 AI 加速器的扩展，使系统能够处理数据密集型任务，例如大型语言模型 (LLM) 训练和生成式 AI。

随着各行各业对 AI 应用的需求不断扩大，半导体设计人员正在重新思考传统的芯片架构。对于更高的计算能力、更高的能效、更小的面积以及更快部署的需求已经清

楚表明，传统的设计方法已不足以满足 AI 工作负载的复杂性。软瓦格化是 NoC 设计中的一种创新解决方案，解决了系统级芯片 (SoC) 开发中的两大难题。首先，它允许采用可扩展的模块化设计，其中每个软瓦格 (tile) 都可以在 SoC 中复制，而无需重新设计。其次，它为衍生设计提供了显著优势，使预先验证的瓦格能够重复使用，从而减少了设计时间、复杂性和面积限制。

性能、面积和功耗

在 AI 设计中，NoC 软瓦格化允许架构师在整个 SoC 中定义和复制一个处理部件 (processing element)，无需单独设计每个瓦格。这样就可以实现可扩展性，而无需手动配置每个网络接口和处理单元。例如，一个 4x4 的软瓦格阵列可以轻松扩展到 8x8 阵列，从而支持以 AI 为中心的工作负载，如神经处理单元 (NPU) 和 LLM。此外，NoC 软瓦格化的灵活性使 SoC 设计人员能够根据应用的具体要求进行优化。

NoC 软瓦格化所采用的网状网络拓扑结构确保了瓦格之间的高效通信，避免了瓶颈，并允许在整个芯片上进



Power Reduction - By ~20% Avg. Using Dynamic Frequency Scaling NoC tiling essential for making AI applications more energy-efficient and sustainable

- NoC tile boundaries interface into existing NoC clock and voltage domains as needed
- In the example shown, **groups of NoC tiles can be turned off when not needed**, reducing power use using DFS
- The SoC power controller can **dynamically enable processing elements depending on workload**
- Overall, **system power efficiency is significantly improved**

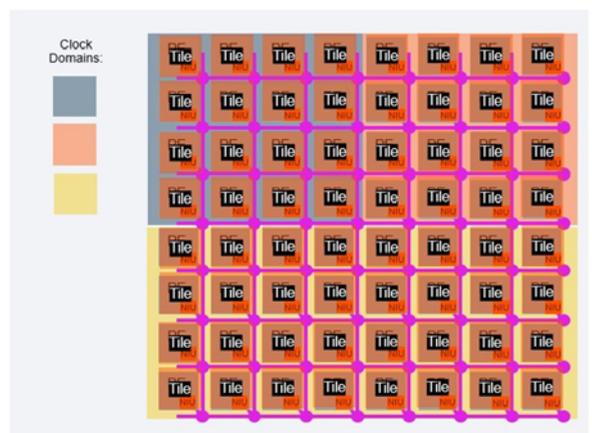


图 1. 利用 NoC 软瓦格化实现高效电源管理。(来源: Arteris)

作者: Andy Nightingale, Arteris 公司产品管理和营销副总裁

行并行处理。这种模块化、可扩展性和面积效率的组合简化了初始 SoC 设计，同时保持了高性能。

AI 工作负载耗电量大，因此高效管理能耗至关重要。NoC 软瓦格化通过启用动态时钟频率调整 (DFS) 解决了这一难题，DFS 根据即时需求调整单个瓦格功耗。

当某些瓦格不使用时，可以将其关闭，从而节约能源，并将总体能耗最多降低 20%，如图 1 所示。

NoC 软瓦格化能够分别独立管理电源域和面积资源，这对变动的 AI 工作负载尤其有利。根据需要调整每个瓦格的功耗状态和面积使用情况，可以提高性能，同时最大限度地降低能耗。

这种能效和面积优化使 NoC 软瓦格化成为边缘 AI 设备等应用的理想选择，在这些应用中，能源管理和空间限制至关重要。通过支持动态资源管理，NoC 软瓦格化可为功耗和面积敏感型应用提供可扩展的性能，满足各行各业 AI 工作负载的多样化需求。

动态重用和更快集成

NoC 软瓦格化的一个主要优势是它能够支持衍生设计，允许在多个 SoC 中重复使用预先验证的软瓦格。这种预配置缩短了集成时间，可将 SoC 开发时间最多缩短 50%，如图 2 所示。设计人员可以重复使用已经验证的瓦格，确保衍生设计能够快速开发并推向市场。这种重复使用还简化了验证过程，因为预先经过测试的瓦格减少了大量重新验证的需要，从而加快了开发周期并提高了可靠性。

NoC 软瓦格化还有助于解决内存瓶颈问题。在许多 AI 系统中，增加处理单元会导致内存限制，从而影响性能。软瓦格化可实现特定组件的升级，如内存子系统，而无需重新设计整个 SoC。

在创新周期越来越快、越来越频繁的 AI 芯片设计中，

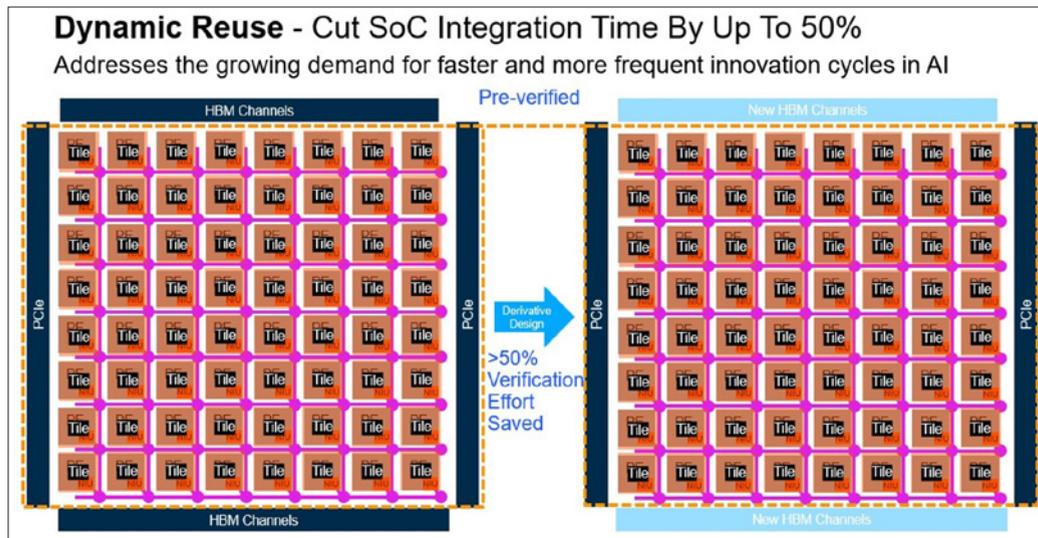


图 2. 通过重复使用预先验证的软瓦格，加快设计集成速度。(来源：Arteris)

这些功能尤为重要。通过利用预先验证的瓦格，设计人员可以快速推出新一代产品，同时保持设计 AI 芯片时所需的高标准。

人工智能工作负载的多功能性

随着 AI 工作负载的规模和复杂性不断增加，NoC 软瓦格化为复杂的 SoC 和衍生设计提供了灵活、可扩展和高能效的解决方案。通过简化集成、优化性能和实现预先验证瓦格的动态重用，软瓦格化将塑造 AI 驱动的半导体创新的未来。凭借支持无缝通信、动态功耗和面积管理的网状拓扑结构，软瓦格化将成为实现下一波 AI 芯片设计的关键。

Arteris 的 FlexNoC 和 Ncore 互连 IP 具有 NoC 软瓦格化功能，支持网状互连拓扑，为以 AI 为中心的 SoC 设计提供了灵活、可扩展的基础。这些 NoC 产品旨在通过实现处理单元之间的无缝通信，确保高带宽数据流，同时最大限度地减少延迟，从而应对 AI 应用日益增加的复杂性。FlexNoC 和 Ncore 可动态调整时钟和功率域，在保持性能的同时节约能源。这种灵活性、可扩展性、能效和面积优化组合使 Arteris NoC IP 成为下一代 AI 系统的必备技术。◆

作者简介：

Andy Nightingale 是 Arteris 的产品管理和营销副总裁，在高科技行业拥有超过 37 年的经验，其中包括在 Arm 公司担任各种工程和产品管理职位 30 年。



2025年全球6G技术发展趋势

6G 目前还处在以研究为主的阶段，但在未来两年，6G 将从技术研究走向实质性开发。业界已经达成共识，在 2029 年 3 月完成第一个版本的技术规范，因此 6G 的发展还有很长的一段路要走。几年前备受关注的使能技术经过了一定程度的培育和发展。进一步的技术研究、早期开发和一些初步的实验结果证明，甚至在某些情况下反证了某项技术的可行性，2025 年最热门的技术无疑也会随之发生变化。瞭望 2025 年 6G 关键使能技术的发展趋势，本文做了如下探讨。

首先，在 6G 关键使能技术中，大概率不会被踢出局的几项技术有：

7-16GHz 地面移动无线通信系统

无线技术的发展首先取决于可以使用的频谱资源。数据使用量的增加和无线连接的增长已经并将继续对频谱带

宽提出越来越高的要求。对于移动运营商来说，最理想（某些时候甚至是唯一可接受的）的情况是在其运营的区域内独占频谱资源。并且，在这些频段上，他们可以支持足够高的无线电发射功率，以确保网络的高容量和高可靠性。对网络容量需求的增长促使人们不断探索如何重新利用 7-24 GHz 的无线电频谱资源，尤其是 7-16 GHz 的频段。该频段在无线电导航、无线电定位和卫星应用中具有重要用途。世界各地的政府机构大多使用这一频段，甚至将其作为专用频段，这使问题变得更加复杂。

若要确保移动无线网络在 7-16 GHz 频段正常工作，就必须认真考虑如何共享部分频谱资源的问题。而频谱共享机制涉及复杂的政策和技术，因此两者都备受关注。即使是将这一频率范围中的部分频段专门留给商用无线网络使用，更高的传播损耗也会需要各方投入更多精力来应对

作者：Roger Nichols，是德科技6G项目经理

繁重的技术工作任务。若要解决接收机信噪比较低的问题，最显著的方法就是缩小信号的覆盖范围。不过，由于无线电台站的购置成本高以及在更多蜂窝网络之间增加高密度回程连接所带来的挑战，这在经济适用性上对于移动运营商而言并不可行。因此，研究如何利用先进的集成无线电和天线系统来克服上述挑战至关重要（请参考下文中的新一代 MIMO 部分）。

人工智能

伴随着多种通用的、功能强大的大型语言模型 (LLM) 的出现，机器学习 (ML) 作为实现人工智能 (AI) 的关键技术之一变得非常流行。但是，电信网络工程师正在探索各种不同类型的大模型。LLM 基于网络上的大量文本数据来进行训练，提升理解和生成人类语言的能力。而移动无线网络行业正在开发人工智能技术来优化网络性能、解决无线电波束管理的复杂性、优化电路设计、提高数据传输效率以及降低整体功耗。

在这些领域并没有使用 LLM，而是采用基于网络和电路的技术数据，甚至是模拟和仿真工具生成的数据，训练出来的 ML 模型。关键的技术难题在于需要构建一个可靠的模型，并且要确保该模型能够持续取得比传统方法更加出色的效果。这些难题可以归纳为：1) 如何开发、完善和训练模型（这意味着开发人员需要获取大量可信的数据）；2) 如何验证模型在绝大多数情况下都能正常工作。

新一代 MIMO

多路输入/多路输出 (MIMO) 技术是利用电磁波在发射端和接收端之间可以有多条传输路径（如直接路径、一条或多条反射路径）这一事实而开发的。在 MIMO 出现之前，多路径传播一直是无线通信领域需要解决的痛点问题，它会造成“多路径干扰”（有些人可能还记得电视机的花屏“鬼影”，当时唯一的信号接入方式是通过天线的广播系统）。蜂窝网络中使用的 MIMO 现已发展到第四代。

为了解决用于 5G 网络的 3.5 GHz 频段下的高损耗问题，有必要采用最新的实现方式。基本方法包括：使用许多天线元件和复杂的数字信号处理 (DSP)，让天线元件之间能够协同工作，提高接收端的有效信噪比；不断测量发射端和接收端之间的信道状态（移动无线信道处于不断变化的状态），使得 DSP 能够持续执行任务，利用多个天线元件来克服信道状态的不断变化。在保持信号覆盖范

围不变的情况下（例如，保持与 3.5 GHz 频段相同的最大收发距离），向 7-16 GHz 频段演进意味着 MIMO 系统的技术复杂性进一步提高：将搭载更多的天线元件甚至是分布式天线元件，并配备更强的 DSP。鉴于整个系统所需克服的复杂性，这是利用 ML 的绝佳机会。

Open RAN

无线接入网 (RAN) 指的是无线通信系统中连接移动终端设备（如智能手机）与基站之间的传输网络。在 5G 网络出现之前，RAN 是一个封闭的架构，少数几家大型网络设备制造商都使用自己的专有网络设备。然而，将 RAN 的数字部分虚拟化（在高性能通用服务器上运行的软件实体）的想法促使业界共同努力将由此带来的 RAN 系统功能拆分（无线电单元、数字单元、集中单元）标准化，同时在这些架构组件之间也实现接口的标准化。这种 O-RAN（开放式无线接入网络）架构带来了新的概念，包括 RAN 功能的智能控制（RAN 智能控制器或 RIC），这其中 ML 已经在一定程度上得到了应用。许多人认为，O-RAN（和其他开放标准）是实现 6G 的必由之路。因此在该领域，业界正在开展进一步的工作，以便推动这些概念的迭代升级。



其次，2025 年，在 6G 领域中下面这几项技术将备受关注，但商业化风险较高。

毫米波技术（用于 5G 网络的 24-71 GHz 频段）

3GPP 协议规定的频率范围 2 (FR2) 已在 5G 网络中投入使用，不过业界一直在努力推动其商业化进程，希望该服务能够盈利。但是这项技术依然价格昂贵，没有明确的“杀手级应用”来推动应用的普及和量产（从而通过规模经济效应来降低成本）。此外，还需要在标准的制定和实际部署方面下功夫，以提高无线链路的可靠性，尤其是智能波束管理，它与多输入多输出 (MIMO) 类似，依赖于准确的实时信道状态信息，也可受益于 ML。然而，这

对更高网络容量和频谱接入的需求是巨大的，7-17 GHz 频率范围释放出来的容量是远远不够的。因此，FR2 频段（大部分已分配但尚未充分利用）可以成为其中必要的一部分。

地面和非地面网络的融合

最近有很多关于地面和非地面无线网络（NTN）融合的新闻，也就是利用卫星和高空平台基站（HAPS-- 气球、亚轨道平流层飞艇等）。这关系到是否能够实现更好的信号覆盖和更高的可靠性，特别是在发生自然灾害或海难时。

然后，要实现这些技术也颇具挑战性：

- 从发射端到接收端的距离高达数百公里（而不是数百米）
- 需要管理多个不同网络之间的数据传输
- 需要进行干扰管理，因为传输方向增加了一个维度（几乎没有手机信号塔会将信号直接向上或者向下发射，而且所有标准化的无线电信道模型都只有二个维度）

这是一个令人振奋的领域，虽然卫星公司的商业模式似乎显而易见（相同的基础设施，更多的用户），但对于管理地面网络的移动运营商来说，却不那么清晰。

集成传感与通信（ISAC）

利用通信信号感知周围的环境是另一个备受关注的领域。交通管理、无人机管理、人群管理以及无数其他应用都在考虑使用这样技术。所面临的挑战主要与以下两个方面有关：电磁波的频率、波长和信号带宽；网络容量管理。信号的频率、波长和带宽与传感技术能否达到超高的物理和时间精度有直接关系。网络容量也很重要，将无线网络资源仅用于传感意味着这些资源不能被用于通信，而网络容量需求已在上文讨论过。



然而，适合用于数据通信的信号并不一定适合用于传感。此外，如果传感和通信可以使用完全相同的信号，也不能保证实现传感所需的信号理想方向与系统传输所需的电磁波信号的方向一致。因此，在技术层面执行的工作意味着除了要应对来自多个基站和移动设备的复杂传感干扰之外，还要应对多重挑战。这方面的商业模式并不明显，因此这项技术的最终效用还有待观察。

第三，下面这些课题仍然会受到科研界的关注，但其商用的可能性会更加不明朗。

智能超表面

在许多无线通信系统中，信号在室内传播和室外到室内的传播都存在着问题。例如，停车场、大型商业楼宇、购物中心和室内体育馆都采用分布式天线系统和无线电中继器，有时甚至采用额外的独立基站。理论上，使用安装在墙壁上的大型“表面”来实施智能反射表面这项技术，是一种成本较低的方法，可以使室内的信号接收效果大为改观。它们也将变得足够智能，能够适应不断变化的环境条件（人员、家具变化、室内机器搬迁等）。目前面临的挑战是如何在降低成本的同时，提高可靠性和灵活性，并提高性能。还需要开展大量的工作来解决诸多挑战，特别是在降低成本方面这种需求更加迫切。

亚太赫兹技术（频率超过 100 GHz）

由于在上文提到的 FR2 频段上缺乏商业成功，工作频率在 100 GHz 以上超宽频带范围吸引力减弱。再加上亚太赫兹频段比 24-71 GHz 频段更昂贵、更难管理的事实，这种情况进一步加剧。业界和学术界仍在进行大量研究，但太赫兹频段已不再被考虑纳入 6G 无线接入技术的主流用途。尽管如此，使用 D 波段技术（110-170 GHz）的点点对点“微波”通信链路已经取得了巨大成功。对大容量回程数据传输解决方案的巨大需求可能会推动在该领域和其他利基应用中对更高频率技术的进一步投资。不出所料，正在研究的技术包括半导体、天线、波束管理、高速数字信号处理器，甚至带内全双工技术（同时发送和接收数据，使数据传输速率提高一倍）。

是德科技启迪并赋能创新者，助力他们将改变世界的技术带入生活。我们提供先进的设计、仿真和测试解决方案，旨在帮助工程师在整个产品生命周期中更快地完成开发和部署，同时控制好风险。我们的客户遍及全球通信、工业自动化、航空航天与国防、汽车、半导体和通用电子等市场。◆

Advertiser	广告商名称	网址	页码
ACM	盛美上海	www.acmrcsh.com.cn	11
MRSI		www.mrsisystems.com	9
REHM THERMAL SYSTEMS	锐德热力设备	www.rehm-group.com	1
SEMICON China 2025		www.semiconchina.org	IBC

欢迎投稿

《半导体芯科技》(Silicon Semiconductor China, SiSC) 是面向中国半导体行业的专业媒体, 已获得全球知名权威杂志《Silicon Semiconductor》的独家授权。本刊针对中国半导体市场特点遴选相关文章翻译, 并汇集编辑征稿、采编国内外半导体行业新闻、深度分析和权威评论等多方面内容。本刊由香港雅时国际通讯 (ACT International) 以简体中文出版发行。

本刊内容覆盖半导体制造工艺技术、封装、设备、材料、测试、MEMS、mini/Micro-LED 等。文章重点关注以下内容:

FAB (Foundry, IDM, OSAT, R&D)

四个环节: 晶圆制造 (wafer 后道)、芯片制造、先进封装、洁净室; 深入报道与之相关的制造工艺、材料分析, 工艺材料、工艺设备、测试设备、辅助设备、系统工程、关键零部件, 以及与 particle (颗粒度) 及 contamination (沾污) 控制等厂务知识。

FABLESS

芯片设计方案、设计工具, 以及与掩膜版内容和导入相关的资讯。

半导体基础材料及其应用

III-V 族、II-VI 族等先进半导体材料的科学研究成果, 以及未来热门应用。

《半导体芯科技》欢迎读者、供应商以及相关科研单位投稿, 已甄选中文稿件将在印刷版杂志以及网上杂志刊登; IC 设计及应用等半导体相关内容将酌情予以网络发表 (微信推送、杂志网站)。本刊优先刊登中文来稿 (翻译稿请附上英文原稿)。

技术文章要求

1. 论点突出、论据充分: 围绕主题展开话题, 如工艺提升、技术改造、系统导入、新品应用, 等等。
2. 结构严谨、短小精悍: 从发现问题到解决问题、经验总结, 一目了然, 字数以 3000 字左右为宜。
3. 文章最好配有 2-4 幅与内容有关的插图或图表。插图、图表按图 1、图 2、表 1、表 2 等依次排序, 编号与文中的图表编号一致。
4. 请注明作者姓名、职务及所在公司或机构名称。作者人数以四人为限。
5. 文章版权归著作者, 请勿一稿多投。稿件一经发表如需转载需经本刊同意。
6. 请随稿件注明联系方式 (电话、电子邮件)。

新产品要求

1. 新产品必须是在中国市场新上市、可在中国销售的。
2. 新产品稿件的内容应包含产品的名称、型号、功能、主要性能和特点、用途等。
3. 新产品投稿要求短小精悍, 中文字数 300~400 字左右。
4. 来稿请附产品照片, 照片分辨率不低于 300dpi, 最好是以单色作为背景。
5. 来稿请注明能提供进一步信息的人员姓名、电话、电子邮件。

电子邮箱: sunniez@actintl.com.hk
viviz@actintl.com.hk

行政及销售 Administration & Sales Offices

行政人员 Administration

HK Office (香港办公室)

ACT International (雅时国际通讯)

Unit B, 13/F, Por Yen Building, No. 478 Castle Peak Road, Cheung Sha Wan, Kowloon, Hong Kong
Tel: 852 28386298

Publisher (社长) - China

Adonis Mak (麦协林), adonism@actintl.com.hk

Deputy Publisher (副社长) - China

Lisa Cheng (程丽娜), lisac@actintl.com.hk

General Manager-China (中国区总经理)

Floyd Chun (秦泽峰), floyd@actintl.com.hk

Editor in China (中国版编辑)

Sunnie Zhao (赵雪芹), sunniez@actintl.com.hk

Vivi Zhang (张雨薇), viviz@actintl.com.hk

London Office

Hannay House, 39 Clarendon Road
Watford, Herts, WD17 1JA, UK.

T: +44 (0)1923 690200

Coventry Office

Unit 6, Bow Court, Fletchworth Gate
Burnsall Road, Coventry, CV5 6SP, UK.

T: +44 (0)2476 718 970

Publisher & Editor-SiS English

Jackie Cannon, jackie.cannon@angelbc.com

+44 (0)1923 690205

销售人员 Sales Offices

China (中国)

Wuhan (武汉)

Lisa Cheng (程丽娜), lisac@actintl.com.hk

Tel: 86 185 7156 2977

Mini Xu (徐若男), minix@actintl.com.hk

Tel: 86 187 7196 7314

Phoebe Yin (尹菲菲), phoebey@actintl.com.hk

Tel: 86 155 2754 0817

Ron Wang (汪毓神), ronw@actintl.com.hk

Tel: 86 186 9404 8156

Shenzhen (深圳)

Yoyo Deng (邓丹), yoyod@actintl.com.hk

Tel: 86 135 3806 1660

Shanghai (上海)

Hatter Yao (姚丽莹), hattery@actintl.com.hk

Tel: 86 139 1771 3422

Beijing (北京)

Cecily Bian (边团芳), cecilyB@actintl.com.hk

Tel: 86 135 5262 1310

Hong Kong (香港特别行政区)

Floyd Chun (秦泽峰), floyd@actintl.com.hk

Tel: 852 2838 6298

Asia (亚洲)

Japan (日本)

Masaki Mori, masaki.mori@ex-press.jp

Tel: 81 3 6721 9890

Korea (韩国)

Lucky Kim, semieri@semieri.co.kr

Tel: 82 2 574 2466

Taiwan, Singapore, Malaysia

(台湾, 新加坡, 马来西亚)

Regional Sales Director

Floyd Chun (秦泽峰), floyd@actintl.com.hk

Tel: 852 2838 6298

US (美国)

Janice Jenkins, jjenkins@brunmedia.com

Tel: 724 929 3550

Tom Brun, tbrun@brunmedia.com

Tel: 724 539 2404

Europe (欧洲)

Shehzad Munshi, Shehzad.Munshi@angelbc.com

Tel: +44 (0)1923 690215

Jackie Cannon, jackie.cannon@angelbc.com

Tel: +44 (0) 1923 690205



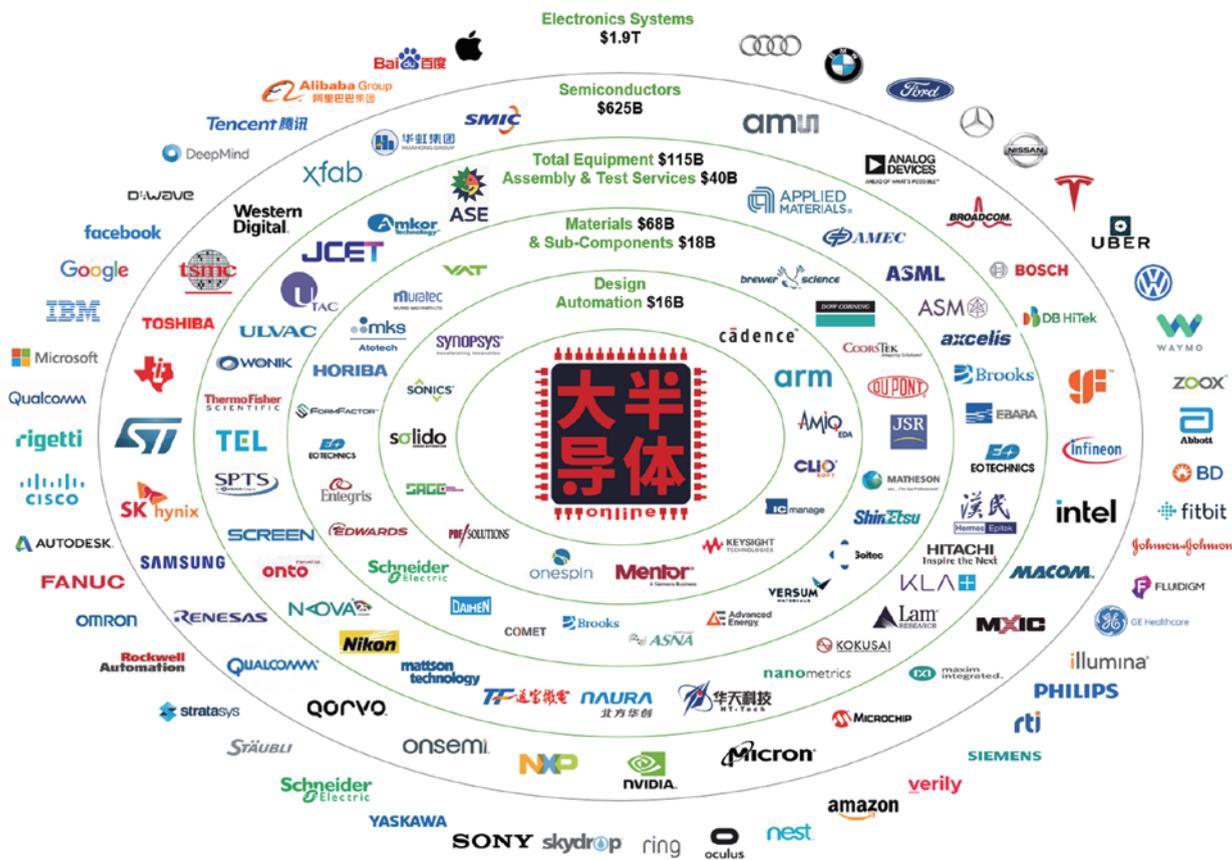
SEMICON[®] CHINA

FPDCHINA 跨界全球·心芯相联

2025年3月26-28日 | 上海新国际博览中心



全球最大的半导体行业盛会



免费自助发产品
 7000+公司 | 26万+专业观众
货比三家选精品





CHIP China
晶芯研讨会

CS 2025
CHINA
CON 化合物半导体
先进技术及应用大会

2025年5月 中国·苏州
May 2025 Suzhou, China

半导体先进技术创新发展和机遇大会

Semiconductor Advanced Technology Innovation Development And Opportunities Conference

化合物半导体先进技术及应用大会

氮化镓 (GaN) 技术的突破
GaN Technology Breakthrough

碳化硅 (SiC) 的优化与机遇
Optimization & Opportunities of SiC

Micro-LED技术的持续发展
The Sustainable Development of Micro-LED Technology

超宽禁带半导体材料
Ultra-wide Bandgap Semiconductor Materials

光电半导体与发射技术
Optoelectronic Semiconductors And Emission Technology

市场趋势与应用
Market Trends & Applications

主办单位: 雅时国际商讯
官方媒体: 《化合物半导体》《半导体芯科技》

CHIP China晶芯研讨会

2.5D/3D/3.5D封装在AI趋势下大有可为
2.5D/3D/3.5D Packaging Has Great Potential Under the AI Trend

玻璃通孔 (TGV) 技术创新发展和应用推动
TGV Technology Innovation, Development and Application Promotion

面板级封装技术的崛起
The Rise of Panel-Level Packaging Technology

先进封装对新型装备技术
Advanced Packaging for New Equipment Technology

光电合封 (CPO) 及光电互连技术发展
CPO & Optoelectronic Interconnection Technology Development

2.5D/3D封装设计仿真与可靠性
2.5D/3D Packaging Design Simulation & Reliability

2.5D/3D封装新材料进展
Progress in New Materials for 2.5D/3D Packaging

以技术为媒, 以产业为基, 诚邀全球创新力量共绘泛半导体蓝图!

赞助及媒体合作: 徐若男 Mini Xu

157 8288 4236

参会报名: 吴漫 Mandy Wu

156 2304 9536